



[12] 发明专利申请公开说明书

[21] 申请号 200310102828. X

[43] 公开日 2004年5月19日

[11] 公开号 CN 1497733A

[22] 申请日 2003.10.13
 [21] 申请号 200310102828. X
 [30] 优先权
 [32] 2002.10.11 [33] JP [31] 2002-298662
 [71] 申请人 株式会社东芝
 地址 日本东京
 [72] 发明人 关根弘一

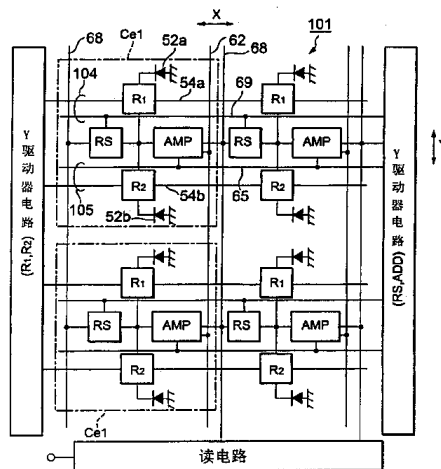
[74] 专利代理机构 上海专利商标事务所
 代理人 包于俊

权利要求书4页 说明书13页 附图10页

[54] 发明名称 CMOS 图像传感器

[57] 摘要

通过有效地配置构成单元的元件和配线等提供使高集成化、析像度提高的 CMOS 图像传感器。将多个用共同的晶体管部分从 2 个即第 1 及第 2 光电二极管读出信号的单元配置于垂直方向、水平方向上成为矩阵的 CMOS 图像传感器中，在垂直方向上分开配置第 1 及第 2 光电二极管。晶体管部分具有一对读出用、复位用、放大用以及选择用晶体管，一对读出用与复位用的各晶体管与做成大致为方形的浮动扩散区域相邻地设置。控制各晶体管的栅极的 4 条栅极线延伸于矩阵的水平方向，每 2 条作双层配线。



1. 一种 CMOS 图像传感器，将由光电二极管与多个 MOS 晶体管构成的多个单元成矩阵形状地配置在半导体基板上而成，

所述单元由下述各部分构成：形成于半导体基板上上的第 1 与第 2 光电二极管；连接于所述第 1 光电二极管并读出其信号电荷的第 1 读出晶体管；连接于所述第 2 光电二极管并读出其信号电荷的第 2 读出晶体管；连接于所述第 1 和第 2 读出晶体管并传送信号电荷的浮动扩散区域；连接于所述浮动扩散区域并复位该区域的电位的复位晶体管；其栅极连接于所述浮动扩散区域并放大信号电荷的放大晶体管；有选择地寻址所述放大晶体管的选择晶体管；

所述单元各自连接于分别延伸在上述矩阵配置的水平方向上的 4 条栅极线即所述第 1 及第 2 读出晶体管的读出线、所述复位晶体管的复位线以及所述选择晶体管的选择线，

所述单元连接于分别延伸在上述矩阵配置的垂直方向上并连接所述复位晶体管及选择晶体管的电源线及连接所述放大晶体管的信号线，

所述地址线每 2 线以双层层叠延伸，

所述第 1 及第 2 光电二极管夹着所述第 1 及第 2 读出晶体管的读出线互相分开地配置，

所述浮动扩散区域大致做成方形，

所述第 1 及第 2 读出晶体管及所述复位晶体管在半导体基板内连接于所述浮动扩散区域的各边上。

2. 如权利要求 1 所述的 CMOS 图像传感器，其特征在于，所述第 1 及第 2 读出晶体管连接到所述浮动扩散区域的对面的边上，所述复位晶体管连接于所述对面的边所夹的一边上。

3. 如权利要求 1 所述的 CMOS 图像传感器，其特征在于，所述第 1 及第 2 读出晶体管连接到所述浮动扩散区域的邻接的边上。

4. 如权利要求 1 所述的 CMOS 图像传感器，其特征在于，所述浮动扩散区域构成所述第 1 及第 2 读出晶体管以及所述复位晶体管的一方电极。

5. 如权利要求 1 所述的 CMOS 图像传感器，其特征在于，所述第 1 及第 2 读出晶体管、所述浮动扩散区域、所述复位晶体管、所述放大晶体管以及所述选择晶体管配置于各自延伸在上述矩阵配置的水平方向上的 4 条地址线所夹的

区域。

6. 如权利要求 1 所述的 CMOS 图像传感器，其特征在于，所述第 1 及第 2 光电二极管对向地配置在矩阵配置的垂直方向上。

7. 如权利要求 1 所述的 CMOS 图像传感器，其特征在于，所述第 1 及第 2 光电二极管对向地且相互水平方向上错开地配置于矩阵的垂直方向上。

8. 如权利要求 1 所述的 CMOS 图像传感器，其特征在于，所述方形的浮动扩散区域的第 1 至第 4 各边相对于矩阵配置的水平方向大致成 45° 方向配置，沿相邻的第 1 边与第 2 边并且互相垂直地配置所述第 1 及第 2 读出晶体管的栅极，与所述第 3 边相对配置所述复位晶体管的栅极，在第 4 边方向上配置所述放大晶体管，从而所述浮动扩散区域至所述放大晶体管的栅极引出金属线。

9. 如权利要求 1 所述的 CMOS 图像传感器，其特征在于，所述双层地址线的一方是所述第 1 读出晶体管的读出线与所述复位晶体管的复位线。

10. 如权利要求 1 所述的 CMOS 图像传感器，其特征在于，所述双层地址线的一方是所述第 1 读出晶体管的读出线与所述第 2 读出晶体管的读出线。

11. 如权利要求 1 所述的 CMOS 图像传感器，其特征在于，各自延伸在所述矩阵配置的水平方向上的 4 条地址线由多晶硅形成，延伸在所述垂直方向上的 2 线是金属线。

12. 一种 CMOS 图像传感器，将由光电二极管与多个 MOS 晶体管构成的像素单元在半导体基板上配置成矩阵形状而成，其特征在于，

所述单元由下列各元件组成：形成在半导体基板上的第 1 与第 2 光电二极管，源极接到所述第 1 光电二极管并读出其信号电荷的第 1 读出晶体管，源极接到所述第 2 光电二极管并读出其信号电荷的第 2 读出晶体管，连接于所述第 1 与第 2 读出晶体管的漏极并传送信号电荷的浮动扩散区域，源极接到所述浮动扩散区域并复位该区域的电位的复位晶体管，栅极通过金属线接到所述浮动扩散区域并放大信号电荷的放大晶体管，漏极接到所述放大晶体管的源极选择地寻址所述放大晶体管的选择晶体管；

所述单元分别与下列各线相连接：作为分别延伸在所述矩阵配置的水平方向上的 4 条地址线的所述第 1 及第 2 读出晶体管的读出线，所述复位晶体管的复位线以及所述选择晶体管的选择线，分别延伸在所述矩阵配置的垂直方向上、连接到所述复位晶体管的漏极及选择晶体管的漏极的电源线以及连接到所述放大晶体管的漏极的信号线，

所述地址线每两条线双层层叠并延伸，

所述第 1 及第 2 光电二极管夹着所述第 1 及第 2 读出晶体管的栅极线并隔开距离地配置，

所述浮动扩散区域做成大致的方形，

所述第 1 及第 2 读出晶体管以及所述复位晶体管在半导体基板内连接到所述浮动扩散区域的各边。

13. 一种 CMOS 图像传感器，将具备成对的 2 个光电二极管、各自接到所述光电二极管并读出光电二极管的信号的对的读出晶体管、放大所述信号的放大晶体管、复位所述信号的复位晶体管、选择所述放大晶体管的选择晶体管的单元，在垂直方向、水平方向上二维的以规定节距成多个格子状的作矩阵配置而成，所述成对的读出晶体管、所述复位晶体管以及所述选择晶体管的各个栅极由所述矩阵配置的水平方向上延伸的栅极线形成，其特征在于，

所述栅极线至少 2 条在层方向上形成重叠的双层配线层，

所述单元的 2 个所述光电二极管在矩阵配置的垂直方向上隔开地配置，所述成对读出晶体管共同具有成为漏极的浮动扩散区域并配置于 2 个所述光电二极管之间，

所述浮动扩散区域形成大致的方形，

设置所述复位晶体管直接邻接于所述浮动扩散区域。

14. 如权利要求 13 所述的 CMOS 图像传感器，其特征在于，沿所述方形的浮动扩散区域的邻接的边互相垂直地设置成对的读出晶体管的栅极，与该读出晶体管的栅极成大致 45°方向地将成对的光电二极管配置于水平方向上，同时在未用复位晶体管的栅极覆盖的其余的浮动扩散区域的一边方向上配置所述放大晶体管的栅极，引出从所述浮动扩散区域到所述放大晶体管的栅极的配线。

15. 一种 CMOS 图像传感器，将具备成对的 2 个光电二极管、各自接到所述光电二极管并读出光电二极管的信号的对的读出晶体管、放大所述信号的放大晶体管、复位所述信号的复位晶体管、选择所述放大晶体管的选择晶体管的单元，在垂直方向、水平方向上二维的以规定节距成多个格子状的作矩阵配置而成，其特征在于，

所述单元的 2 个所述光电二极管在矩阵配置的垂直方向上隔开地配置，所述成对读出晶体管共同具有成为漏极的浮动扩散区域并配置于 2 个所述光电二

极管之间，使所述成对地读出晶体管的栅极对应于各光电二极管地设置；

所述浮动扩散区域形成大致的方形，

设置所述复位晶体管直接邻接于所述浮动扩散区域，

构成对应于各光电二极管的所述读出晶体管的各自的栅极的读出线使从所述垂直方向的两侧夹着浮动扩散区域的对向配置，

在所述成对的读出晶体管的读出线所夹的区域中形成所述放大晶体管、复位晶体管、选择晶体管。

16. 如权利要求 15 所述的 CMOS 图像传感器，其特征在于，所述单元的各光电二极管对应的所述读出晶体管的各栅极沿相对于所述光电二极管共同设置的大致为方形的浮动扩散区域的邻接边互相正交地设置，同时与所述浮动扩散区域邻接地设置复位晶体管。

17. 如权利要求 15 所述的 CMOS 图像传感器，其特征在于，在所述矩阵的垂直方向上邻接的所述成对的 2 个光电二极管的中心在水平方向上互相错开。

CMOS 图像传感器

发明领域

本发明涉及在半导体基板上将有源像素作矩阵配置并使 X-Y 寻址的 CMOS 图像传感器。

背景技术

CMOS 图像传感器的有源像素，由作为形成于半导体基板的受光元件的光电二极管与对这种光电二极管照射光并将产生的信号电荷进行传送、放大的多个 MOS 晶体管所构成，以这些元件的组合作为像素单元并将其多个在半导体体基板上作矩阵配置而成像素部。为了一个光电晶体管的传送，基本上需要复位晶体管、放大晶体管以及行地址用的选择晶体管的组合。

对多个发光二极管共用一个这种组合以谋求信号处理的效率化的构造也已知晓。通常，对一对光电二极管配置共用的放大部的传感器已实用于数字摄像机、移动设备、带照相机的便携电话中。这种构造中，为了轮流地从一对光电二极管取出信号电荷，使读取晶体管附属于各二极管并进行信号转换。而且在像素部的周边部配置具有时序发生电路、垂直线扫描电路、噪声抵消电路、水平扫描电路、输出放大器的读出部。

以下参照图 10 至图 12 说明现有例。图 10 为矩阵配置图，图 11 为主要部分的电路图，图 12 示出主要部分的布局。

图中，CMOS 图像传感器的像素部 1 是将多个单元 Ce 二维地配置为大致成正方格子状矩阵而成的，一个单元 Ce 的像素由 2 个即第 1 及第 2 光电二极管 12a、12b 所构成。然后，电路结构如图 11 所示，两个第 1 及第 2 光电二极管 12a、12b 连接到各与自对应地设置的读出晶体管 13a、13b 的源极，而供给各自读出脉冲的读出线 15a、15b 连接到各读出晶体管 13a、13b 的栅极 14a、14b 上。

读出晶体管 13a、13b 的漏极由共同的浮动扩散区域 16 形成，浮动扩散区域 16 利用金属布线连接到放大晶体管 17 的栅极 18 与复位晶体管 19 的源极 20。放大晶体管 17 的漏极 21 与选择晶体管 22 的源极是共同的，选择晶体管 22 的

漏极 23 接到电源线 24，供给选择脉冲的选择线 26 连接到选择晶体管 22 的栅极 25。放大晶体管 17 的源极由源极扩散区域 27 形成，信号线 28 连接到该源极扩散区域 27。

另一方面，复位晶体管 19 的漏极与相邻的单元 Ce 的选择晶体管 22 的漏极 23 是共同的，接到复位漏极电压源的电源线 24，供给复位脉冲的复位线 30 连接到复位晶体管 19 的栅极 29。

此外，布局如图 12 所示，在水平方向上隔开规定间隔只配置一起做成方形的第 1 光电二极管 12a 或第 2 光电二极管 12b，而在垂直方向上隔开规定间隔交替地配置第 1 光电二极管 12a 与第 2 光电二极管 12b。然后，在同一单元 Ce 的垂直方向邻接的第 1 光电管 12a 与第 2 光电管 12b 之间，使其间夹着浮动扩散区域 16 地设置读出线 15a、15b，水平地延伸在图案的中间部分。读出线构成读出晶体管 13a、13b 的栅极 14a、14b，并供给读出脉冲。

此外，在第 1 光电二极管 12a 的垂直方向上方侧，设置形成供给复位脉冲的复位晶体管 19 的栅极 29 的复位线 30，使设置规定间隔并延伸在水平方向上。另一方面，在第 2 光电二极管 12b 的垂直方向下方侧，与下方侧的邻接单元的第 1 光电二极管 12a 之间，设置形成供给选择脉冲的选择晶体管 22 的栅极 25 的选择线 26，使与同一相邻的单元的复位线 30 之间设置规定间隔并延伸在水平方向上。

又，在成为复位晶体管 19 的栅极 29 的复位线 30 的中间部分，在其下侧形成源极 20，在上侧形成与邻接单元的选择晶体管 22 的漏极 23 共同的漏极。又，在其间夹着第 2 光电二极管 12b 的读出线 15b 与选择线 26 之间，在第 2 光电二极管 12b 的近旁形成放大晶体管 17 的栅极 18。在栅极 18 的垂直方向上侧形成放大晶体管 17 的源极扩散区域 27，而在其下侧与选择线 26 之间形成也作为选择晶体管 22 的源极的放大晶体管 17 的漏极 21。

又，在选择线 26 与垂直方向下方侧邻接的单元的复位线 30 之间，与选择晶体管 22 的源极相对应，形成也作为邻接单元的复位晶体管 19 的漏极的选择晶体管 22 的漏极 23。

在如上述构成的图案的各单元中，相对于也作为垂直方向配置的各单元的复位晶体管 19 的漏极的选择晶体管 22 的漏极 23，配布用相互连接各自的 A1 线的电源线 24。同样，对配置在垂直方向上的各单元 Ce 的放大晶体管 17 的源极扩散区域 27，输出利用读出脉冲读出的信号的信号线 28 用 A1 线分别与其连

接。

又，对各单元 Ce，在浮动扩散区域 16 与放大晶体管 17 的栅极 18 以及复位晶体管 19 的源极 20 中，为了将它们分别连接，用 A1 线配布连接线，如连接浮动扩散区域 16 与放大晶体管 17 的栅极 18 的连接线 31，连接浮动扩散区域 16 与复位晶体管 19 的源极 20 的连接线 32。又，上述各晶体管 13a、13b、17、19、22 的栅极 14a、14b、18、25、29 用多晶硅形成。

然而，对于上述的现有技术，必须用第 1、第 2 光电二极管 12a、12b，还用读出晶体管 13a、13b、放大晶体管 17、复位晶体管 19、选择晶体管 22 构成一个单元 Ce，与此相对，在同一面上布局形成读出线 15a、15b、选择线 26、复位线 30，并用 A1 布线设置电源线 24、信号线 25、连接线 31、32。因此，第 1 及第 2 光电二极管 12a 及 12b 的面积只占单元 ce 的全部面积的 20~30% 左右，而且在谋求使传感器的析像度提高的高集成化时，难以实现，提高析像度等方面存在限度。而且，读出线 15a 与连接线 32 相交叉，形成交叉部 40。

另一方面，除了浮动扩散层 16 还存在与复位晶体管的源极 20 的连接线 32，带来电容量的增加，使相对于信号电荷量的信号输出变化即使放大器增益下降成为高灵敏度传感器实现的障碍。

发明内容

鉴于上述的情况而作成本发明，其目的在于提供通过有效地配置构成单元的元件和布线等，可不将元件、存线等做得特别小或细线化而实现高集成化，能提高析像度等的 CMOS 图像传感器。

本发明的一种形态的 CMOS 图像传感器，

将由光电二极管与多个 MOS 晶体管构成的多个单元成矩阵形状地配置在半导体基板上而成，

所述单元由下述各部分构成：形成于半导体基板上的第 1 与第 2 光电二极管；连接于所述第 1 光电二极管并读出其信号电荷的第 1 读出晶体管；连接于所述第 2 光电二极管并读出其信号电荷的第 2 读出晶体管；连接于所述第 1 和第 2 读出晶体管并传送信号电荷的浮动扩散区域；连接于所述浮动扩散区域并复位该区域的电位的复位晶体管；其栅极连接于所述浮动扩散区域并放大信号电荷的放大晶体管；选择地访问所述放大晶体管的选择晶体管；

所述单元各自连接于分别延伸在上述矩阵配置的水平方向上的 4 条栅极线

即所述第 1 及第 2 读出晶体管的读出线、所述复位晶体管的复位线以及所述选择晶体管的选择线，

所述单元连接于分别延伸在上述矩阵配置的垂直方向上并连接所述复位晶体管及选择晶体管的电源线及连接所述放大晶体管的信号线，

所述栅极线每 2 线以双层配线层延伸，

所述第 1 及第 2 光电二极管夹着所述第 1 及第 2 读出晶体管的读出线互相分开地配置，

所述浮动扩散区域大致做成方形，

所述第 1 及第 2 读出晶体管及所述复位晶体管在半导体基板内连接于所述浮动扩散区域的各边上。

如上所述，通过用共同的方形浮动扩散区域直接连接一对读出晶体管及其复位晶体管，而且使栅极线为双层配线，可谋求光电二极管面积的扩大，与单元的配线的有效配置。

本发明的另一形态的 CMOS 图像传感器，将多个具备成对的 2 个光电二极管，分别连接于所述光电二极管、成对读出光电二极管信号的读出晶体管，放大所述信号的放大晶体管，复位所述信号的复位晶体管，选择所述放大晶体管的选择晶体管的单元以沿垂直方向、水平方向二维的规定间距成矩阵配置而成，

所述单元的 2 个所述光电二极管隔开地配置在所述矩阵配置在垂直方向上，所述成对的读出晶体管配置于所述成对的光电二极管之间，共同拥有成为漏极的浮动扩散区域，

所述浮动扩散区域大致形成为方形，

所述复位晶体管直接邻接所述浮动扩散区域地设置，

构成对应于各光电二极管的所述读出晶体管的各自栅极的读出线从所述垂直方向的两侧夹着浮动扩散区域地对向配置，

在所述成对读出晶体管的所述读出线所夹的区域，形成所述放大晶体管、复位晶体管、选择晶体管。

单元的各光电二极管对应的所述读出晶体管的各自栅极被对向配置，使从垂直方向两侧夹着设置于所述光电二极管之间的大致为方形的浮动扩散区域。或者，所述单元的各光电二极管对应的所述读出晶体管的各自栅极，沿着相对于所述光电二极管共同设置的大致为方形的浮动扩散区域的相邻边互相正交

地设置形成，在所述浮动扩散区域不经由中途配线而直接邻接地设置复位晶体管。

如上所述，通过将一对读出晶体管及复位晶体管用共用的方形浮动扩散区域直接连接，可谋求与单元的配线的有效配置。

附图说明

图 1 示出本发明的第 1 实施形态的矩阵的电路简图。

图 2 为本发明的第 1 实施形态的单元电路图。

图 3 示出本发明的第 1 实施形态的主要部分布局平面图。

图 4 为说明第 1 实施形态的、描述势阱图的图 3 的 A-A' 线的断面图。

图 5 为说明第 1 实施形态的动作用的脉冲波形图。

图 6 示出第 1 实施形态的变形例电路图。

图 7 示出本发明的第 2 实施形态的矩阵的电路简图。

图 8 为本发明的第 2 实施形态的单元电路图。

图 9A 示出本发明的第 2 实施形态的主要部分布局平面图。

图 9B 为图 9A 的主要部分扩大平面图。

图 10 示出现有装置的矩阵电路图。

图 11 为现有装置的单元电路图。

图 12 示出现有装置的主要部分的布局平面图。

具体实施方式

以下参照附图说明本发明的实施形态。各图中同一符号的部分表示相同部分。

第 1 实施形态

用图 1 至图 5 说明第 1 实施形态。图 1 表示在半导体基板上配置多个单元 Ce1 的矩阵图，R1、R2 是表示施加读出脉冲 R1、R2 并读出光电二极管 52a、52b 的信号电荷的读出晶体管栅极区域，与之相连的是复位晶体管栅极部 RS 及放大晶体管和选择晶体管部 AMP。

图中，在矩阵水平方向的左侧示出发生读出脉冲 R1、R2 的外围电路 Y 驱动器电路（R1、R2），在图的右侧示出发生复位脉冲、寻址脉冲的外围电路 Y 驱动电路（RS、ADD）。图下测示出用来依次读出矩阵垂直方向上信号线的信

息的外围电路读出电路。

在矩阵的水平方向 X 上延伸着被施加读出脉冲的第 1、第 2 读出线 54a、54b、被施加复位脉冲的复位线 69 以及被施加寻址脉冲的选择线 65。这些线是控制各晶体管栅极的栅极线。在矩阵的垂直方向 Y 上延伸着电源线 68 与信号线 62。单元 Ce1 与水平方向上延伸的 4 条栅极线 54a、54b、65、69 及垂直方向上延伸的电源线 68、信号线 62 相连接。

本实施例中 RS 部存在于读出线 54a、54b 之间，与读出线之间不交叉。

图中，CMOS 图像传感器的像素部 101 是在半导体基板上将多个单元 Ce1 按水平、垂直 2 维地作大致为正格子状矩阵配置而成，1 个单元 Ce1 的像素由 2 个即第 1 及第 2 光电二极管 52a、52b 所构成。

本实施形态中第 1 读出晶体管 53a 的第 1 读出线 54a 与复位晶体管 59 的复位线 69 通过层间绝缘层 103(图 4)层叠作为双层配线层 104。第 2 读出晶体管 53b 的第 1 读出线 54b 与选择晶体管 62 的选择线 65 通过层间绝缘层 103(图 4)层叠作为双层配线层 105。

图 3 所示的布局中，这些双层配线层 104、105 在矩阵的水平方向上延伸并平行地被配置。光电二极管 52a、52b 配置于这些配线层的外侧，使内侧夹着第 1 及第 2 读出晶体管 53a、53b 及双层配线层 104、105 那样地定位。此外，连接于第 1 及第 2 读出晶体管的漏极的浮动扩散区域 56、复位晶体管 59、放大晶体管 57 以及选择晶体管 62 配置于双层配线层的内侧区域。

浮动扩散区域 56 做成方形，第 1 及第 2 读出晶体管 53a、53b 的漏极分别连接于该区域的 4 边中互相相对的 2 边 56a、56b。复位晶体管 59 的源极连接于 2 边 56a、56b 所夹的 1 边上。

详细地说，如图 2 所示，各单元及 2 个即第 1 及第 2 光电二极管 52a、52b 中，各自对应地设置读出晶体管 53a、53b 并连接其源极。各读出晶体管 53a、53b 的栅极兼作供给各自读出脉冲的读出线 54a、54b，读出晶体管 53a、53b 的漏极由共同的浮动扩散区域 56 形成。然后，相对于 2 个即第 1 及第 2 光电二极管 52a、52b 而言，共同设置放大晶体管 57、复位晶体管 59、选择晶体管 62。

此外，布局配置如图 3 所示，在同一单元内，在水平方向上以规定间隔仅配置做成在水平方向为长边的长方形的第 1 光电二极管 52a 或第 2 光电二极管 52b。而在垂直方向上，同一单元内的第 1 光电二极管 52a 与第光电二极管 52b

之间设置规定间隔，使与水平方向的邻接单元的第1光电二极管52a与第2光电二极管52b相邻地，交替地定位第1光电二极管52a与第2光电二极管52b。

配置在矩阵水平方向的各列的单元Ce1共同的第1读出线54a与第2读出线54b延伸在第1光电二极管52a与第2光电二极管52b之间。第1读出线54a是第1光电二极管52a侧的读出晶体管53a的栅极线。第2读出线54b是第2光电二极管52b侧的读出晶体管53b的栅极线。读出线54a、54b由多晶硅形成，而且各自与供给读出脉冲的读出线端部55a、55b相连接。

又，读出晶体管53a的栅极（第1读出线）54a与读出晶体管53b的栅极（第2读出线）54b之间，水平方向上依次配置大致为方形的浮动扩散区域56、接着用元件分离区域F隔开规定间隔、放大晶体管57的大致为方形的源极扩散区域67。与源极扩散区域67相邻配置放大晶体管57的方形栅极58，与栅极58相邻配置放大晶体管57的方形漏极61，进而以该漏极61区域作为源极，在其间设定规定间隔，对每个单元Ce1配置选择晶体管62的方形漏极63。

另一方面，以读出晶体管53a的栅极（第1读出线）54a与读出晶体管53b的栅极（第2读出线）54b分别作为下层，在这些层的上层，与多晶硅形成的复位晶体管59的栅极69a连接的复位线69及与选择晶体管62的栅极65a连接的选择线65，其各自与读出线之间设置绝缘层，在水平方向上延伸。而且，对于复位晶体管59的栅极69a从复位线69突出的形成，配置于浮动扩散区域56与邻接于水平方向的单元Ce1的选择晶体管62的漏极63之间，或选择晶体管62的漏极63与邻接于水平方向的单元Ce1的浮动扩散区域56之间。

选择晶体管62的栅极65a，从选择线65突出地形成，配置于放大晶体管57的漏极61与选择晶体管62的漏极63之间。又，在复位线69中，供给复位脉冲的复位线端子70连接于复位线端部，在选择线65中，供给选择脉冲的选择线端子65a连接于选择线。

在如上述构成的布局的各单元Ce1中，在垂直方向上用A1配线直接布线电源线64。单元Ce1的复位晶体管59的漏极与选择晶体管62的漏极63是共同的，电源线64以列单位各自相互连接。对于垂直方向上配置成列状的各单元Ce1的放大晶体管57的源极扩散区域67，输出由读出脉冲读出的信号的信号线68通过A1配置连接到每一个。而且对每个单元Ce1，连接浮动扩散区域56与放大晶体管57的栅极58的连接线73利用A1线布线。

又，上述中对放大晶体管57的栅极58，如图4所示，也可使与读出晶体

管 53a、53b 的栅极 54a、54b 同层，或者使与复位晶体管 59 的栅极 69a 与选择晶体管 62 的栅极 65a 同层，由相同的多晶硅形成，或者也可作为不同的层由别的多晶硅层、金属层形成。

作为本实施例的变形例如图 6 所示那样，选择线 65、复位线 69 作为双层配线也可以在上下邻接的单元的光电二极管 52a、52b 的间隙部中间通过。

对于 CMOS 图像传感器的概要动作根据图 5 所示的驱动脉冲波形、图 4 所示的图 3A-A' 线的断面图、图 4 所示的各处的势阱的变化图进行说明。

图 5 示出施加于读出晶体管的栅极（读出线）53a、53b 各读出脉冲 R1、R2，施加于复位晶体管的栅极 69a 的复位线 69 有关的复位脉冲波形 RS(69)，施加于选择晶体管的栅极 65a 的选择线 65 有关的寻址脉冲波形 ADD(65) 的时序图。

图 4 描述了作为以扩散设置了半导体基板 100 上的光电二极管 52a、52b 及浮动扩散区域 56 到放大晶体管 57 的栅极 58 的连接线的金属线 73。

图中表明了各与部分对应的势阱的变化。用箭头示出对应于脉冲波形的各高电平 H、低电平 L 的势阱变化的变化量。

作为驱动方法，首先使施加于复位晶体管的栅极 69a 的复位脉冲（RS(69)）为高电平，复位浮动扩散区域 56 的电位为复位晶体管的漏极电位（一定电位）（T1）。其次对选择晶体管的栅极 65a 施加地寻址脉冲（ADD(65)）的高电平，检测来自光电二极管 52a 的信号电荷的转送前的源极扩散区域 67 的电位（T2）。

接着使施加于读出晶体管的栅极 54a 的读出脉冲（R1(54a)）为高电平，从光电二极管 52a 向浮动扩散区域 56 转送信号电荷（T3）。该浮动扩散区域 56 的电位变化经连接线 73 传送到放大晶体管的栅极 58，一当施加到选择晶体管的栅极 65a 的寻址脉冲为高电平时，源极扩散区域 67 的电位就变化（T4）。这时，通过取出与无上述信号电荷的状态的差来抑制输出电路的噪声成分。接着，对复位晶体管的栅极 69a 再次施加复位脉冲的高电平，再次复位浮动扩散区域 65 的电位为复位晶体管的漏极电位（规定电平）（T5）。

以下同样地用读出脉冲（RS(54b)）进行光电二极管 52b 的信号电荷的读出。

又，对于与像素列的第 3 行、第 4 行的垂直方向下方相邻接的、在水平方向上排列的各单元 Ce1 的第 1、第 2 光电二极管 52a、52b 也与上述第 1 行、第二行同样的使浮动扩散区域 56 为共同的，进行信号电荷的读出。此外，通过

对于以下各行也同样地反复操作，进行有关作为像素部 10 的像素全部的第 1、第 2 光电二极管 52a、52b 的读出。

按照以上的结构，由于在对向地配置于读出晶体管 53a、53b 之间的读出晶体管 53a、53b 的栅极 54a、54b 之间，进一步设置浮动扩散区域 56，并与浮动扩散区域 56 相邻接的设置读取信号之后将其复位到规定电位的复位晶体管 59，所以现有布局（图 10~图 12）中必要的连接浮动扩散区域 16 与复位晶体管 19 的源极 20 的连接线 32 就不再需要。由此，单元 Ce1 内的输出电路的高集成化成为可能，可实现传感器整体的高集成化，提高析像度。

另一方面，根据本实施形态，通过将现有装置的复位晶体管的源极与用来连接它的连接线 32（图 12）变得没有必要，带来的优点是比现有装置更提高相对于信号电荷量的信号输出的变化、即放大器的增益。该放大器增益的增加约达 30%。

又，由于将第 1 光电二极管 52a 与第 2 光电二极管 52b 取作较长的长方形，其间对于以元件分离区域的宽度决定的规定间隔分别配置于水平方向上，而且垂直方向上在第 1 光电二极管 52a 与第 2 光电二极管 52b 之间，对每个单元 Ce1 配置共同的输出电路，所以从各光电二极管单元来看，光电二极管间元件分离区域的宽度约减为一半，由此，第 1 光电二极管 52a 与第二光电二极管 52b 的面积可以取得大，可增加相对于单元 Ce1 整个面积的占积率。

相对于光电二极管 52a 的水平方向的宽度而言，读出用浮动扩散区域 56 的水平方向宽度如图 3 那样十分小，而且在光电二极管相互水平方向的间隙部只存在元件分离区域。因此如图 6 那样，光电二极管 52a 相对于垂直相邻的光电二极管 52b 可在水平方向 X 上互相错开。由此错开成方格花纹，也可容易地实现提高析像率的布局。

第 2 实施形态

以下通过图 7 至图 9 说明第 2 实施形态。图 7 示出矩阵图，R1、R2 表示施加读出脉冲 R1、R2 的光电二极管的读出晶体管栅极区域，RS 表示复位晶体管栅极部分，AMP 表示放大晶体管和选择晶体管部分。

图中左侧示出发生读出脉冲 R1、R2 的外围电路 Y 驱动器电路（R1、R2），右侧示出发生寻址脉冲的外围电路 Y 驱动器电路（RS, AMP）。下侧示出依次读出信号线的信息用的外围电路读出电路。

图 7 的实施例 RS 部分通过迂回读出线 54a 而没有交叉部分。

图 8、图 9A、图 9B 中，CMOS 图像传感器的像素部 201 将多个单元 Ce2 配置成 2 维矩阵而成，一个单元 Ce2 的像素由 2 个即第 1 及第 2 光电二极管 52a、52b 构成，与图 2 所示的结构相同。

也就是说，在各单元 Ce2 的 2 个即第 1 及第 2 光电二极管 52a、52b 中分别对应地设置读出晶体管 53a、53b，供给各自读出脉冲的读出线端子 55a、55b 连接于各读出晶体管 53a、53b 的栅极 54a、54b。读出晶体管 53a、53b 的漏极由共同的浮动扩散区域 56 形成。此外，对于 2 个即第 1 及第 2 光电二极管 52a、52b，共同设置放大晶体管 57、复位晶体管 59、选择晶体管 62。

布局如图 9A 所示，以规定间隔在水平方向上仅配置做成平行的四边形的第 1 光电二极管 52a 或第 2 光电二极管 52b，在垂直方向上在各自之间设置规定间隔、交替定位地配置第 1 光电二极管 52a 与第 2 光电二极管 52b。各配置的第 1 光电二极管 52a 与第 2 光电二极管 52b 都将长边位于水平方向上。配置使得例如第 1 光电二极管 52a 其下侧长边比上侧长边位于更左方向，而第 2 光电二极管 52b 其下侧长边比上侧长边位于更右方向，同一单元 Ce2 的第 1 光电二极管 52a 的下侧长边 521a 与第 2 光电二极管 52b 的上侧长边 521b 在垂直方向上以规定间隔相对。

然后，在同一单元 Ce2 的第 1 光电二极管 52a 与第 2 光电二极管 52b 之间中直到两光电二极管 52a、52b 的相对长边 521a、521b 间与邻接单元 Ce2 之间，设置沿水平方向延伸的第 1 双层栅极线 202。栅极线 202 具有凸向垂直方向下方侧的大致成直角弯曲的第 1 V 字形部分 74a。以多晶硅形成的读出晶体管 53a 的栅极 54a 形成双层结构的下层，中间设置层间绝缘层，以相同的多晶硅形成的读出晶体管 53b 的栅极 54b 形成其上层，对各自相邻的各单元 Ce2 也同样设置地延伸于水平方向上。

另一方面，垂直方向上邻接的单元 Ce2 之间设置沿水平方向 X 延伸的第 2 双层栅极线 203。第 2 双层栅极线设置于第 2 光电二极管 52b 的下侧长边 521b 与邻接单元 Ce2 的第 1 光电二极管 52a 的上边长边 521a 之间。该栅极线 203 在沿光电二极管的两长边的水平部分与邻接的单元 Ce2 之间形成凸向垂直方向下方侧的大致成直角弯曲的第 2 V 字形部份 74b。

配置以多晶硅形成双层结构下层的复位晶体管 59 的栅极 69 与其间隔以层间绝缘层并以相同多层硅形成上层的选择晶体管 62 的栅极 65，对各自水平方

向上相邻的各单元 Ce2 也同样设置地延伸。

这样一来，形成了配置浮动扩散区域 56 的第 1 区域部分 75a 与配置放大晶体管 57 的第 2 区域部分 75b。该第 1 区域部分 75a 通过第 1 V 字形部分 74a 与第 2 V 字形部分 74b，再通过第 1 光电二极管 52a 的右侧短边与水平方向邻接单元 Ce2 的第 2 光电二极管 52b 的左侧短边形成大致的方形。而且该部分与第 1 光电二极管 52a 的水平方向右侧相邻地形成。第 2 区域部分 75b 以第 1 V 字形部分 74a 为间隔形成于第 2 光电二极管 52b 的水平方向右侧。

又，至于读出晶体管 53a 的栅极 54a，是从第 1 V 字形部分 74a 的开口端向着第 1 区域部分 75a 内侧沿第 1 光电二极管 52a 的右侧短边直角地突出部位 76，以与栅极 54a 相同的深度伸出。至于复位晶体管 59 的栅极 69，从水平部分向着第 1 区域部分 75a 内侧，根部为直角，而前端部分与栅极 54a 的突出部位 76 正交的突出部位 77，与栅极 69 有相同的深度。栅极 54a 的突出部 76 与栅极 69 的突出部 77，中间设置层间绝缘层，形成于不同的深度上。

读出晶体管 53a、53b 的栅极 54a、54b 上连接着供给读出脉冲的对应的读出线端子 55a、55b。供给复位脉冲的复位线 69 连接于复位晶体管 59 的栅极 77，选择晶体管 62 的栅极由供给选择脉冲的选择线 65 形成。

又，在第 1 区域部 75a 内配置方形的浮动扩散区域 56 与台形选择晶体管 62 的漏极 63，使夹着形成复位晶体管 59 的栅极的突出部位。

图 9B 示出扩大的图形，方形的浮动扩散区域第 1 至第 4 各边 56c、56d、56e、56f 相对于所述矩阵配置的水平方向 X 配置成大致 45° 的方向。沿相邻的第 1 边 56c 与第 2 边 56d，且互相垂直地配置上述第 1 及第 2 读出晶体管的栅极 76、54b。与第 3 边 56f 相对地配置复位晶体管 62 的栅极 69。在第 4 边 56e 的方向配置放大晶体管 57，从浮动扩散区域 56 到放大晶体管的栅极 58 引出金属接线 73。

在第 2 区域部分 75b 内配置方形的源极扩散区域 67 与方形的放大晶体管 57 的漏极 61，使平行于第 2 光电二极管 52b 的左侧短边的方形的放大晶体管 67 的栅极 58 夹在中间。

然后，如上结构的布局的各单元 Ce2 中，相对于也作为配置在 Y 方向上的各单元 Ce2 的复位晶体管 59 的漏极的选择晶体管 62 的漏极 63，各自相互连接地用 A1 线直接布线电源线 64。同样，相对于配置在垂直方向上的各单元 Ce2 的放大晶体管 57 的源极扩散区域 67，输出用读出脉冲读出的信号的信号线 68

用 A1 线相互连接地布线。而且对每个单元 Ce2，连接浮动扩散区域 56 与放大晶体管 57 的栅极 58 的连接线 73 用 A1 线布线。

按照上述，将读出晶体管 53a 的栅极 54a 与读出晶体管 53b 的栅极 54b 做成上下 2 层形成双层配线 202，在水平方向 X 上延伸，将复位晶体管 59 的栅极 69 与选择晶体管 62 的栅极 65 同样做成双层配线 203，在水平方向 X 上延伸。而且将层叠成各上下 2 层的栅极线 54a、54b 与栅极线 65、69 交替地配置在垂直方向 Y 上。而且在单元内交替配置的时间隔仅在水平方向上配置做成平行四边形的第 1 光电二极管 52 或第 2 光电二极管 52b。通过垂直方向上交替配置，能将第 1 光电二极管 52a 与第 2 光电二极管 52b 的面积取得较大，使增大相对于单元 Ce2 全体面积的占积率。

又，对读出晶体管 53a、53b、复位晶体管 59、选择晶体管 62 的各栅极 54a、54b、69、65，每个单元 Ce2 形成弯曲成大致直角的第 1、第 2 V 字形部分 74a、74b，设置第 1、第 2 区域部分 75a、75b，在这些区域部分 75a、75b 内配置 2 个读出晶体管 53a、53b 共同的浮动扩散区域 65 和放大晶体管 57 的栅极 58。这时，由于方形的浮动扩散区域 56 相对于水平方向以大致倾斜 45°的状态配置，故在垂直方向的宽度约减小 0.7 倍。

这样，第 1 光电二极管 52a 与第 2 光电二极管 52b 的垂直方向的配置间隔仅由邻接单元 Ce2 的元件分离区域的宽度、层叠化后的读出晶体管 53a、53b、复位晶体管 59、选择晶体管 62 的各栅极 54a、54b、69、65 的宽度来决定，由此在垂直方向上的高集成化成为可能。

又，由于使在第 1、第 2 区域部分 75a、75b 内设置浮动扩散区域 56，并与浮动扩散区域 56 邻接地设置在信号读出后将其复位到规定电位的复位晶体管 59，故现有布局中所必要的将复位晶体管 59 的源极 60 与浮动扩散区域 56 连接的连接线就不必要。通过这样的结构，单元 Ce2 内的输出电路的高集成化成为可能，可实现传感器全体的高集成化，提高析像度。

如将本发明的实施形态与采用矩阵图的现有装置作比较的话，

关于图 10 中所示的现有装置的特征如图中虚线所示，从浮动扩散区域至 RS 之间读出线 15a 形成交叉部 40，这样，图 11、12 所示那样复位晶体管的源极区域 20 及连接线 32 成为必要。

图 7 所示的本实施形态的矩阵图中能够迂回读出线，故没有交叉部。

由以上说明可见，采用本发明就可有效地配置构成单元的元件和布线等，

能高集成化，而且可提高光电二极管面积 30%以上，而且使电荷电压变换增益提高并增加定时增益，可实现提供高灵敏度传感器等的效果。

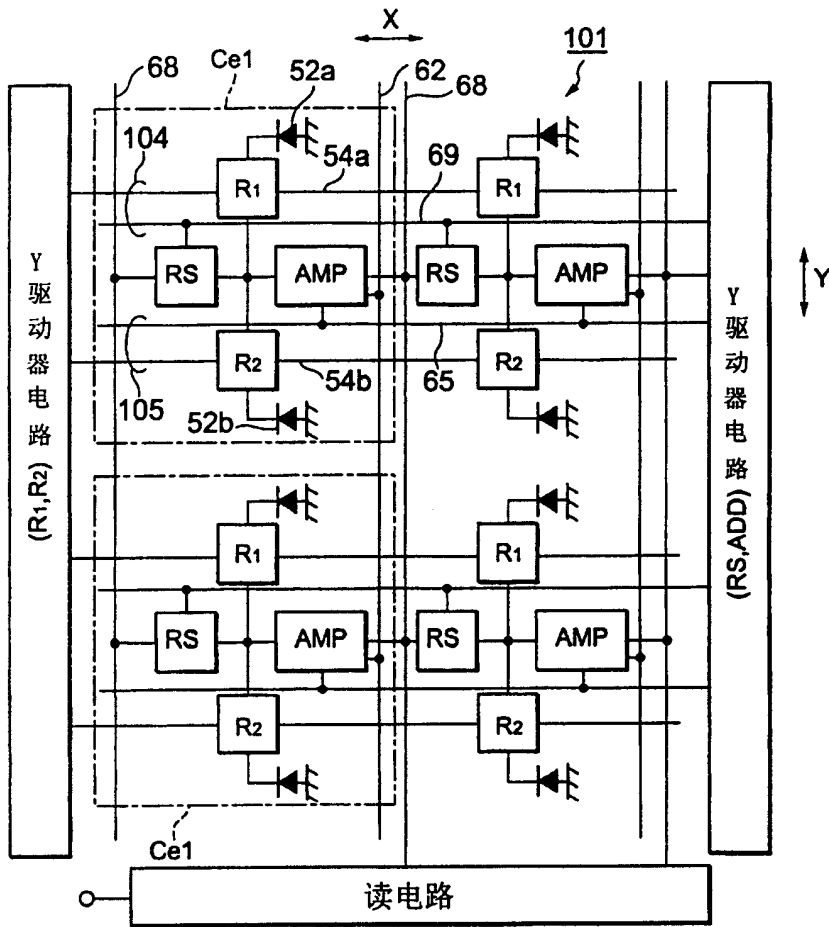


图 1

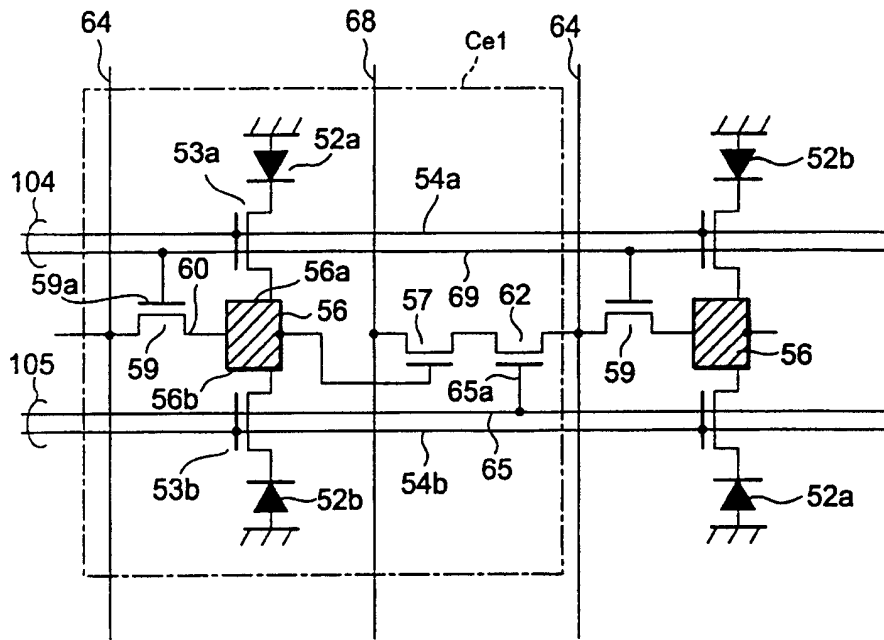


图 2

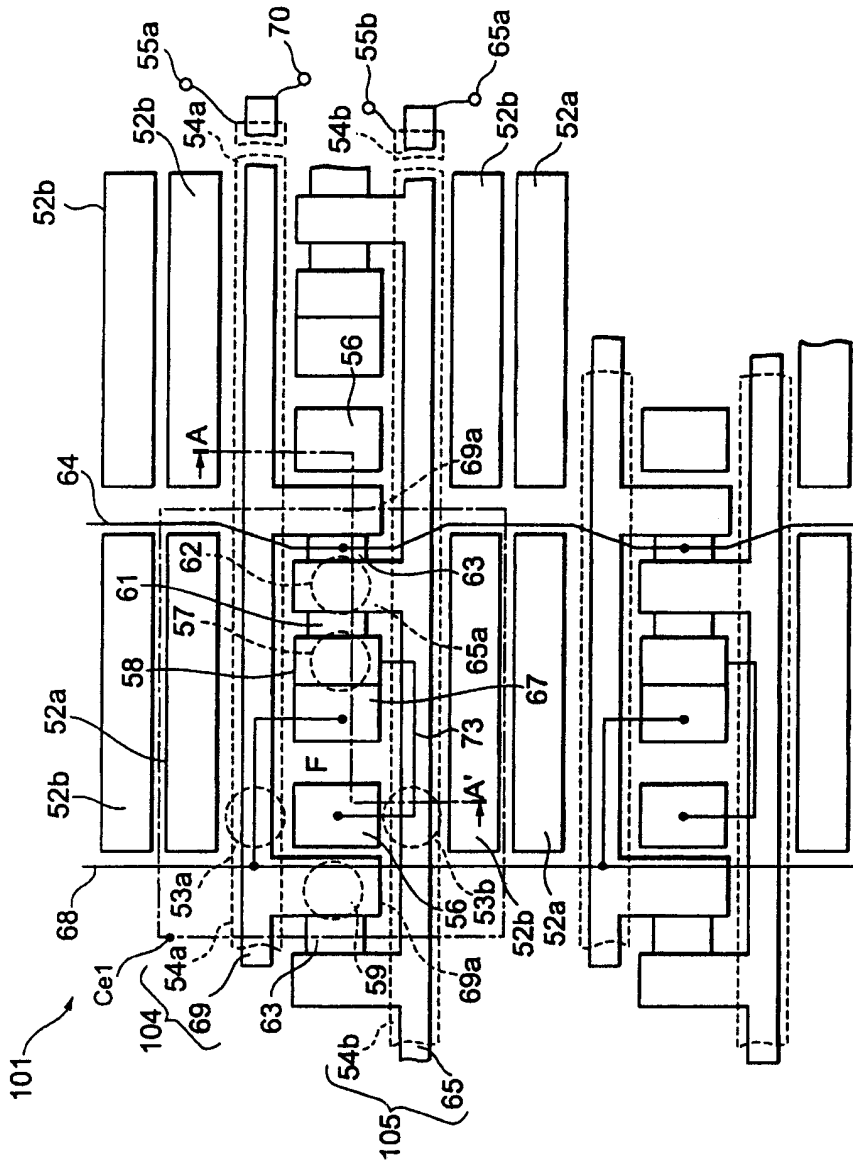


图 3

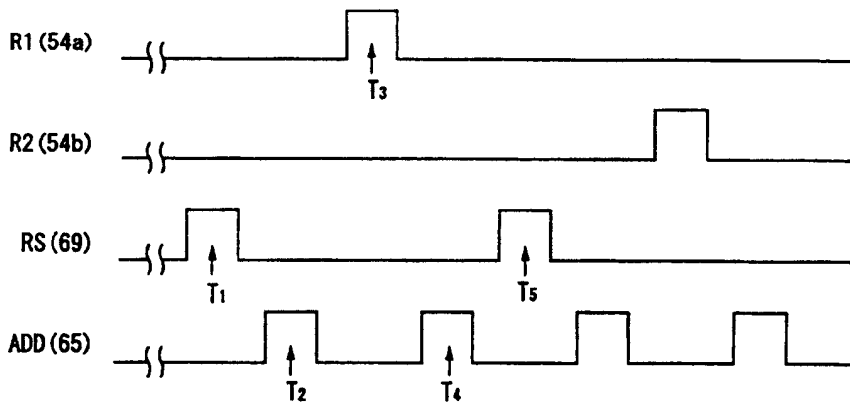


图 5

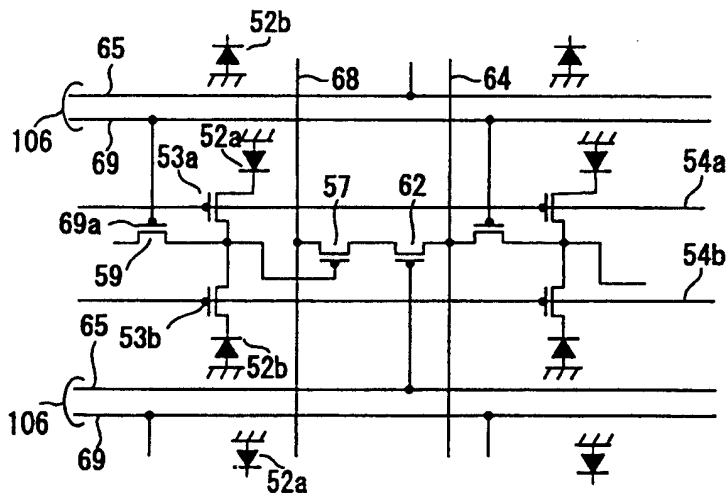


图 6

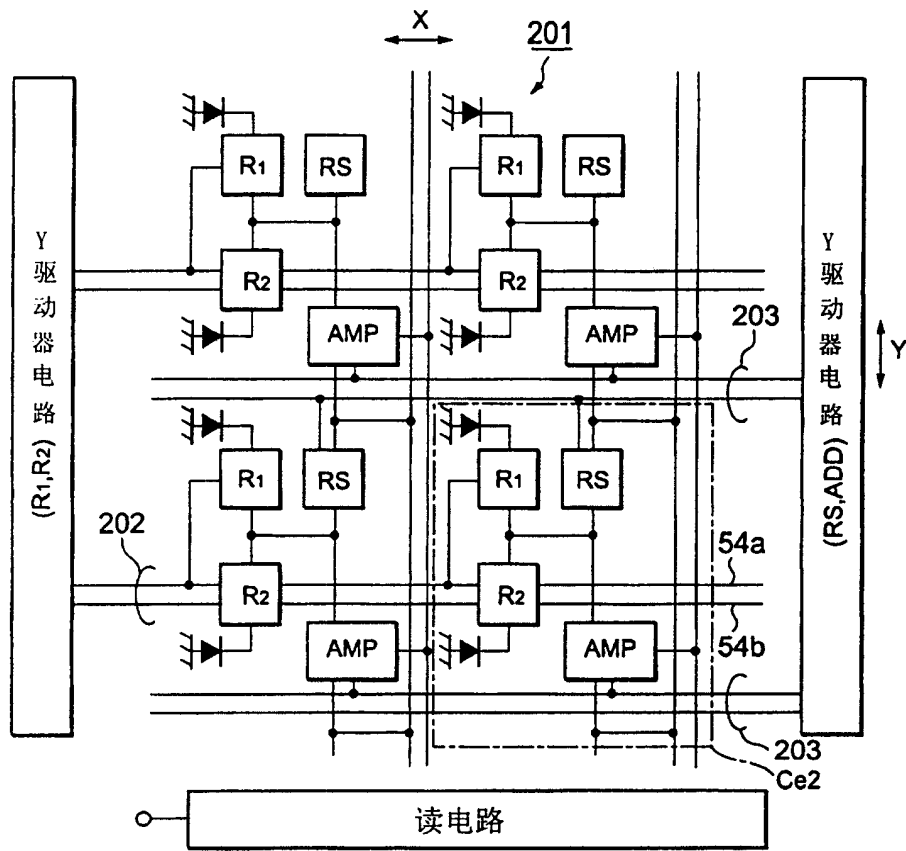


图 7

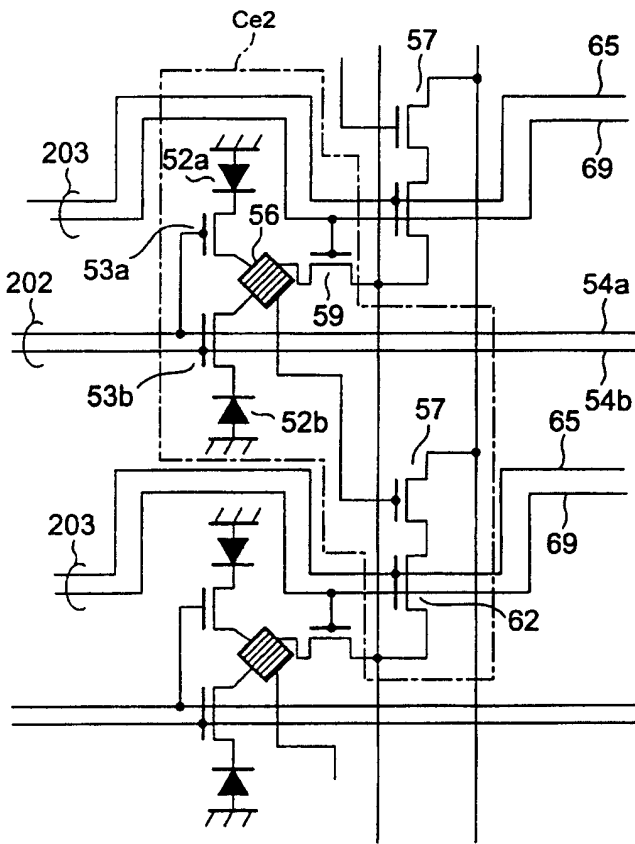


图 8

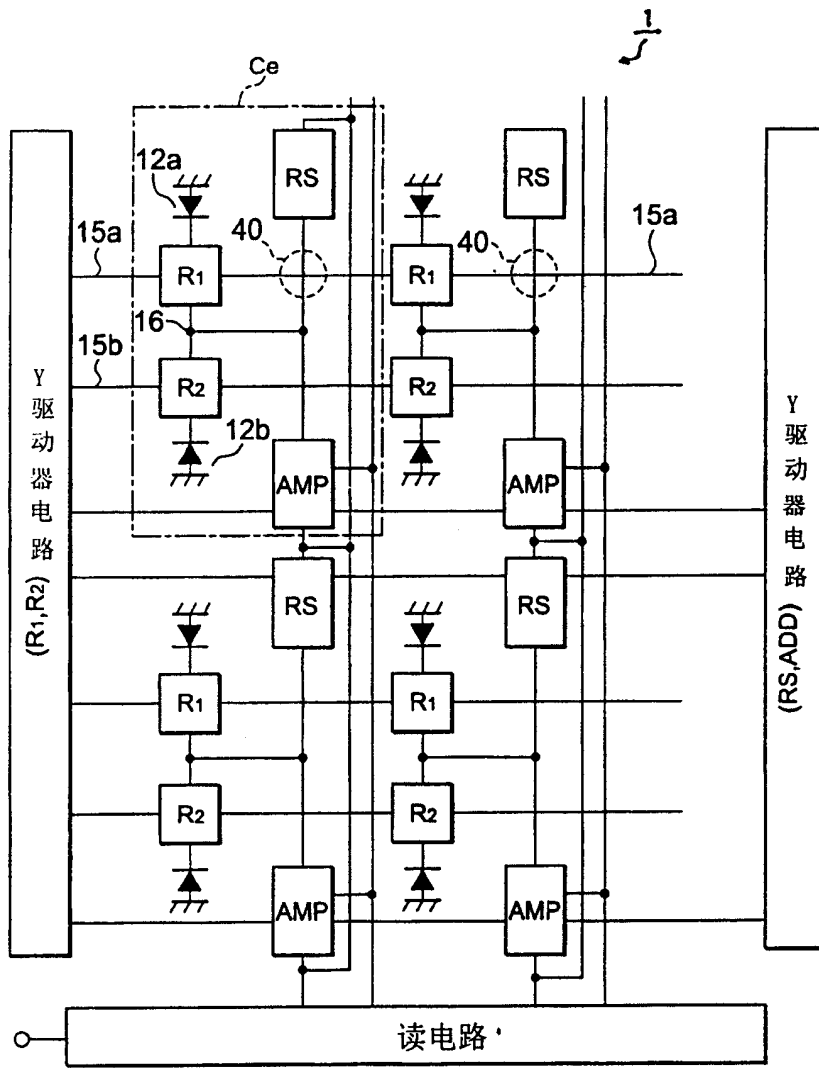


图 10

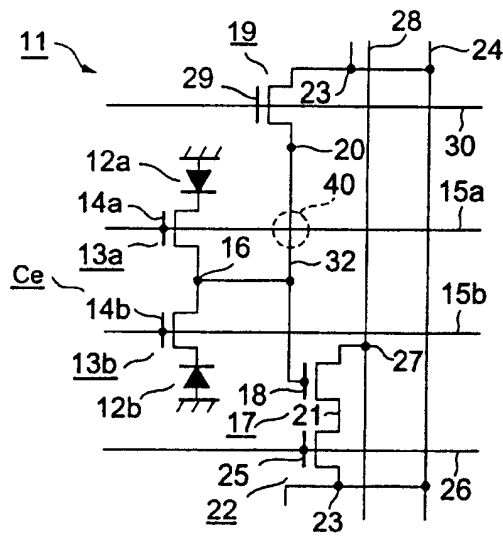


图 11

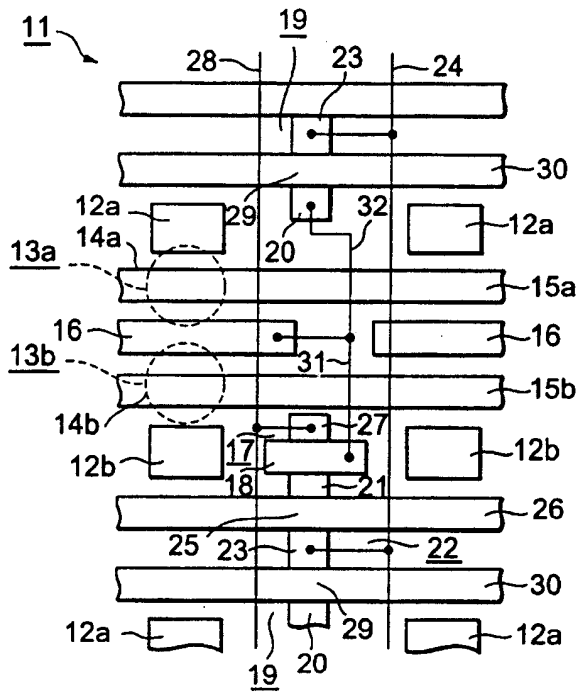


图 12