

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5721994号
(P5721994)

(45) 発行日 平成27年5月20日 (2015. 5. 20)

(24) 登録日 平成27年4月3日 (2015. 4. 3)

(51) Int. Cl.

F I

H O 4 N 5/374 (2011. 01)

H O 4 N 5/335 7 4 O

H O 1 L 27/146 (2006. 01)

H O 1 L 27/14 C

H O 4 N 5/32 (2006. 01)

H O 4 N 5/32

G O 2 F 1/135 (2006. 01)

G O 2 F 1/135

G O 2 F 1/1333 (2006. 01)

G O 2 F 1/1333

請求項の数 2 (全 40 頁)

(21) 出願番号 特願2010-225548 (P2010-225548)
 (22) 出願日 平成22年10月5日 (2010. 10. 5)
 (65) 公開番号 特開2011-135561 (P2011-135561A)
 (43) 公開日 平成23年7月7日 (2011. 7. 7)
 審査請求日 平成25年9月27日 (2013. 9. 27)
 (31) 優先権主張番号 特願2009-270424 (P2009-270424)
 (32) 優先日 平成21年11月27日 (2009. 11. 27)
 (33) 優先権主張国 日本国 (JP)

前置審査

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 100089118
 弁理士 酒井 宏明
 (74) 代理人 100118762
 弁理士 高村 順
 (72) 発明者 高德 真人
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 千田 みちる
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

審査官 木方 庸輔

最終頁に続く

(54) 【発明の名称】放射線撮像装置

(57) 【特許請求の範囲】

【請求項 1】

複数のセンサ素子が2次元行列的に配列され、入射した放射線または放射線を波長変換した後の光に応じて電荷を発生する画素部と、

複数の前記センサ素子を駆動するセンサ駆動手段と

を備え、

前記複数のセンサ素子はそれぞれ、

受光量に応じた電荷を発生する光電変換素子と、

前記光電変換素子の一端に接続され、前記光電変換素子によって変換された電荷が蓄積される電荷蓄積部と、

前記電荷蓄積部の蓄積電荷に応じた電圧値または蓄積電荷を読み出してセンサ検出信号として出力する読み出し動作を行う読み出し手段と、

前記電荷蓄積部に所定のリセット電圧を与えることにより前記電荷蓄積部に蓄積された蓄積電荷をリセットするリセット動作を行うリセット手段と

を有し、

前記光電変換素子は、p型半導体領域と、n型半導体領域と、前記p型半導体領域と前記n型半導体領域との間に形成された真性半導体領域とが垂直方向に積層配置されたP I N構造であり、

前記センサ駆動手段は、

前記読み出し動作が行われた前記センサ素子に対して次の前記読み出し動作が行われる

までの間に前記所定のリセット電圧が1水平走査期間を超える期間に亘って間欠的に2回前記電荷蓄積部に与えられるように前記リセット手段を制御し、

1回目のリセット動作は、前記読み出し動作が行われる前記センサ素子の行に設けられた前記センサ素子に対して前記読み出し動作と同時に行われ、

2回目のリセット動作は、全ての前記センサ素子に対して一括して行われる放射線撮像装置。

【請求項2】

入射した放射線を放射線よりも波長の長い光に変換する波長変換手段をさらに備え、前記画素部は、前記波長変換手段によって波長変換された後の光に応じて電荷を発生する

請求項1に記載の放射線撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物体の撮像や近接物体の位置検出を行うためのセンサ装置、そのようなセンサ装置に適用されるセンサ素子の駆動方法、センサ機能（入力機能）と表示機能とを有する入力機能付き表示装置、ならびに、そのような表示装置を備えた電子機器に関する。また、 α 線、 β 線、 γ 線、X線に代表される放射線を波長変換して、放射線に基づく情報を読み取る放射線撮像装置に関する。

【背景技術】

【0002】

従来より、光電変換素子がマトリクス状に配置されたセンサパネルを有する光学式のセンサ装置が知られている（特許文献1，2参照）。また、表示パネル内に表示画素と共に光電変換素子をマトリクス状に配置することで、表示パネルそのものに光学式のセンサ機能を持たせた表示装置が開発されている（特許文献3，4参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平9-92807号公報

【特許文献2】特開2001-345440号公報

【特許文献3】特開2006-276223号公報

【特許文献4】特開2008-233257号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記のようなセンサ装置または表示装置では、受光量に応じて発生した光電変換素子からの電荷を蓄積容量に蓄積し、その蓄積容量の蓄積電荷に応じた電圧値を読み出してセンサ検出信号として出力する。パネル表面に近接した物体の位置、距離、および大きさ等に応じて光電変換素子に入射する光量が変化し、センサ検出信号も変化するので、マトリクス状に配置された複数の受光素子からの各センサ検出信号を適切に信号処理することで、パネル上に近接した物体の位置等を検出することができる。このような装置では、光電変換素子による所定の受光（露光）期間後に、読み出し動作をし、その後、蓄積容量に所定のリセット電圧を与えることにより蓄積容量に蓄積された蓄積電荷をリセットする。その後、再び受光、読み出しをするといったセンサ動作を繰り返す。

【0005】

このようなセンサ動作において、リセット動作をしたにも関わらず、リセット前の蓄積容量の状態が残ってしまう場合がある。リセット前の蓄積容量の状態が残ってしまうと、次の読み出し動作時において、いわゆる残像が発生してしまい、良好な検出結果が得られなくなってしまう。従来、例えば上記特許文献2には、リセット用トランジスタを用いて残像を低減する発明が開示されている。しかしながら、従来ではゲート電極を有するP I

10

20

30

40

50

N型のフォトダイオードを光電変換素子として用いた場合に生ずる残像の問題については対策が不十分である。PIN型のフォトダイオードの場合、i層が蓄積状態（飽和状態）、空乏状態、もしくは反転状態のいずれかの状態になる。特にi層が蓄積状態となった後に短期間、リセット電圧を与えても、蓄積容量に蓄積された蓄積電荷を十分にリセットすることができない問題があり、その対策が必要とされている。

【0006】

本発明はかかる問題点に鑑みてなされたもので、その目的は、例えば光電変換素子が蓄積状態（飽和状態）となった場合であっても、残像が低減するように電荷蓄積部に蓄積された蓄積電荷を確実にリセットして、安定した検出動作を行うことができるようにしたセンサ装置、センサ素子の駆動方法、入力機能付き表示装置および電子機器、ならびに放射線撮像装置を提供することにある。

10

【課題を解決するための手段】**【0007】**

本発明によるセンサ装置は、2次元的に配列された複数のセンサ素子と、センサ素子を駆動するセンサ駆動手段とを備え、センサ素子が、受光量に応じた電荷を発生する光電変換素子と、光電変換素子の一端に接続され、光電変換素子によって変換された電荷が蓄積される電荷蓄積部と、電荷蓄積部の蓄積電荷に応じた電圧値または蓄積電荷を読み出してセンサ検出信号として出力する読み出し手段と、電荷蓄積部に所定のリセット電圧を与えることにより電荷蓄積部に蓄積された蓄積電荷をリセットするリセット手段とを有するものである。そして、センサ駆動手段が、所定のリセット電圧が1水平走査期間を超える期間に亘って連続または間欠的に電荷蓄積部に与えられるようにリセット用トランジスタを駆動制御するようにしたものである。

20

【0008】

本発明によるセンサ素子の駆動方法は、受光量に応じた電荷を発生する光電変換素子と、光電変換素子の一端に接続され、光電変換素子によって変換された電荷が蓄積される電荷蓄積部と、電荷蓄積部の蓄積電荷に応じた電圧値または蓄積電荷を読み出してセンサ検出信号として出力する読み出し手段と、電荷蓄積部に所定のリセット電圧を与えることにより電荷蓄積部に蓄積された蓄積電荷をリセットするリセット手段とを有して2次元的に配列された複数のセンサ素子を駆動する際に、所定のリセット電圧が1水平走査期間を超える期間に亘って連続または間欠的に電荷蓄積部に与えられるようにリセット手段を制御するようにしたものである。

30

【0009】

本発明による入力機能付き表示装置は、複数の表示画素と複数のセンサ素子とが2次元的に配列された表示パネルと、複数の表示画素を駆動する表示駆動手段と、複数のセンサ素子を駆動するセンサ駆動手段とを備えたものである。そして、複数のセンサ素子のそれぞれに対して、上記本発明によるセンサ装置のセンサ駆動手段と同様の制御を行うようにしたものである。

本発明による電子機器は、本発明による入力機能付き表示装置を備えたものである。

【0010】

本発明による放射線撮像装置は、複数のセンサ素子が2次元的に配列され、入射した放射線または放射線を波長変換した後の光に応じて電荷を発生する画素部を備えたものである。そして、複数のセンサ素子のそれぞれに対して、上記本発明によるセンサ装置のセンサ駆動手段と同様の制御を行うようにしたものである。

40

【0011】

本発明によるセンサ装置、センサ素子の駆動方法、入力機能付き表示装置、電子機器または放射線撮像装置では、センサ素子において、受光量に応じた電荷が光電変換素子で発生する。そして、光電変換素子によって変換された電荷が電荷蓄積部に蓄積され、電荷蓄積部の蓄積電荷または蓄積電荷に応じた電圧値がセンサ検出信号として出力される。電荷蓄積部に蓄積された蓄積電荷は、電荷蓄積部に所定のリセット電圧が与えられることによりリセットされる。このとき、所定のリセット電圧を1水平走査期間を超える期間に亘

50

て連続または間欠的に蓄積容量に与えることにより、例えば光電変換素子が飽和状態となった場合であっても、残像が低減されるように電荷蓄積部に蓄積された蓄積電荷を確実にリセットすることができる。

【発明の効果】

【0012】

本発明のセンサ装置、センサ素子の駆動方法、入力機能付き表示装置、電子機器または放射線撮像装置によれば、所定のリセット電圧が1水平走査期間を超える期間に亘って連続または間欠的に電荷蓄積部に与えられるようにしたので、例えば光電変換素子が飽和状態となった場合であっても、残像が低減するように電荷蓄積部に蓄積された蓄積電荷を確実にリセットして、安定した検出動作（撮像動作）を行うことができる。

10

【図面の簡単な説明】

【0013】

【図1】本発明の第1の実施の形態に係る入力機能付き表示装置の構成例を表すブロック図である。

【図2】図1に示したI/Oディスプレイパネルの構成例を表すブロック図である。

【図3】図2に示した表示エリア（センサエリア）内の画素配置例を表す平面図である。

【図4】図3に示した画素配置におけるセンサ素子（撮像素子）と信号線との接続関係の一例を表す平面模式図である。

【図5】図1に示した表示装置におけるセンサ素子の構成例を表す回路図である。

【図6】図5に示したセンサ素子における主要部分の構造を表す断面図である。

20

【図7】（A）は光電変換素子が蓄積状態（飽和状態）にある場合を示す説明図であり、（B）は光電変換素子が空乏状態にある場合を示す説明図である。

【図8】図5に示したセンサ素子における容量カップリングについて説明するための回路図である。

【図9】図5に示したセンサ素子における残像特性を示す特性図である。

【図10】図1に示した表示装置におけるセンサ動作（撮像動作）の一例を表すタイミング波形図である。

【図11】（A）はリセット制御信号の比較例を示す波形図であり、（B）はリセット制御信号の第1の例を示す波形図であり、（C）はリセット制御信号の第2の例を示す波形図である。

30

【図12】（A）は図1に示した表示装置において、強い外光がある場合にセンサエリアに近接物体がある状態を示し、（B）はその状態におけるセンサ出力電圧の例を示す説明図である。

【図13】（A）は図1に示した表示装置において、外光が弱い場合にセンサエリアに近接物体がある状態を示し、（B）はその状態におけるセンサ出力電圧の例を示す説明図である。

【図14】差分画像を用いた近接物体の検出方法について説明するための写真図である。

【図15】（A）は図1に示した表示装置において近接物体の検出処理の結果を利用したアプリケーションプログラムの第1の実行例を示し、（B）は第2の実行例を示す説明図である。

40

【図16】近接物体の検出処理の結果を利用したアプリケーションプログラムの第3の実行例を示す説明図である。

【図17】近接物体の検出処理の結果を利用したアプリケーションプログラムの第4の実行例を示す説明図である。

【図18】近接物体の検出処理の結果を利用したアプリケーションプログラムの第5の実行例を示す説明図である。

【図19】図1に示した表示装置の第1の適用例の外観を表す斜視図である。

【図20】（A）は第2の適用例の表側から見た外観を表す斜視図であり、（B）は裏側から見た外観を表す斜視図である。

【図21】第3の適用例の外観を表す斜視図である。

50

【図 2 2】第 4 の適用例の外観を表す斜視図である。

【図 2 3】(A) は第 5 の適用例の開いた状態の正面図、(B) はその側面図、(C) は閉じた状態の正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

【図 2 4】本発明の第 2 の実施の形態に係る光電変換装置の一構成例を表すブロック図である。

【図 2 5】光電変換装置と波長変換体の組合せからなる放射線撮像装置を表す構成図である。

【図 2 6】図 2 4 に示した光電変換装置に適用されるアクティブ型の画素回路の第 1 の構成例を示す回路図である。

10

【図 2 7】図 2 4 に示した光電変換装置に適用されるアクティブ型の画素回路の第 2 の構成例を示す回路図である。

【図 2 8】図 2 4 に示した光電変換装置に適用されるパッシブ型の画素回路の第 1 の構成例を示す回路図である。

【図 2 9】図 2 4 に示した光電変換装置に適用されるパッシブ型の画素回路の第 2 の構成例を示す回路図である。

【図 3 0】図 2 4 に示した光電変換装置の要部を示す断面図である。

【図 3 1】図 2 6 および図 2 7 に示したアクティブ型の画素回路に適用される動作タイミングの第 1 の例を示す説明図である。

【図 3 2】図 2 8 および図 2 9 に示したパッシブ型の画素回路に適用される動作タイミングの第 1 の例を示す説明図である。

20

【図 3 3】図 3 1 に示した動作タイミングに対応するタイミングチャートである。

【図 3 4】図 3 2 に示した動作タイミングに対応するタイミングチャートである。

【図 3 5】図 2 6 および図 2 7 に示したアクティブ型の画素回路に適用される動作タイミングの第 2 の例を示す説明図である。

【図 3 6】図 3 5 に示した動作タイミングに対応するタイミングチャートである。

【図 3 7】図 2 6 および図 2 7 に示したアクティブ型の画素回路に適用される動作タイミングの第 3 の例を示す説明図である。

【図 3 8】図 2 8 および図 2 9 に示したパッシブ型の画素回路に適用される動作タイミングの第 2 の例を示す説明図である。

30

【図 3 9】アクティブ型の画素回路に適用される比較例の動作タイミングの第 1 の例を示す説明図である。

【図 4 0】アクティブ型の画素回路に適用される比較例の動作タイミングの第 2 の例を示す説明図である。

【図 4 1】パッシブ型の画素回路に適用される比較例の動作タイミングの第 1 の例を示す説明図である。

【図 4 2】アクティブ型の画素回路の特性検証用の動作タイミングを示す説明図である。

【図 4 3】パッシブ型の画素回路の特性検証用の動作タイミングを示す説明図である。

【図 4 4】(A) は特性検証用の光照射のタイミングを示すタイミングチャートであり、(B) は特性検証用のリセット制御信号の印加タイミングを示すタイミングチャートである。

40

【図 4 5】アクティブ型の画素回路の出力電圧を直接的に測定した結果を示す特性図である。

【図 4 6】図 2 7 に示したアクティブ型の画素回路の第 2 の構成例において画素回路単体での出力電圧をアンプを通した後に測定した結果を示す特性図である。

【図 4 7】図 2 6 に示したアクティブ型の画素回路の第 1 の構成例において画素回路単体での出力電圧をアンプを通した後に測定した結果を示す特性図である。

【図 4 8】(A) はアクティブ型の画素回路の第 2 の構成例において画素回路単体での出力電圧をアンプを通さずに直接的に検証した結果を示す特性図であり、(B) はアクティブ型の画素回路の第 1 の構成例において画素回路単体での出力電圧をアンプを通さずに直

50

接的に検証した結果を示す特性図である。

【図４９】アクティブ型の画素回路の特性検証用の動作タイミングを示す説明図である。

【図５０】アクティブ型の画素回路においてリセット電圧を印加するタイミングを変化させた場合の出力電圧を測定した結果を示す特性図である。

【図５１】（Ａ）はアクティブ型の画素回路において１フレーム期間内で間欠的にリセット電圧を印加した場合の出力電圧を測定した結果を示す特性図であり、（Ｂ）はアクティブ型の画素回路において１フレーム期間内で連続的にリセット電圧を印加した場合の出力電圧を測定した結果を示す特性図である。

【発明を実施するための形態】

【００１４】

10

以下、本発明を実施するための最良の形態（以下、単に実施の形態という）について、図面を参照して詳細に説明する。

【００１５】

<第１の実施の形態>

[入力機能付き表示装置の全体構成]

図１は、本発明の第１の実施の形態に係る入力機能付き表示装置（表示撮像装置）の全体構成の一例を表すものである。この表示装置は、Ｉ／Ｏディスプレイパネル２０と、バックライト１５と、表示ドライブ回路１２と、受光ドライブ回路１３と、画像処理部１４と、アプリケーションプログラム実行部１１とを備えている。

【００１６】

20

Ｉ／Ｏディスプレイパネル２０は、例えば液晶パネル（ＬＣＤ（Liquid Crystal Display））からなる。Ｉ／Ｏディスプレイパネル２０は、後述する図３に示すように複数の表示画素３１ＲＧＢが行列状にマトリクス配置され、線順次動作をしながら表示データに基づく所定の図形や文字などの画像を表示する表示パネルとしての機能（表示機能）を有している。Ｉ／Ｏディスプレイパネル２０にはまた、後述する図３に示すように複数のセンサ素子３３が撮像素素として行列状にマトリクス配置され、パネル表面に接触または近接する物体（近接物体）を検出、撮像するセンサパネルとしての機能（検出機能、撮像機能）を有している。

【００１７】

バックライト１５は、Ｉ／Ｏディスプレイパネル２０の表示および検出用の光源であり、例えば複数の発光ダイオードが配置されたものである。バックライト１５は、表示ドライブ回路１２によって駆動制御され、後述するようにＩ／Ｏディスプレイパネル２０の動作タイミングに同期した所定のタイミングで、高速にオン・オフ（点灯・消灯）動作が可能となっている。バックライト１５は、Ｉ／Ｏディスプレイパネル２０の背面側からパネル表面に向けて周期的に照明光Ｌｏｎを照射するようになっている。

30

【００１８】

表示ドライブ回路１２は、Ｉ／Ｏディスプレイパネル２０において表示データに基づく画像が表示されるように（表示動作を行うように）、このＩ／Ｏディスプレイパネル２０の表示画素３１ＲＧＢの駆動を行う（線順次表示動作の駆動を行う）回路である。表示ドライブ回路１２はまた、バックライト１５のオン・オフ（点灯・消灯）制御を行うようになっている。

40

【００１９】

受光ドライブ回路１３は、Ｉ／Ｏディスプレイパネル２０の各センサ素子（撮像素素）３３からセンサ検出信号（撮像信号）が得られるように（物体を検出、撮像するように）、このＩ／Ｏディスプレイパネル２０の駆動を行う（線順次撮像動作の駆動を行う）回路である。なお、各センサ素子３３からのセンサ検出信号（撮像信号）は、例えばフレーム単位でフレームメモリ１３Ａに蓄積され、検出画像（撮像画像）として画像処理部１４へ出力されるようになっている。

【００２０】

画像処理部１４は、受光ドライブ回路１３から出力される撮像画像に基づいて所定の画

50

像処理（演算処理）を行うものである。画像処理部 14 は、画像処理を行った結果として、例えば I/O ディスプレイパネル 20 に近接等する物体に関する物体情報（位置座標データ、物体の形状や大きさに関するデータなど）を検出し、取得するようになっている。

【0021】

アプリケーションプログラム実行部 11 は、画像処理部 14 による検知結果に基づいて所定のアプリケーションソフトに応じた処理を実行するものである。この処理としては例えば、検知した物体の位置座標を表示データに含むようにし、I/O ディスプレイパネル 20 上に表示させるものなどが挙げられる。なお、このアプリケーションプログラム実行部 11 で生成される表示データは、表示ドライバ回路 12 へ供給されるようになっている。

10

【0022】

[I/O ディスプレイパネル 20 の構成例]

図 2 は、I/O ディスプレイパネル 20 の構成例を示している。I/O ディスプレイパネル 20 は、表示エリア（センサエリア）21 と、表示用 H ドライバ 22 と、表示用 V ドライバ 23 と、センサ読み出し用 H ドライバ 25 と、センサ用 V ドライバ 24 とを有している。

【0023】

図 1 および図 2 において、受光ドライバ回路 13、センサ用 V ドライバ 24 およびセンサ読み出し用 H ドライバ 25 は、本発明における「センサ駆動手段」の一具体例に対応している。表示ドライバ回路 12、表示用 H ドライバ 22 および表示用 V ドライバ 23 は、「表示駆動手段」の一具体例に対応している。I/O ディスプレイパネル 20 は、「表示パネル」および「センサパネル」の一具体例に対応している。受光ドライバ回路 13 および画像処理部 14 は、「信号処理手段」の一具体例に対応している。

20

【0024】

表示エリア（センサエリア）21 は、バックライト 15 からの光を変調して照射光（表示光と、例えば赤外光源等（図示せず）による検出用の照射光とを含むもの。以下同様。）を出射すると共にこのエリアに接触または近接する物体を検出（撮像）する領域である。表示エリア（センサエリア）21 には、表示画素 31 RGB（例えば液晶素子）と、後述するセンサ素子 33 とが、それぞれマトリクス状に配置されている。

【0025】

表示用 H ドライバ 22 は、表示ドライバ回路 12 から供給される表示駆動用の表示信号および制御クロックに基づいて、表示用 V ドライバ 23 と共に表示エリア 21 内の表示画素 31 RGB を線順次駆動するものである。

30

【0026】

センサ読み出し用 H ドライバ 25 は、受光ドライバ回路 13 による駆動制御に従って、センサ用 V ドライバ 24 と共にセンサエリア 21 内の撮像画素としてのセンサ素子 33 を線順次駆動し、検出信号（撮像信号）を取得するものである。受光ドライバ回路 13 は、近接物体に対してバックライト 15 からの照射光が照射されているときに、照射光による反射光と環境光（外光）との合算光量に応じてセンサ素子 33 に充電電荷が蓄積されるような駆動制御を行うようになっている。また、バックライト 15 からの照射光が照射されていないときに、環境光の光量に応じてセンサ素子 33 に充電電荷が蓄積されるような駆動制御を行うようになっている。センサ読み出し用 H ドライバ 25 は、これらの駆動制御によりセンサ素子 33 から取得された、バックライト 15 がオン時とオフ時とにおける各センサ検出信号（撮像信号）を受光ドライバ回路 13 に出力するようになっている。

40

【0027】

図 3 は、表示エリア（センサエリア）21 における各画素の詳細構成例を示している。例えば図 3 に示したように、表示エリア 21 の画素 31 は、表示画素 31 RGB と、撮像画素としてのセンサ素子 33 と、センサ素子 33 用の配線が形成された配線部 32 とから構成されている。表示画素 31 RGB は、赤（R）用の表示画素 31 R と、緑（G）用の表示画素 31 G と、青（B）用の表示画素 31 B とから構成されている。これら表示画素

50

3 1 R G B、センサ素子 3 3 および配線部 3 2 はそれぞれ、表示エリア（センサエリア）2 1 上でマトリクス状に並んで配置されている。また、センサ素子 3 3 と、このセンサ素子 3 3 を駆動するための配線部 3 2 とが、一定周期で互いに分離配置されている。このような配置により、センサ素子 3 3 および配線部 3 2 からなるセンサリアを表示画素 3 1 R G B に対して極めて認識しづらくなると共に、表示画素 3 1 R G B における開口率低減が最小限に抑えられるようになっている。また、配線部 3 2 を、表示画素 3 1 R G B の開口に寄与しない領域（例えば、ブラックマトリクスで遮光された領域や反射領域など）に配置するようにすれば、表示品位を落とすことなく受光回路を配置することが可能となる。なお、各センサ素子 3 3 には、例えば図 4 に示したように、リセット制御信号線 R e s e t _ 1 ~ R e s e t _ n およびリード制御信号線 R e a d _ 1 ~ R e a d _ n が、水平ライン方向に沿って接続されるようになっている。

10

【0028】

[センサ素子 3 3 の構成例]

センサ素子 3 3 は、例えば図 5 に示したように、光電変換素子 P D 1 と、リセット用トランジスタ T r 1 と、蓄積ノード P 1 と、増幅用トランジスタ T r 2 と、選択・読み出し用トランジスタ T r 3 と、蓄積容量 C 0（電荷蓄積部）とを有している。

【0029】

光電変換素子 P D 1 は、入射光量に応じた電荷を発生させるものであり、例えば P I N 型のフォトダイオードにより構成されている。P I N 型のフォトダイオードは、後述の図 6 に示すように、p 型半導体領域 5 4 A と、n 型半導体領域 5 4 B と、p 型半導体領域 5 4 A と n 型半導体領域 5 4 B との間に形成された真性半導体領域（i 領域）5 4 C とを有するものである。光電変換素子 P D 1 はまた、後述の図 6 に示すように、アノード電極 5 5、カソード電極 5 6 およびゲート電極 5 2 を有し、p 型半導体領域 5 4 A にアノード電極 5 5 が接続され、n 型半導体領域 5 4 B にカソード電極 5 6 が接続されている。光電変換素子 P D 1 のカソード電極 5 6 は、電源電圧 V D D を供給する電源線に接続されている。光電変換素子 P D 1 の一端（アノード電極 5 5）は、リセット用トランジスタ T r 1 の一端（ドレイン端子）に接続されている。

20

【0030】

蓄積容量 C 0 は、一端が蓄積ノード P 1 を介して、光電変換素子 P D 1 の一端（アノード電極 5 5）とリセット用トランジスタ T r 1 の一端（ドレイン端子）と増幅用トランジスタ T r 2 のゲート端子とに接続されている。蓄積容量 C 0 には、光電変換素子 P D 1 によって変換された電荷が蓄積されるようになっている。蓄積ノード P 1 の電圧値は、蓄積容量 C 0 の蓄積電荷に応じて電圧変動するようになっている。蓄積容量 C 0 の他端は、リセット用トランジスタ T r 1 のソース端子と共に所定のリセット電圧 V r s t（例えば 0 V）の供給線 V S S に接続されている。

30

【0031】

リセット用トランジスタ T r 1、増幅用トランジスタ T r 2 および選択・読み出し用トランジスタ T r 3 はそれぞれ、例えば薄膜トランジスタ（T F T ; ThinFilm Transistor）などにより構成されている。

【0032】

リセット用トランジスタ T r 1 のゲート端子はリセット制御信号 V（R e s e t）を供給するリセット制御信号線 R e s e t（図 4、図 5 参照）に接続され、ソース端子は所定のリセット電圧 V r s t（例えば 0 V）の供給線 V S S に接続されている。リセット用トランジスタ T r 1 のドレイン端子および増幅用トランジスタ T r 2 のゲート端子は、蓄積容量 C 0 の一端（蓄積ノード P 1）に接続されている。増幅用トランジスタ T r 2 のドレイン端子は、電源電圧 V D D を供給する電源線に接続されている。増幅用トランジスタ T r 2 のソース端子は、選択・読み出し用トランジスタ T r 3 のドレイン端子に接続されている。選択・読み出し用トランジスタ T r 3 のゲート端子は、リード制御信号 V（R e a d）を供給するリード制御信号線 R e a d に接続され、ソース端子は読み出し線 4 1 に接続されている。

40

50

【0033】

リセット用トランジスタ T_{r1} は、蓄積容量 C_0 に所定のリセット電圧 V_{rst} を与えることにより、蓄積ノード P_1 の電圧値を所定のリセット電圧 V_{rst} にリセットする（蓄積容量 C_0 の蓄積電荷を放出させる）ためのものである。本実施の形態では、後述の図11（B）、（C）に示すように、受光ドライブ回路13がリセット用トランジスタ T_{r1} のゲート端子に印加するリセット制御信号 $V(Reset)$ のパルス期間を制御することにより、所定のリセット電圧 V_{rst} が1H（水平走査）期間（例えば $32\mu sec$ ）を超える期間に亘って連続または間欠的に蓄積容量 C_0 に与えられるようになっている。

【0034】

増幅用トランジスタ T_{r2} と選択・読み出し用トランジスタ T_{r3} は、信号読み出し回路を形成し、蓄積容量 C_0 の蓄積電荷に応じた電圧値を読み出してセンサ検出信号として出力するようになっている。センサ検出信号は、選択・読み出し用トランジスタ T_{r3} がゲート端子に印加されたリード制御信号 $V(Read)$ に応じてオンされたタイミングで、読み出し線41に出力されるようになっている。

増幅用トランジスタ T_{r2} と選択・読み出し用トランジスタ T_{r3} は、本発明における「読み出し手段」の一具体例に対応している。

【0035】

[センサ素子33およびトランジスタの素子構造]

図6は、光電変換素子PD1の素子構造の一例を示している。図6では、ボトムゲート型の構成例を示している。センサ素子33は、基板51と、この基板51上に形成された、ゲート電極52、ゲート絶縁膜53、PIN型半導体層54、アノード電極55、カソード電極56、絶縁膜（平坦化膜）57、および層間絶縁膜58を備えている。PIN型半導体層54は、p型半導体領域54Aと、n型半導体領域54Bと、p型半導体領域54Aとn型半導体領域54Bとの間に形成された真性半導体領域（i領域）54Cとを有している。

【0036】

図6にはまた、トランジスタ T_r の素子構造の一例を示している。トランジスタ T_r の半導体層60は、基板51上において光電変換素子PD1のPIN型半導体層54と同一層に形成されている。図6に示したトランジスタ T_r は、例えば増幅用トランジスタ T_{r2} または選択・読み出し用トランジスタ T_{r3} である。その他、この表示装置は、センサ駆動手段（受光ドライブ回路13、センサ用Vドライバ24およびセンサ読み出し用Hドライバ25）、ならびに表示画素31RGBおよび表示駆動手段（表示ドライブ回路12、表示用Hドライバ22および表示用Vドライバ23）がそれぞれ、半導体層を含むスイッチングトランジスタを有している。これらの回路部のスイッチングトランジスタについても、同様に、半導体層が、基板51上において光電変換素子PD1のPIN型半導体層54と同一層に形成されていることが好ましい。

【0037】

まず、光電変換素子PD1側の素子構造について説明する。基板51は、例えば、プラスチックフィルム基板やガラス基板などの絶縁性基板である。ゲート電極52は、例えば、Al（アルミニウム）やMo（モリブデン）によって構成されている。ゲート電極52は、少なくとも真性半導体領域54Cとの対向領域に形成されており、例えば矩形状となっている。なお、図6には、ゲート電極52が真性半導体領域54Cだけでなく、p型半導体領域54Aの一部やn型半導体領域54Bの一部を含む部分との対向領域に形成されている場合が例示されている。これにより、ゲート電極52は、基板51側から入射した光が真性半導体領域54Cに入射するのを遮断する遮光膜として機能する。

【0038】

ゲート絶縁膜53は、例えば、酸化シリコン（ SiO_2 ）や窒化シリコン（ SiN ）などを主成分として含んで構成されている。ゲート絶縁膜53は、積層方向（図のZ方向）においてPIN型半導体層54と対向配置されている。ゲート絶縁膜53は、例えば、少なくとも真性半導体領域54Cを含む部分との対向領域に形成されており、例えばゲート

10

20

30

40

50

電極 5 2 を覆うように形成されている。なお、図 6 には、ゲート絶縁膜 5 3 が、ゲート電極 5 2 を含む基板 5 1 の表面全体に渡って形成されている場合が例示されている。

【0039】

P I N 型半導体層 5 4 は、ゲート電極 5 2 との対向領域を横切るように形成されており、アノード電極 5 5 およびカソード電極 5 6 の対向方向（図の X 方向）に延在して形成されている。P I N 型半導体層 5 4 の上面は、アノード電極 5 5 およびカソード電極 5 6 とのコンタクト部分を除いて、平坦化膜 5 7 および層間絶縁膜 5 8 によって覆われている。外部からの光は、平坦化膜 5 7 および層間絶縁膜 5 8 の上面側から P I N 型半導体層 5 4 に入射するようになっている。平坦化膜 5 7 および層間絶縁膜 5 8 は、入射光に対して透明な材料からなり、例えば、酸化シリコン（ SiO_2 ）や窒化シリコン（ SiN ）などを主成分として含んで構成されている。

10

【0040】

p 型半導体領域 5 4 A および n 型半導体領域 5 4 B は、積層面内（図の x y 面内）において第 1 の方向（図の X 方向）に互いに対向している。p 型半導体領域 5 4 A および n 型半導体領域 5 4 B は互いに直接に接触せず、真性半導体領域 5 4 C を介して配置されることになる。したがって、P I N 型半導体層 5 4 において、面内方向に P I N 構造が形成されることになる。P I N 型半導体層 5 4 は、多結晶シリコンなどの非単結晶半導体層である。p 型半導体領域 5 4 A は、例えば、p 型不純物（ p^+ ）を含有するシリコン薄膜からなり、n 型半導体領域 5 4 B は、例えば、n 型不純物（ n^+ ）を含有するシリコン薄膜からなる。真性半導体領域 5 4 C は、例えば、不純物がドーピングされていないシリコン薄膜からなる。

20

【0041】

アノード電極 5 5 およびカソード電極 5 6 は、例えば、Al によって構成されている。アノード電極 5 5 は p 型半導体領域 5 4 A と電氣的に接続されており、カソード電極 5 6 は n 型半導体領域 5 4 B と電氣的に接続されている。

【0042】

次に、トランジスタ T r 側の素子構造について説明する。なお、光電変換素子 P D 1 側と同様の構造部分については説明を省略する。トランジスタ T r は、ゲート電極 5 9 と、半導体層 6 0 と、ドレイン電極 5 5 D と、ソース電極 5 6 S とを備えている。半導体層 6 0 は、ソース領域 6 0 B と、ドレイン領域 6 0 A と、チャンネル領域 6 0 C とを有している。

30

【0043】

ゲート電極 5 9 は、例えば、Al（アルミニウム）や Mo（モリブデン）によって構成されている。ゲート電極 5 9 は、少なくともチャンネル領域 6 0 C との対向領域に形成されている。半導体層 6 0 の上面は、ドレイン電極 5 5 D およびソース電極 5 6 S とのコンタクト部分を除いて、平坦化膜 5 7 および層間絶縁膜 5 8 によって覆われている。

ソース領域 6 0 B およびドレイン領域 6 0 A は、積層面内（図の X Y 面内）において第 1 の方向（図の X 方向）に互いに対向している。ソース領域 6 0 B およびドレイン領域 6 0 A は互いに直接に接触せず、チャンネル領域 6 0 C を介して配置されている。半導体層 6 0 は、多結晶シリコンなどの非単結晶半導体層である。

40

【0044】

ドレイン電極 5 5 D およびソース電極 5 6 S は、例えば、Al によって構成されている。ドレイン電極 5 5 D はドレイン領域 6 0 A と電氣的に接続されており、ソース電極 5 6 S はソース領域 6 0 B と電氣的に接続されている。

【0045】

図 6 に示した素子構造において、各層の膜厚は例えば以下の値で形成されている。

ゲート電極 5 2, 5 9 : 50 ~ 100 nm

ゲート絶縁膜 5 3 : 50 ~ 200 nm

P I N 型半導体層 5 4 : 40 ~ 200 nm

半導体層 6 0 : 40 ~ 200 nm

50

アノード電極 5 5 : 5 0 0 ~ 1 0 0 0 n m
カソード電極 5 6 : 5 0 0 ~ 1 0 0 0 n m
層間絶縁膜 5 8 : 5 0 0 ~ 1 0 0 0 n m
ドレイン電極 5 5 D : 5 0 0 ~ 1 0 0 0 n m
ソース電極 5 6 S : 5 0 0 ~ 1 0 0 0 n m

【0046】

[表示装置の全体動作]

まず、この表示装置の全体動作について説明する。

【0047】

この表示装置では、アプリケーションプログラム実行部 1 1 から供給される表示データに基づいて、表示用ドライブ回路 1 2 において表示用の駆動信号が生成される。この駆動信号により、I/Oディスプレイパネル 2 0 に対して線順次表示駆動がなされ、画像が表示される。また、このときバックライト 1 5 も表示ドライブ回路 1 2 によって駆動され、I/Oディスプレイパネル 2 0 と同期した周期的な点灯・消灯動作がなされる。

【0048】

I/Oディスプレイパネル 2 0 に接触または近接する物体（指先等の近接物体）がある場合、受光ドライブ回路 1 3 による線順次撮像駆動により、I/Oディスプレイパネル 2 0 における各センサ素子（撮像素子）3 3 においてその物体が検出（撮像）される。各センサ素子 3 3 からの検出信号（撮像信号）は、I/Oディスプレイパネル 2 0 から受光ドライブ回路 1 3 へ供給される。受光ドライブ回路 1 3 では、センサ素子 3 3 の検出信号を 1 フレーム分、蓄積し、撮像画像として画像処理部 1 4 へ出力する。ここで、画像処理部 1 4 へ出力されるのは、バックライト 1 5 をオン状態にして得られたセンサ素子 3 3 からのセンサ検出信号に基づく画像と、バックライト 1 5 をオフ状態にして得られたセンサ素子 3 3 からのセンサ検出信号に基づく画像との 2 フレームの画像である。

【0049】

画像処理部 1 4 では、この撮像画像に基づいて、所定の画像処理（演算処理）を行うことにより、I/Oディスプレイパネル 2 0 に接触または近接する物体に関する物体情報（位置座標データ、物体の形状や大きさに関するデータなど）を取得する。例えば受光ドライブ回路 1 3 において生成された差分画像の重心を判定する演算処理がなされ、接触（近接）中心の特定が行われる。そして、近接物体の検出結果が画像処理部 1 4 からアプリケーションプログラム実行部 1 1 へ出力される。アプリケーションプログラム実行部 1 1 では、後述するようなアプリケーションプログラムを実行する。

【0050】

[近接物体の検出の具体例]

次に、この表示装置におけるセンサ動作（撮像動作）の具体例について説明する。

この表示装置では、I/Oディスプレイパネル 2 0 において、上ラインから下ラインに向かって順次、センサ素子 3 3 の蓄積ノード P 1 の電圧値（蓄積容量 C 0 の蓄積電荷）をリセット電圧 V r s t でリセットする処理を行う（R e s e t 期間）。次に、バックライト 1 5 がオンしている状態で露光（光電変換素子 P D 1 によって変換された電荷を蓄積容量 C 0 に蓄積）を行う（露光期間（明））。次に、上ラインから下ラインに向かって順次、センサ素子 3 3 における蓄積容量 C 0 の蓄積電荷に応じた電圧値（蓄積ノード P 1 の電圧値）をセンサ検出信号として読み出す処理を行う（R e a d 期間）。

【0051】

次に、再び、上ラインから下ラインに向かって順次、センサ素子 3 3 における蓄積ノード P 1 の電圧値（蓄積容量 C 0 の蓄積電荷）をリセット電圧 V r s t でリセットする処理を行う（R e s e t 期間）。次に、バックライト 1 5 がオフしている状態で露光（光電変換素子 P D 1 によって変換された電荷を蓄積容量 C 0 に蓄積）を行う（露光期間（暗））。次に、上ラインから下ラインに向かって順次、センサ素子 3 3 における蓄積容量 C 0 の蓄積電荷に応じた電圧値（蓄積ノード P 1 の電圧値）をセンサ検出信号として読み出す処理を行う（R e a d 期間）。

【0052】

以上のように、Reset 期間を挟みつつ、バックライト 15 がオンしている状態（明状態）での露光とオフしている状態（暗状態）での露光を行い、各状態でのセンサ検出信号を読み出す処理を行う。

【0053】

図 12 (A) は、この表示装置において、強い外光 L0 がある場合に I/O ディスプレイパネル 20 のセンサエリア 21 に近接物体（指 f）がある状態を示し、図 12 (B) はその状態におけるセンサ出力電圧（受光出力電圧）の例を示している。例えば図 12 (A) に示したように、入射する外光（環境光）L0 が強い場合には、バックライト 15 を点灯させた状態での受光出力電圧 Von101 は、図 12 (B) に示したようになる。すなわち、パネル上のセンサエリア 21 内において指 f が近接する個所以外では、ほとんど外光 L0 の明るさのみに対応した電圧値 Va となる。また、指 f が近接する個所では、指 f の表面で反射したバックライト 15 からの照明光 Lon の明るさに対応した電圧値 Vb に低下する。これに対して、バックライト 15 を消灯させた状態での受光出力電圧 Voff101 は、指 f が近接する個所以外では、外光 L0 の明るさに対応した電圧値 Va となる点は同じであるが、指 f が近接する個所では、ほとんど外光 L0 が遮断された状態であり、非常にレベルの低い電圧値 Vc となる。

10

【0054】

図 13 (A) は、この表示装置において、外光 L0 が弱い場合に I/O ディスプレイパネル 20 のセンサエリア 21 に近接物体（指 f）がある状態を示し、図 13 (B) はその状態におけるセンサ出力電圧（受光出力電圧）の例を示している。例えば図 13 (A) に示したように、入射する外光 L0 が弱い（ほとんどない）状態では、バックライト 105 を点灯させた状態での受光出力電圧 Von201 は、図 13 (B) に示したようになる。すなわち、センサエリア 21 内において指 f が近接する個所以外では、外光 L0 が少ないために非常にレベルの低い電圧値 Vc となる。また、センサエリア 21 内において指 f が近接する個所では、指 f の表面で反射したバックライト 15 からの照明光 Lon の明るさに対応した電圧値 Vb に上昇する。これに対して、バックライト 15 を消灯させた状態での受光出力電圧 Voff2 は、指 f が近接する個所とそれ以外の個所のいずれでも、非常にレベルの低い電圧値 Vc のままで変化がない。

20

【0055】

このようにして、センサエリア 21 のうちの指 f が近接していない個所では、外光 L0 がある場合とない場合とで、受光出力電圧が大きく異なっている。一方、表示エリア 21 のうちの指 f が近接している個所では、外光 L0 の有無に関係なく、バックライト 15 の点灯時の電圧値 Vb と、バックライト 15 の消灯時の電圧値 Vc とが、ほぼ同じような状態となっている。よって、バックライト 10 の点灯時の電圧と消灯時の電圧との差分を検出することにより、電圧値 Vb と電圧値 Vc との差のように、一定以上の差がある個所が、物体が近接等した個所であると判断することができる。

30

【0056】

画像処理部 14（図 1）では、例えば図 14 に示したような差分画像 C' を求める。画像 B' は、バックライト 15 による照明光 Lon が照射されている状態で得られたセンサ素子 33 からのセンサ検出信号に基づく画像の例を示している。画像 A' は、バックライト 15 による照明光 Lon が照射されていない状態で得られたセンサ素子 33 からのセンサ検出信号に基づく画像の例を示している。これら画像 A' と画像 B' との差分画像 C' から、物体の位置などを検出することができる。

40

【0057】

[センサ動作時の残像の説明]

図 5 のセンサ素子 33 を用いて上記のようなセンサ動作を行う場合において、リセット動作をしたにも関わらず、リセット前の蓄積容量 C0 の状態が残ってしまう場合がある。リセット前の蓄積容量 C0 の状態が残ってしまうと、次の読み出し動作時において、いわゆる残像が発生してしまい、良好な検出結果が得られなくなってしまう。

50

【0058】

以下、図7および図8を参照して、光電変換素子PD1としてPIN型フォトダイオードを用いた場合に生ずる残像の原因について説明する。PIN型のフォトダイオードの場合、ゲート電圧により、i層が蓄積状態（飽和状態）、空乏状態、反転状態のいずれかの状態となる。薄膜フォトダイオードの場合、この蓄積状態もしくは反転状態のゲート電極側界面に電荷が誘起された状態（図7（A））から、空乏状態（図7（B））に遷移するには、数百 μs オーダーの時間が必要となる。通常、PIN型フォトダイオードは空乏状態で光感度が最大となるため空乏状態で使用するが、強外光が照射され、 $V_{np} < 0$ Vの状態になると、蓄積状態に移行する。なお、 V_{np} は、p型半導体領域54A（アノード電極55）側から見たn型半導体領域54B（カソード電極56）の電位である。このため、強外光が照射された直後に暗状態に環境が変化し、かつリセット動作が行われ $V_{np} > 0$ の状態に戻っても、数百 μs の間は蓄積状態から空乏状態に遷移できない。このとき、空乏状態と、蓄積状態もしくは反転状態とでは、表面に誘起された電荷の影響でPINダイオードの容量特性が異なることが分かっている。すなわち、図7（A）、（B）に示したように、ゲート電極52とp型半導体領域54A（アノード電極55）間の容量 C_{gp} は、蓄積状態では大きく、空乏状態では小さい。

10

【0059】

一方、蓄積容量 C_0 は、リセット用トランジスタTr1がオンし、瞬時に所定のリセット電圧 V_{rst} に安定するが、リセット用トランジスタTr1がオンからオフ状態に遷移するときに、各回路素子における容量カップリングにより蓄積容量 C_0 の電位が影響を受け所定のリセット電圧 V_{rst} から微小に変動する。図8には、容量カップリングにより生ずる容量 C_{10} 、 C_{20} 、 C_{30} 、 C_{40} の例を示している。

20

【0060】

ここで、上述したように、蓄積容量 C_0 に接続されているPIN型フォトダイオード（光電変換素子PD1）の容量 C_{10} （ C_{gp} ）が空乏状態と蓄積もしくは反転常態とで異なる場合、光電変換素子PD1の状態によって、全体のカップリング量が変わってしまう。これが影響してリセット動作後も直前まで受けていた光の情報が蓄積容量 C_0 に残ってしまう。これにより残像問題が発生する。

【0061】

上述したようにPIN型フォトダイオードにおける状態遷移には、数百 μs の時間が掛かる。このことから、例えば100 μs 程度の時間、リセット電圧 V_{rst} を蓄積容量 C_0 に連続的または間欠的に与えることで、残像問題を改善することができると考えられる。ただし、実際には、リセット電圧 V_{rst} を与える期間が、後述するように1H（水平走査）期間（例えば32 μs ）を超えると残像は大きく減少し始める。

30

【0062】

[リセット電圧の制御動作の具体例]

図10（A）～（C）は、この表示装置におけるセンサ動作（撮像動作）の一例を表すタイミング波形を示している。特に図10（A）は、図5のリセット用トランジスタTr1のゲートに印加されるリセット制御信号 V_{reset} の電圧波形を示している。図10（B）は、選択・読み出し用トランジスタTr3に印加されるリード制御信号 V_{read} の電圧波形を示している。図10（C）は、蓄積容量 C_0 の一端側の蓄積ノードP1における電圧 V_s の波形を示している。図10（A）の上部に記した「明」はバックライト15がオンしている期間（明期間）、「暗」はバックライト15がオフしている期間（暗期間）を示している。

40

【0063】

まず、図10（C）に示した動作点Aにおいて、蓄積ノードP1の電圧 V_s はリセット用トランジスタTr1がオン状態になったことにより、所定のリセット電圧 V_{rst} に瞬時に安定する。続いて、動作点Bにおいて蓄積ノードP1の電圧 V_s は、リセット用トランジスタTr1がオフ状態に移行するに伴い、図8に示したような容量カップリングにより、

50

$V_{cd1} = (V_H - V_L) \times C_{30} / (C_{10} + C_{20} + C_{30} + C_{40})$
だけの電圧降下を示す。

続いて動作点C（明期間）では、光電変換素子PD1により光が光電変換されて電圧が上昇する。その後、選択・読み出し用トランジスタTr3がオンすることにより、その電圧が検出信号として出力される。

【0064】

以降、動作点A、B、Cと同様に、暗期間についても動作点D、E、F、G、Hの動作電圧となることは容易に理解できる。続いて、再度の明期間、動作点Jにおいて光電変換素子PD1により変換された電位、

$$Q > (V_{DD} - V_{rst}) / (C_{10} + C_{20} + C_{30} + C_{40})$$

10

の状態になったとき、いわゆる飽和状態となり、動作点Jでの蓄積ノードP1の電圧Vsは任意の電位に落ち着く。そのとき、光電変換素子PD1のカップリング容量C10は、上述したように、非飽和状態のときのそれより大きな容量となるため、次の動作点Lで受ける容量カップリング量Vcd2はVcd1より小さな電位となる。

そのため、非飽和後と飽和後では同じ光量を受けても動作点Fと動作点Mのように、出力される信号電圧が異なることとなり、信号電位からみると残像のように見えてしまう。このとき、所定のリセット電圧Vrstが1H（水平走査）期間を超える期間、好ましくは100μsec以上の期間に亘って連続または間欠的に蓄積容量C0に与えられるようにリセット用トランジスタTr1を駆動制御することで、光電変換素子PD1のカップリング容量C10の容量の変化が実質的になくなるためVcd1=Vcd2となり残像現象は実質的になくなる。

20

【0065】

図11（B）は、残像を無くすためのリセット制御信号V（Reset）として好ましい電圧波形の第1の例を示している。図11（C）は好ましい電圧波形の第2の例を示している。図11（A）は比較例の電圧波形を示している。

【0066】

例えば図11（B）に示したように、リセット用トランジスタTr1のゲート端子にリセット制御信号V（Reset）として、1H（水平走査）期間を超える期間（例えば100μsec以上）の電圧パルス幅を有する信号を印加する。これにより、所定のリセット電圧Vrstが1H（水平走査）期間を超える期間に亘って連続的に蓄積容量C0に与えられる。これにより、光電変換素子PD1が飽和状態となった場合であっても、残像が生じないように蓄積容量C0に蓄積された蓄積電荷を確実にリセットすることができる。

30

【0067】

また例えば図11（C）に示したように、リセット用トランジスタTr1のゲート端子にリセット制御信号V（Reset）として、1H（水平走査）期間を超える期間（例えば100μsec以上）の期間内に2以上の間欠的な電圧パルス信号を印加するようにしても良い。これにより、所定のリセット電圧Vrstが1H期間を超える期間に亘って間欠的に蓄積容量C0に与えられる。

【0068】

図11（B）、（C）のようなりセット制御を行うことにより、光電変換素子PD1が飽和状態となった場合であっても、残像が生じないように蓄積容量C0に蓄積された蓄積電荷を確実にリセットすることができる。これに対して、図11（A）に示したように1H（水平走査）期間以下の短期間の電圧パルス幅を有するリセット制御信号V（Reset）を印加した場合には、所定のリセット電圧Vrstが1H期間以下の短期間しか与えられないので、蓄積容量C0に蓄積された蓄積電荷を十分にリセットすることができない場合がある。

40

【0069】

図9は、図5に示したセンサ素子33における残像特性を実験により検証した結果を示している。この特性は、図10の明期間には光電変換素子PD1が飽和する光量をセンサ素子33に入射し、暗期間にはセンサ素子33への光入射はないものとした場合における

50

、暗期間での信号量（残像信号量）を縦軸にとったものである。横軸はリセット電圧 V_{rst} を与えた期間を示している。また、図9の測定条件として、1フレーム期間は16.6 msec、1H（水平走査）期間は、32 μ secである。図9から分かるように、リセット電圧 V_{rst} を与える期間が長いほど、残像信号は少なくなる。特に1H期間を超えると、残像信号が大きく減少し始める。また、残像信号はおおよそ、残像偽信号が最大のときに対し、10%以下で不可視レベルとなった。このため、1H期間を超える期間、実用上は、リセット電圧 V_{rst} を与える期間は100 μ sec以上であれば十分であり、好ましくは残像信号がゼロとなる140 μ sec以上与えると良い。

【0070】

このように本実施の形態に係る入力機能付き表示装置によれば、所定のリセット電圧 V_{rst} が1H期間を超える期間に亘って連続または間欠的に蓄積容量C0に与えられるようにしたので、例えば光電変換素子PD1が飽和状態となった場合であっても、残像が低減するように蓄積容量C0に蓄積された蓄積電荷を確実にリセットして、安定した検出動作を行うことができる。これにより例えば、より速く動く物体に対し正確に位置を検出するようなセンサ動作が可能となる。

【0071】

[アプリケーションプログラムの実行例]

次に、図15～図18を参照して、上述した近接物体の検出処理によって検出された物体の位置情報等を利用した、アプリケーションプログラム実行部11によるアプリケーションプログラム実行例について、いくつか説明する。

【0072】

図15（A）に示した第1の例は、I/Oディスプレイパネル20の表面を指先61で触れて、その触れた個所の軌跡を描画ライン611として画面に表示させるようにした例である。

【0073】

図15（B）に示した第2の例は、手の形を用いたジェスチャ認識のものである。具体的には、I/Oディスプレイパネル20に触れた（または近接した）手62の形状を認識して、その認識した手の形を画像として表示させ、その表示オブジェクトの移動621で、何らかの処理を行うようにしたものである。

【0074】

図16に示した第3の例は、閉じた状態の手63Aから、開いた状態の手63Bに変化させて、それぞれの状態の手の接触または近接をI/Oディスプレイパネル20で画像認識させて、その画像認識に基づいた処理を実行させるようにしたものである。これらの認識に基づいて処理を行うことで、例えばズームインなどの指示を行うことができる。また、このような指示ができることで、例えばI/Oディスプレイパネル20をパーソナルコンピュータ装置に接続して、そのコンピュータ装置上でコマンドを切り替えている操作などを、これらの画像認識で、より自然な形で入力することができる。

【0075】

図17に示した第4の例は、I/Oディスプレイパネル20を2台用意して、2台のI/Oディスプレイパネル20を何らかの伝送手段で接続するようにしたものである。このような構成で、一方のI/Oディスプレイパネル20において接触または近接を検出した画像を、他方のI/Oディスプレイパネル20に伝送して表示させて、両ディスプレイパネルを操作するユーザ間でコミュニケーションをとるようにしてもよい。例えば図17に示したように、一方のI/Oディスプレイパネル20で画像認識した手65の手形の画像を送信して、他方のI/Oディスプレイパネル20に同一の手形642を表示させる処理が可能になる。また例えば、他方のI/Oディスプレイパネル20を手64で触れて表示された軌跡641を、一方のI/Oディスプレイパネル20に送って表示させる等の処理が可能になる。このようにして、描画している状態を動画で伝達し、手書きの文字や図形などを相手に送ることで、新しいコミュニケーションツールとなる可能性がある。このような例としては、例えば、I/Oディスプレイパネル20を携帯電話端末の表示パネルに

適用すること等が想定される。なお、図17ではI/Oディスプレイパネル20を2台用意した例を示したが、3台以上のI/Oディスプレイパネル20を伝送手段で接続して同様の処理を行うことも可能である。

【0076】

また、図18の第5の例に示したように、筆66を使用してI/Oディスプレイパネル20の表面で文字を書くように触れさせて、その筆66が触れた個所をI/Oディスプレイパネル20に画像661として表示させることで、毛筆による手書きの入力が可能になる。この場合には、毛筆の細かいタッチまで認識して実現することが可能である。従来の手書き認識の場合には、例えば一部のデジタイザにおいて、特殊なペンの傾きを電界検出で実現していたが、本例では、本物の毛筆の接触面そのものを検知することにより、より現実的な感覚で情報入力を行える。

10

【0077】

<モジュールおよび適用例>

次に、図19～図23を参照して、以上で説明した入力機能付き表示装置の適用例について説明する。この表示装置は、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器に適用することが可能である。例えば以下で説明するようなテレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなどの電子機器に適用することが可能である。

【0078】

20

(適用例1)

図19は、電子機器の第1の例としてのテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル511およびフィルターガラス512を含む映像表示画面部510を有している。このようなテレビジョン装置における映像表示画面部510に、上述の入力機能付き表示装置を適用することが可能である。

【0079】

(適用例2)

図20(A)、(B)は、電子機器の第2の例としてのデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部521、表示部522、メニュースイッチ523およびシャッターボタン524を有している。このようなデジタルカメラにおける表示部522に、上述の入力機能付き表示装置を適用することが可能である。

30

【0080】

(適用例3)

図21は、電子機器の第3の例としてのノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体531、文字等の入力操作のためのキーボード532および画像を表示する表示部533を有している。このようなノート型パーソナルコンピュータにおける表示部533に、上述の入力機能付き表示装置を適用することが可能である。

【0081】

40

(適用例4)

図22は、電子機器の第4の例としてのビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部541、この本体部541の前方側面に設けられた被写体撮影用のレンズ542、撮影時のスタート/ストップスイッチ543および表示部544を有している。このようなビデオカメラにおける表示部544に、上述の入力機能付き表示装置を適用することが可能である。

【0082】

(適用例5)

図23(A)～(G)は、電子機器の第5の例としての携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体710と下側筐体720とを連結部(ヒン

50

ジ部) 730で連結したものであり、ディスプレイ740、サブディスプレイ750、ピクチャーライト760およびカメラ770を有している。このような携帯電話機におけるディスプレイ740またはサブディスプレイ750に、上述の入力機能付き表示装置を適用することが可能である。

【0083】

<第1の実施の形態の変形例>

本発明は上記第1の実施の形態、およびその適用例に限定されず種々の変形実施が可能である。例えば、上記第1の実施の形態等では、バックライト15を備えた液晶パネルからなるI/Oディスプレイパネル20の場合で説明したが、表示用のバックライトが検出用照明を兼ねてもよいし、検出専用の照明を設けてもよい。また、検出用照明を設ける場合には、可視光領域以外の波長領域の光(例えば、赤外光)を用いるのがより好ましい。

10

【0084】

さらに、上記第1の実施の形態等では、複数の表示画素31RGBと複数のセンサ素子33とを含む表示パネル(I/Oディスプレイパネル20)を有する入力機能付き表示装置について説明したが、本発明は表示装置以外にも適用可能である。例えば表示機能のない単なるセンサ装置としても適用可能である。この場合、例えばI/Oディスプレイパネル20に代えて、表示画素31RGBを設けずに複数のセンサ素子33のみを1つの面内にマトリクス状に配置することにより構成されたセンサパネルを備えるようにすれば良い。

【0085】

20

<第2の実施の形態>

[放射線撮像装置の全体構成]

本実施の形態では、本発明を放射線撮像装置に適用した構成例について説明する。図24は、本実施の形態に係る放射線撮像装置101のうちの光電変換装置102のシステム構成を表すものである。放射線撮像装置101は、光電変換装置102の上に、図25に示したように、波長変換体140を設けたものである。放射線撮像装置101は、 α 線、 β 線、 γ 線、X線に代表される放射線を波長変換体140によって波長変換して放射線に基づく情報を読み取るようになっている。

【0086】

波長変換体140は、上記のような放射線を光電変換装置102の感度域に波長変換するものである。波長変換体140は例えばX線などの放射線を、放射線よりも波長の長い光(例えば可視光)に変換する蛍光体(例えば、シンチレータ)である。具体的には、有機平坦化膜、スピノンガラス材料等からなる平坦化膜の上面にCsI、NaI、CaF₂等の蛍光体膜を形成したものである。

30

【0087】

光電変換装置102は、基板111上に画素部112を有し、この画素部112の周囲に、例えば行走査部(垂直駆動部)113、水平選択部114、列走査部(水平駆動部)115およびシステム制御部116からなる周辺回路部(駆動部)が設けられている。

【0088】

画素部112には、入射光の光量に応じた電荷量の光電荷を発生して内部に蓄積する光電変換部(後述する光電変換素子PD11)を有する単位画素120(以下、単に「画素」と記述する場合もある)が複数、行列状に2次元配置されている。

40

【0089】

画素部112には更に、行列状の画素配列に対して画素行ごとに画素駆動線117が行方向(画素行の画素の配列方向)に沿って配線され、画素列ごとに垂直信号線(読み出し線)118が列方向(画素列の画素の配列方向)に沿って配線されている。画素駆動線117は、画素からの信号読み出しのための駆動信号を伝送するものである。画素駆動線117としては例えば、後述する図26等の画素回路に接続されるリード制御信号線Readおよびリセット制御信号線Resetが画素行ごとに設けられている。画素駆動線117の一端は、行走査部113の各行に対応した出力端に接続されている。

50

【0090】

行走査部113は、シフトレジスタやアドレスデコーダ等によって構成され、画素部112の各画素を、例えば行単位で駆動する画素駆動部である。行走査部113によって選択走査された画素行の各单位画素から出力される信号は、垂直信号線118の各々を通して水平選択部114に供給される。水平選択部114は、垂直信号線118ごとに設けられたアンプや水平選択スイッチ等によって構成されている。

【0091】

列走査部115は、シフトレジスタやアドレスデコーダ等によって構成され、水平選択部114の各水平選択スイッチを走査しつつ順番に駆動する。この列走査部115による選択走査により、垂直信号線118の各々を通して伝送される各画素の信号が順番に水平信号線119に出力され、当該水平信号線119を通して基板111の外部へ伝送される。

10

【0092】

行走査部113、水平選択部114、列走査部115および水平信号線119からなる回路部分は、基板111上に形成された回路もしくは外部制御ICあるいはその両方を併用して構成される。あるいは、それらの回路部分は、ケーブル等により接続された他の基板に形成されていてもよい。

【0093】

システム制御部116は、基板111の外部から与えられるクロックや、動作モードを指令するデータなどを受け取り、また、光電変換装置102の内部情報などのデータを出力する。システム制御部116はさらに、各種のタイミング信号を生成するタイミングジェネレータを有し、当該タイミングジェネレータで生成された各種のタイミング信号を基に行走査部113、水平選択部114および列走査部115などの周辺回路部の駆動制御を行う。

20

【0094】

[単位画素120（センサ素子）の回路構成]

単位画素120の回路構成としては、アクティブ型とパッシブ型とがある。以下、図26～図29を参照して、それぞれのタイプの回路構成例を説明する。

【0095】

(アクティブ型の画素回路の第1の構成例)

30

図26は、単位画素120をアクティブ型の画素回路で構成した第1の構成例を示している。このアクティブ型の第1の構成例では、単位画素120に、光電変換素子PD11、蓄積ノードN（電荷蓄積部）、リセット用トランジスタTr11、増幅用トランジスタTr12および選択・読み出し用トランジスタTr13が設けられている。この単位画素120に対して、画素駆動線117として例えば2本の配線、具体的にはリード制御信号線Readおよびリセット制御信号線Resetが画素行ごとに配線されている。

【0096】

光電変換素子PD11は、入射光量に応じた電荷を発生させるものであり、例えばPIN型のフォトダイオードにより構成されている。PIN型のフォトダイオードは、後述の図30に示すように、p型半導体領域（p型半導体層164）と、n型半導体領域（n型半導体層171）と、p型半導体領域とn型半導体領域との間に形成された真性半導体領域（i型半導体層170）とを有するものである。光電変換素子PD11において、p型半導体領域にはアノード電極が接続され、n型半導体領域にはカソード電極が接続されている。光電変換素子PD11のカソード電極は、電源電圧VDDを供給する電源線SVDに接続されている。光電変換素子PD11の一端（アノード電極）は、リセット用トランジスタTr11の一端（ドレイン端子）に接続されている。

40

【0097】

蓄積ノードNは、光電変換素子PD11の一端（アノード電極）とリセット用トランジスタTr11の一端（ドレイン端子）と増幅用トランジスタTr12のゲート端子とに接続されている。蓄積ノードNには、光電変換素子PD11によって変換された電荷が蓄積

50

されるようになっている。蓄積ノードNの電圧値 V_s は、蓄積電荷に応じて電圧変動するようになっている。

【0098】

リセット用トランジスタ T_{r11} 、増幅用トランジスタ T_{r12} および選択・読み出し用トランジスタ T_{r13} はそれぞれ、例えば薄膜トランジスタ（TFET; ThinFilm Transistor）などにより構成されている。

【0099】

リセット用トランジスタ T_{r11} のゲート端子はリセット制御信号 V_{Reset} を供給するリセット制御信号線 $Reset$ に接続され、ソース端子は所定の電圧（リセット電圧 V_{rst} ）の供給線 $SVSS$ に接続されている。リセット用トランジスタ T_{r11} のドレイン端子および増幅用トランジスタ T_{r12} のゲート端子は、蓄積ノードNに接続されている。増幅用トランジスタ T_{r12} のドレイン端子は、電源電圧 VDD を供給する電源線 $SVDD$ に接続されている。増幅用トランジスタ T_{r12} のソース端子は、選択・読み出し用トランジスタ T_{r13} のドレイン端子に接続されている。選択・読み出し用トランジスタ T_{r13} のゲート端子は、リード制御信号 V_{Read} を供給するリード制御信号線 $Read$ に接続され、ソース端子は読み出し線41に接続されている。

【0100】

リセット用トランジスタ T_{r11} は、蓄積ノードNに所定のリセット電圧 V_{rst} を与えることにより、蓄積ノードNの電圧値 V_s を所定のリセット電圧 V_{rst} にリセットする（蓄積ノードNの蓄積電荷を放出させる）ためのものである。本実施の形態では、図24の行走査部113およびシステム制御部116が、後述の動作タイミング例（図31、図33等）に示すように、リセット用トランジスタ T_{r11} のゲート端子に印加するリセット制御信号 V_{Reset} のパルス期間を制御することにより、所定のリセット電圧 V_{rst} が1H（水平走査）期間を超える期間に亘って連続または間欠的に蓄積ノードNに与えられるようになっている。

【0101】

増幅用トランジスタ T_{r12} と選択・読み出し用トランジスタ T_{r13} は、信号読み出し回路を形成し、蓄積ノードNの蓄積電荷に応じた電圧値を読み出してセンサ検出信号として出力するようになっている。センサ検出信号は、選択・読み出し用トランジスタ T_{r13} がゲート端子に印加されたリード制御信号 V_{Read} に応じてオンされたタイミングで、垂直信号線（読み出し線）118に出力される（読み出される）ようになっている。

増幅用トランジスタ T_{r12} と選択・読み出し用トランジスタ T_{r13} は、本発明における「読み出し手段」の一具体例に対応している。

【0102】

垂直信号線118の一端には定電流源131が接続されている。垂直信号線118にはまた、図24の水平選択部114の入力部を構成するアンプ133が接続されている。垂直信号線118に出力された信号は、画素列ごとにアンプ33に輸入される。

【0103】

（アクティブ型の画素回路の第2の構成例）

図27は、単位画素120をアクティブ型の画素回路で構成した第2の構成例を示している。この第2の構成例では、アクティブ型の第1の構成例（図26）に対して、光電変換素子PD11とリセット用トランジスタ T_{r11} との位置関係が異なっている。第1の構成例では光電変換素子PD11のアノード電極（p型半導体領域）とリセット用トランジスタ T_{r11} のドレイン端子との間に蓄積ノードNが形成されていたが、この第2の構成例では、光電変換素子PD11のカソード電極（n型半導体領域）とリセット用トランジスタ T_{r11} のドレイン端子との間に蓄積ノードNが形成されている。また、リセット用トランジスタ T_{r11} のソース端子は、電源電圧 VDD を供給する電源線 $SVDD$ に接続されている。光電変換素子PD11のアノード電極は、所定の電圧を供給する電源線 $SVSS$ に接続されている。

【0104】

(パッシブ型の画素回路の第1の構成例)

図28は、単位画素120をパッシブ型の画素回路で構成した第1の構成例を示している。このパッシブ型の第1の構成例では、単位画素120が、光電変換素子PD11、蓄積ノードN、および選択・読み出し用トランジスタTr13で構成されている。垂直信号線118には、図24の水平選択部114の入力部を構成するチャージアンプ回路が接続されている。チャージアンプ回路は、キャパシタ（フィードバック容量）191と、チャージアンプ192と、スイッチ193とからなる。

【0105】

蓄積ノードNは、光電変換素子PD11のアノード電極（p型半導体領域）と選択・読み出し用トランジスタTr13のドレイン端子との間に形成されている。光電変換素子PD11のカソード電極（n型半導体領域）は、電源電圧VDDを供給する電源線SVDDに接続されている。

【0106】

(パッシブ型の画素回路の第2の構成例)

図29は、単位画素120をパッシブ型の画素回路で構成した第2の構成例を示している。この第2の構成例では、パッシブ型の第1の構成例（図28）に対して、蓄積ノードNと光電変換素子PD11との位置関係が異なっている。この第2の構成例では、蓄積ノードNは、光電変換素子PD11のカソード電極（n型半導体領域）と選択・読み出し用トランジスタTr13のドレイン端子との間に形成されている。光電変換素子PD11のアノード電極（p型半導体領域）は、所定の電圧を供給する電源線SVSSに接続されている。

【0107】

図28および図29のパッシブ型の画素回路では、図26および図27のアクティブ型の画素回路とは異なり、リセット用トランジスタTr11は設けられていない。また、リセット動作時には、リセット制御信号V(Reset)は用いられない。このパッシブ型の画素回路では、センサ検出信号の読み出し動作と蓄積ノードNの通常のリセット動作とが実質的に同時に行われる。読み出し動作は、選択・読み出し用トランジスタTr3がゲート端子に印加されたリード制御信号V(Read)に応じてオンされたタイミングで行われる。選択・読み出し用トランジスタTr3がオンされると、蓄積ノードNの蓄積電荷がチャージアンプ回路のキャパシタ191に蓄積され、その蓄積電荷に応じた信号電圧がチャージアンプ192から出力される（読み出される）。この読み出し動作に伴い、蓄積ノードNの蓄積電荷が所定のリセット電圧Vrstにリセットされる。チャージアンプ回路のスイッチ193は読み出し動作前にはオン状態にあり、読み出し動作時にはオフ状態とされる。チャージアンプ回路のキャパシタ191に蓄積された電荷は、スイッチ193をオン状態にすることでリセットされる。

【0108】

このように、パッシブ型の画素回路では、読み出し動作が通常のリセット動作を兼ねているが、選択・読み出し用トランジスタTr3を読み出し動作時と同様にオン状態にした状態で、チャージアンプ回路のスイッチ193をオン状態にすることで別途、追加のリセット動作を間欠的に行うことができる。本実施の形態では、図24の行走査部113およびシステム制御部116が、後述の動作タイミング例（図32、図34等）に示すような動作タイミングとなるように制御することにより、パッシブ型の画素回路であっても所定のリセット電圧Vrstが1H（水平走査）期間を超える期間に亘って間欠的に蓄積ノードNに与えられるようになっている。

【0109】

なお、上記した例に限らず、パッシブ型の画素回路において、例えば垂直信号線118にリセット用の切り換えスイッチを別途設け、その切り換えスイッチの切り換え動作によってリセット動作を行うようにしても良い。

【0110】

〔画素の断面構造〕

図4は光電変換装置102の要部（単位画素120）の断面構造を表すものである。ここでは、単位画素120が、アクティブ型の第1の構成例（図26）である場合を例に挙げて説明する。

【0111】

この光電変換装置102では、ガラス基板などの絶縁性基板161上に、Ti、Al、Mo、W、Cr等からなるゲート電極162が形成され、このゲート電極162上にはSiNx、SiO₂等からなるゲート絶縁膜163が形成されている。ゲート絶縁膜163の上には、PIN型のフォトダイオード（光電変換素子PD11）を構成する例えばp型半導体層（p+領域）164（第1半導体層）が形成されている。

10

【0112】

p型半導体層164は、光電変換素子PD11で光電変換された信号電荷を読み出すための下部電極を兼ねている。ゲート絶縁膜163上にはさらに、増幅用トランジスタTr12等の画素トランジスタの半導体層165が形成されている。半導体層165には、リーク電流を低減するためにチャネル領域とドレイン・ソース領域との間にLDD（Lightly Doped Drain）165a、165bが設けられている。半導体層165は例えば微結晶シリコンあるいは多結晶シリコンにより構成されている。

【0113】

p型半導体層164および画素トランジスタの半導体層165の上にはSiNx、SiO₂等からなる第1層間絶縁膜166が設けられている。第1層間絶縁膜166の上部には、読出し用の信号線や各種の配線を含む配線層167がTi、Al、Mo、W、Cr等によって形成されている。配線層167の上にはSiNx、SiO₂、有機絶縁膜等からなる第2の層間絶縁膜168が設けられている。

20

【0114】

第1、第2層間絶縁膜166、168からなる絶縁層には、コンタクトホール169が形成されている。第2層間絶縁膜168の上にはp型とn型の間の導電型からなる第3半導体層（i型半導体層170）が形成されている。このi型半導体層170の面積はコンタクトホール169の上部側の開口面積よりも大きくなっている。i型半導体層170はp型半導体層164とコンタクトホール169を介して接している。

【0115】

30

i型半導体層170の上には、このi型半導体層170とほぼ同一形状の第2半導体層（例えばn型半導体層（n+領域）171）が積層されている。これらp型半導体層164（第1半導体層）、i型半導体層170（第3半導体層）およびn型半導体層171（第2半導体層）により光電変換素子PD11（PIN型のフォトダイオード）が構成されている。

このように、上記第1の実施の形態では面内方向（水平方向）にPIN構造が形成された光電変換素子PD1（図6参照）の例を挙げたが、本実施の形態では、光電変換素子PD11は、積層方向（光の入射方向に対して垂直方向）にPIN構造が形成されている。

【0116】

この光電変換素子PD11において、各半導体層164、170、171はアモルファスシリコン、微結晶シリコン、多結晶シリコンなどで形成することができる。これらのシリコンに、ゲルマニウムや炭素などの材料を導入して、分光感度を変えるようにしてもよい。光電変換素子PD11としては、下部側をn型、上部側をp型にするような逆向きの構成でも構わない。

40

【0117】

n型半導体層171の上には、光電変換素子PD11に対して規定の電圧を印加するための上部電極172がITO（Indium Tin Oxide）等の透明導電膜によって形成されている。上部電極172の上には、この上部電極172に電圧を供給するための電源配線173が設けられている。電源配線173は上部電極172の透明導電膜よりも低抵抗の材料、即ちTi、Al、Mo、W、Cr等によって構成されている。この電源配線173は、

50

例えば単位画素120を囲むようにメッシュ状に画素部112の全面に亘って形成される。この上部電極172上には更に、SiN等からなる保護膜（図示せず）が形成されていてもよい。

【0118】

〔読み出し動作、リセット動作のタイミング例〕

（アクティブ型の画素回路に適用される動作タイミングの第1の例）

図31は、図26および図27に示したアクティブ型の画素回路を適用した光電変換装置102の撮像動作のタイミングの第1の例を示している。また、図33は、図31に示した動作タイミングに対応するタイミングチャートを示している。図31の上部に示した上方から下方に延びる矢印は、光電変換装置102の動作タイミングを模式的に示している。横方向は時間、縦方向は画素部112（図24）の走査ラインに相当する。図31では、上側の水平ラインから下側の水平ラインに向けて線順次で読み出し動作（走査）を行う例を示している。図31において「Read」は読み出し動作を行うことを表し、「Reset」は通常（1回目）のリセット動作を行うことを表す。「Ex-Reset」は1フレーム期間内で追加（2回目）のリセット動作を行うことを表す。「X-ray」は、画素部112に放射線（例えばX線）が照射される撮像期間（露光期間）を表す。

10

【0119】

図31に示したように、上ラインから下ラインまで順次、読み出し動作を行いつつ、所定期間を空けて通常（1回目）のリセット動作を上ラインから下ラインまで順次、行う。次いで、所定期間を空けて追加（2回目）のリセット動作を上ラインから下ラインまで順次、行う。これらを1フレーム期間内に行う。読み出し動作は、選択・読み出し用トランジスタTr13のゲート端子にリード制御信号V（Read）が印加されたタイミングで行われる。リセット動作は、リセット用トランジスタTr11のゲート端子にリセット制御信号V（Reset）が印加されたタイミングで行われる。

20

【0120】

図33には、リセット用トランジスタTr11のゲート端子に印加されるリセット制御信号V（Reset）の印加タイミングと、選択・読み出し用トランジスタTr13のゲート端子に印加されるリード制御信号V（Read）の印加タイミングとを、それぞれ6水平ライン分、示している。例えば最も上側の第1水平ライン上のリセット用トランジスタTr11のゲート端子に印加されるリセット制御信号V（Reset）をV（Reset1）とし、次の下側の第2水平ライン上のリセット用トランジスタTr11のゲート端子に印加されるリセット制御信号V（Reset）をV（Reset2）としている。図31および図33の動作タイミング例では、1フレーム期間内で、読み出し動作後に2回のリセット動作が行われる。これにより、リセット用トランジスタTr11のゲート端子にリセット制御信号V（Reset）として、1H（水平走査）期間を超える期間内に2つの間欠的な電圧パルス信号が印加されるようにしている。これにより、所定のリセット電圧Vrstが1H期間を超える期間に亘って間欠的に蓄積ノードNに与えられるようにしている。

30

【0121】

なお、図31では、1フレーム期間内で2回のリセット動作を行う例を示しているが、読み出し動作後に、1フレーム期間内で3回以上のリセット動作を行うようにしても良い。

40

【0122】

（パッシブ型の画素回路に適用される動作タイミングの第1の例）

図32は、図28および図29に示したパッシブ型の画素回路を適用した光電変換装置102の撮像動作のタイミングの第1の例を示している。また、図34は、図32に示した動作タイミングに対応するタイミングチャートを示している。図32の例では図31の例と同様、上側の水平ラインから下側の水平ラインに向けて線順次で読み出し動作（走査）を行う例を示している。図31の例と同様、図32において「Read」は読み出し動作を行うことを表し、「Reset」は通常（1回目）のリセット動作を行うことを表す

50

。「E x - R e s e t」は1フレーム期間内で追加（2回目）のリセット動作を行うことを表す。「X - r a y」は、画素部112に放射線（例えばX線）が照射される撮像期間（露光期間）を表す。なお、上述したようにパッシブ型の画素回路では、読み出し動作が通常のリセット動作を兼ねているので、読み出し動作と1回目のリセット動作とを同じタイミングとして示している。

【0123】

図32に示したように、上ラインから下ラインまで順次、読み出し動作を行う。このとき、同時に通常（1回目）のリセット動作が上ラインから下ラインまで順次、行われる。次いで、所定期間を空けて追加（2回目）のリセット動作を上ラインから下ラインまで順次、行う。これらを1フレーム期間内で行う。読み出し動作は、上述したように、例えば選択・読み出し用トランジスタT r 1 3のゲート端子にリード制御信号V（R e a d）をオン状態にし、チャージアンプ回路のスイッチ193をオフ状態にすることで行われる。追加のリセット動作は、例えば、選択・読み出し用トランジスタT r 3を読み出し動作時と同様にオン状態にした状態で、チャージアンプ回路のスイッチ193をオン状態にすることで行われる。

【0124】

図34には、選択・読み出し用トランジスタT r 1 3のゲート端子に印加されるリード制御信号V（R e a d）の印加タイミングを6水平ライン分、示している。図32および図34の動作タイミング例では、1フレーム期間内で、読み出し動作後に2回のリセット動作が行われる。これにより、所定のリセット電圧V r s tが1H期間を超える期間に亘って間欠的に蓄積ノードNに与えられるようにしている。

【0125】

なお、図32では、1フレーム期間内で2回のリセット動作を行う例を示しているが、読み出し動作後に、1フレーム期間内で3回以上のリセット動作を行うようにしても良い。

【0126】

（アクティブ型の画素回路に適用される動作タイミングの第2の例）

図35は、図26および図27に示したアクティブ型の画素回路を適用した光電変換装置102の撮像動作のタイミングの第2の例を示している。また、図36は、図35に示した動作タイミングに対応するタイミングチャートを示している。図35の例では図31の例と同様、上側の水平ラインから下側の水平ラインに向けて線順次で読み出し動作（走査）を行う例を示している。図31の例と同様、図32において「R e a d」は読み出し動作を行うことを表し、「R e s e t」はリセット動作を行うことを表す。「X - r a y」は、画素部112に放射線（例えばX線）が照射される撮像期間（露光期間）を表す。

【0127】

図35に示したように、上ラインから下ラインまで順次、読み出し動作を行いつつ、所定期間を空けてリセット動作を上ラインから下ラインまで順次、行う。図36には、リセット用トランジスタT r 1 1のゲート端子に印加されるリセット制御信号V（R e s e t）の印加タイミングと、選択・読み出し用トランジスタT r 1 3のゲート端子に印加されるリード制御信号V（R e a d）の印加タイミングとを、図33の例と同様、それぞれ6水平ライン分、示している。図35および図36の動作タイミング例では、1フレーム期間内で、読み出し動作後に1回のみリセット動作が行われる。そして、この1回のリセット動作によって、リセット用トランジスタT r 1 1のゲート端子にリセット制御信号V（R e s e t）として、1H（水平走査）期間を超える連続的な電圧パルス信号が印加されるようにしている。これにより、所定のリセット電圧V r s tが1H期間を超える期間に亘って連続的に蓄積ノードNに与えられるようにしている。

【0128】

（アクティブ型の画素回路に適用される動作タイミングの第3の例）

図37は、図26および図27に示したアクティブ型の画素回路を適用した光電変換装置102の撮像動作のタイミングの第3の例を示している。図36の例では図31の例と

同様、上側の水平ラインから下側の水平ラインに向けて線順次で読み出し動作（走査）を行う例を示している。図31の例と同様、図32において「Read」は読み出し動作を行うことを表し、「Reset」は通常（1回目）のリセット動作を行うことを表す。「Ex-Reset」は1フレーム期間内で追加（2回目）のリセット動作を行うことを表す。「X-ray」は、画素部112に放射線（例えばX線）が照射される撮像期間（露光期間）を表す。これにより、図31および図33の動作タイミング例と同様に、1フレーム期間内で、読み出し動作後に2回のリセット動作が行われる。これにより、リセット用トランジスタTr11のゲート端子にリセット制御信号V(Reset)として、1H（水平走査）期間を超える期間内に2つの間欠的な電圧パルス信号が印加されるようにしている。これにより、所定のリセット電圧Vrstが1H期間を超える期間に亘って間欠的に蓄積ノードNに与えられるようにしている。

10

【0129】

図37に示したように、上ラインから下ラインまで順次、読み出し動作を行いつつ、所定期間を空けて通常（1回目）のリセット動作を上ラインから下ラインまで行う。次いで、所定期間を空けて追加（2回目）のリセット動作を行う。ここで、図31の例では2回目のリセット動作を上ラインから下ラインまで線順次で行うようにしていたが、図37の例では、全画素分、一括してリセット動作を行うようにしている。このときのリセット動作は、全画素分のリセット用トランジスタTr11のゲート端子にリセット制御信号V(Reset)を印加することで行われる。

20

【0130】

（パッシブ型の画素回路に適用される動作タイミングの第2の例）

図38は、図28および図29に示したパッシブ型の画素回路を適用した光電変換装置102の撮像動作のタイミングの第2の例を示している。図38の例では図31の例と同様、上側の水平ラインから下側の水平ラインに向けて線順次で読み出し動作（走査）を行う例を示している。図31の例と同様、図38において「Read」は読み出し動作を行うことを表し、「Reset」は通常（1回目）のリセット動作を行うことを表す。「Ex-Reset」は1フレーム期間内で追加（2回目）のリセット動作を行うことを表す。「X-ray」は、画素部112に放射線（例えばX線）が照射される撮像期間（露光期間）を表す。なお、上述したようにパッシブ型の画素回路では、読み出し動作が通常のリセット動作を兼ねているので、読み出し動作と1回目のリセット動作とを同じタイミングとして示している。

30

【0131】

図38に示したように、上ラインから下ラインまで順次、読み出し動作を行う。このとき、同時に通常（1回目）のリセット動作が上ラインから下ラインまで順次、行われる。次いで、所定期間を空けて追加（2回目）のリセット動作を行う。ここで、図32の例では2回目のリセット動作を上ラインから下ラインまで線順次で行うようにしていたが、図38の例では、全画素分、一括してリセット動作を行うようにしている。このときのリセット動作は、全画素分について、例えば、選択・読み出し用トランジスタTr3を読み出し動作時と同様にオン状態にした状態で、チャージアンプ回路のスイッチ193をオン状態にすることで行われる。

40

【0132】

〔リセット期間の長さで残像（残電圧）との関係〕

次に、放射線撮像装置におけるリセット期間の長さ（所定のリセット電圧Vrstを蓄積ノードNに与える期間）と残像（残電圧）との関係について考察する。

【0133】

図39は、アクティブ型の画素回路に適用される動作タイミングの第1の比較例を示している。この第1の比較例は、図31に示した動作タイミング例に対して2回目のリセット動作を省略したものである。図40は、アクティブ型の画素回路に適用される動作タイミングの第2の比較例を示している。この第2の比較例では、図39の第1の比較例に対して、読み出し動作が上ラインから下ラインまで全て完了した後に、リセット動作を行う

50

例を示している。

【0134】

図41は、パッシブ型の画素回路に適用される動作タイミングの第1の比較例を示している。このパッシブ型の画素回路に適用される第1の比較例は、図32に示した動作タイミング例に対して2回目のリセット動作を省略したものである。

【0135】

(比較例の動作タイミングでの残電圧の測定結果)

これらの比較例の動作タイミングで放射線撮像装置を動作させた場合、リセット動作を行った後であっても、各画素からの出力電圧に残像(残電圧)が発生する。図45～図48は、その残電圧を測定した結果を示している。

【0136】

図42および図44は、その残電圧の測定に用いた動作タイミングを示している。図42は、アクティブ型の画素回路の特性検証用の動作タイミングを示している。基本的な動作タイミングは図39の比較例と同様であるが、残電圧を測定するために、図42および図44(A)に示したように10フレームの最初のフレームのみ測定用光源(LED)からの光照射(発光、露光動作)を行い、残りのフレームでは光照射が行われない非発光状態としている。リセット動作は、図42および図44(B)に示したように各フレームごとに行っている。なお、図45～図48では、アクティブ型の画素回路の測定結果を示すが、パッシブ型の画素回路についても同様の測定結果が得られる。図43は、パッシブ型の画素回路の特性検証用の動作タイミングを示している。

【0137】

図45は、アクティブ型の画素回路の出力電圧を直接的に測定した結果を示す。この測定結果は、放射線撮像装置を構成する周辺回路を含めずに、画素回路の出力電圧を直接的に測定した結果である。縦軸は、残電圧の割合を示す。横軸はフレーム数に対応する経過時間を示すが、光照射を行ったフレームを基準にして、次のフレームを1番目のフレームとしている。図45では、測定用光源の発光量(光強度)を4段階に変えて測定した。4段階とは、光電変換素子PD11が飽和状態になるような強い光強度の場合と、中間的な光強度の場合と、光強度が弱い場合と、光強度がさらに弱い場合(弱弱)とを示す。この測定では、ノイズの影響による乱れが測定されているが、実質的に、光強度の違いによる残電圧の依存性はほとんど観測されなかった。

【0138】

図46は、図27に示したアクティブ型の画素回路の第2の構成例(蓄積ノードNが光電変換素子PD11のカソード電極(n型半導体領域)側の構成例)において画素回路単体での出力電圧をアンプ133を通した後に測定した結果を示す特性図である。また、図47は、図26に示したアクティブ型の画素回路の第1の構成例(蓄積ノードNが光電変換素子PD11のアノード電極(p型半導体領域)側の構成例)において画素回路単体での出力電圧をアンプ133を通した後に測定した結果を示す特性図である。図45の測定結果は画素回路が放射線撮像装置に組み込まれた状態での測定結果であるが、図46および図47の測定結果は放射線撮像装置に組み込まれていない、画素回路単体(センサ素子単体)での測定結果である。図46(A)、図47(A)では測定用光源の発光タイミングと、リセット制御信号V(Reset)の印加タイミングと、出力電圧とを同時に示す。図46(B)、図47(B)は図46(A)、図47(A)における出力電圧の波形部分を拡大したものである。図46(C)、図47(C)はさらに、図46(B)、図47(B)の出力電圧の波形部分を部分的に拡大したものである。図46、図47の測定結果から、光照射を行った後、1回目のリセット動作を行ったタイミングで一時的に所定のリセット電圧にリセットされる。しかしながら、その後、所定のリセット電圧が維持されずに、複数フレームに亘って波形に劣化(Decay)が生じてしまっている。この傾向は、蓄積ノードNが光電変換素子PD11のカソード電極(n型半導体領域)側にあるかアノード電極(p型半導体領域)側にあるかに関わらず生じている。

【0139】

図48(A)はアクティブ型の画素回路の第2の構成例において画素回路単体での出力電圧をアンプ133を通さずに直接的に検証した結果を示している。図48(B)はアクティブ型の画素回路の第1の構成例において画素回路単体での出力電圧をアンプ133を通さずに直接的に検証した結果を示している。図48(A)、(B)において縦軸は残電圧の割合を示す。横軸はフレーム数に対応する経過時間を示すが、光照射を行ったフレームを基準にして、次のフレームを1番目のフレームとしている。図48(A)、(B)は、図46および図47の測定結果と同様、放射線撮像装置に組み込まれていない、画素回路単体(センサ素子単体)での測定結果である。図48(A)、(B)はではそれぞれ、複数の測定結果を同時に示しているが、それらは素子の製造条件の違いである。図48(A)、(B)の測定結果から、光照射を行った後、2フレーム期間後ぐらいまでは残電圧の割合が比較的多く観測される。この傾向は、蓄積ノードNが光電変換素子PD11のカソード電極(n型半導体領域)側(図48(A))にあるかアノード電極(p型半導体領域)側(図48(B))にあるかに関わらず生じている。

10

【0140】

(リセット動作を変えた場合の残電圧の測定結果)

以上の測定結果は、測定用光源(LED)からの光照射の発光タイミングとリセット動作のタイミング(リセット制御信号V(Reset)の印加タイミング)とが図49(A)、(B)(図44(A)、(B))に示したタイミングで行われたものであるが、これに対して図49(C)に示したように、リセット動作を行うタイミング(リセット間隔)を変えた場合の残電圧を測定した。その結果を図50に示す。1回のリセット動作の期間自体は図49(B)と同じである(4μsec)。図50において横軸は、放射線撮像装置の撮像動作におけるH(水平走査)期間を単位としたリセット間隔の時間を示す。ここでは1H(水平走査)期間=6μsecである。また、図50では、図27に示したアクティブ型の画素回路の第2の構成例(蓄積ノードNが光電変換素子PD11のカソード電極(n型半導体領域)側にある場合の構成例)での測定結果を示す。図50の結果から分かるようにリセット間隔を変えただけでは残電圧の特性に大きな変化は現れない。

20

【0141】

また、図49(D)に示したように、1フレーム期間内で間欠的に2回、リセット動作を行った場合の残電圧を測定した。その結果を図51(A)に示す。1回のリセット動作の期間自体は図49(B)と同じである(4μsec)。図51(A)において横軸は、放射線撮像装置の撮像動作におけるH(水平走査)期間を単位として、2回の間欠的なリセット動作を行う間隔を示す。ここでは1H(水平走査)期間=6μsecである。また、図51(A)では、図27に示したアクティブ型の画素回路の第2の構成例と、図26に示したアクティブ型の画素回路の第1の構成例(蓄積ノードNが光電変換素子PD11のアノード電極(p型半導体領域)側の構成例)との測定結果を同時に示す。図51(A)の結果から分かるように、間欠的に2回、リセット動作を行うことで、残電圧を減少させることができる。残電圧を減少させる効果は、1H期間を超える期間に亘って間欠的にリセット動作を行うことで得られている。特に、10H期間(60μsec)程度の間隔で間欠的に2回、リセット動作を行うことで、残電圧がほぼ半減している。

30

【0142】

また、図49(E)に示したように、1フレーム期間内で連続的なリセット動作を行った場合(連続的にリセット電圧を印加した場合)の残電圧を測定した。その結果を図51(B)に示す。図51(B)において横軸は、放射線撮像装置の撮像動作におけるH(水平走査)期間を単位として、1回の連続的なリセット動作を行う時間を示す。ここでは1H(水平走査)期間=6μsecである。また、図51(B)では、図27に示したアクティブ型の画素回路の第2の構成例と図26に示したアクティブ型の画素回路の第1の構成例との測定結果を同時に示す。図51(B)の結果から分かるように、連続的にリセット電圧を印加することで、残電圧を減少させることができる。残電圧を減少させる効果は、1H期間を超える期間に亘って連続的にリセット電圧を与えることで得られている。特に、10H期間(60μsec)程度の期間、連続的にリセット動作を行うことで、残電

40

50

圧がほぼ半減している。

【0143】

以上説明したように、本実施の形態に係る放射線撮像装置によれば、所定のリセット電圧が1H期間を超える期間に亘って連続または間欠的に蓄積ノードNに与えられるようにしたので、蓄積ノードNに蓄積された蓄積電荷を確実にリセットして、残像の少ない良好な検出動作（撮像動作）を行うことができる。

【0144】

<第2の実施の形態の変形例>

上記第2の実施の形態では、放射線を波長変換体140（図25）によって波長変換した後の光を画素部112で光電変換するような間接変換型の放射線撮像装置を例に挙げたが、放射線を画素部112で直接的に電荷に変換するような直接変換型の放射線撮像装置であっても良い。

【符号の説明】

【0145】

11…アプリケーションプログラム実行部、12…表示ドライブ回路、13…受光ドライブ回路、13A…フレームメモリ、14…画像処理部、15…バックライト、20…I/Oディスプレイパネル、21…表示エリア（センサエリア）、22…表示用Hドライバ、23…表示用Vドライバ、24…センサ用Vドライバ、25…センサ読み出し用Hドライバ、31…画素、31R、31G、31B、31RGB…表示画素、32…配線部、33…センサ素子（撮像素素）、41…読み出し線、51…基板、52…ゲート電極、53…ゲート絶縁膜、54…PIN型半導体層、54A…p型半導体領域、54B…n型半導体領域、54C…真性半導体領域（i領域）、55…アノード電極、56…カソード電極、57…絶縁膜（平坦化膜）、58…層間絶縁膜、59…ゲート電極、55D…ドレイン電極、56S…ソース電極、60…半導体層、60A…ドレイン領域、60B…ソース領域、60C…チャンネル領域、101…放射線撮像装置、102…光電変換装置、111…基板、112…画素部、113…行走査部、114…水平選択部、115…列走査部、116…システム制御部、118…垂直信号線（読み出し線）、119…信号線、120…単位画素、131…定電流源、133…アンプ、140…波長変換体、161…基板、162…ゲート電極、163…ゲート絶縁膜、164…p型半導体層、165…半導体層、165a、165b…LDD、166…第1層間絶縁膜、167…配線層、168…第2層間絶縁膜、169…コンタクトホール、170…i型半導体層、171…n型半導体層、172…上部電極、173…電源配線、191…キャパシタ、192…チャージアンプ、193…スイッチ、510…映像表示画面部、511…フロントパネル、512…フィルターガラス、521…発光部、522…表示部、523…メニュースイッチ、524…シャッターボタン、531…本体、532…キーボード、533…表示部、541…本体部、542…レンズ、543…スタート／ストップスイッチ、544…表示部、710…上部筐体、720…下部筐体、730…連結部、740…ディスプレイ、750…サブディスプレイ、760…ピクチャーライト、770…カメラ、61…指先、611…描画ライン、62…手、621…オブジェクトの移動（手のひらツール）、63A、63B、64、65…手、641…軌跡、642…手形、66…筆、661…画像、Reset…リセット制御信号線、Read…リード制御信号線、PD1、PD11…光電変換素子、Tr1、Tr11…リセット用トランジスタ、Tr2、Tr12…増幅用トランジスタ、Tr3、Tr13…選択・読み出し用トランジスタ、C0…蓄積容量、P1、N…蓄積ノード、VDD…電源電圧、Vrst…リセット電圧、V(Reset)…リセット制御信号、V(Read)…リード制御信号、L0…外光（環境光）、Lon…バックライトによる照明光、f…物体（指）、ob1…物体（ペン）。

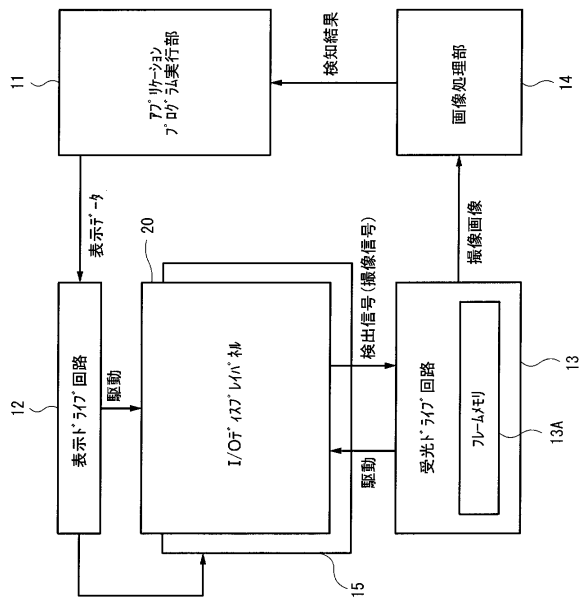
10

20

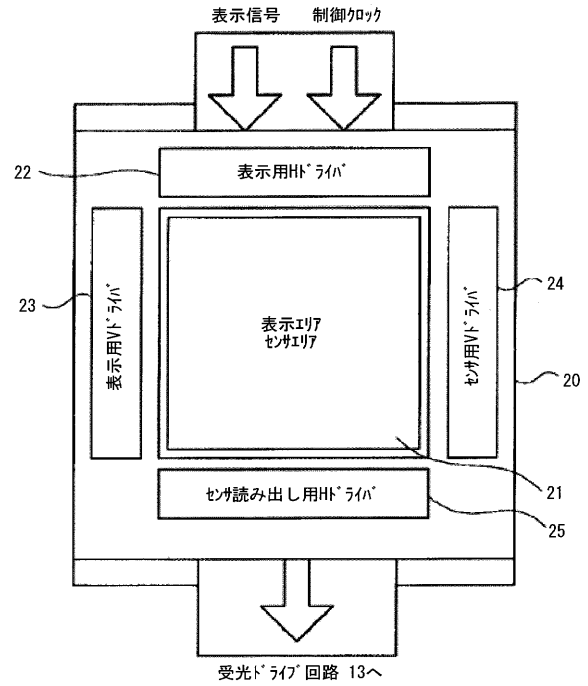
30

40

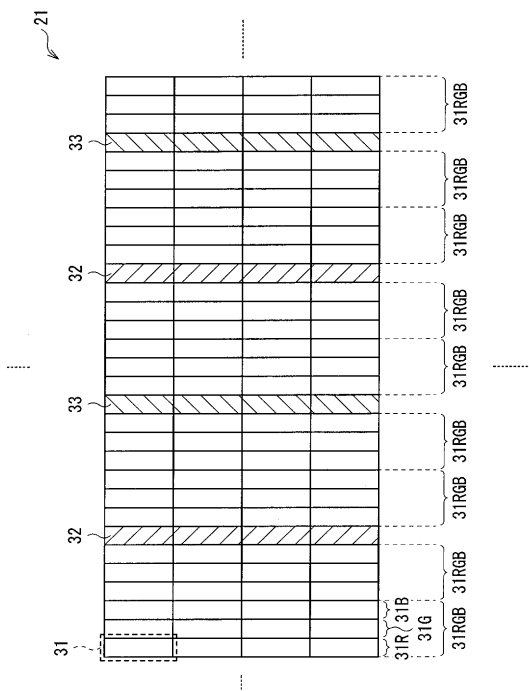
【図 1】



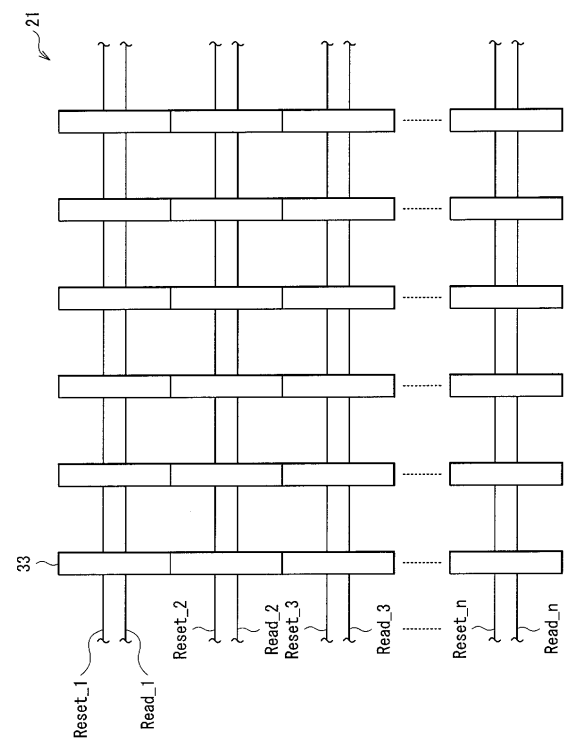
【図 2】



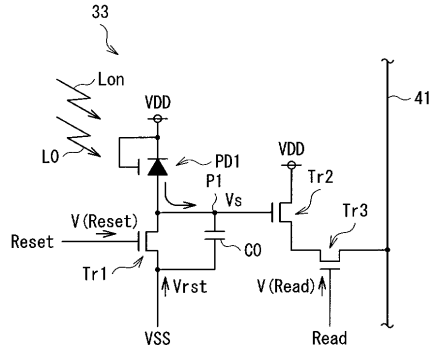
【図 3】



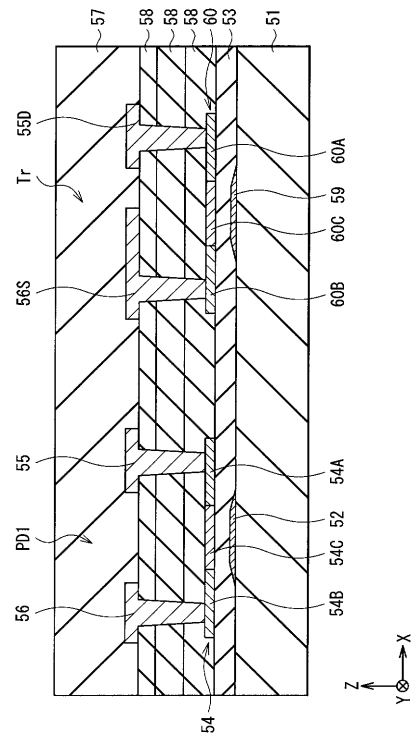
【図 4】



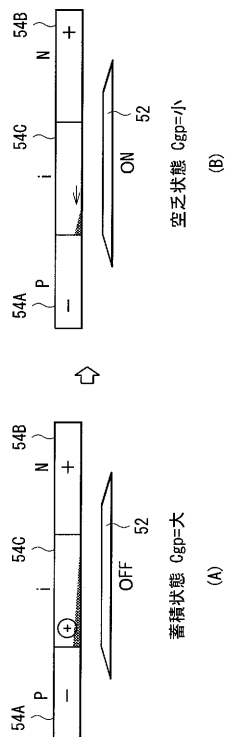
【図 5】



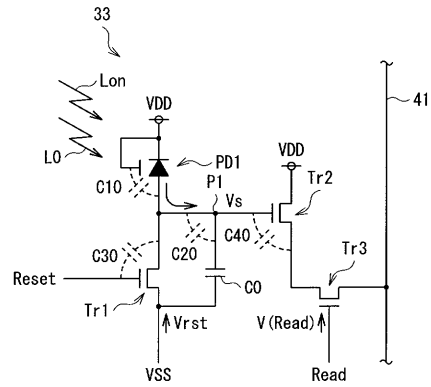
【図 6】



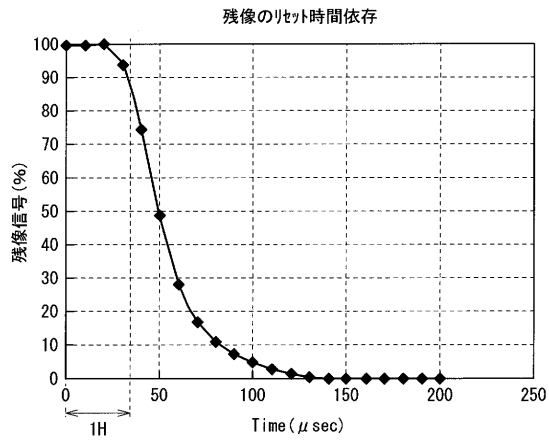
【图 7】



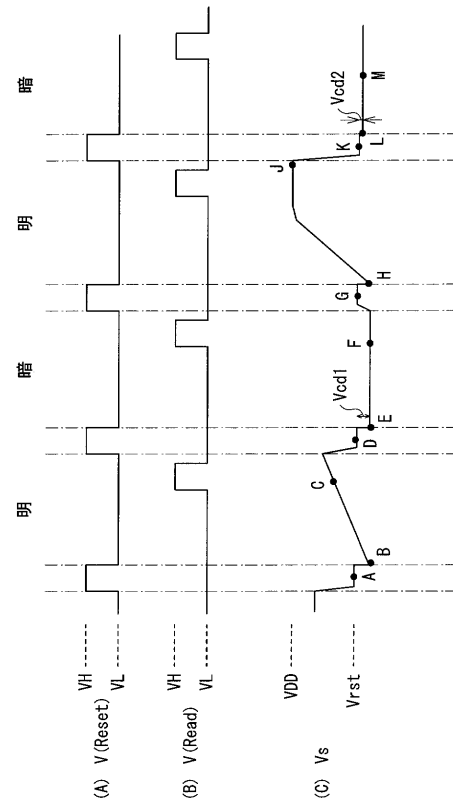
【图 8】



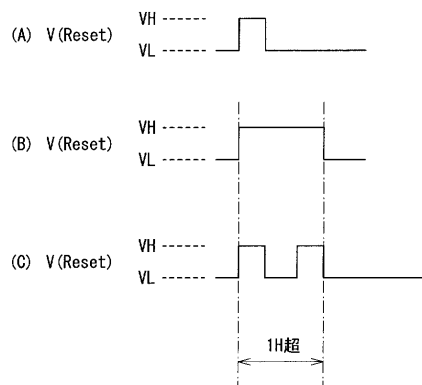
【図 9】



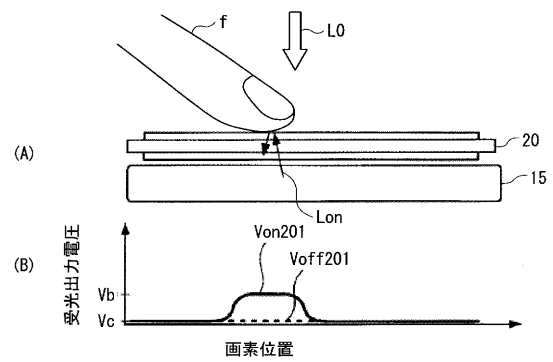
【図 10】



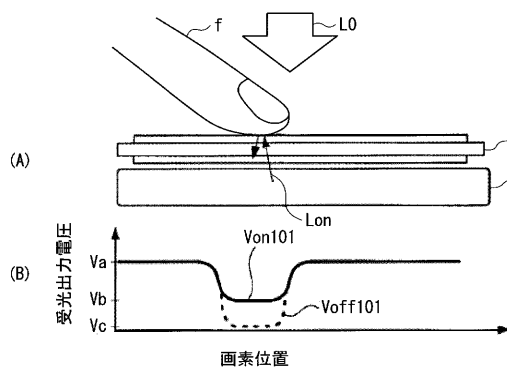
【図 11】



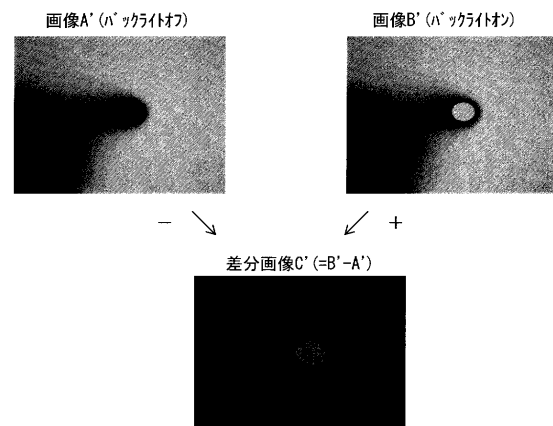
【図 13】



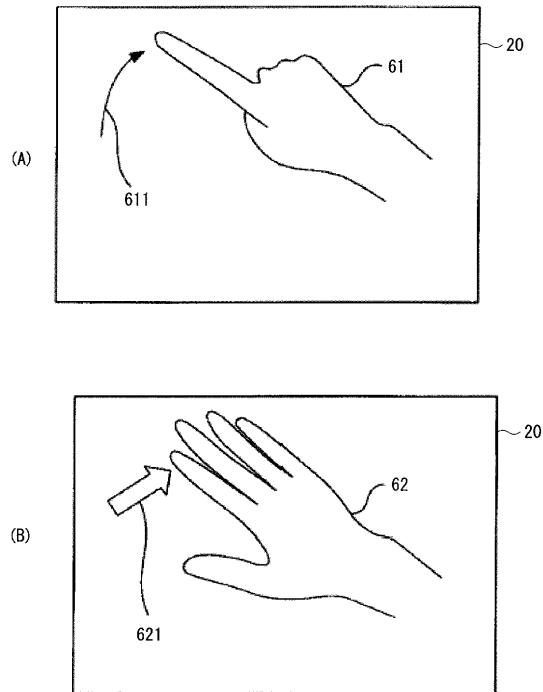
【図 12】



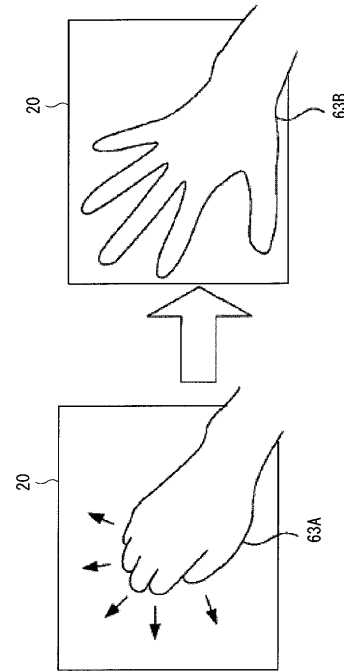
【図 14】



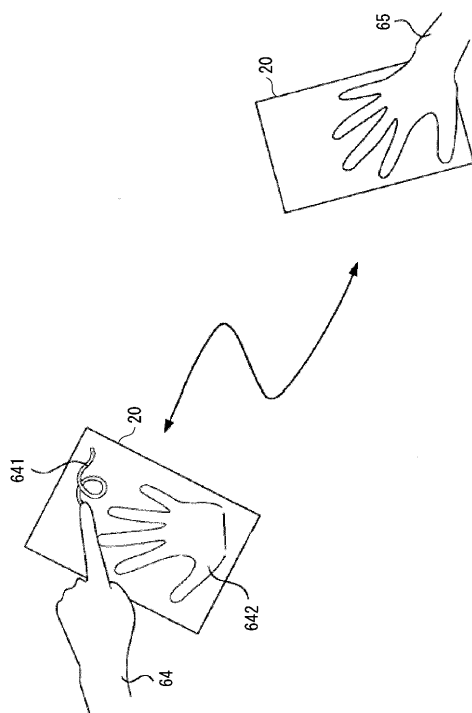
【図 15】



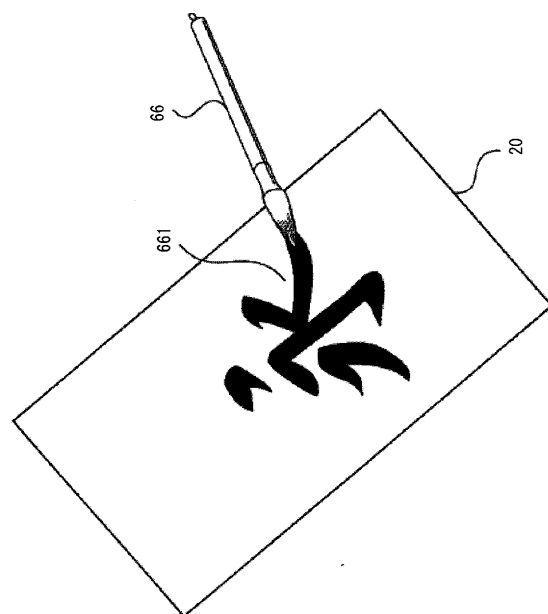
【図 16】



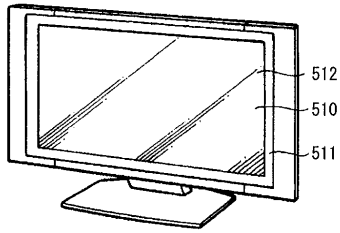
【図 17】



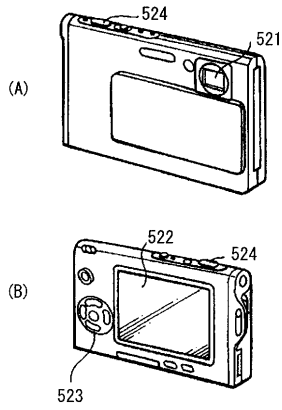
【図 18】



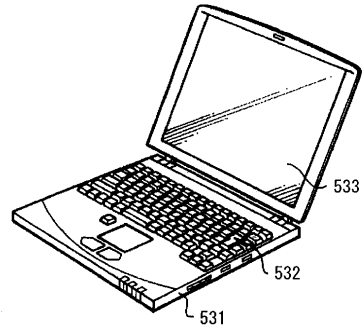
【図 19】



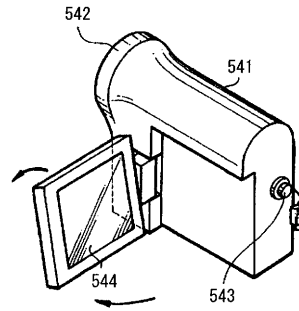
【図 20】



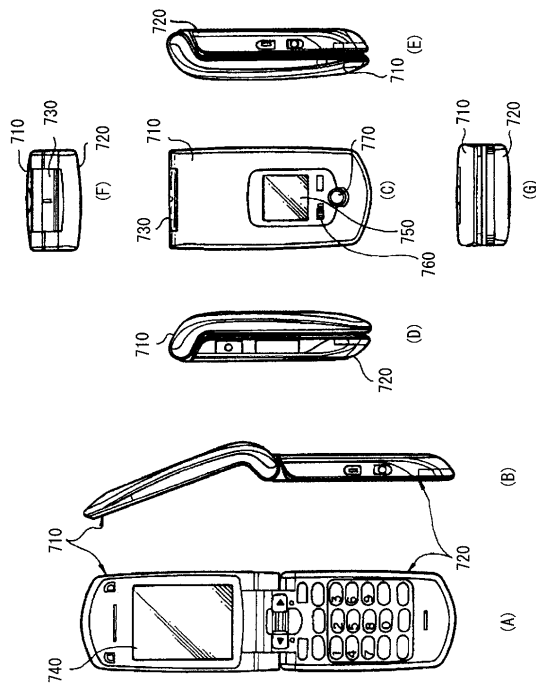
【図 21】



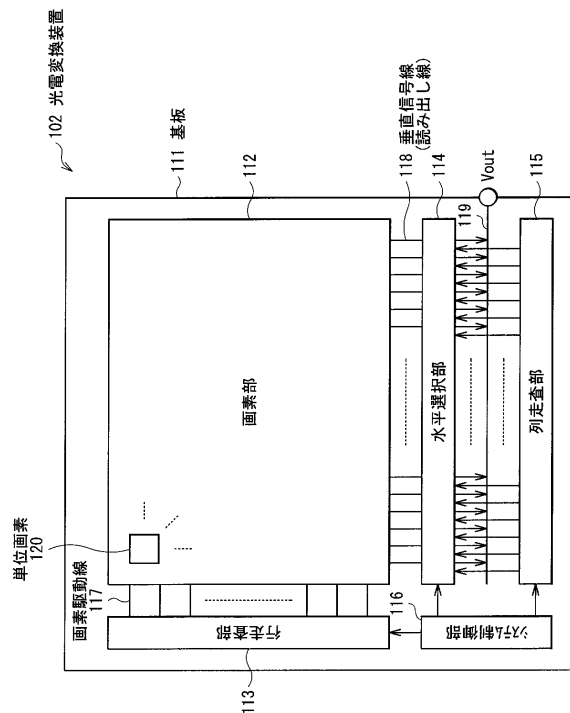
【図 22】



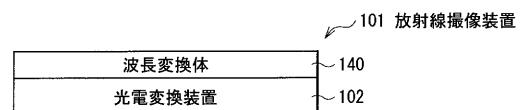
【図 23】



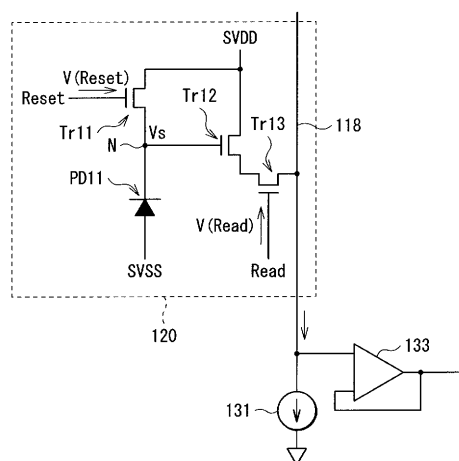
【図 24】



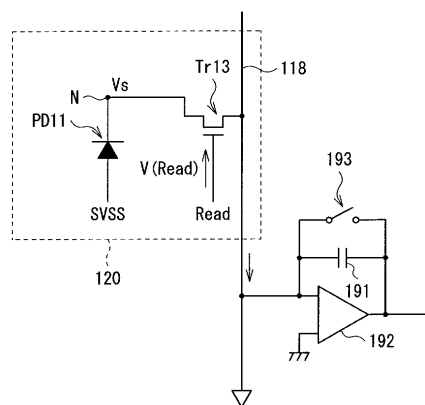
【図 25】



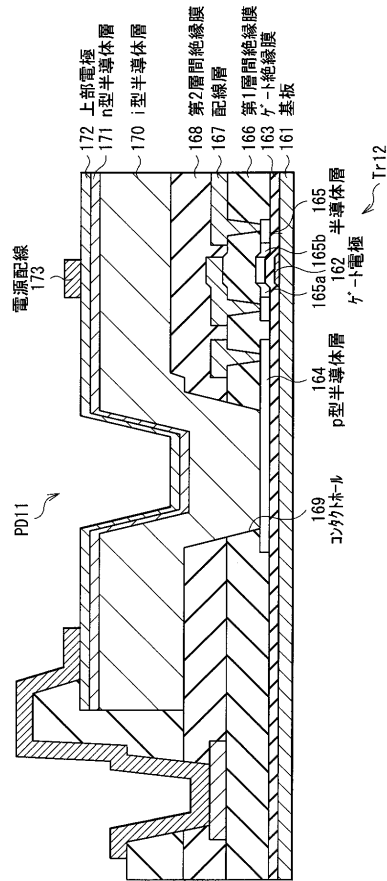
【図 27】



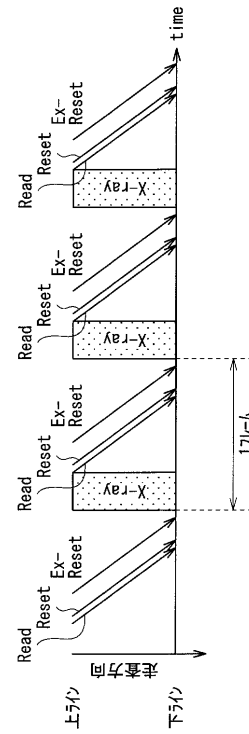
【図 29】



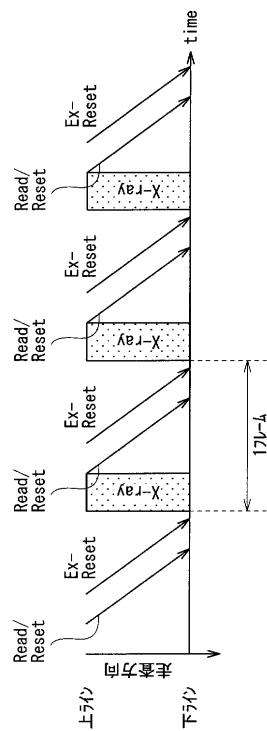
【図 3 0】



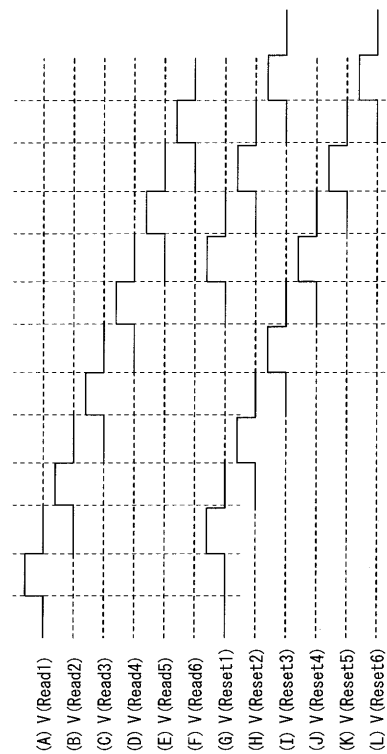
【図 3 1】



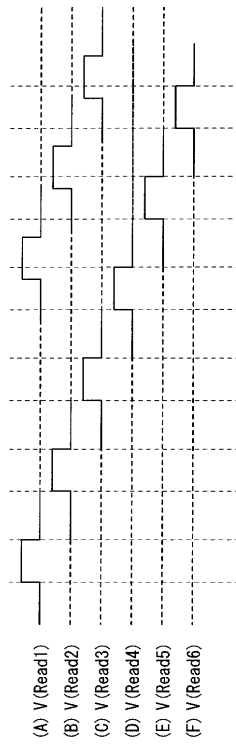
【図 3 2】



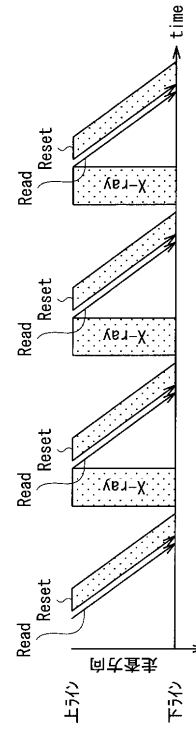
【图 3 3】



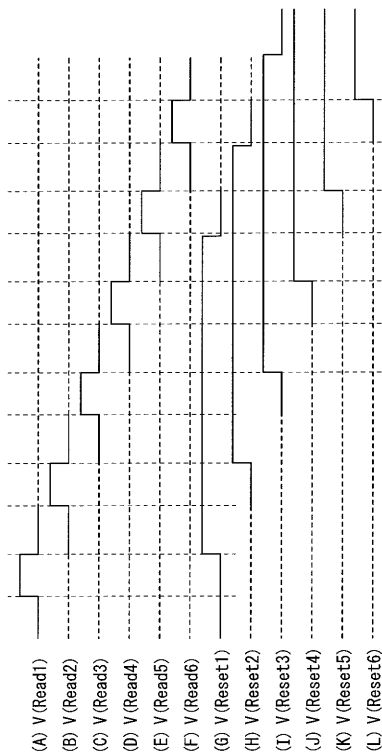
【図 3 4】



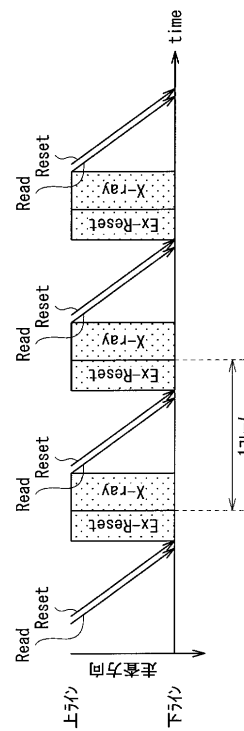
【図 3 5】



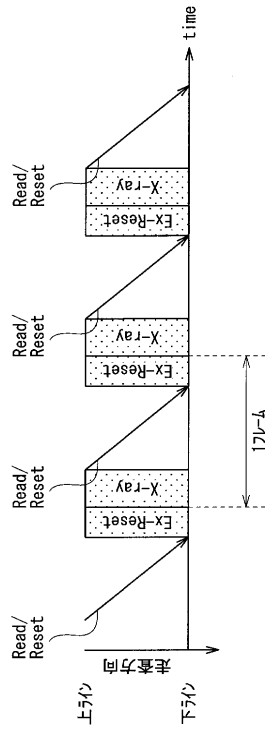
【図 3 6】



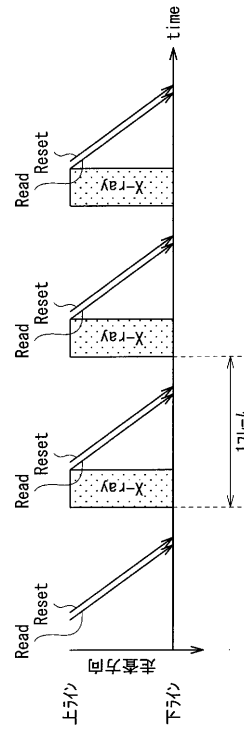
【図 3 7】



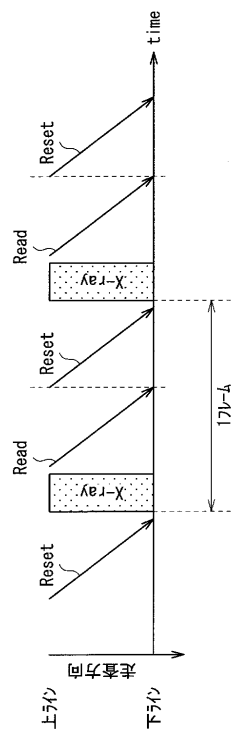
【図 38】



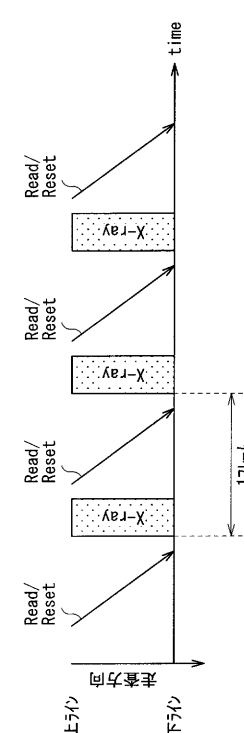
【図 39】



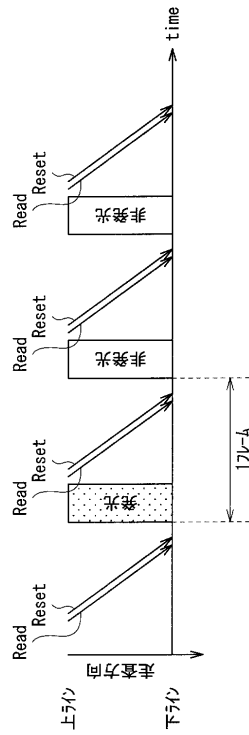
【図 40】



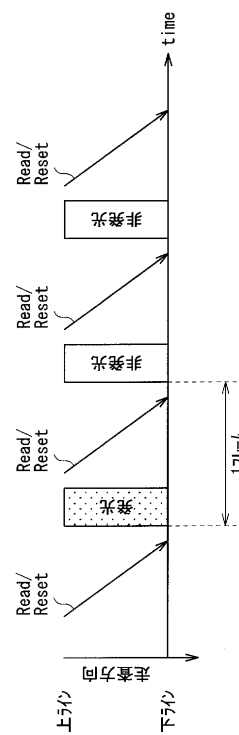
【図 41】



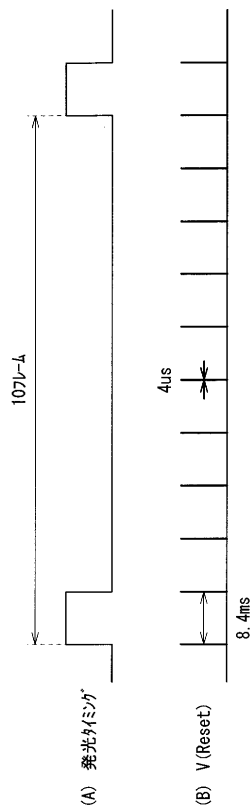
【図 4 2】



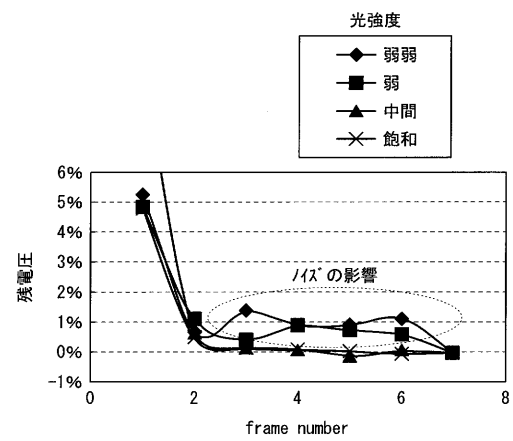
【図 4 3】



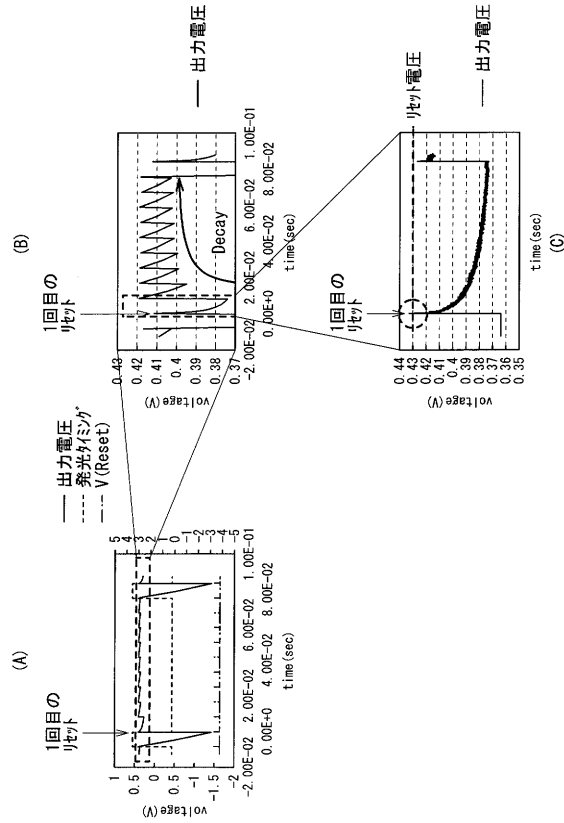
【図 4 4】



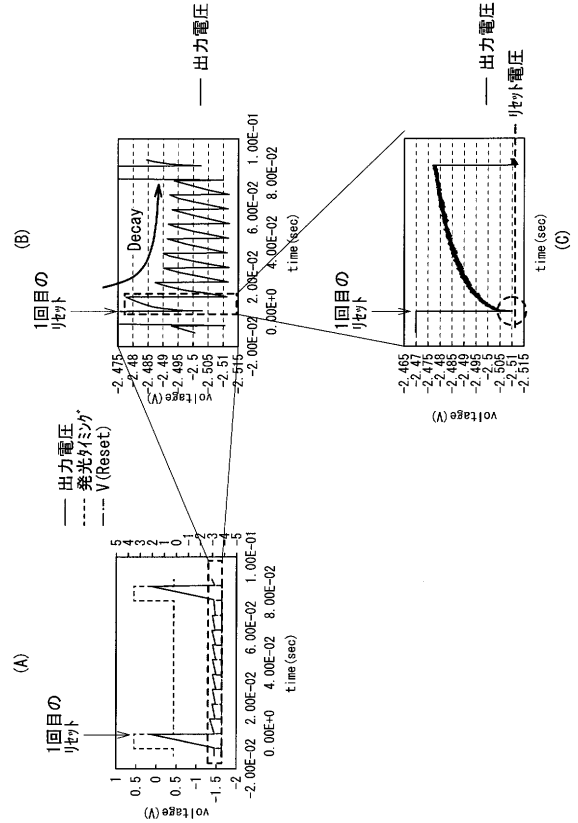
【図 4 5】



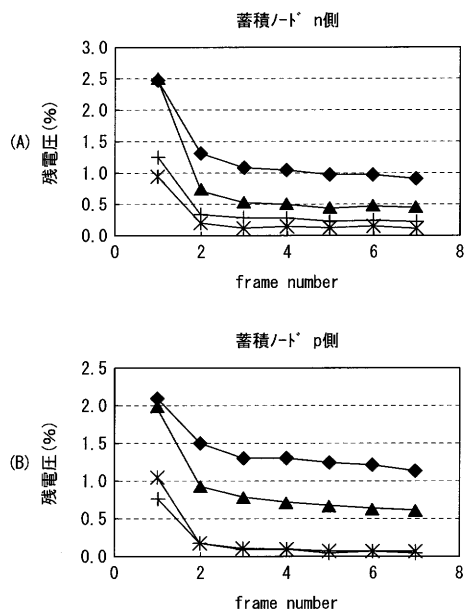
【図 4 6】



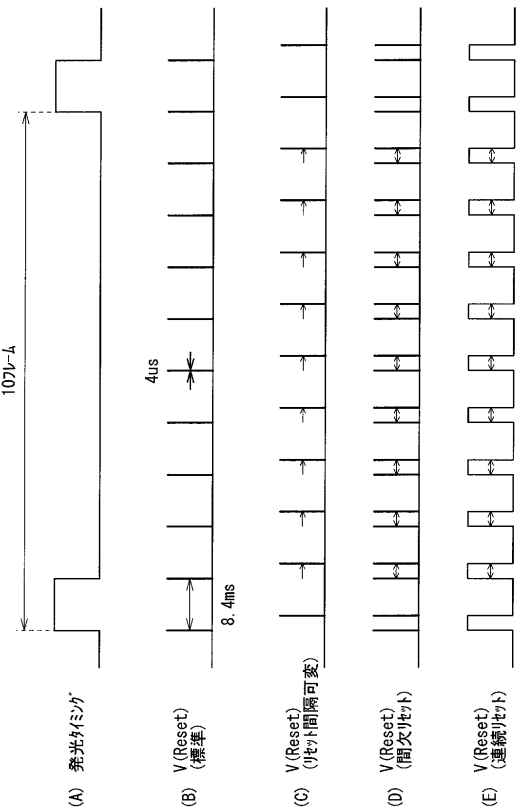
【図 4 7】



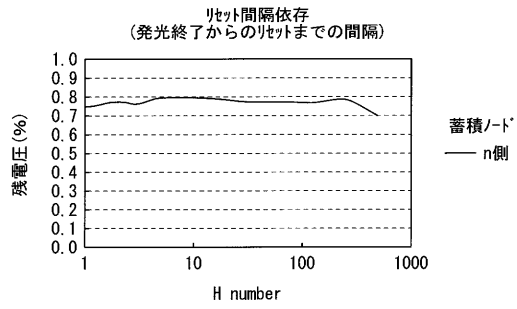
【図 4 8】



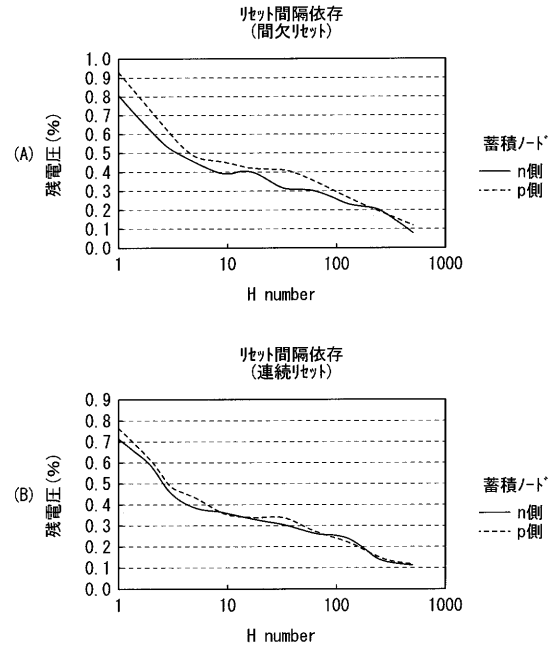
【図 4 9】



【図 50】



【図 51】



フロントページの続き

- (56)参考文献 特開平08-214177 (JP, A)
特開2003-134401 (JP, A)
特開2009-139597 (JP, A)
特開2007-300183 (JP, A)
国際公開第2009/119417 (WO, A1)
特開2008-287061 (JP, A)
特開2008-193618 (JP, A)
特開2000-350103 (JP, A)
特開平05-199463 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378 ,
G02F 1/133 - 1/1334,
G02F 1/1339- 1/135 ,
H01L 21/339 ,
H01L 27/14 - 27/148 ,
H01L 29/762