(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3718058号

(P3718058)

(45)発行日　平成17年11月16日(2005.11.16)　(24)登録日　平成17年9月9日(2005.9.9)

(51)Int.Cl.[7]	F I		
H01L 21/8242	H01L	27/10	681F
H01L 21/3205	H01L	21/88	Z
H01L 27/108	H01L	27/10	621C
	H01L	27/10	681B

請求項の数 11　(全 52 頁)

(21)出願番号　特願平10-169769
(22)出願日　平成10年6月17日(1998.6.17)
(65)公開番号　特開2000-12802(P2000-12802A)
(43)公開日　平成12年1月14日(2000.1.14)
審査請求日　平成15年2月21日(2003.2.21)

前置審査

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　黒田　謙一
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　橋本　孝司
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　宿利　章二
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所　半導体事業部内

最終頁に続く

(54)【発明の名称】半導体集積回路装置の製造方法

(57)【特許請求の範囲】

【請求項１】

メモリセル選択トランジスタと、これに直列に接続された情報蓄積用容量素子とで構成される複数のメモリセルを半導体基板に設けている半導体集積回路装置の製造方法であって、

（ａ）前記半導体基板に平面孤立矩形状の第１領域を形成する工程、

（ｂ）前記第１領域に対し交差する方向に延びるワード線を半導体基板上に形成する工程、

（ｃ）前記第１領域に前記メモリセル選択トランジスタのソースおよびドレイン用の一対の半導体領域を前記ワード線直下のチャネル領域を挟んで形成する工程、

（ｄ）前記（ａ）～（ｃ）工程により形成されたメモリセル選択トランジスタを覆う第１の層間絶縁膜を形成する工程、

（ｅ）前記第１の層間絶縁膜に、ビット線用の配線溝と、前記ビット線用の配線溝の一部であって前記ビット線用の配線溝の延在方向に対して平面的に交差する方向に延び、前記メモリセル選択トランジスタの一方の半導体領域に平面的に重なる領域に、そのビット線用の配線溝に一体的につながり、かつ、前記メモリセル選択トランジスタの一方の半導体領域が露出されるビット線用の接続孔とを形成する工程、

（ｆ）前記ビット線用の配線溝およびビット線用の接続孔に導電性部材を埋め込み、ビット線用の配線溝内における配線部と、ビット線用の接続孔内における接続部とが一体的に成形されてなるビット線を形成する工程、

（ｇ）前記ビット線よりも上方に、前記メモリセル選択トランジスタの他方の半導体領域と電気的に接続される情報蓄積用容量素子を形成する工程を有し、

前記（ｅ）工程において、メモリの周辺回路領域の前記第１の層間絶縁膜に、配線用溝と、前記配線用溝に接続され、前記メモリの周辺回路領域の周辺回路用の素子に電気的に接続される配線用接続孔とを形成し、

前記（ｆ）工程において、前記メモリの周辺回路領域の配線用溝および配線用接続孔に導電性部材を埋め込み、前記メモリの周辺回路領域の配線用溝内における配線部と、前記メモリの周辺回路領域の配線用接続孔内における接続部とが一体的に成形されてなる配線を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項２】

請求項１記載の半導体集積回路装置の製造方法において、

前記ビット線用の配線溝、前記ビット線用の接続孔および前記メモリの周辺回路領域の配線用溝は、同じマスク膜をエッチングマスクとして形成することを特徴とする半導体集積回路装置の製造方法。

【請求項３】

請求項１記載の半導体集積回路装置の製造方法において、

前記ビット線用の配線溝、前記ビット線用の接続孔および前記メモリの周辺回路領域の配線用溝を形成する際に、同じマスク膜を用いて前記情報蓄積用容量素子用の接続孔を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項４】

請求項１記載の半導体集積回路装置の製造方法において、

前記ビット線用の配線溝、前記ビット線用の接続孔、情報蓄積用容量素子用の接続孔および前記メモリの周辺回路領域の配線用溝を導電性部材で埋め込み、前記ビット線と情報蓄積用容量素子用のプラグと前記メモリの周辺回路領域の配線とを形成することを特徴とする半導体集積回路装置の製造方法。

【請求項５】

請求項１記載の半導体集積回路装置の製造方法において、

前記ビット線用の配線溝およびビット線用の接続孔は、それぞれ別々のマスク膜をエッチングマスクとして形成することを特徴とする半導体集積回路装置の製造方法。

【請求項６】

請求項５記載の半導体集積回路装置の製造方法において、

前記ビット線用の接続孔を形成する際に、同じマスク膜を用いて前記情報蓄積用容量素子用の接続孔を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項７】

請求項１記載の半導体集積回路装置の製造方法において、

前記メモリの周辺回路領域の配線は、ｐチャネルトランジスタの半導体領域とｎチャネルトランジスタの半導体領域とを接続することを特徴とする半導体集積回路装置の製造方法。

【請求項８】

請求項７記載の半導体集積回路装置の製造方法において、

前記メモリセル選択トランジスタのゲート電極と、前記ｐチャネルトランジスタのゲート電極およびｎチャネルトランジスタのゲート電極とは、異なるフォトマスクを用いて別々に露光されたマスクを用いてパターニングすることで形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項９】

請求項１記載の半導体集積回路装置の製造方法において、

前記（ｅ）工程に際し、前記第１の層間絶縁膜のメモリの周辺回路領域において、前記周辺回路用の素子に電気的に接続される接続孔とを形成し、

前記（ｆ）工程に際して、前記周辺回路用の素子に電気的に接続される接続孔に導電性部材を埋め込みプラグを形成することを特徴とする半導体集積回路装置の製造方法。

【請求項１０】
　請求項１記載の半導体集積回路装置の製造方法において、
　前記（ｆ）工程においては、前記ビット線および前記メモリの周辺回路領域の配線の上面と、前記第１の層間絶縁膜の上面とが一致するように、前記ビット線および前記メモリ回路領域の配線を形成することを特徴とする半導体集積回路装置の製造方法。
【請求項１１】
　請求項１記載の半導体集積回路装置の製造方法において、
　前記メモリの周辺回路領域の前記配線用溝の側面と前記配線用接続孔の側面とが一致していることを特徴とする半導体集積回路装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体集積回路装置の製造方法および半導体集積回路装置技術に関し、特に、ビット線の上方に情報蓄積用容量素子を設けているメモリを有する半導体集積回路装置技術に適用して有効な技術に関するものである。
【０００２】
【従来の技術】
大容量メモリを代表する半導体メモリとしてＤＲＡＭ（Dynamic Random Access Memory）がある。ＤＲＡＭのメモリ容量は益々増大する傾向にあり、それに伴いＤＲＡＭのメモリセルの集積度を向上させる観点からメモリセルの専有面積も縮小せざるを得ない方向に進んでいるが、そのキャパシタの蓄積容量値は、ＤＲＡＭの動作マージンやソフトエラー等を考慮する観点等から世代によらず一定量が必要であり、一般に比例縮小できないことが知られている。
【０００３】
そこで、限られた小さな占有面積内に必要な蓄積容量を確保すべく、ポリシリコン等からなる２層の電極を容量絶縁膜を介して積み重ねてなる、いわゆるスタックトキャパシタ等のような立体的なキャパシタ構造が採用されており、その一例として、例えばキャパシタをビット線の上方に配置する、いわゆるキャパシタ・オーバー・ビットライン(Capacitor Over Bitline ）構造がある。
【０００４】
この種の構造を有するＤＲＡＭについては、例えば特開平６－２６８１７５号公報に記載があり、この文献には、次のようなＤＲＡＭの製造工程について開示されている。すなわち、まず、半導体基体の表面にゲート絶縁膜を介してゲート電極とソース及びドレインを形成した後、その半導体基体上に第一絶縁膜を堆積し、その第一絶縁膜に、蓄積ノード用の接続穴とビット線用の接続穴とを同時に形成する。続いて、半導体基板上に多結晶シリコン膜を堆積した後、これをエッチバックして上記２種類の接続穴内に多結晶シリコン膜を埋め込む。その後、ビット線形成用の新たな多結晶シリコン膜とその上部の絶縁膜を堆積した後、フォトレジストをマスクににしてビット線以外の領域の前記多結晶シリコン膜をエッチング除去する。これらの工程により蓄積ノード用の接続穴内の多結晶シリコン膜の表面が第一絶縁膜の表面よりも下がる。その後、蓄積ノード用の接続穴の多結晶シリコン膜がない側面とビット線となる多結晶シリコン膜の側面に絶縁膜からなる側壁膜を形成した後、蓄積ノードを形成する。
【０００５】
また、特開平６－３３８５９７号公報には、ＤＲＡＭのビット線を埋込配線で形成する技術が開示されている。すなわち、半導体基板上の絶縁膜に溝を掘り、その溝内に導体膜を埋め込むことでビット線を形成する。このビット線は平面直線状に配置されている。また、メモリセル選択ＭＯＳ・ＦＥＴの活性領域（ソース・ドレイン領域）は平面Ｔ字状に形成されている。そして、そのビット線は、その活性領域の中央の凸部に平面的に重なるように配置されており、その重なり領域で上記絶縁膜に穿孔された接続穴を通じて上記活性領域に電気的に接続されている。

【０００６】
【発明が解決しようとする課題】
ところが、上記キャパシタ・オーバー・ビットライン構造を有するＤＲＡＭにおいては、以下の課題があることを本発明者は見出した。
【０００７】
すなわち、上記特開平６－２６８１７５号公報に記載された技術では、ビット線とビット線用の接続孔内の導電性部材とが別工程で形成されているので、両者の間に接触抵抗が発生する。このため接触抵抗によるビット線の電圧降下により低電圧あるいは高速動作に不向きとなる。上記の場合は、ビット線とビット線用の接続孔内の導電性部材が同じ材料の多結晶シリコン膜であるが、その場合でも、非連続で形成しているので界面に酸化シリコン膜（通常、非常に薄くトンネル電流が流れる。あるいは多結晶シリコン膜中の濃度バラツキやグレイインの影響で部分的に酸化シリコン膜が形成されるので電流が流れる）が形成され易く、これが接触抵抗の原因となる、という課題がある。
【０００８】
また、この技術では、絶縁膜上にビット線のパターンが形成されている。このビット線の側面には側壁絶縁膜が形成されているので、比較的平坦性は確保されるもののビット線を覆う絶縁膜の上面にはビット線のパターンによる段差が反映されて凹凸が形成される結果、その絶縁膜上に蓄積ノード電極をパターニングする場合にその絶縁膜上面の段差の側面にエッチング残りが生じ、そのエッチング残りに起因する短絡不良等の問題が生じ易い、という課題もある。
【０００９】
また、上記特開平６－３３８５９７号公報に記載された技術は、ビット線を埋め込み配線で形成する構造であるが、本発明とは構成が異なるＤＲＲＡについての技術である。
【００１０】
本発明の目的は、ビット線の配線部の導電性部材とビット線用接続孔内の導電性部材との間の接触抵抗を無くすことのできる技術を提供することにある。
【００１１】
また、本発明の他の目的は、ビット線を覆うの絶縁膜上面の平坦性を向上させることのできる技術を提供することにある。
【００１２】
本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。
【００１３】
【課題を解決するための手段】
本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。
【００１４】
すなわち、本発明は、メモリセル選択トランジスタと、これに直列に接続された情報蓄積用容量素子とで構成される複数のメモリセルを半導体基板に設けている半導体集積回路装置の製造方法であって、
（ａ）前記半導体基板に平面孤立矩形状の第１領域を形成する工程、
（ｂ）前記第１領域に対し交差する方向に延びるワード線を半導体基板上に形成する工程、
（ｃ）前記第１領域に前記メモリセル選択トランジスタのソースおよびドレイン用の一対の半導体領域を前記ワード線直下のチャネル領域を挟んで形成する工程、
（ｄ）前記（ａ）～（ｃ）工程により形成されたメモリセル選択トランジスタを覆う第１の層間絶縁膜を形成する工程、
（ｅ）前記第１の層間絶縁膜に、ビット線用の配線溝と、前記ビット線用の配線溝の一部であって前記ビット線用の配線溝の延在方向に対して平面的に交差する方向に延び、前記メモリセル選択トランジスタの一方の半導体領域に平面的に重なる領域に、そのビット線

用の配線溝に一体的につながり、かつ、前記メモリセル選択トランジスタの一方の半導体領域が露出されるビット線用の接続孔とを形成する工程、
（ｆ）前記ビット線用の配線溝およびビット線用の接続孔に導電性部材を埋め込み、ビット線用の配線溝内における配線部と、ビット線用の接続孔内における接続部とが一体的に成形されてなるビット線を形成する工程、
（ｇ）前記ビット線よりも上方に、前記メモリセル選択トランジスタの他方の半導体領域と電気的に接続される情報蓄積用容量素子を形成する工程を有するものである。
【００１５】
また、本発明は、前記（ｅ）工程に際し、前記第１の層間絶縁膜においてメモリの周辺回路領域に、配線用溝と、前記配線用溝に接続され、その周辺回路用の素子に電気的に接続される配線用接続孔とを形成する工程、
前記（ｆ）工程に際して、前記配線用溝および配線用接続孔に導電性部材を埋め込み、配線用溝内における配線部と配線用接続孔内における接続部とが一体的に成形されてなる配線を形成する工程を有するものである。
【００１６】
また、本発明は、メモリセル選択トランジスタと、これに直列に接続された情報蓄積用容量素子とで構成される複数のメモリセルを半導体基板に設けている半導体集積回路装置の製造方法であって、
前記メモリセル選択トランジスタのゲート電極のパターンと、それ以外の他のトランジスタのゲート電極のパターンとを、それぞれ別々の露光処理によって転写する工程を有するものである。
【００１７】
また、本発明は、半導体基板上に形成された層間絶縁膜に、その下層において、同層または異層に設けられ、かつ、互いに離間する複数の第１の導電性部材が露出する接続孔を穿孔する工程と、
前記接続孔内に第２の導電性部材を埋め込み、前記互いに離間する複数の第１の導電性部材同士を電気的に接続する工程とを有するものである。
【００１８】
【発明の実施の形態】
以下、本発明の実施の形態を図面に基づいて詳細に説明する（なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する）。
【００１９】
（実施の形態１）
図１は本発明の一実施の形態である半導体集積回路装置の要部断面図、図２は図１の半導体集積回路装置の要部平面図、図３～図７はそれぞれ図２のＡ1 －Ａ1 線、Ａ2 －Ａ2 線、Ｂ1 －Ｂ1 線、Ｂ2 －Ｂ2 線およびＢ3 －Ｂ3 線の断面図、図８～図３２は図１の半導体集積回路装置の製造工程中における要部断面図である。
【００２０】
本実施の形態１においては、例えば情報蓄積用のキャパシタがビット線の上方に設けられた構造の２５６ＭビットＤＲＡＭ（Dynamic Random Access Memory）に本発明を適用した場合について説明する。なお、本実施の形態１の説明で用いる図２には図面を見易くするために一部にハッチングを付す。
【００２１】
図１～図７に示すように、半導体基板１は、例えばシリコン単結晶からなり、例えばホウ素が含有されてｐ⁻型に設定されている。この半導体基板１には、埋込ｎウエル２Ｎ1,２Ｎ2 が形成されている。埋込ｎウエル２Ｎ1 は、メモリセル領域Ｍに形成され、埋込ｎウエル２Ｎ2 は、周辺回路領域Ｐにおけるｎチャネル型のＭＩＳ・ＦＥＴ（Metal Insulator Semiconductor Field Effect Transistor ；以下、ｎＭＩＳと略す）の形成領域に形成されている。これら埋込ｎウエル２Ｎ1,２Ｎ2 は、例えばリンが導入されてｎ型に設定さ

れており、その不純物の濃度ピークが半導体基板１の所定深さ位置に分布されるように形成されている。

【００２２】

この埋込ｎウエル２Ｎ1,２Ｎ2 上には、それぞれｐウエル３Ｐ1,３Ｐ2 が形成されている。このｐウエル３Ｐ1,３Ｐ2 は、例えばホウ素が導入されてｐ型に設定されており、その不純物が半導体基板１の主面から埋込ｎウエル２Ｎ1,２Ｎ2 まで広がって形成されている。また、半導体基板１において周辺回路領域Ｐのｐチャネル形のＭＩＳ・ＦＥＴ（以下、ｐＭＩＳと略す）の形成領域にはｎウエル３Ｎが形成されている。このｎウエル３Ｎは、例えばリンが導入されてｎ型に設定されており、その不純物が半導体基板１の主面から半導体基板１の所定の深さ位置に広がって形成されている。

【００２３】

このメモリセル領域Ｍのｐウエル３Ｐ1 は、その下層の埋みｎウエル２Ｎ1 およびその側面のｎウエル３Ｎによって完全に取り囲まれ、半導体基板１とは電気的に分離されている。これにより、メモリセル領域Ｍ以外の領域に設けられた素子から半導体基板１を通じてメモリセル領域Ｍにノイズが侵入するのを防止することが可能となっている。また、半導体基板１に印加される電圧とは異なる電圧をｐウエル３Ｐ1 に対して印加することが可能となっている。本実施の形態１では、例えばｐウエル３Ｐ1 （すなわち、メモリセル選択ＭＩＳ・ＦＥＴＱｓ）に負の基板バイアス電圧を印加する。このｐウエル３Ｐ1 への電圧供給は、ｐウエル３Ｐ1 に接続された配線を通じて行われる。一方、図１では周辺回路領域Ｐのｐウエル３Ｐ2 も埋込ｎウエル２Ｎ2 およびｎウエル３Ｎに取り囲まれているように示されているが、このｐウエル３Ｐ2 は完全には取り囲まれておらず半導体基板１と電気的に接続され半導体基板１に供給される電圧と設計上同じ電圧が供給されるようになっている。

【００２４】

このような半導体基板１の主面には、例えば浅溝埋込形の分離部４が形成されている。この分離部４は、素子の活性領域（第１領域）ＬＤ を規定しており、半導体基板１の主面に掘られた分離溝４ａ内に分離膜４ｂが埋め込まれて形成されている。この分離膜４ｂは、例えばシリコン酸化膜等からなり、その上面は半導体基板１の主面とほぼ一致するように平坦処理がなされている。

【００２５】

メモリセル領域Ｍにおける活性領域ＬＤ は、図２に示すように、平面孤立長方形状に形成されている。この活性領域ＬＤ の各々には、例えば２つのメモリセル選択ＭＩＳ・ＦＥＴＱｓが形成されている。個々のメモリセル選択ＭＩＳ・ＦＥＴＱｓは、チャネル領域を挟んで形成されたソース・ドレイン用の一対の半導体領域５Ｎ1,５Ｎ2 と、そのチャネル領域上にゲート絶縁膜６ｉ1 を介して設けられたゲート電極７ｇ1 とを有している。

【００２６】

一対の半導体領域５Ｎ1,５Ｎ2 は、例えばリンが導入されてｎ型に設定されている。上記２つのメモリセル選択ＭＩＳ・ＦＥＴＱｓは、その一対の半導体領域５Ｎ1,５Ｎ2 の一方の半導体領域５Ｎ2 を互いに共有している。なお、半導体領域５Ｎ1,５Ｎ2 の上部に、例えばチタンシリサイド等のようなシリサイド層を設ける構造としても良い。これにより、配線と半導体領域５Ｎ1,５Ｎ2 との接触抵抗を低減できる。

【００２７】

ゲート絶縁膜６ｉ1 は、例えばシリコン酸化膜からなり、その厚さは、例えば７～８ｎｍ程度に設定されている。また、このゲート絶縁膜６ｉ1 を酸窒化膜（ＳｉＯＮ膜）によって形成しても良い。これにより、ゲート絶縁膜中における界面準位の発生を抑制することができ、また、ゲート絶縁膜中の電子トラップも低減させることができるので、ゲート絶縁膜６ｉ1 におけるホットキャリア耐性を向上させることが可能となる。そのゲート絶縁膜６ｉ1 の酸窒化方法としては、例えばゲート絶縁膜６ｉ1 を酸化処理によって成膜する際にNH_3 ガス雰囲気やNO_2 ガス雰囲気中において高温熱処理を施すことによりゲート絶縁膜６ｉ1 中に窒素を導入する方法、シリコン酸化膜等からなるゲート絶縁膜６ｉ1 を

形成した後、その上面に窒化膜を形成する方法、半導体基板の主面に窒素をイオン注入した後にゲート絶縁膜６ｉ１の形成のための酸化処理を施す方法またはゲート電極形成用のポリシリコン膜に窒素をイオン注入した後、熱処理を施して窒素をゲート絶縁膜に析出させる方法等がある。

【００２８】

また、ゲート電極７ｇ１は、ワード線ＷＬの一部によって形成されている。このワード線ＷＬは、図２に示すように、活性領域ＬＤに対して直交するように配置されている。このワード線ＷＬにおいて活性領域ＬＤと重なる領域がゲート電極７ｇ１となっている。このゲート電極７ｇ１（すなわち、ワード線ＷＬ）は、例えばｎ形の低抵抗ポリシリコンからなる導体膜、窒化チタンや窒化タングステン等からなるバリア膜およびタングステン等からなる導体膜が下層から順に堆積されてなる。このバリア膜は、低抵抗ポリシリコン膜上にタングステン膜を直接積み重ねた場合に、その接触部に製造プロセス中の熱処理によりシリサイドが形成されてしまうのを防止する機能を有している。また、そのタングステン等からなる導体膜は、ワード線ＷＬの配線抵抗を下げる機能を有しており、ゲート電極７ｇ１（すなわち、ワード線ＷＬ）のシート抵抗を２～2.５Ω／□程度にまで低減できる。すなわち、タングステンシリサイドの比抵抗１５～１０μΩｃｍの約１／１０にできる。これにより、ＤＲＡＭのアクセス速度を向上させることが可能となっている。また、１本のワード線ＷＬに配置可能なメモリセルの数を増加させることができるので、メモリセル領域全体の占有面積を縮小することができ、半導体チップのサイズを縮小することができる。例えば本実施の形態ではワード線ＷＬに５１２個のメモリセルを配置できる。これは、ワード線ＷＬに２５６個のメモリセルを配置可能な場合に比べて半導体チップのサイズを約６％縮小することができ、さらに微細なクラスの半導体チップでは、１０％弱の半導体チップのサイズの低減効果が得られる。したがって、１回の製造プロセスで製造される半導体チップの個数を増加させることができるので、ＤＲＡＭのコスト低減を推進することが可能となる。また、半導体チップのサイズを変えないならば素子集積度の向上が図れる。このゲート電極７ｇ１の上面には、キャップ絶縁膜８が形成されている。また、ゲート電極７ｇ１（ワード線ＷＬ）の側面、キャップ絶縁膜８の表面、半導体基板１の主面および分離部４の上面には下地の段差を反映するような薄い絶縁膜９が形成されている。このキャップ絶縁膜８および薄い絶縁膜９は、例えばシリコン窒化膜からなる。

【００２９】

一方、周辺回路領域Ｐにおける活性領域には、ｐＭＩＳＱｐおよびｎＭＩＳＱｎが形成されている。ｐＭＩＳＱｐは、チャネル領域を挟んで形成されたソース・ドレイン用の一対の半導体領域１０Ｐ，１０Ｐと、そのチャネル領域上にゲート絶縁膜６ｉ2 を介して設けられたゲート電極７ｇ2 とを有し、ｎＭＩＳＱｎは、チャネル領域を挟んで形成されたソース・ドレイン用の一対の半導体領域１１Ｎ，１１Ｎと、そのチャネル領域上にゲート絶縁膜６ｉ2 を介して設けられたゲート電極７ｇ2 とを有している。

【００３０】

各半導体領域１０Ｐ，１１Ｎは、低濃度領域と、それよりも導電型を決める不純物濃度が高い高濃度領域とを有している。低濃度領域は、主としてホットキャリア効果を抑制するための領域であり、チャネル領域に隣接している。また、高濃度領域は、低濃度領域の平面寸法分だけチャネル領域から平面的に離間した位置に形成されている。ｐＭＩＳＱｐの低濃度領域および高濃度領域は、例えばホウ素が導入されてｐ型に設定されている。ｎＭＩＳＱｎの低濃度領域には、例えばリンが導入され、高濃度領域には、例えばヒ素が導入されて、共にｎ型に設定されている。また、このような一対の半導体領域１１Ｎの上記チャネル領域側の底部角近傍にはソース・ドレイン間のパンチスルーを抑制するためのポケット領域が設けられている。ｐＭＩＳＱｐ側に設けられたポケット領域はｎ型に設定され、ｎＭＩＳＱｎ側に設けられたポケット領域はｐ型に設定されている。なお、半導体領域１０Ｐ，１１Ｎの上部に、例えばタングステンシリサイドまたはチタンシリサイド等のようなシリサイド層を設ける構造としても良い。これにより、配線と半導体領域１０Ｐ，１１Ｎとの接触抵抗を低減できる。

【００３１】
ゲート絶縁膜６ｉ2 は、上記したゲート絶縁膜６ｉ1 と同様に、例えばシリコン酸化膜等からなるが、その厚さは、上記したゲート絶縁膜６ｉ1 よりも薄く、例えば４～4.５ｎｍ程度である。このゲート絶縁膜６ｉ2 をゲート絶縁膜６ｉ1 と同様に酸窒化膜としても良い。ゲート電極７ｇ2 は、上記したゲート電極７ｇ1 と同じなので説明を省略する。なお、分離部４上のゲート電極７ｇは、他のＭＩＳ・ＦＥＴのゲート電極を示すもので、ゲート電極７ｇ1,７ｇ2 と同時に形成されている。このゲート電極７ｇ2,７ｇの上面にも、上記したキャップ絶縁膜８が形成されている。また、ゲート電極７ｇ2,７ｇの側面、それらの上のキャップ絶縁膜８の表面、半導体基板１の主面および分離部４の上面にも、下地の段差を反映するような上記薄い絶縁膜９が形成されている。

【００３２】
このような半導体基板１の主面上には、例えばシリコン酸化膜等から成る層間絶縁膜１２ａが被着されている。この層間絶縁膜１２ａ上には、例えばシリコン窒化膜等から成る絶縁膜１３が被着されている。この層間絶縁膜１２ａおよび絶縁膜１３には、半導体領域５Ｎ1,５Ｎ2,１０Ｐ，１１Ｎの上面が露出するような接続孔１４ａ～１４ｅと配線溝１５ａ，１５ｂとが形成されている。

【００３３】
メモリセル領域Ｍにおける接続孔１４ａ内にはプラグ１６ａが埋め込まれている。このプラグ１６ａは、メモリセル選択ＭＩＳ・ＦＥＴＱｓの半導体領域５Ｎ1 とキャパシタ（情報蓄積容量素子）Ｃとを電気的に接続するための部材であり、例えばチタン等からなる薄い導体膜上に窒化チタン等からなる薄い導体膜を重ね、さらにその上にタングステン等のような厚い導体膜を重ねて成る。接続孔１４ａ（プラグ１６ａ）の設計上の平面形状は、図２に示すように、半導体領域５Ｎ1 の平面領域内に収まる程度の平面四角形状になっているが、実際はその角がとれて丸みを帯びている。

【００３４】
メモリセル領域Ｍにおける配線溝１５ａと接続孔１４ｂとは繋がっている。接続孔１４ｂ内にはビット線ＢＬの接続部１６ｂ1 が埋め込まれ、配線溝１５ａ内にはビット線ＢＬの配線部１６ｂ2 が埋め込まれている。ビット線ＢＬの接続部１６ｂ1 と配線部１６ｂ2 とは一体的に形成されており、ビット線ＢＬは接続部１６ｂ1 を通じて半導体領域５Ｎ2 と電気的に接続されている。すなわち、本実施の形態では、ビット線ＢＬの接続部１６ｂ1 と配線部１６ｂ2 とが一体成形されているので、双方の間に接触抵抗が生じない構造になっている。また、ビット線ＢＬの配線部１６ｂ2 は配線溝１５ａ内に埋め込まれその上面が絶縁膜１３の上面とほぼ一致するように平坦にされている。このため、ビット線ＢＬの上方にビット線ＢＬのパターン段差が生じないので、その段差側面に導体膜からなるエッチング残りが生じるのを防止でき、そのエッチング残りに起因する短絡不良等を防止できる。

【００３５】
ビット線ＢＬの配線部１６ｂ2 の断面構造は、配線溝１５ａが絶縁膜９が露出するように掘られていることから、接続部１６ｂ1 以外の領域においても、互いに隣接するワード線ＷＬの間に配線部１６ｂ2 が介在されている。このため、ビット線ＢＬの断面積を増大させることができ、その抵抗を低減できる。ビット線ＢＬの配線部１６ｂ2 の平面形状は、基本的にワード線ＷＬの延在方向に対して直交する方向に直線状に延びて形成されているが、その一部がワード線ＷＬの延在方向に平行に延びる方向に突出されてその突出部が活性領域Ｌに平面的に重なっている。そして、その重なった箇所に接続孔１４ｂおよび接続部１６ｂ1 が設けられている。このようなビット線ＢＬの接続部１６ｂ1 および配線部１６ｂ2 で一体構成される導体膜は、例えばチタン等からなる相対的に薄い導体膜上に窒化チタン等からなる相対的に薄い導体膜を重ね、さらにその上にタングステン等のような相対的に厚い導体膜を重ねて成る。

【００３６】
また、周辺回路領域Ｐにおける接続孔１４ｃ，１４ｅ内にはプラグ１６ｃ，１６ｅが埋め

込まれている。このプラグ１６ｃ，１６ｅの断面構造、平面構造および材料は、上記したプラグ１６ａと同じなので説明を省略する。また、周辺回路領域Ｐにおける配線溝１５ｂと接続孔１４ｄとは繋がっている。この接続孔１４ｄ内には局所配線１７の接続部１６ｄ1 が埋め込まれ、配線溝１５ｂ内には局所配線１７の配線部１６ｄ2 が埋め込まれている。この局所配線１７は、半導体領域１０Ｐ，１１Ｎ間を電気的に接続する配線である。この局所配線１７は、そ接続部１６ｄ1 と配線部１６ｄ2 とが一体成形されているので、ビット線ＢＬと同様に、その接続部１６ｄ1 と配線部１６ｄ2 との間に接触抵抗が生じない構造になっている。また、局所配線１７の配線部１６ｄ2 が配線溝１５ｂ内に埋め込まれその上面が絶縁膜１３の上面とほぼ一致するように平坦にされているので、局所配線１７の上方にパターン段差が発生せず、その段差側面に導体膜からなるエッチング残りが生じるのを防止でき、そのエッチング残りに起因する短絡不良等を防止できる。局所配線１７の構成材料は、ビット線ＢＬと同じなので説明を省略する。

【００３７】

メモリセル領域Ｍにおける絶縁膜１３上には、例えばクラウン型のキャパシタＣが設けられている。このキャパシタＣと、上記メモリセル選択ＭＩＳ・ＦＥＴＱｓとにより、ＤＲＡＭのメモリセルが形成されている。キャパシタＣは、下部電極１８ａと、その表面（内側面および外側面）に被着された容量絶縁膜１８ｂと、さらにその表面に設けられた上部電極１８ｃとで構成されている。下部電極１８ａは、例えばリンが含有された低抵抗ポリシリコン等からなり、プラグ１６ａに電気的に接続されている。容量絶縁膜１８ｂは、例えばシリコン窒化膜上にタンタル酸化膜（Ta_2O_5）を積み重ねて成る。上部電極１８ｃは、例えば窒化チタン上にｎ型の低抵抗ポリシリコンを積み重ねて成る。

【００３８】

このようなキャパシタＣは、絶縁膜１３上に堆積された層間絶縁膜１２ｂによって被覆されている。層間絶縁膜１２ｂは、例えばシリコン酸化膜から成る。この層間絶縁膜１２ｂ上には、第１層配線１９ａ～１９ｄが形成されている。第１層配線１９ａ～１９ｄは、例えばチタン、窒化チタン、アルミニウム（またはアルミニウム－シリコン－銅合金）、チタンおよび窒化チタンが下層から順に堆積されて成る。第１層配線１９ａは、層間絶縁膜１２ｂに穿孔された接続孔２０ａ内のプラグ２１ａを通じて上部電極１８ｃと電気的に接続されている。第１層配線１９ｂは、層間絶縁膜１２ｂに穿孔された接続孔２０ｂ内のプラグ２１ｂを通じてプラグ１６ｃと電気的に接続されている。また、第１層配線１９ｃは、層間絶縁膜１２ｂに穿孔された接続孔２０ｃ内のプラグ２１ｃを通じて局所配線１７と電気的に接続されている。さらに、第１層配線１９ｄは、層間絶縁膜１２ａ，１２ｂおよび絶縁膜１３を貫通するように穿孔された接続孔２０ｄ内のプラグ２１ｄを通じてプラグ１６ｅおよびゲート電極７ｇと電気的に接続されている。すなわち、プラグ２１ｄは、プラグ１６ｅ（すなわち、半導体領域１１Ｎ）とゲート電極７ｇとを電気的に接続している。

【００３９】

層間絶縁膜１２ｂ上には、例えばシリコン酸化膜からなる層間絶縁膜１２ｃが堆積されている。その層間絶縁膜１２ｃ上には、第２層配線２２が形成されている。第２層配線２２の構成材料は、第１層配線１９ａ～１９ｄと同じなので説明を省略する。第２層配線２２は、層間絶縁膜１２ｃに穿孔された接続孔２３ａ，２３ｂ内のプラグ２４ａ，２４ｂを通じてそれぞれ第１層配線１９ｂ，１９ｄと電気的に接続されている。そして、層間絶縁膜１２ｃ上には、表面保護膜２５が堆積されている。この表面保護膜２５の一部には、第２層配線２２の一部が露出するような開口部が形成されている。この開口部から露出する第２層配線２２は、ボンディングパッドＢＰを形成している。表面保護膜２５は、例えばシリコン酸化膜またはシリコン酸化膜上にシリコン窒化膜を介してポリイミド樹脂を積み重ねて成る。また、ボンディングパッドＢＰは、半田バンプまたはボンディングワイヤ等を介してパッケージのリードと電気的に接続され、さらには外部装置と電気的に接続されるようになっている。

【００４０】

次に、本実施の形態における半導体集積回路装置の製造方法を図８～図３２により説明する。

【００４１】

まず、図８に示すように、p^-型のシリコン単結晶からなる半導体基板１の主面上に、例えばシリコン酸化膜からなるパッド膜２６を酸化法によって形成した後、その上にシリコン窒化膜からなる絶縁膜２７をＣＶＤ法等によって形成し、さらにその上に、分離領域が露出するようなフォトレジストパターン２８ａを形成する。続いて、そのフォトレジストパターン２８ａをエッチングマスクとして、そこから露出する絶縁膜２７、パッド膜２６および半導体基板１の一部をエッチング除去することにより分離溝４ａを形成する。その後、フォトレジストパターン２８ａを除去した後、絶縁膜２７をマスクとして半導体基板１に対して熱酸化処理を施すことにより分離溝４ａの側面および底面にシリコン酸化膜を形成する。

【００４２】

次いで、絶縁膜２７は残したまま、半導体基板１の主面上に、例えばシリコン酸化膜をＣＶＤ法により被着する。このシリコン酸化膜は、例えばオゾン（O_3）とテトラエトキシシラン（ＴＥＯＳ）とをソースガスに用いたプラズマＣＶＤ法で堆積することが好ましい。続いて、そのシリコン酸化膜を、分離溝４ａ内のみに残されるようにドライエッチングを用いたエッチバック法または好ましくはＣＭＰ（Chemical Mechanical Polishing）法により除去することで、図９に示すように、分離溝４ａ内にシリコン酸化膜等からなる分離膜４ｂを形成する。その後、熱処理により分離膜４ｂを構成するシリコン酸化膜の緻密化のための熱処理を行った後、絶縁膜２７（図８参照）を除去することにより、浅溝埋込型の分離部４を形成する。

【００４３】

次いで、図１０に示すように、半導体基板１の主面上にｎウエル形成領域が露出するようなフォトレジストパターン２８ｂを形成した後、これをマスクとして半導体基板１に、ｎウエル３Ｎを形成すべく、例えばリンをイオン注入法により導入し、また、ｐＭＩＳＱｐ（図１参照）のしきい値電圧を設定すべく、例えばホウ素をイオン注入法により導入する。続いて、フォトレジストパターン２８ｂを除去した後、図１１に示すように、半導体基板１の主面上にｐウエル形成領域が露出するようなフォトレジストパターン２８ｃを形成する。その後、フォトレジストパターン２８ｃをマスクとして半導体基板１に、ｐウエル３P1,３P2 を形成すべく、例えばホウ素をイオン注入法により導入し、また、メモリセル選択ＭＩＳ・ＦＥＴＱｓおよびｎＭＩＳＱｎ（図１参照）のしきい値電圧を設定すべく、例えばホウ素をイオン注入法により導入し、さらに、埋込ｎウエル２N1,２N2 を形成すべく、例えばリンをイオン注入法により導入する。このようにｐウエル３P1,３P2 形成用の不純物、しきい値電圧設定用の不純物および埋込ｎウエル２N1,２N2 形成用の不純物を同じフォトレジストパターン２８ｃをマスクとしてイオン注入するので製造工程の簡略化を図ることができ、製品製造時間を短縮でき、かつ、製品コストの低減を推進することが可能となっている。

【００４４】

次いで、フォトレジストパターン２８ｃを除去した後、図１２に示すように、ＤＲＡＭのメモリセル選択ＭＩＳ・ＦＥＴＱｓ（図１参照）のしきい値電圧を設定すべく、半導体基板１の主面上に、メモリセル領域Ｍが露出し、かつ、それ以外が覆われるようなフォトレジストパターン２８ｄを形成し、これをマスクとして半導体基板１に、例えばホウ素をイオン注入法により導入する。続いて、フォトレジストパターン２８ｄを除去した後、上記導入した不純物を活性化すべく、例えば９５０℃～１０５０℃で数秒から数分のＲＴＡ（ＲａｐｉｄＴｈｅｒｍａｌＡｎｎｉｅａｌ）処理を行う。これにより、ｎウエル３Ｎ、ｐウエル３P1,３P2 および埋込ｎウエル２N1,２N2 を形成する。その後、図１３に示すように、半導体基板１に対して、例えば８００℃程度の熱酸化処理を施すことにより、例えば厚さ６～７ｎｍ程度のシリコン酸化膜（ゲート絶縁膜６ｉ１を形成するための膜）を形成する。

【００４５】
次いで、そのゲート絶縁膜６ｉ１上に、例えばメモリセル領域Ｍが被覆され、かつ、周辺回路領域のｎＭＩＳ形成領域およびｐＭＩＳ形成領域が露出するようなフォトレジストパターン２８ｅを形成した後、これをエッチングマスクとして、そこから露出するゲート絶縁膜６ｉ１を、例えば好ましくはウエットエッチング法により除去する。続いて、フォトレジストパターン２８ｅを除去した後、図１４に示すように、半導体基板１に対して、例えば７５０℃程度の熱酸化処理を施すことにより、例えば厚さ３～４ｎｍ程度のシリコン酸化膜（ゲート絶縁膜６ｉ２を形成するための膜）を形成する。その後、例えばＮＯ雰囲気で９００℃程度またはN_2Ｏ雰囲気で１０５０℃程度の熱処理を行う。これにより、ＤＲＡＭのメモリセル選択ＭＩＳ・ＦＥＴＱｓのゲート絶縁膜６ｉ１（厚いゲート絶縁膜）の膜厚を、例えば７～８ｎｍ程度にし、ｎＭＩＳＱｎとｐＭＩＳＱｐのゲート絶縁膜６ｉ２（薄いゲート絶縁膜）の膜厚を、例えば４～4.５ｎｍ程度にする。また、半導体基体１を構成するシリコン単結晶とシリコン酸化膜からなるゲート絶縁膜６ｉ1,６ｉ２との境界部にシリコン窒化膜を形成する。このシリコン窒化膜はゲート絶縁膜６ｉ1,６ｉ２であるシリコン酸化膜中の未結合（ダングリングボンド）を埋めてホットキャリア発生によるゲート絶縁膜６ｉ1,６ｉ２の劣化を防止し、かつ、デュアルゲート電極構造（ｎＭＩＳのゲート電極はｎ型のポリシリコン、ｐＭＩＳのゲート電極はｐ型のポリシリコンで構成する構造）のｐ型シリコンへの注入不純物であるホウ素がゲート絶縁膜６ｉ1,６ｉ２中をフッ素または水素雰囲気中で増速してチャネル領域に拡散し、しきい値（Ｖｔ）電圧を変動させるのを防止することが可能となっている。

【００４６】
また、本実施の形態では図示しないが、ＤＲＡＭのワードデコーダや基板バイアス発生回路に使用するＭＩＳ・ＦＥＴや入出力用のＭＩＳ・ＦＥＴの一部にはメモリセル選択ＭＩＳ・ＦＥＴＱｓと同じ相対的にゲート絶縁膜厚が厚いＭＩＳ・ＦＥＴが使用されている。本実施の形態では、ＤＲＡＭのメモリセル選択ＭＩＳ・ＦＥＴＱｓのゲート絶縁膜６ｉ１が相対的に厚く、ＤＲＡＭの周辺回路を構成するｎＭＩＳＱｎおよびｐＭＩＳＱｐのゲート絶縁膜６ｉ２は相対的に薄く形成されているが、これに限定されない。すなわち、ＤＲＡＭのメモリセル選択ＭＩＳ・ＦＥＴＱｓがネガティブバイアス動作では、メモリセル選択ＭＩＳ・ＦＥＴＱｓのゲート絶縁膜６ｉ１をゲート絶縁膜６ｉ２と同様に薄くできる。これは、従来の基板バイアス方式では、ゲート電極に印加される電位が常に正であり、ワード線ブースト方式なのでゲート絶縁膜６ｉ１には高い電圧が加わるのに対して、ネガティブバイアス動作を採用した場合は、ゲート電極７ｇ１の電位がチャネル領域となるｐウエル３Ｐ１の電位に対して負から正の間を動作するので、メモリセル選択ＭＩＳ・ＦＥＴＱｓのゲート絶縁膜６ｉ１に加わる電圧を実質的に下げることができるからである。

【００４７】
その後、ゲート絶縁膜６ｉ1,６ｉ２上に、ゲート電極形成用の導体膜を被着した後、その上に、例えばシリコン窒化膜からなるキャップ絶縁膜８を被着する。ここで、シングルゲート電極構造（ｐＭＩＳのゲート電極もｎＭＩＳのゲート電極もｎ型のポリシリコンで構成される構造）においてポリサイド構造のゲート電極を形成する場合には、上記したゲート電極形成用の導体膜は、例えばｎ型の低抵抗ポリシリコン膜上にタングステンシリサイド等をＣＶＤ法等により下層から順に堆積することで形成される。なお、このｎ型のポリシリコン膜は、そのポリシリコン膜の堆積中にリンを導入して形成しても良いし、また、不純物を含まないポリシリコン膜をＣＶＤ法で堆積した後、そのポリシリコン膜にリンまたはヒ素を熱拡散あるいはイオン注入法で注入して形成しても良い。

【００４８】
また、シングルゲート電極においてポリメタル構造のゲート電極を形成する場合には、上記ゲート電極形成用の導体膜は、例えばｎ型の低抵抗ポリシリコン膜上に窒化タングステン膜等をＣＶＤ法等により被着した後、さらにその上にタングステン等をＣＶＤ法等により被着することで形成される。なお、この場合のｎ型の低抵抗ポリシリコン膜は、例えば不純物を含まないポリシリコンをＣＶＤ法等で堆積した後、そのポリシリコン膜にリン又

はヒ素等を熱拡散あるいはイオン注入法で注入することで形成する。

【００４９】

また、デュアルゲート電極の場合は、ポリサイドゲート構造、ポリメタルゲート構造ともに、不純物を含まないポリシリコンを堆積した後、図示しないマスクによりｎＭＩＳ領域にリンまたはヒ素等をイオン注入法で注入し、また、図示しないマスクによりｐＭＩＳ領域にホウ素等をイオン注入法で注入する。デュアルゲート電極の場合、図１０のｐＭＩＳＱｐのしきい値電圧の設定のために、リンをイオン注入法により導入する。続いて、ポリサイドゲート構造ではタングステンシリサイド等をＣＶＤ法等で堆積する。ポリメタルゲート構造では窒化タングステン膜等をＣＶＤ法等で堆積した後、その上にタングステン膜等をＣＶＤ法等により被着する。この際のキャップ絶縁膜８を形成するためのシリコン窒化膜は、例えば水素の存在によるホウ素の増速拡散を防止するためにＣＶＤ法等で７００℃以下の温度で堆積する。

【００５０】

次いで、図１５に示すように、キャップ絶縁膜８上に、ゲート電極形成用のフォトレジストパターン２８ｆを形成した後、これをエッチングマスクとして、フォトレジストパターン２８ｆから露出するキャップ絶縁膜８およびゲート電極形成用の導体膜をエッチング除去することにより、ゲート電極７ｇ，７ｇ1,７ｇ2 およびその上のキャップ絶縁膜８を形成する。本実施の形態ではゲート電極の加工が終了するまでフォトレジストパターン２８ｆを除去しないで残しているが、これに限定する必要はない。先ず、フォトレジストパターン２８ｆをエッチングマスクとしてシリコン窒化膜等からなるキャップ絶縁膜８を加工した後、フォトレジストパターン２８ｆを除去する。続いて、パターニングされたキャップ絶縁膜８をエッチングマスクにしてゲート電極を加工する。この方法によれば、ゲート電極の加工中にフォトレジスト膜が存在しないので、その加工中にフォトレジスト膜から発生するガスや加工ガス中の塩素等のガスとフォトレジスト膜との反応物を無くすことができるので、制御性のよい加工が可能となる。

【００５１】

また、本実施の形態では、ＤＡＲＡＭのメモリセル選択ＭＩＳ・ＦＥＴＱｓのゲート電極７ｇ1 と、ＤＲＡＭの周辺回路を構成するｎＭＩＳＱｎおよびｐＭＩＳＱｐのゲート電極７ｇ2 やゲート電極７ｇとを形成するためのフォトレジストパターンを同一のフォトマスクを用いてフォトレジスト膜に転写しているが、その各々のフォトレジストパターンをそれぞれ異なるフォトマスクを用いて転写しても良い。

【００５２】

すなわち、まず、上記したのと同様にゲート電極形成用の導体膜上にシリコン窒化膜等からなるキャップ絶縁膜を被着した後、その上にフォトレジスト膜を塗布する。続いて、ＤＲＡＭのメモリセル選択ＭＩＳ・ＦＥＴのゲート電極部を第１フォトマスクにより露光する。この時には、メモリセル選択ＭＩＳ・ＦＥＴのゲート電極形成に最適な露光条件で露光処理を行う。また、ｎＭＩＳＱｎおよびｐＭＩＳＱｐの形成領域は感光されないよう第１フォトマスクを構成しておく。続いて、ｎＭＩＳＱｎおよびｐＭＩＳＱｐのゲート電極部を第１フォトマスクとは別の第２フォトマスクにより露光する。この時には、ｎＭＩＳＱｎおよびｐＭＩＳＱｐのゲート電極形成に最適な露光条件で露光処理を行う。また、ＤＲＡＭのメモリセル選択ＭＩＳ・ＦＥＴの形成領域は感光されないよう第２フォトマスクを構成しておく。その後、第１フォトマスクおよび第２フォトマスクによって形成されたフォトレジストパターンによりキャップ絶縁膜８を加工する。そして、そのフォトレジストパターンを除去した後、加工されたキャップ絶縁膜８をエッチングマスクとしてメモリセル選択ＭＩＳ・ＦＥＴＱｓ、ｎＭＩＳＱｎおよびｐＭＩＳＱｐのゲート電極を加工する。

【００５３】

また、次のようにしても良い。まず、図１６に示すように、ゲート絶縁膜６ｉ1,６ｉ2 上にゲート電極形成用の導体膜７およびシリコン窒化膜等からなるキャップ絶縁膜８を堆積した後、上記したのと同様に、ＤＲＡＭのメモリセル選択ＭＩＳ・ＦＥＴのゲート電極部

を第１フォトマスクにより露光してフォトレジストパターン２８ｆ1 を形成し、それをマスクとしてキャップ絶縁膜８をパターニングする。続いて、そのフォトレジストパターン２８ｆ1 を除去した後、新たにフォトレジスト膜を塗布する。その後、その新たに塗布されたフォトレジスト膜に、図１７に示すように、上記したのと同様にして、ｎＭＩＳおよびｐＭＩＳのゲート電極部を第１フォトマスクとは別の第２フォトマスクにより露光してフォトレジストパターン２８ｆ2 を形成した後、それをマスクとしてキャップ絶縁膜８をパターニングする。次いで、そのフォトレジストパターン２８ｆ2 を除去した後、図１８に示すように、キャップ絶縁膜８をエッチングマスクとして、メモリセル選択ＭＩＳ・ＦＥＴおよびｎＭＩＳおよびｐＭＩＳのゲート電極７ｇ1,７ｇ2 およびゲート電極７ｇを加工する。

【００５４】

これは、本発明者の研究結果によって、次のような課題が見出されたためである。すなわち、メモリセル領域と、周辺回路領域とでは（あるいはメモリセル領域と論理回路領域とでは）、最適な露光条件が、線幅や線間隔等の寸法条件に応じて相反するので、同一のフォトマスクでメモリセル領域と周辺回路領域とのゲート電極パターンを転写する場合には双方にとって妥当な露光条件で露光処理を行わなければならず、さらに微細化する素子や配線等のパターニングにおいては充分なパターン転写精度が得られない場合が生じるからである。これに対し本実施の形態では、上記のようにメモリセル領域と周辺回路領域とで異なるフォトマスクを用い、その各々の領域にとって最適な露光条件で露光処理を行うことにより、その各々にとって微細なパターンを高い精度で転写することができるので、素子や配線の微細化を実現でき、かつ、素子の信頼性および性能の向上を推進することが可能となる。

【００５５】

このようなことは、露光技術の１つである位相シフト技術を用いる場合にも言えるが、この場合は、さらに次のような課題があり、本実施の形態ではそれを解決することも可能である。すなわち、現在の６４Ｍｂｉｔ以上のＤＲＡＭでは、通常、ＤＲＡＭのメモリセル選択ＭＩＳ・ＦＥＴＱｓの集積度を向上させるべくゲート電極の加工ピッチ（線幅と間隔の和）を小さくするために、位相シフト法を使用している。位相シフト法は、フォトマスクを透過した光の位相を操作することで微細なパターンの転写精度を向上させることが可能な露光技術である。この位相シフト法はメモリセル選択ＭＩＳ・ＦＥＴＱｓのゲート電極（すなわち、ワード線ＷＬ（図１参照））のような規則性のあるパターンには有効であるが、これをランダムパターンであるｎＭＩＳＱｎやｐＭＩＳＱｐにも同時に適用すると微細なパターンを形成することが困難となる。これに対して、本実施の形態では、上述のようにメモリセル領域Ｍでは位相シフト法を使用し、ランダムパターンであるｎＭＩＳＱｎおよびｐＭＩＳＱｐのゲート電極が形成される周辺回路領域では、通常の露光処理を行うことで両者の欠点を補うことができる。

【００５６】

次いで、上記フォトレジストパターン２８ｆを除去した後、ゲート電極７ｇ1,７ｇ2,７ｇの加工によりダメージを受けたゲート電極７ｇ1,７ｇ2,７ｇの端部のゲート絶縁膜を保護するために熱酸化法によりシリコン酸化膜を、例えば３～１０ｎｍ程度形成する。ここで、ポリサイドゲート構造の場合には、例えばO_2 雰囲気で行い、ポリメタルゲート構造の場合には最上部のタングステン（Ｗ）が酸化中に昇華するのを防止するために、例えばH_2 ＋H_2 Ｏの混合雰囲気中で行う。

【００５７】

続いて、図１９に示すように、メモリセル選択ＭＩＳ・ＦＥＴＱｓのソースとドレインとなる半導体領域５Ｎ1,５Ｎ2 を形成すべく、半導体基板１に対して、例えばリンを１～３×10^{13}／cm^2 程度のドーズ量でイオン注入法等により注入する。ここでは、メモリセル選択ＭＩＳ・ＦＥＴＱｓのソース、ドレイン（低濃度領域）形成用の不純物の導入量が、後述のｎＭＩＳおよびｐＭＩＳのソース、ドレイン用の不純物の導入量よりも少なく相殺できるので、メモリセル選択ＭＩＳ・ＦＥＴＱｓのソース、ドレイン（低濃度領域）形

成用の不純物を、ｎＭＩＳ形成領域およびｐＭＩＳ形成領域を覆うようなフォトレジストパターンを形成しない状態で、半導体基板１の全面に導入する。また、メモリセル選択ＭＩＳ・ＦＥＴＱｓのソース、ドレイン形成用の不純物としてリンを使用したのは、メモリセル選択ＭＩＳ・ＦＥＴＱｓのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 と半導体基板１との間の接合耐圧が低下することに起因してリーク電流が増加し、リフレッシュ特性が悪化するのを防ぐためである。

【００５８】

次いで、図２０に示すように、メモリセル領域Ｍおよびｐ ＭＩＳ形成領域が覆われ、かつ、ｎＭＩＳ形成領域が露出されるようなフォトレジストパターン２８ｇを形成した後、これをマスクとして、ｎＭＩＳのソース・ドレイン用の半導体領域における低濃度領域を形成すべく、例えばヒ素を1×10^{14}～5×10^{14}／cm^2 程度のドーズ量でイオン注入する。続いて、フォトレジストパターン２８ｇをそのままとして、パンチスルーストッパー用の不純物をイオン注入法で注入する。ここでは、例えばホウ素を～1×10^{14}／cm^2 程度のドーズ量で注入する。ここでメモリセル選択ＭＩＳ・ＦＥＴもｎＭＩＳであるが上記低濃度領域形成用のヒ素が注入されないようフォトレジストパターン２８ｇで覆う。これはメモリセル選択ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に低濃度領域形成用のヒ素やパンチスルーストッパ用のホウ素が注入されることで半導体基板１との間の接合耐圧が低下することに起因してリーク電流が増加し、リフレッシュ特性が悪化するのを防ぐためである。なお、上記低濃度領域およびパンチスルーストッパ領域を形成するには、その不純物イオンを半導体基板１の主面に対して斜め方向から、例えばイオン注入角度を３０度程度にした状態で注入しても良い。

【００５９】

次いで、フォトレジストパターン２８ｇを除去した後、図２１に示すように、半導体基板１の主面上に、メモリセル領域ＭおよびｎＭＩＳ形成領域が覆われ、かつ、ｐＭＩＳ形成領域が露出されるようなフォトレジストパターン２８ｈを形成する。続いて、フォトレジストパターン２８ｈをマスクとして、ｐＭＩＳのソース・ドレイン用の半導体領域における低濃度領域を形成すべく、例えばホウ素を1×10^{14}～5×10^{14}／cm^2 程度のドーズ量でイオン注入する。その後、フォトレジストパターン２８ｈをそのままとして、パンチスルーストッパー用の不純物をイオン注入法で注入する。ここでは、例えばリンまたはヒ素を～1×10^{14}／cm^2 程度のドーズ量で注入する。なお、ｐＭＩＳにおける上記低濃度領域およびパンチスルーストッパ領域の形成に際しても、その不純物イオンを半導体基板１の主面に対して斜め方向から、例えばイオン注入角度を３０度程度にした状態で注入しても良い。

【００６０】

次いで、フォトレジストパターン２８ｈを除去した後、半導体基板１に対して熱処理を施し、ｎＭＩＳおよびｐＭＩＳの低濃度領域の不純物の活性化を行う。この活性化は、好ましくは、例えば９５０℃～１０５０℃で数秒から数分のＲＴＡ（Rapid Thermal Annieal)で行う。続いて、図２２に示すように、半導体基板１の主面上に、例えば厚さ～５０ｎｍ程度の薄いシリコン窒化膜からなる絶縁膜９を、下地の段差を反映するようにＣＶＤ法等により堆積する。これにより、半導体基板１の主面、ゲート電極７ｇ1,７ｇ2,７ｇの側面、キャップ絶縁膜８の表面および分離部４の上面を覆う。ここで、デュアルゲート電極の場合、シリコン窒化膜は水素の存在によるホウ素の増速拡散を促すので、それを防止する為にＣＶＤ法で７００℃以下の温度で堆積する。この絶縁膜９は、例えば次の働きをする。第１に、上記低濃度領域を形成する際のマスクとして機能する。すなわち、ゲート電極７ｇ1,７ｇ2,７ｇの側面に設けられた絶縁膜９の厚さにより低濃度領域の平面幅寸法が設定される。第２に、後述するビット線用の接続孔と周辺の接続孔とを、ゲート電極７ｇ1,７ｇ2,７ｇおよび分離部４に対して自己整合（ＳＡＣ：Ｓｅｌｆ－ＡｌｉｇｎＣＯＮＴ）で形成するために使用する。

【００６１】

次いで、絶縁膜９上に、ｎＭＩＳ形成領域が露出され、かつ、メモリセル領域ＭおよびｎＭＩＳ形成領域が覆われ、かつ、ｐＭＩＳ形成領域が露出されるようなフォトレジストパターン２８ｉを形成する。続いて、フォトレジストパターン２８ｉをマスクとして、ｐＭＩＳのソース・ドレイン用の半導体領域における低濃度領域を形成すべく、例えばホウ素を1×10^{14}～5×10^{14}／cm^2 程度のドーズ量でイオン注入する。その後、フォトレジストパターン２８ｉをそのままとして、パンチスルーストッパー用の不純物をイオン注入法で注入する。ここでは、例えばリンまたはヒ素を～1×10^{14}／cm^2 程度のドーズ量で注入する。なお、ｐＭＩＳにおける上記低濃度領域およびパンチスルーストッパ領域の形成に際しても、その不純物イオンを半導体基板１の主面に対して斜め方向から、例えばイオン注入角度を３０度程度にした状態で注入しても良い。

【００６２】

次いで、絶縁膜９上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜１０を堆積する。この層間絶縁膜１０は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜１０の表面を、例えばＣＭＰ法で平坦化する。

【００６３】

次いで、図２３に示すように、層間絶縁膜１０上に、ビット線用の接続孔と周辺の接続孔とを形成するためのフォトレジストパターン２８ｊを形成する。続いて、フォトレジストパターン２８ｊをマスクとして、層間絶縁膜１０および絶縁膜９をＲＩＥ法でエッチングすることにより、ビット線用の接続孔と周辺の接続孔とを形成する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【００６４】

次いで、フォトレジストパターン２８ｊを除去した後、図２４に示すように、ビット線用の接続孔と周辺の接続孔とを、例えばＣＶＤ法で堆積したＷ膜で埋め込み、ビット線用の接続孔と周辺の接続孔とを介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるビット線１１を形成する。

【００６５】

次いで、ビット線１１上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜１２を堆積する。この層間絶縁膜１２は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜１２の表面を、例えばＣＭＰ法で平坦化する。

【００６６】

次いで、図２５に示すように、層間絶縁膜１２上に、キャパシタ用の接続孔を形成するためのフォトレジストパターン２８ｋを形成する。続いて、フォトレジストパターン２８ｋをマスクとして、層間絶縁膜１２をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔を形成する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【００６７】

次いで、フォトレジストパターン２８ｋを除去した後、図２６に示すように、キャパシタ用の接続孔を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【００６８】

次いで、層間絶縁膜１２上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜１４を堆積する。この層間絶縁膜１４は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜１４の表面を、例えばＣＭＰ法で平坦化する。

【００６９】

次いで、図２７に示すように、層間絶縁膜１４上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ｌを形成する。続いて、フォトレジストパターン２８ｌをマスクとして、層間絶縁膜１４をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【００７０】

次いで、フォトレジストパターン２８ｌを除去した後、図２８に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【００７１】

次いで、層間絶縁膜１４上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜１５を堆積する。この層間絶縁膜１５は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜１５の表面を、例えばＣＭＰ法で平坦化する。

【００７２】

次いで、図２９に示すように、層間絶縁膜１５上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ｍを形成する。続いて、フォトレジストパターン２８ｍをマスクとして、層間絶縁膜１５をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【００７３】

次いで、フォトレジストパターン２８ｍを除去した後、図３０に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【００７４】

次いで、層間絶縁膜１５上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜１６を堆積する。この層間絶縁膜１６は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜１６の表面を、例えばＣＭＰ法で平坦化する。

【００７５】

次いで、図３１に示すように、層間絶縁膜１６上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ｎを形成する。続いて、フォトレジストパターン２８ｎをマスクとして、層間絶縁膜１６をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【００７６】

次いで、フォトレジストパターン２８ｎを除去した後、図３２に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【００７７】

次いで、層間絶縁膜１６上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜１７を堆積する。この層間絶縁膜１７は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜１７の表面を、例えばＣＭＰ法で平坦化する。

【００７８】

次いで、図３３に示すように、層間絶縁膜１７上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ｏを形成する。続いて、フォトレジストパターン２８ｏをマスクとして、層間絶縁膜１７をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【００７９】

次いで、フォトレジストパターン２８ｏを除去した後、図３４に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【００８０】

次いで、層間絶縁膜１７上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜１８を堆積する。この層間絶縁膜１８は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜１８の表面を、例えばＣＭＰ法で平坦化する。

【００８１】

次いで、図３５に示すように、層間絶縁膜１８上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ｐを形成する。続いて、フォトレジストパターン２８ｐをマスクとして、層間絶縁膜１８をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【００８２】

次いで、フォトレジストパターン２８ｐを除去した後、図３６に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【００８３】

次いで、層間絶縁膜１８上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜１９を堆積する。この層間絶縁膜１９は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜１９の表面を、例えばＣＭＰ法で平坦化する。

【００８４】

次いで、図３７に示すように、層間絶縁膜１９上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ｑを形成する。続いて、フォトレジストパターン２８ｑをマスクとして、層間絶縁膜１９をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【００８５】

次いで、フォトレジストパターン２８ｑを除去した後、図３８に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【００８６】

次いで、層間絶縁膜１９上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜２０を堆積する。この層間絶縁膜２０は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜２０の表面を、例えばＣＭＰ法で平坦化する。

【００８７】

次いで、図３９に示すように、層間絶縁膜２０上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ｒを形成する。続いて、フォトレジストパターン２８ｒをマスクとして、層間絶縁膜２０をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【００８８】

次いで、フォトレジストパターン２８ｒを除去した後、図４０に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【００８９】

次いで、層間絶縁膜２０上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜２１を堆積する。この層間絶縁膜２１は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜２１の表面を、例えばＣＭＰ法で平坦化する。

【００９０】

次いで、図４１に示すように、層間絶縁膜２１上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ｓを形成する。続いて、フォトレジストパターン２８ｓをマスクとして、層間絶縁膜２１をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【００９１】

次いで、フォトレジストパターン２８ｓを除去した後、図４２に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【００９２】

次いで、層間絶縁膜２１上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜２２を堆積する。この層間絶縁膜２２は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜２２の表面を、例えばＣＭＰ法で平坦化する。

【００９３】

次いで、図４３に示すように、層間絶縁膜２２上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ｔを形成する。続いて、フォトレジストパターン２８ｔをマスクとして、層間絶縁膜２２をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【００９４】

次いで、フォトレジストパターン２８ｔを除去した後、図４４に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【００９５】

次いで、層間絶縁膜２２上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜２３を堆積する。この層間絶縁膜２３は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜２３の表面を、例えばＣＭＰ法で平坦化する。

【００９６】

次いで、図４５に示すように、層間絶縁膜２３上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ｕを形成する。続いて、フォトレジストパターン２８ｕをマスクとして、層間絶縁膜２３をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【００９７】

次いで、フォトレジストパターン２８ｕを除去した後、図４６に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【００９８】

次いで、層間絶縁膜２３上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜２４を堆積する。この層間絶縁膜２４は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜２４の表面を、例えばＣＭＰ法で平坦化する。

【００９９】

次いで、図４７に示すように、層間絶縁膜２４上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ｖを形成する。続いて、フォトレジストパターン２８ｖをマスクとして、層間絶縁膜２４をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【０１００】

次いで、フォトレジストパターン２８ｖを除去した後、図４８に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【０１０１】

次いで、層間絶縁膜２４上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜２５を堆積する。この層間絶縁膜２５は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜２５の表面を、例えばＣＭＰ法で平坦化する。

【０１０２】

次いで、図４９に示すように、層間絶縁膜２５上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ｗを形成する。続いて、フォトレジストパターン２８ｗをマスクとして、層間絶縁膜２５をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【０１０３】

次いで、フォトレジストパターン２８ｗを除去した後、図５０に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【０１０４】

次いで、層間絶縁膜２５上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜２６を堆積する。この層間絶縁膜２６は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜２６の表面を、例えばＣＭＰ法で平坦化する。

【０１０５】

次いで、図５１に示すように、層間絶縁膜２６上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ｘを形成する。続いて、フォトレジストパターン２８ｘをマスクとして、層間絶縁膜２６をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【０１０６】

次いで、フォトレジストパターン２８ｘを除去した後、図５２に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【０１０７】

次いで、層間絶縁膜２６上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜２７を堆積する。この層間絶縁膜２７は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜２７の表面を、例えばＣＭＰ法で平坦化する。

【０１０８】

次いで、図５３に示すように、層間絶縁膜２７上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ｙを形成する。続いて、フォトレジストパターン２８ｙをマスクとして、層間絶縁膜２７をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【０１０９】

次いで、フォトレジストパターン２８ｙを除去した後、図５４に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【０１１０】

次いで、層間絶縁膜２７上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜２８を堆積する。この層間絶縁膜２８は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜２８の表面を、例えばＣＭＰ法で平坦化する。

【０１１１】

次いで、図５５に示すように、層間絶縁膜２８上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ｚを形成する。続いて、フォトレジストパターン２８ｚをマスクとして、層間絶縁膜２８をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【０１１２】

次いで、フォトレジストパターン２８ｚを除去した後、図５６に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【０１１３】

次いで、層間絶縁膜２８上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜２９を堆積する。この層間絶縁膜２９は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜２９の表面を、例えばＣＭＰ法で平坦化する。

【０１１４】

次いで、図５７に示すように、層間絶縁膜２９上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ａａを形成する。続いて、フォトレジストパターン２８ａａをマスクとして、層間絶縁膜２９をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【０１１５】

次いで、フォトレジストパターン２８ａａを除去した後、図５８に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【０１１６】

次いで、層間絶縁膜２９上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜３０を堆積する。この層間絶縁膜３０は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜３０の表面を、例えばＣＭＰ法で平坦化する。

【０１１７】

次いで、図５９に示すように、層間絶縁膜３０上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ａｂを形成する。続いて、フォトレジストパターン２８ａｂをマスクとして、層間絶縁膜３０をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【０１１８】

次いで、フォトレジストパターン２８ａｂを除去した後、図６０に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【０１１９】

次いで、層間絶縁膜３０上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜３１を堆積する。この層間絶縁膜３１は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜３１の表面を、例えばＣＭＰ法で平坦化する。

【０１２０】

次いで、図６１に示すように、層間絶縁膜３１上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ａｃを形成する。続いて、フォトレジストパターン２８ａｃをマスクとして、層間絶縁膜３１をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【０１２１】

次いで、フォトレジストパターン２８ａｃを除去した後、図６２に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【０１２２】

次いで、層間絶縁膜３１上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜３２を堆積する。この層間絶縁膜３２は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜３２の表面を、例えばＣＭＰ法で平坦化する。

【０１２３】

次いで、図６３に示すように、層間絶縁膜３２上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ａｄを形成する。続いて、フォトレジストパターン２８ａｄをマスクとして、層間絶縁膜３２をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【０１２４】

次いで、フォトレジストパターン２８ａｄを除去した後、図６４に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【０１２５】

次いで、層間絶縁膜３２上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜３３を堆積する。この層間絶縁膜３３は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜３３の表面を、例えばＣＭＰ法で平坦化する。

【０１２６】

次いで、図６５に示すように、層間絶縁膜３３上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ａｅを形成する。続いて、フォトレジストパターン２８ａｅをマスクとして、層間絶縁膜３３をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【０１２７】

次いで、フォトレジストパターン２８ａｅを除去した後、図６６に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【０１２８】

次いで、層間絶縁膜３３上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜３４を堆積する。この層間絶縁膜３４は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜３４の表面を、例えばＣＭＰ法で平坦化する。

【０１２９】

次いで、図６７に示すように、層間絶縁膜３４上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ａｆを形成する。続いて、フォトレジストパターン２８ａｆをマスクとして、層間絶縁膜３４をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【０１３０】

次いで、フォトレジストパターン２８ａｆを除去した後、図６８に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【０１３１】

次いで、層間絶縁膜３４上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜３５を堆積する。この層間絶縁膜３５は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜３５の表面を、例えばＣＭＰ法で平坦化する。

【０１３２】

次いで、図６９に示すように、層間絶縁膜３５上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ａｇを形成する。続いて、フォトレジストパターン２８ａｇをマスクとして、層間絶縁膜３５をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【０１３３】

次いで、フォトレジストパターン２８ａｇを除去した後、図７０に示すように、キャパシタ用の接続孔１３を、例えばＣＶＤ法で堆積したＷ膜で埋め込み、キャパシタ用の接続孔１３を介して、ＭＩＳ・ＦＥＴのソース・ドレイン用の半導体領域５Ｎ1,５Ｎ2 に接続するＷ膜からなるキャパシタ用の接続孔１３を形成する。

【０１３４】

次いで、層間絶縁膜３５上に、ＣＶＤ法等により、例えば厚さ～１０００ｎｍ程度の厚い層間絶縁膜３６を堆積する。この層間絶縁膜３６は、例えばＢＰＳＧ膜からなる。続いて、層間絶縁膜３６の表面を、例えばＣＭＰ法で平坦化する。

【０１３５】

次いで、図７１に示すように、層間絶縁膜３６上に、キャパシタ用の接続孔１３を露出するようなフォトレジストパターン２８ａｈを形成する。続いて、フォトレジストパターン２８ａｈをマスクとして、層間絶縁膜３６をＲＩＥ法でエッチングすることにより、キャパシタ用の接続孔１３を露出する。ここで、ＲＩＥ法のエッチングガスとしては、例えばＣ$_4$Ｆ$_8$／ＣＯ／Ａｒ／Ｏ$_2$ 混合ガスを使用する。

【０１３６】

次いで、フォトレジストパターン２８ａｈを除去した後、図７２に示すように、

ＭＩＳ形成領域が覆われるようなフォトレジストパターン２８ｉを形成した後、ｎＭＩＳのソース、ドレインの高濃度領域を形成すべく、そのフォトレジストパターン２８ｉをマスクとして、例えばヒ素を上記絶縁膜９を介して半導体基板１に1×10^{15}～5×10^{15}／cm^2程度のドーズ量でイオン注入する。続いて、フォトレジストパターン２８ｉを除去した後、図２３に示すように、ｐＭＩＳ形成領域が露出され、かつ、メモリセル領域ＭおよびｎＭＩＳ形成領域が覆われるようなフォトレジストパターン２８ｊを形成する。その後、ｐＭＩＳのソース、ドレインの高濃度領域を形成すべく、そのフォトレジストパターン２８ｊをマスクとして、例えばホウ素を上記絶縁膜９を介して半導体基板１に1×10^{15}～5×10^{15}／cm^2程度のドーズ量でイオン注入する。その後、フォトレジストパターン２８ｊを除去した後、熱処理により上記したｎＭＩＳおよびｐＭＩＳの高濃度領域における不純物の活性化を行う。この活性化は、好ましくは、例えば９５０℃～１０５０℃で数秒から数分のＲＴＡ（Rapid thermal annie al）で行う。このようにして周辺回路領域にｎＭＩＳＱｎおよびｐＭＩＳＱｐを形成する。

【００６２】

本実施の形態では絶縁膜９を介して高濃度領域を形成するための不純物を注入したが、下記の方法で行っても良い。第１の例としては、まず、フォトレジストパターン２８ｉ，２８ｊをマスクとして絶縁膜９を各々異方性エッチングによりエッチバックしてｎＭＩＳおよびｐＭＩＳのゲート電極７ｇ1,７ｇ2,７ｇの側面にシリコン窒化膜等からなるサイドウオールを形成する。この時フォトレジストパターン２８ｉ，２８ｊで覆われていないｎＭＩＳおよびｐＭＩＳ形成領域における半導体基板１の主面上の絶縁膜９は除去される。続いて、上記したようにｎＭＩＳおよびｐＭＩＳ形成領域に不純物をイオン注入する。第２の例としては、まず、絶縁膜９を堆積した後、その絶縁膜９を異方性エッチングによりエッチバックすることで、ゲート電極７ｇ1,７ｇ2,７ｇの側面のみにシリコン窒化膜からなるサイドウォールを形成する。続いて、上記したようにフォトレジストパターン２８ｉ，２８ｊをマスクとして各々の不純物をイオン注入する。第３の例としては、第１の例および第２の例における不純物イオンの注入工程後に、半導体基板１上に、新たにシリコン窒化膜からなる薄い絶縁膜を下地の段差を反映した状態でＣＶＤ法等により被着する工程を有するものである。

【００６３】

また、周辺回路領域ＰのｐＭＩＳＱｐおよびｎＭＩＳＱｎのソース・ドレイン用の一対の半導体領域１０Ｐ，１１Ｎの表面にシリサイド層を形成するには、例えば次のようにする。まず、上記第１の例の場合には、ＲＴＡ終了後、シリサイド用金属（例えばチタンまたはコバルト）を堆積した後に～５００℃程度で第１の熱処理を行いシリサイド層を形成する。続いて、未反応シリサイド用金属を除去する。そして、例えば再度７００～９００℃程度のＲＴＡを行いシリサイド層を低抵抗化する。その後、新たにＳＡＣ用のシリコン窒化膜からなる絶縁膜を堆積する。また、上記第２の例の場合には、まず、メモリセル選択ＭＩＳ・ＦＥＴＱｓのキャパシタ（下部電極）に接続される半導体領域の表面にシリサイド層が形成されるとリーク電流が増加してリフレッシュ特性を悪化するので、それを防止するために、ＳＡＣ用の絶縁膜を異方性エッチングでエッチバックしてサイドウオールを形成する際に、少なくともキャパシタ（下部電極）接続されるメモリセル選択ＭＩＳ・ＦＥＴＱｓの半導体領域を覆うマスクを追加して、その領域にはＳＡＣ用の絶縁膜が残るようにする。そして、上記第１の例においてシリサイド層を形成する場合と同様にしてシリサイド層およびＳＡＣ用の絶縁膜を形成する。本実施の形態の場合（ＳＡＣ用の絶縁膜をエッチバックせず残したままとする場合）には、上記第２の例においてシリサイド層を形成する場合と同様に、少なくともキャパシタ（下部電極）が接続されるメモリセル選択ＭＩＳ・ＦＥＴＱｓの半導体領域を覆うマスクを追加してＳＡＣ用の絶縁膜が残されるようにした状態で、上記と同様にしてシリサイド層を形成し、さらに新たにＳＡＣ用の絶縁膜を堆積しても良い。

【００６４】

次いで、図２４に示すように、絶縁膜９上に、例えばシリコン酸化膜等からなる層間絶縁

膜１２ａを堆積する。この層間絶縁膜１２ａは、例えばＣＶＤ法またはプラズマＣＶＤ法によるシリコン酸化膜あるいは塗布法によるシリコン酸化膜（ＳＯＧ：ｓｐｉｎｏｎｇｌａｓｓ）とその上部にＣＶＤ法またはプラズマＣＶＤ法で形成したシリコン酸化膜との積層膜を形成した後、その上面をＣＭＰにより平坦化することで形成されている。この時、ＣＭＰの終点をゲート電極７ｇ1,７ｇ2,７ｇ上のシリコン窒化膜で行い、その上に新たにＰＳＧ（Phospho Silicate Glass）膜を堆積するのが好ましい。すなわち、ゲート電極７ｇ1,７ｇ2,７ｇ上のシリコン窒化膜をＣＭＰの終点検出に使用することで、ＣＭＰ処理における膜厚バラツキを防ぐことができ、しかも、いたずらにビット線の高さを高くすることを防ぐことができる。ＰＳＧ膜は、汚染侵入のゲッター層として働く他、ビット線の厚さを制御性よく決め得るという機能を有している。

【００６５】

次いで、その層間絶縁膜１２ａ上にシリコン窒化膜等からなる絶縁膜１３を形成した後、その上に、メモリセル領域Ｍおよび周辺回路領域Ｐの半導体領域５Ｎ1,５Ｎ2,１０Ｐ，１１Ｎの一部、ビット線用の配線溝形成領域および局所配線形成領域が露出し、かつ、それ以外が覆われるようなフォトレジストパターン２８ｋを形成する。続いて、そのフォトレジストパターン２８ｋをエッチングマスクとして、そこから露出する絶縁膜１３および層間絶縁膜１２ａを順次除去することにより接続孔１４ａ～１４ｅおよび配線溝１５ａ，１５ｂを形成した後、そのフォトレジストパターン２８ｋを除去する。この時の層間絶縁膜１２ａのエッチング除去処理は、例えば次の２つのステップからなる。第１のステップは、シリコン酸化膜とシリコン窒化膜との選択性を高くし、シリコン酸化膜のエッチング速度の方がシリコン窒化膜のそれよりも速くなるようなエッチング条件にして、シリコン酸化膜からなる層間絶縁膜１２ａをエッチング除去する。この時、層間絶縁膜１２ａの下層の絶縁膜９は、シリコン窒化膜等からなるので、ほとんどエッチング除去されない。すなわち、絶縁膜９がエッチングストッパとして機能する。第２のステップは、シリコン酸化膜とシリコン窒化膜との選択性をほぼ同じ条件で、かつ、シリコン窒化膜（絶縁膜９）のほぼ全体が除去される条件（例えばエッチング時間）で、接続孔１４ａ～１４ｅから露出する絶縁膜９をエッチング除去する。この場合、ゲート電極７ｇ1,７ｇ2,７ｇ上のシリコン窒化膜もエッチング除去されるが、ゲート電極７ｇ1,７ｇ2,７ｇ上のシリコン窒化膜の膜厚（キャップ絶縁膜８と絶縁膜９との膜厚の和）を半導体基板１上のシリコン窒化膜の膜厚（絶縁膜９の膜厚）よりも厚くしておくことで、当該エッチング処理によりゲート電極７ｇ1,７ｇ2,７ｇの上面が露出してしまうのを防止できる。したがって、ゲート電極７ｇ1,７ｇ2,７ｇは、配線溝１５ａ，１５ｂから露出しない。なお、このようなエッチング技術を、以下、ＳＡＣ（Self Aligned Contact）技術という。

【００６６】

次いで、フォトレジストパターン２８ｋ、残された絶縁膜１３および層間絶縁膜１２ａをマスクとして、例えばリンをイオン注入法により～１×１０^{13}／ｃｍ^{2} 程度のドーズ量で半導体基板１に注入する。これはキャパシタの下部電極に接続されるメモリセル選択ＭＩＳ・ＦＥＴＱｓの半導体領域５Ｎ1 の電界を緩和してリフレッシュ特性の悪化を防止するためである。この時、リンは、他の半導体領域５Ｎ2,１０Ｐ，１１Ｎにも注入されるが濃度が低いので問題は発生しない。続いて、フォトレジストパターン２８ｋを除去した後、全面に絶縁膜を堆積し、さらにその絶縁膜を異方性エッチング法によりエッチバックすることで配線溝１５ａ，１５ｂの側面にのみ、新たな絶縁膜（好ましくは７００℃程度以下でＣＶＤ法等によるシリコン窒化膜）を形成する。これによりゲート電極７ｇ1,７ｇ2 とビット線用の接続孔との間の絶縁性を更に向上させることができる。

【００６７】

次いで、このような半導体基板１上に、例えばチタンおよび窒化チタン下層から順にスパッタリング法またはＣＶＤ法等によって堆積した後、例えば６００～７００℃程度のＲＴＡにより半導体領域５Ｎ1,５Ｎ2,１０Ｐ，１１Ｎとの間でチタンシリサイド層を形成させて接触抵抗を下げる。続いて、その窒化チタン上に、例えばタングステン等からなる相対的に厚い導体膜をＣＶＤ法等によって被着する。その後、その導体膜をエッチバック法あ

るいはＣＭＰ法により除去することにより、図２５に示すように、接続孔１４ａ，１４ｃ，１４ｅ内にプラグ１６Ａ，１６ｃ，１６ｅを形成し、接続孔１４ｂおよび配線溝１５ａ内にビット線ＢＬの接続部１６ｂ1,１６ｂ2 を形成し、接続孔１４ｄおよび配線溝１５ｂ内に局所配線１７の接続部１６ｄ1,１６ｄ2 を形成する。本実施の形態では、ビット線ＢＬおよび局所配線１７の上面と絶縁膜１３の上面とがほぼ一致しており、この段階で平坦となっている。

【００６８】

次いで、図２６に示すように、絶縁膜１３上に、例えばシリコン酸化膜からなる絶縁膜２９を形成する。この絶縁膜２９は、例えばＣＶＤ法あるいはプラズマＣＶＤ法によるシリコン酸化膜、あるいは塗布法によるシリコン酸化膜（ＳＯＧ：ＳｐｉｎＯｎＧｌａｓｓ）とその上部にＣＶＤ法またはプラズマＣＶＤ法で形成したシリコン酸化膜との積層膜で形成する。続いて、この絶縁膜２９の上面に、キャパシタの下部電極形成領域が露出し、かつ、それ以外の領域が被覆されるようなフォトレジストパターン２８ｍを形成した後、これをエッチングマスクとして、絶縁膜２９にキャパシタの下部電極形成用のキャパシタ孔３０を形成する。このキャパシタ孔３０の形成工程に際しても、上記したビット線用の接続孔１４ｂの形成工程と同様に、ＳＡＣ技術（シリコン酸化膜とシリコン窒化膜の選択性を高くしたエッチング条件）により、シリコン酸化膜からなる絶縁膜２９の一部をエッチング除去する。このキャパシタ孔３０の底部からはプラグ１６ａの上面が露出している。

【００６９】

次いで、フォトレジストパターン２８ｍを除去した後、絶縁膜２９およびキャパシタ孔３０内に、例えばｎ型のポリシリコンからなる導体膜をＣＶＤ法等によって堆積する。このポリシリコン中の不純物は、例えばリンが使用され、成膜中に導入される。続いて、その上に、フォトレジスト膜を塗布した後、そのフォトレジスト膜を、キャパシタ孔３０内のみに残るようにエッチバックする。その後、図２７に示すように、その残されたフォトレジスト膜２８ｎをエッチングマスクとして、そこから露出する上記ポリシリコン膜を除去することにより、キャパシタ孔３０内に下部電極１８ａを形成する。その後、シリコン窒化膜等からなる絶縁膜１３をエッチングストッパとして、フォトレジスト膜２８ｎおよび絶縁膜２９をウエットエッチング処理等によってエッチング除去することにより、図２８に示すように、絶縁膜１３上にキャパシタの下部電極１８ａを形成する。

【００７０】

この本実施の形態では、絶縁膜１３上の全ての領域の絶縁膜２９（図２７参照）を除去したが、これに限定されるものではなく、次のようにしても良い。すなわち、絶縁膜２９上に、メモリセル領域Ｍが露出し、かつ、他の領域が覆われるようなフォトレジストパターンを形成した後、それをエッチングマスクとして、そこから露出する絶縁膜２９およびフォトレジスト膜２８ｎを絶縁膜１３をエッチングストッパとして除去する。すなわち、周辺回路領域Ｐには絶縁膜２９が残されるようになる。以下、上述のように製造を行う。この方式は新たなマスクの追加が必要となるが、ＤＲＡＭのメモリセル領域以外の領域には絶縁膜２９が残っているので、この後の配線工程において必要な表面の平坦化が容易になるという利点がある。

【００７１】

次いで、半導体基板１に対して、例えばアンモニア雰囲気中で８００℃程度で数分間のＲＴＡ処理を施すことにより、図２９に示すように、下部電極１８ａの表面に薄いシリコン窒化膜を形成した後、例えばタンタル酸化膜（Ta_2O_5）をＣＶＤ法等により堆積し、さらに、酸化性雰囲気で７５０～８００℃程度で数分間のＲＴＯ（ＲａｐｉｄＴｈｅｒｍａｌＯｘｉｄｅ）処理を施すことにより、タンタル酸化膜の結晶化を行い、これにより、リーク電流の少ない安定した膜質を得ることができる。このようにして、下部電極１８ａの表面に容量絶縁膜１８ｂを形成する。続いて、キャパシタの上部電極を形成すべく、その半導体基板１上に、例えば窒化チタンとｎ型のポリシリコンとをＣＶＤ法等によって順次被着して上部電極形成用の導体膜１８ｃ1 を形成した後、上部電極形成用の導体膜１８ｃ1 を、図３０に示すようなフォトレジストパターン２８ｐをエッチングマスクとして、

パターニングすることにより、上部電極１８ｃを形成する。この際、フォトレジストパターン２８ｐをマスクとして、エッチング処理により周辺回路領域Ｐにおける絶縁膜１３も除去してしまっても良い。このようにしてＤＲＡＭの情報蓄積用のキャパシタＣを形成する。

【００７２】

次いで、フォトレジストパターン２８ｐを除去した後、半導体基板１上に、例えばシリコン酸化膜等からなる絶縁膜をＣＶＤ法等によって堆積し、さらに、その絶縁膜の上面をエッチバック法またはＣＭＰ法（好ましいのはＣＭＰ法）で平坦化することにより、図３１に示すように、層間絶縁膜１２ｂを形成する。続いて、その層間絶縁膜１２ｂの上面に、上部電極１８ｃ、プラグ１６ｃ、局所配線１７、プラグ１６ｅおよびゲート電極７ｇの一部が露出し、それ以外が覆われるようなフォトレジストパターン２８ｑを形成した後、これをエッチングマスクとして、層間絶縁膜１２ｂに接続孔２０ａ～２０ｄを穿孔する。接続孔２０ｄからはプラグ１６ｅの上面および上部側面と、ゲート電極７ｇの上面一部とが露出している。その後、フォトレジストパターン２８ｑを除去した後、例えばチタン、窒化チタンおよびタングステンを下層から順に堆積し、さらに、その導体積層膜をエッチバック法またはＣＭＰ法により除去することにより、図３２に示すように、接続孔２０ａ～２０ｄ内にプラグ２１ａ～２１ｄを形成する。プラグ２１ｄはプラグ１６ｅおよびゲート電極７ｇと電気的に接続されている。

【００７３】

次いで、層間絶縁膜１２ｂおよびプラグ２１ａ～２１ｄ上に、例えばチタン、窒化チタン、アルミニウム（またはアルミニウム－シリコン－銅合金）、チタンおよび窒化チタンを下層から順にスパッタリング法等によって堆積した後、その第１層配線形成用の導体積層膜上に第１層配線形成領域が被覆され、かつ、それ以外が露出するようなフォトレジストパターン２８ｒを形成し、さらに、それをエッチングマスクとして、上記導体積層膜をエッチング法によりパターニングすることにより、第１層配線１９ａ～１９ｄを形成する。

【００７４】

本実施の形態では、第１層配線１９ａ～１９ｄを通常の配線構造とした場合について説明したが、これに限定されるものではなく、第１層配線１９ａ～１９ｄ等をビット線ＢＬ等と同様に埋込配線で形成しても良い。この場合、例えば以下の手順で形成する。まず、上面が平坦化された層間絶縁膜１２ｂ上に、相対的に薄いシリコン窒化膜からなる第１絶縁膜および相対的に厚いシリコン酸化膜からなる第２絶縁膜を下層から順にＣＶＤ法等によって堆積した後、その上に、配線溝形成領域が露出され、かつ、それ以外の領域が被覆されるようなフォトレジストパターンを形成する。続いて、そのフォトレジストパターンをマスクとして、シリコン酸化膜とシリコン窒化膜の選択性を高くしたエッチング条件でエッチング処理を施すことにより、そのフォトレジストパターンから露出する第２絶縁膜を、その下層のシリコン窒化膜からなる第１絶縁膜をエッチングストッパとしてエッチング除去することにより、第１層配線形成用の配線溝を形成する。その後、配線溝形成用のフォトレジストパターンを除去した後、接続孔形成用のフォトレジストパターンを形成し、それをマスクとしてエッチング処理を施すことにより、接続孔形成用のフォトレジストパターンから露出する第１絶縁膜および層間絶縁膜１２ｂを順次エッチング除去して上部電極１８ｃ、プラグ１６ｃ、局所配線１７、プラグ１６ｅおよびゲート電極７ｇの一部が露出するような接続孔を形成する。そして、配線形成用の導体膜を堆積した後、その導体膜が上記第１層配線形成用の配線溝内のみに残るように、その導体膜をＣＭＰ法等で削ることで、その配線溝内に第１層配線を形成する。

【００７５】

このような第１層配線形成工程は、フォトレジストパターン２８ｒを除去した後、上記と同様にして、図１に示した接続孔２３ａ，２３ｂ、プラグ２４ａ，２４ｂおよび第２層配線２２を形成し、また、必要に応じて第３層配線や第４層配線等を順次形成する。続いて、例えばプラズマＣＶＤ法によるシリコン窒化膜あるいはシリコン酸化膜とその上部のシリコン窒化膜からなる表面保護膜２５を堆積して最上の配線を被覆した後、さらに、表面

保護膜２５の一部を最上の配線の一部が露出するように開口してボンディングパッドＢＰを形成し、ＤＲＡＭを完成する。なお、本実施の形態では、例えば１８枚程度のフォトマスクで高性能な２層配線構造のＤＲＡＭを製造した。また、本実施の形態では、キャパシタＣをビット線上方に設ける構造にもかかわらず、３枚のマスクでキャパシタＣを構成することができた。

【００７６】

このように本実施の形態１によれば、以下の効果を得ることが可能となる。

【００７７】

(1).ビット線ＢＬの接続部１６ｂ1 と配線部１６ｂ2 とを同一の導体膜で一体的に形成することにより、その接続部１６ｂ1 と配線部１６ｂ2 との間の接触抵抗を無くすことができ、ビット線ＢＬの全体的な抵抗を低減できるので、ＤＲＡＭの動作速度を向上させることが可能となる。

【００７８】

(2).ビット線ＢＬの接続部１６ｂ1 と配線部１６ｂ2 とを同一の導体膜で一体的に形成することにより、メモリセル選択ＭＩＳ・ＦＥＴＱｓの半導体領域５Ｎ1 とビット線ＢＬとの間の寄生抵抗を低減させることができるので、キャパシタＣの信号量を容易に検出することが可能となる。

【００７９】

(3).ビット線ＢＬの接続部１６ｂ1 と配線部１６ｂ2 とを同一の導体膜で一体的に形成することにより、ＤＲＡＭの製造工程を簡略化でき、その製造時間を短縮することが可能となる。

【００８０】

(4).ビット線ＢＬの接続部１６ｂ1 と配線部１６ｂ2 とを同一の導体膜で一体的に形成することにより、ビット線ＢＬとビット線用接続孔との合わせ余裕（いわゆるドッグボーン）が不要となるので、隣接するビット線ＢＬの間隔を小さくすることが可能となる。

【００８１】

(5).ビット線ＢＬを層間絶縁膜１２ａに掘られた配線溝１５ａに埋め込むことで形成することにより、隣接するビット線ＢＬ間に異物が介在されることがないので、隣接するビット線ＢＬ間の短絡不良の発生率を低減させることが可能となる。

【００８２】

(6).ビット線ＢＬを層間絶縁膜１２ａに掘られた配線溝１５ａに埋め込むことで形成することにより、配線溝１５ａ内に制御性良くサイドウオールを形成することができるので、これによりビット線ＢＬの微細化を推進することが可能となる。

【００８３】

(7).ビット線ＢＬを層間絶縁膜１２ａに掘られた配線溝１５ａに埋め込むことで形成することにより、ビット線ＢＬによる段差が生じないので、これを被覆する絶縁膜の上面にも段差が反映されず、その絶縁膜の上面を容易に平坦化することが可能となる。

【００８４】

(8).ビット線ＢＬを層間絶縁膜１２ａに掘られた配線溝１５ａに埋め込むことで形成することにより、ビット線ＢＬの微細化を推進することができるので、ビット線ＢＬと、キャパシタＣの蓄積ノード（下部電極１８ａおよびプラグ１６ａ）と、メモリセル選択ＭＩＳ・ＦＥＴＱｓの半導体領域５Ｎ1,５Ｎ2 の接続孔１４ａ，１４ｂとの合わせ余裕を増すことが可能となる。

【００８５】

(9).上記(4)、(6)、(8)により、ＤＲＡＭのメモリセルの微細化を推進することが可能となる。

【００８６】

(10). ＤＲＡＭの周辺回路を構成する局所配線１７を埋め込み構造としたことにより、周辺回路領域の微細化を推進することが可能となる。

【００８７】

(11)．ＤＲＡＭの周辺回路を構成する局所配線１７の配線溝１５ｂを形成する際にＳＡＣ技術を用いることにより、ゲート電極７ｇに電気的に接続されることなくゲート電極７ｇの上方を横切る微細な局所配線１７を形成することができるので、周辺回路領域の微細化を推進することが可能となる。

【００８８】

(12)．ＤＲＡＭの周辺回路を構成する局所配線１７の配線溝１５ｂを、ビット線ＢＬの配線溝１５ａと同時に形成し、かつ、その配線溝１５ａ，１５ｂを同じ導体膜で埋め込むことにより、埋め込み構造の局所配線１７を有するＤＲＡＭの製造工程数を低減することが可能となる。

【００８９】

(13)．周辺回路領域Ｐにおける第１層配線１９ｂ～１９ｄと、ｐＭＩＳＱｐおよびｎＭＩＳＱｎの半導体領域１０Ｐ，１１Ｎとを直接接続するのではなく、半導体基板１の厚さ方向において２段階に分けて接続したことにより、その双方を繋ぐ接続孔１４ｃ～１４ｅおよび接続孔２０ｂ～２０ｄの導体膜による埋め込みを容易に、かつ、確実に行うことができるので、第１層配線１９ｂ～１９ｄと、ｐＭＩＳＱｐおよびｎＭＩＳＱｎの半導体領域１０Ｐ，１１Ｎとの接続の信頼性を向上させることが可能となる。

【００９０】

(14)．ＤＲＡＭのメモリセル領域Ｍのゲート電極７ｇ1 と、周辺回路領域Ｐのゲート電極７ｇ2,７ｇとを異なるフォトマスクを用いて別々にパターニングすることにより、各々のゲート電極７ｇ1,７ｇ2,７ｇの加工精度を向上させることができるので、その各々のゲート電極７ｇ1,７ｇ2,７ｇの微細化を推進することが可能となる。

【００９１】

（実施の形態２）

図３３～図３６は本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。

【００９２】

本実施の形態２は、ほぼ前記実施の形態１と同じであるが、前記した情報蓄積用のキャパシタの形成方法が若干異なる。なお、本実施の形態２においては、前記実施の形態１の説明で用いた図８～図２６までの工程は同じなので、それ以降の工程を説明する。

【００９３】

まず、図３３に示すように、前記実施の形態１と同様に、フォトレジストパターン２８ｍをマスクとして、半導体基板１に対して、シリコン酸化膜のエッチング速度の方がシリコン窒化膜のそれよりも速い条件でエッチング処理を施すことにより、シリコン窒化膜からなる絶縁膜１３をエッチングストッパとして絶縁膜２９にキャパシタ孔３０を穿孔した後、そのキャパシタ孔３０から露出する絶縁膜１３も除去する。これにより、プラグ１６ａの上部がキャパシタ孔３０の底部において突出する構造になる。この絶縁膜１３の除去方法としては、例えば絶縁膜２９をエッチング除去する際に、絶縁膜１３が露出された時点で、シリコン窒化膜のエッチング速度の方がシリコン酸化膜のそれよりも速くなるようなエッチング条件に変えても良いし、また、絶縁膜１３がキャパシタ孔３０から露出された時点でそのエッチング処理を終了し、続いて、熱リン酸等により絶縁膜１３を除去するようにしても良い。

【００９４】

続いて、図３４に示すように、前記実施の形態１と同様にして、キャパシタ孔３０内に、例えば低抵抗ポリシリコンからなる下部電極１８ａを形成した後、絶縁膜２９およびフォトレジスト膜２８ｎを除去する。図３５は、この処理後の半導体基板１の断面図を示している。本実施の形態では、下部電極１８ａの下部が絶縁膜１３によって抑えられている。また、プラグ１６ａの上部が下部電極１８ａの底部に突き出す構造となっているため、プラグ１６ａと下部電極１８ａとの接触面積を増大させることができ、双方の接触抵抗を低減させることができ、かつ、双方の機械的な接合強度を向上させることが可能となっている。このため、絶縁膜２９およびフォトレジスト膜２８ｎ（図３４参照）の除去に際して

は、下部電極１８ａの倒壊を防止することが可能となっている。また、下部電極１８ａの底部がプラグ１６ａが突出した分、上に突出するようになるので下部電極１８ａの表面積の増大を図ることができ、蓄積容量の増大を推進することが可能となる。

【００９５】

その後、図３６に示すように、前記実施の形態１と同様にして、容量絶縁膜１８ｂおよび下部電極形成用の導体膜１８ｃ1 を被着し、これを前記実施の形態１と同様にパターニングすることでキャパシタを形成する。これ以降は、前記実施の形態１と同じなので説明を省略する。

【００９６】

本実施の形態２によれば、前記実施の形態１で得られた効果の他に、以下の効果を得ることが可能となる。

【００９７】

(1).ＤＲＡＭの情報蓄積用のキャパシタの下部電極１８ａを形成する場合に下部電極１８ａの倒壊を防止することが可能となる。

【００９８】

(2).ＤＲＡＭの情報蓄積用のキャパシタの下部電極１８ａの底部を凸でき、その表面積を増大させることができるので、キャパシタＣの容量を増大させることが可能となる。

【００９９】

(3).ＤＲＡＭの情報蓄積用のキャパシタの下部電極１８ａとプラグ１６ａとの接触面積を増大させることができるので、その双方の接触抵抗を低減することが可能となる。

【０１００】

（実施の形態３）

図３７～図４６は本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。

【０１０１】

本実施の形態３は、ほぼ前記実施の形態１と同じであるが、前記した情報蓄積用のキャパシタの形成方法が若干異なる。なお、本実施の形態３においては、前記実施の形態１の説明で用いた図８～図２３までの工程は同じなので、それ以降の工程を説明する。

【０１０２】

まず、図３７に示すように、前記実施の形態１と同様に、半導体基板１上に、層間絶縁膜１２ａを形成する。ただし、ここでは、前記実施の形態１で説明したシリコン窒化膜等からなる絶縁膜１３（図２４参照）は堆積しない。続いて、前記実施の形態１と同様にＳＡＣ技術により、層間絶縁膜１２ａに接続孔１４ａ～１４ｅおよび配線溝１５ａ，１５ｂを形成した後、前記実施の形態１と同様の電界緩和用の不純物導入工程を経て、さらにその後、図３８に示すように、前記実施の形態１と同様にして、接続孔１４ａ，１４ｃ，１４ｅ内にプラグ１６ａ，１６ｃ，１６ｅを形成し、接続孔１４ｂおよび配線溝１５ａ内にビット線ＢＬの接続部１６ｂ1 および配線部１６ｂ2 を形成し、接続孔１４ｄ内に局所配線１７の接続部１６ｄ1 および配線部１６ｄ2 を形成する。その後、図３９に示すように、前記実施の形態１と同様にして層間絶縁膜１２ａおよびプラグ１６ａ，１６ｂ上に絶縁膜１３を形成した後、その上に絶縁膜２９を形成し、さらに、その絶縁膜２９に、前記実施の形態１と同様に絶縁膜１３をエッチングストッパ膜としてキャパシタ孔３０を形成する。なお、この段階では、前記実施の形態１と異なり、キャパシタ孔３０の底面においてプラグ１６ａの上面が絶縁膜１３に覆われ露出していない。

【０１０３】

次いで、フォトレジストパターン２８ｍを除去した後、層間絶縁膜１２ａ上およびキャパシタ孔３０内に、キャパシタの下部電極形成用のｎ型の低抵抗ポリシリコン（成膜中にリン等を導入）等からなる第１の導体膜をＣＶＤ法等によって堆積し、その上に、例えばシリコン酸化膜からなる絶縁膜をＣＶＤ法あるいはプラズマＣＶＤ法により堆積する。続いて、その絶縁膜を異方性エッチング処理によってエッチバックすることにより、図４０に示すように、キャパシタ孔３０内の側面に下部電極形成用の第１の導体膜１８ａ1 を介し

て、例えばシリコン酸化膜等からなるサイドウォール３１を形成する。その後、そのサイドウォール３１をマスクとして、そのサイドウォール３１から露出する第１の導体膜１８ａ1 部分を異方性エッチング処理によって除去する。これにより、キャパシタ孔３０内の第１の導体膜１８ａ1 底部のほぼ中央部分を除去することができる。その後、異方性エッチング処理により、キャパシタ孔３０内においてサイドウォール３１および下部電極形成用の第１の導体膜１８ａ1 から露出する絶縁膜１３部分を除去することにより、図４１に示すように、絶縁膜１３にプラグ１６ａの上面の一部が露出するような接続孔３２を穿孔する。

【０１０４】

次いで、シリコン酸化膜等からなる絶縁膜２９およびサイドウォール３１を、絶縁膜１３をエッチングストッパとしてウエットエッチング処理によってエッチング除去する。続いて、絶縁膜１３の上面および下部電極形成用の導体膜１８ａ1 の表面上に、キャパシタの下部電極形成用のｎ型の低抵抗ポリシリコン膜（成膜中に不純物としてリン等を導入）等からなる第２の導体膜をＣＶＤ法等によって被着した後、その第２の導体膜を異方性エッチング処理によってエッチングすることにより、図４２に示すように、下部電極形成用の導体膜１８ａ1 の表面および接続孔３２の側面に下部電極形成用の第２の導体膜１８ａ2 を形成し、それ以外の絶縁膜１３上の第２の導体膜を除去する。これにより、導体膜１８ａ1,１８ａ2 で構成され、その第２の導体膜１８ａ2 を通じてプラグ１６ａと電気的に接続される下部電極１８ａを形成する。

【０１０５】

次いで、図４３に示すように、前記実施の形態１と同様に、容量絶縁膜１８ｂおよび上部電極形成用の導体膜１８ｃ1 を被着した後、これを、図４４に示すように、前記実施の形態１と同様にエッチング処理によってパターニングすることで上部電極１８ｃを形成する。この際、周辺回路領域Ｐにおける絶縁膜１３も除去してしまう。これにより、絶縁膜１３による寄生容量の増加を防げる。続いて、フォトレジストパターン２８ｐを除去した後、図４５に示すように、前記実施の形態１と同様に、層間絶縁膜１２ｂを形成し、接続孔２０ａ～２０ｄを穿孔する。その後、図４６に示すように、前記実施の形態１と同様に、接続孔２０ａ～２０ｄ内にプラグ２１ａ～２１ｄを形成した後、層間絶縁膜１２ｂ上に、前記実施の形態１と同様に、第１層配線１９ａ～１９ｄを形成する。これ以降は、前記実施の形態１と同じなので説明を省略する。

【０１０６】

このような本実施の形態３によれば、前記実施の形態１で得られた効果の他に以下の効果を得ることが可能となる。

【０１０７】

(1).キャパシタ孔３０内に設けたサイドウォール３１をエッチングマスクとして用いて下部電極１８ａとプラグ１６ａとの接続孔３２を自己整合的に形成することにより、微細な接続孔３２を位置合わせ良く形成することが可能となる。

【０１０８】

(2).上記(1) により、キャパシタＣとプラグ１６ａ（すなわち、メモリセル選択ＭＩＳ・ＦＥＴＱｓ）との接続上の信頼性を向上させることが可能となる。

【０１０９】

(3).上記(1) により、メモリセルの微細化を推進することが可能となる。

【０１１０】

（実施の形態４）

図４７～図５２は本発明の他の実施の形態である半導体集積回路装置の要部断面図である。

【０１１１】

本実施の形態４は、前記実施の形態１～３とほぼ同じであるが、ビット線容量の低減を可能な構成とした点が異なる。すなわち、本実施の形態４の構造においては、図４７～図５２に示すように、層間絶縁膜１２ａの厚さ方向の途中位置に、例えばシリコン窒化膜等か

らなる薄い絶縁膜３３が形成されている。絶縁膜３３の上下の層間絶縁膜１２ａ（１２ａ1,１２ａ2）は、前記実施の形態１と同様にシリコン酸化膜等からなる。

【０１１２】

配線溝１５ａ，１５ｂは、この絶縁膜３３をエッチングストッパとして層間絶縁膜１２ａ2に掘られている。すなわち、ビット線ＢＬや局所配線１７の配線部１６ｂ2,１６ｄ2は、絶縁膜３３上に形成されている。前記実施の形態１～３では埋め込まれたビット線ＢＬの導電性部材が、ビット線用の接続孔１４ｂ以外の領域においても、メモリセル選択ＭＩＳ・ＦＥＴＱｓの間に設けられているので、ビット線ＢＬの寄生容量が大きくなるが、本実施の形態４では、ビット線ＢＬの配線部１６ｂ2がメモリセル選択ＭＩＳ・ＦＥＴＱｓの上方の絶縁膜３３上に設けられているので、ビット線ＢＬの寄生容量を低減できる。これは、局所配線１７についても同様のことが言える。

【０１１３】

接続孔１４ａ，１４ｃ，１４ｅは、層間絶縁膜１２ａ2、絶縁膜３３および層間絶縁膜１２ａ1を貫通しており、その内部のプラグ１６ａ，１６ｃ，１６ｅは下層の半導体領域５Ｎ1,１０Ｐ，１１Ｎと電気的に接続されている。また、接続孔１４ｂ1,１４ｄ1は、絶縁膜３３および層間絶縁膜１２ａ1を貫通しており、その内部の接続部１６ｂ1,１６ｄ1は半導体領域５Ｎ2,１０Ｐ，１１Ｎと電気的に接続されている。なお、メモリセル領域Ｍの拡大平面図は図２と同じであり、図４８～図５２はそれぞれ図２のＡ1－Ａ1線、Ａ2－Ａ2線、Ｂ1－Ｂ1線、Ｂ2－Ｂ2線およびＢ3－Ｂ3線の断面である。

【０１１４】

このような本実施の形態４の半導体集積回路装置の製造方法は、例えば次の通りである。

【０１１５】

まず、前記実施の形態１と同様にしてシリコン窒化膜等からなる絶縁膜９を形成した後、その上に、絶縁膜を被着し、さらに、その絶縁膜をその上面が平坦になるようにＣＭＰ法等によって削り層間絶縁膜１２ａ1を形成する。この層間絶縁膜１２ａ1を形成する絶縁膜は、例えばＣＶＤ法またはプラズマＣＶＤ法によるシリコン酸化膜または塗布法によるシリコン酸化膜（ＳＯＧ：ｓｐｉｎｏｎｇｌａｓｓ）とその上にＣＶＤ法またはプラズマＣＶＤ法で形成したシリコン酸化膜との積層膜によって形成されている。また、ＣＭＰ処理における終点は、ゲート電極７ｇ1,７ｇ2,７ｇ上の絶縁膜９が露出した時点とする。続いて、層間絶縁膜１２ａ1上に、例えばシリコン窒化膜等からなる薄い絶縁膜３３を絶縁膜９と同様にしてＣＶＤ法（例えば７００℃以下で形成）等によって被着した後、その上に、例えばシリコン酸化膜等からなる絶縁膜をＣＶＤ法等によって被着し、その上面をＣＭＰ法等によって平坦にすることで層間絶縁膜１２ａ2を形成する。

【０１１６】

次いで、層間絶縁膜１２ａ2上に、配線溝形成用のフォトレジストパターンを形成する。すなわち、層間絶縁膜１２ａ2上に、配線溝形成領域が露出され、かつ、それ以外の領域が被覆されるようなフォトレジストパターンを形成した後、それをエッチングマスクとして、そこから露出する層間絶縁膜１２ａ2部分をエッチング除去することにより層間絶縁膜１２ａ2に配線溝１５ａ，１５ｂを形成する。このエッチング処理の際、シリコン酸化膜の方がシリコン窒化膜よりも速く除去されるようなエッチング条件とすることにより、シリコン酸化膜から成る層間絶縁膜１２ａ2のみをエッチング除去し、かつ、シリコン窒化膜からなる絶縁膜３３をエッチングストッパとして機能させる。これにより、配線溝１５ａ，１５ｂの掘り過ぎを防止することが可能となっている。

【０１１７】

次いで、上記した配線溝形成用のフォトレジストパターンを除去した後、層間絶縁膜１２ａ1および絶縁膜３３上に、接続孔形成用のフォトレジストパターンを形成する。すなわち、半導体領域５Ｎ1,５Ｎ2,１０Ｐ，１１Ｎが露出され、かつ、それ以外の領域が被覆されるようなフォトレジストパターンを形成した後、それをエッチングマスクとして、そこから露出する層間絶縁膜１２ａ2、絶縁膜３３および層間絶縁膜１２ａ1部分をエッチング除去することにより、絶縁膜３３および層間絶縁膜１２ａ1に接続孔１４ａ～１４ｅを

形成する。
【０１１８】
この接続孔１４ａ～１４ｅを形成するためのエッチング処理では、前記実施の形態１と同様のＳＡＣ技術を用いて、例えば次のようにする。まず、第１のエッチング処理では、シリコン酸化膜のエッチング速度の方がシリコン窒化膜のそれよりも速くなる条件でエッチング処理を施すことにより、シリコン酸化膜等からなる層間絶縁膜１２ａ2 部分を除去する。この際、ビット線ＢＬおよび局所配線１７の接続孔形成領域では既に層間絶縁膜１２ａ2 が除去されているが、ここにはシリコン窒化膜からなる絶縁膜３３があるので、エッチングされない。続いて、第２のエッチング処理では、シリコン窒化膜のエッチング速度の方がシリコン酸化膜のそれよりも速くなるような条件でエッチング処理を施すことにより、絶縁膜３３部分をエッチング除去する。その後、再度、第１のエッチング処理と同様の条件でエッチング処理を施すことにより、下層の層間絶縁膜１２ａ1 部分をエッチング除去する。最後に、シリコン酸化膜とシリコン窒化膜との選択性を同じにしたエッチング条件により、半導体基板１上の絶縁膜９部分をその厚さ方向の全部が除去されるようにエッチング時間等の条件を設定してエッチング除去し半導体基板１の上面を露出させる。これ以降は、前記実施の形態１～３で説明したのと同様にすれば良いので説明を省略する。
【０１１９】
このような本実施の形態４によれば、前記実施の形態１で得られた効果の他に、以下の効果を得ることが可能となる。
【０１２０】
(1).互いに隣接するワード線ＷＬの間に、ビット線ＢＬおよび局所配線１７の配線部１６ｂ2,１６ｄ2 が介在されない構造とすることができるので、ビット線ＢＬとメモリセル選択ＭＩＳ・ＦＥＴＱｓのワード線ＷＬとの間の寄生容量を低減することが可能となる。
【０１２１】
(2).上記(1) により、キャパシタＣの情報を低電圧で読み出すことが可能となる。
【０１２２】
(3).上記(1) により、キャパシタＣの情報の高速読み出しが可能となる。
【０１２３】
(4).ビット線ＢＬ用の接続孔１４ｂおよび配線溝１５ａと、キャパシタＣ用の接続孔１４ａとを別々のフォトマスクで転写することにより、ビット線ＢＬ用の接続孔１４ｂおよび配線溝１５ａと、キャパシタＣ用の接続孔１４ａとの間隔を小さくすることができるので、メモリセルの微細化を推進することができ、メモリセルの集積度を向上させることが可能となる。
【０１２４】
（実施の形態５）
図５３～図６１は本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。
【０１２５】
本実施の形態５は、前記実施の形態１～４とほぼ同じであるが、情報蓄積用のキャパシタの構造およびそのキャパシタとメモリセル選択ＭＩＳ・ＦＥＴとの接続構造が異なる。
【０１２６】
まず、前記実施の形態１の図８～図２３で説明した工程を経た後、図５３に示すように、前記実施の形態１と同様に、半導体基板１の主面上に、例えばシリコン酸化膜等からなる層間絶縁膜１２ａを形成する。続いて、その上に、ビット線および局所配線用の配線溝および周辺回路領域における接続孔を形成するためのフォトレジストパターン２８ｓを形成する。すなわち、ビット線および局所配線用の配線溝および周辺回路領域における接続孔の形成領域が露出され、かつ、それ以外の領域、特に、前記実施の形態１と異なりキャパシタ用の接続孔の形成領域が被覆されるようなフォトレジストパターン２８ｓを形成する。その後、このフォトレジストパターン２８ｓをエッチングマスクとして、前記実施の形態１と同様にしてエッチング処理を施し、接続孔１４ｂ～１４ｅおよび配線溝１５ａ，１

５ｂを形成する。

【０１２７】

次いで、前記実施の形態１と同様に、半導体基板１上全面に絶縁膜を堆積した後に異方性エッチングを行うことで接続孔１４ｂ～１４ｅおよび配線溝１５ａ，１５ｂの側面にのみ、新たな絶縁膜（好ましくは、例えば７００℃以下の温度条件でＣＶＤ法により形成したシリコン窒化膜）を形成する。これにより、（ａ）ゲート電極７ｇ1,７ｇ2,７ｇとビット線用の接続孔１４ｂ間の絶縁性、（ｂ）ビット線とキャパシタ蓄積ノード間の絶縁性を更に向上させることができる。続いて、図５４に示すように、前記実施の形態１と同様にして、接続孔１４ｂ～１４ｅおよび配線溝１５ａ，１５ｂ内に、導体膜を埋め込み、ビット線ＢＬ、プラグ１６ｃ，１６ｅおよび局所配線１７を形成する。

【０１２８】

次いで、図５５に示すように、前記実施の形態３と同様に、層間絶縁膜１２ａ、プラグ１６ｃ，１６ｅ、ビット線ＢＬおよび局所配線１７を覆うように、例えばシリコン窒化膜からなる絶縁膜１３を形成する。続いて、その上に、例えばシリコン酸化膜からなる層間絶縁膜１２ｂを形成した後、その上に、例えば低抵抗ポリシリコンからなる導体膜３４をＣＶＤ法等によって堆積する。この導体膜３４は、後述するシリコン酸化膜からなる絶縁膜（キャパシタ孔内の接続孔形成用のサイドウォール）をウエットエッチング処理によって除去する際のマスクとして使用する。その後、その導体膜３４上に、キャパシタの下部電極形成用のキャパシタ孔を形成するためのフォトレジストパターン２８ｔを形成した後、これをエッチングマスクとして、導体膜３４および層間絶縁膜１２ｂにキャパシタ孔３０を穿孔する。このエッチング処理に際しては、前記実施の形態１と同様に、シリコン酸化膜とシリコン窒化膜との選択比を高くし、シリコン酸化膜のエッチング速度の方がシリコン窒化膜のそれよりも速くなるようにしたエッチング条件により行い、絶縁膜１３をエッチングストッパとして機能させる。

【０１２９】

次いで、フォトレジストパターン２８ｔを除去した後、前記実施の形態３と同様にして、図５６に示すように、キャパシタ孔３０内に、キャパシタの下部電極形成用の導体膜１８ａ1 を形成し、その内側面に、例えばシリコン酸化膜からなるサイドウォール３１を形成する。続いて、導体膜３４およびサイドウォール３１をマスクとして、そこから露出する導体膜１８ａ1 部分を除去し、その除去領域において絶縁膜１３を露出させる。この際、上述と同様にエッチング選択比を操作することで、シリコン窒化膜からなる絶縁膜１３をエッチングストッパとして機能させる。その後、例えばフッ酸等を用いたウエットエッチング法によってサイドウォール３１を除去する。この際、上記したように導体膜３４をエッチングストッパとして機能させ、その下の層間絶縁膜１２ｂが除去されないようにする。

【０１３０】

次いで、図５７に示すように、導体膜３４，１８ａ1 をエッチングマスクとして、そこから露出する絶縁膜１３部分、層間絶縁膜１２ｂ部分および絶縁膜９部分をエッチング除去することにより、キャパシタ孔３０の底部に、メモリセル選択ＭＩＳ・ＦＥＴＱｓの半導体領域５Ｎ1 が露出するような接続孔３５を形成する。このエッチング処理では、絶縁膜１３部分のエッチング除去後は、前記実施の形態１の接続孔１４ａと同様にＳＡＣ技術により穿孔する。ここで、通常、接続孔３５とビット線ＢＬとの位置合わせが問題となる。本実施の形態では、上述のようにビット線ＢＬの配線溝１５ａおよび接続孔１４ｂの側面に設けられたシリコン窒化膜からなる絶縁膜がキャパシタ用の接続孔３５の形成時にエッチングストッパとして機能するので、接続孔３５の形成時にその接続孔３５の平面位置が多少位置ずれしてビット線ＢＬにかかったとしても、接続孔３５からビット線ＢＬが露出してしまうようなことはない。したがって、そのシリコン窒化膜を設けない場合に比べて絶縁性を向上させることができるので、リーク電流に起因するリフレッシュ特性の劣化を防止できる。

【０１３１】

次いで、例えばリンを、接続孔３５を通じて半導体基板１に～１×１０^{13}／ｃｍ^{2} 程度のドーズ量でイオン注入する。これはキャパシタの蓄積ノード部に電気的に接続されるメモリセル選択ＭＩＳ・ＦＥＴＱｓの半導体領域５Ｎ1 に印加される電界を緩和してリフレッシュ特性の劣化を防止するためである。続いて、半導体基板１の主面上に、例えばｎ型の低抵抗ポリシリコンからなる導体膜をＣＶＤ法等によって堆積し、その導体膜を接続孔３５内に埋め込んだ後、その導体膜および層間絶縁膜１２ｂ上の導体膜３４を異方性のエッチング法によってエッチバックする。この処理後の半導体基板１の要部断面図を図５８に示す。キャパシタ孔３０内には、下部電極１８ａが形成されている。下部電極１８ａは、導体膜１８ａ1 と、後から堆積した導体膜１８ａ3 の残りとから構成されている。この導体膜１８ａ3 はキャパシタ孔３０の側壁側および接続孔３５内に形成されている。このエッチバック処理に際しては、キャパシタ孔３０の底面上の低抵抗ポリシリコン等からなる導体膜もエッチングされるが、その底部の低抵抗ポリシリコン膜は２層の低抵抗ポリシリコン膜の重ね膜で構成され厚くしてあるので当該異方性エッチング処理後も残っている。また、キャパシタ孔３０以外の領域の層間絶縁膜１２ｂは残されたままなので平坦性が確保されている。

【０１３２】

次いで、図５９に示すように、前記実施の形態１と同様にして、容量絶縁膜１８ｂおよび上部電極形成用の導体膜１８ｃ1 を形成した後に熱処理を施す。続いて、図６０に示すように、前記実施の形態１と同様にして、導体膜１８ｃ1 上に、上部電極形成用のフォトレジストパターン２８ｕを形成した後、これをエッチングマスクとして上部電極１８ｃをパターニングする。これにより、キャパシタＣを形成する。本実施の形態５のキャパシタＣは、リング状の下部電極１８ａの内壁面側のみに容量を形成する構造となっている。これ以降は、前記実施の形態１と同様にして図６１に示すようなＤＲＡＭを製造する。

【０１３３】

このような本実施の形態５によれば、前記実施の形態１で得られた効果の他に、以下の効果を得ることが可能となる。

【０１３４】

(1).層間絶縁膜１２ｂにキャパシタ孔３０を穿孔し、その内部にキャパシタＣの下部電極１８ａを設け、その周りには層間絶縁膜１２ｂを残す構造としたことにより、メモリセル領域Ｍとそれ以外の領域との段差を少なくすることができるので、第１層配線１９ａ～１９ｄの下地の層間絶縁膜１２ｃ上面の平坦性を向上させることが可能となる。

【０１３５】

(2).上記(1) により、層間絶縁膜１２ｃ上の配線層における配線の寸法および隣接間隔を小さくすることが可能となる。

【０１３６】

（実施の形態６）

図６２は本発明の他の実施の形態である半導体集積回路装置の要部断面図、図６３および図６４は図６２の半導体集積回路装置の製造工程中における要部断面図である。

【０１３７】

本実施の形態６は、ほぼ前記実施の形態１と同じであるが、前記した情報蓄積用のキャパシタの構造および形成方法が若干異なる。すなわち、本実施の形態６においては、図６２に示すように、キャパシタＣの容量が、その下部電極１８ａの外側面には形成されず、その下部電極１８ａの内側面に形成されている。このキャパシタＣの下部電極１８ａは、プラグ１６ａを通じてメモリセル選択ＭＩＳ・ＦＥＴＱｓの半導体領域５Ｎ1 と電気的に接続されている。

【０１３８】

次に、本実施の形態６のＤＲＡＭの製造方法を説明する。まず、前記実施の形態１において図８～図２５で説明した製造工程を経た後、図６３に示すように、前記実施の形態５と同様に、絶縁膜１３上に、例えばシリコン酸化膜からなる層間絶縁膜１２ｂを形成する。ただし、前記実施の形態５では層間絶縁膜１２ｂ上にポリシリコン膜を堆積していたが、

本実施の形態６では、層間絶縁膜１２ｂ上にはポリシリコン膜を形成する必要はない。続いて、前記実施の形態５と同様にして、層間絶縁膜１２ｂにキャパシタ孔３０を形成した後、その層間絶縁膜１２ｂの上面およびキャパシタ孔３０の内部に、例えばｎ型の低抵抗ポリシリコンからなる導体膜を被着し、さらに、その上にＳＯＧ膜を塗布する。その後、このＳＯＧ膜の緻密化のために、例えば５００℃以下の熱処理を行う。続いて、そのＳＯＧ膜を異方性のエッチング処理によってエッチバックすることにより、キャパシタ孔３０の内部以外のＳＯＧ膜を除去し、キャパシタ孔３０内のみにＳＯＧ膜３６が残るようにした後、残されたＳＯＧ膜３６をエッチングマスクとして、そこから露出する層間絶縁膜１２ｂ上の導体膜を異方性エッチングによりエッチング除去してキャパシタ孔３０内に下部電極１８ａを形成する。

【０１３９】

次いで、半導体基板１に対して、例えばフッ酸等を用いたウエットエッチング処理により、キャパシタ孔３０内に残されたＳＯＧ膜３６を図６４に示すように除去する。この時、層間絶縁膜１２ｂの表面も若干エッチングされるが、５００℃以下で緻密化されたＳＯＧ膜３６のエッチング速度の方が、ＣＶＤ法で形成されたシリコン酸化膜等からなる層間絶縁膜１２ｂのそれに比べて格段に早いので、ＳＯＧ膜３６のエッチング除去中にエッチング除去されてしまう層間絶縁膜１２ｂの表面の膜厚は少なくて済む。また、層間絶縁膜１２ｂを堆積した後、その上にシリコン窒化膜等からなる絶縁膜を形成（７００℃以下で形成）し、これを当該ウエットエッチング処理時のエッチングストッパとして機能させても良い。これ以降は、前記実施の形態１～５と同様にして、図６２に示したように、キャパシタＣ、配線および表面保護膜２５を形成し、ＤＲＡＭを完成させる。

【０１４０】

このような本実施の形態６によれば、前記実施の形態１で得られた効果の他に、前記実施の形態５で得られた効果を得ることが可能となる。

【０１４１】

（実施の形態７）

図６５は本発明の他の実施の形態である半導体集積回路装置の要部平面図、図６６は図６５のＡ－Ａ線の断面図、図６７は図６５のＢ－Ｂ線の断面図である。

【０１４２】

本実施の形態７は、例えばメモリＬＳＩの一種であるＳＲＡＭ(Static Random Access Memory) に本発明を適用した場合について説明する。

【０１４３】

このＳＲＡＭのメモリセルは、図６５～図６７に示すように、一対の相補性のビット線ＢＬ1 、ＢＬ2 と、ワード線ＷＬとの交差部に配置された一対の駆動用ＭＩＳ・ＦＥＴＱｄ1,Ｑｄ2 、一対の負荷用ＭＩＳ・ＦＥＴＱｐ1,Ｑｐ2 および一対の転送用ＭＩＳ・ＦＥＴＱｔ1,Ｑｔ2 で構成されている。なお、一対の相補性のビット線ＢＬ1,ＢＬ2 には互いに反転した信号が伝送される。

【０１４４】

駆動用ＭＩＳ・ＦＥＴＱｄ1,Ｑｄ2 および転送用ＭＩＳ・ＦＥＴＱｔ1,Ｑｔ2 はｎチャネル型で構成され、負荷用ＭＩＳ・ＦＥＴＱｐ1,Ｑｐ2 はｐチャネル型で構成されている。すなわち、このメモリセルは、例えば４個のｎチャネル型ＭＩＳ・ＦＥＴと２個のｐチャネル型ＭＩＳ・ＦＥＴとを使った完全ＣＭＩＳ（Complimentary MIS ）型で構成されている。

【０１４５】

メモリセルを構成する上記６個のＭＩＳ・ＦＥＴのうち、一対の駆動用ＭＩＳ・ＦＥＴＱｄ1,Ｑｄ2 と、一対の負荷用ＭＩＳ・ＦＥＴＱｐ1,Ｑｐ2 とは、１ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。また、転送用ＭＩＳ・ＦＥＴＱｔ1,Ｑｔ2 は、このフリップフロップ回路とビット線ＢＬ1,ＢＬ2 とを電気的に接続したり、切り離したりするスイッチング素子である。

【０１４６】

駆動用ＭＩＳ・ＦＥＴＱｄ1と、転送用ＭＩＳ・ＦＥＴＱｔ1とは、半導体基板１に設けられた活性領域Ｌｓ1に設けられ、駆動用ＭＩＳ・ＦＥＴＱｄ2と、転送用ＭＩＳ・ＦＥＴＱｔ2とは、半導体基板１の活性領域Ｌｓ2に設けられている。また、負荷用ＭＩＳ・ＦＥＴＱｐ1,Ｑｐ2は、半導体基板１の活性領域Ｌｓ3,Ｌｓ4に設けられている。

【０１４７】

この駆動用ＭＩＳ・ＦＥＴＱｄ1,Ｑｄ2、負荷用ＭＩＳ・ＦＥＴＱｐ1,Ｑｐ2および転送用ＭＩＳ・ＦＥＴＱｔ1,Ｑｔ2の構造や材料は、前記実施の形態１等で説明したＭＩＳ・ＦＥＴと同じである。すなわち、駆動用ＭＩＳ・ＦＥＴＱｄ1,Ｑｄ2は、ソース・ドレイン用の一対の半導体領域３７Ｎ1,３７Ｎ2と、ゲート絶縁膜６ｉ3と、ゲート電極７ｇ3,７ｇ4とを有している。また、負荷用ＭＩＳ・ＦＥＴＱｐ1,Ｑｐ2は、ソース・ドレイン用の一対の半導体領域３８Ｐ1,３８Ｐ2と、ゲート絶縁膜６ｉ3と、ゲート電極７ｇ5,７ｇ6とを有している。転送用ＭＩＳ・ＦＥＴＱｔ1,Ｑｔ2は、ソース・ドレイン用の一対の半導体領域３７Ｎ1,３７Ｎ3と、ゲート絶縁膜６ｉ3と、ゲート電極７ｇ7,７ｇ8とを有している。半導体領域３７Ｎ1は、駆動用ＭＩＳ・ＦＥＴＱｄ1,Ｑｄ2および転送用ＭＩＳ・ＦＥＴＱｔ1,Ｑｔ2の共有の領域となっている。また、駆動用ＭＩＳ・ＦＥＴＱｄ1のゲート電極７ｇ3と、負荷用ＭＩＳ・ＦＥＴＱｐ1,Ｑｐ2のゲート電極７ｇ5とは一体的に成形されており、その一部は駆動用ＭＩＳ・ＦＥＴＱｄ2の半導体領域３７Ｎ1に平面的に重なるようにパターン形成されている。ただし、その一部は直接的にはその半導体領域３７Ｎ1と接触されていない。また、駆動用ＭＩＳ・ＦＥＴＱｄ2のゲート電極７ｇ4と、負荷用ＭＩＳ・ＦＥＴＱｐ1,Ｑｐ2のゲート電極７ｇ6とは一体的に成形されており、その一部（ゲート電極７ｇ９）は負荷用ＭＩＳ・ＦＥＴＱｐ1の半導体領域３８Ｐ1に平面的に重なるようにパターン形成されている。ただし、その一部（ゲート電極７ｇ10）は直接的にはその半導体領域３８Ｐ1と接触されていない。また、ゲート電極７ｇ7,７ｇ8はワード線ＷＬの一部であって、ワード線ＷＬが活性領域Ｌｓ1,Ｌｓ2に重なった部分である。なお、ゲート絶縁膜６ｉ3およびゲート電極７ｇ3～７ｇ10は、前記実施の形態１で説明したゲート絶縁膜６ｉ1およびゲート電極７ｇ1と構造的には同じなので説明を諸略する。

【０１４８】

駆動用ＭＩＳ・ＦＥＴＱｄ1,Ｑｄ2のドレイン用の半導体領域３７Ｎ1は、それぞれ負荷用ＭＩＳ・ＦＥＴＱｐ1,Ｑｐ2のドレイン用の半導体領域３８Ｐ1,３８Ｐ1と局所配線１７ａ，１７ｂを通じて電気的に接続されている。局所配線１７ａ，１７ｂは、例えば平面長方形状に形成され、それぞれゲート電極７ｇ9,７ｇ10を跨いで配置されている。局所配線１７ａ，１７ｂは、前記実施の形態１で説明した局所配線１７と同じなので詳細な説明は省略する。また、駆動用ＭＩＳＦＥＴＱｄ1,Ｑｄ2のソース用の半導体領域３７Ｎ2は、接続孔１４ｆ，２０ｅ内のプラグ１６ｆ，２１ｅを通じて基準電圧用配線Ｖssに接続されている。基準電圧用配線Ｖssは、例えば０Ｖ（ＧＮＤ）に設定される。

【０１４９】

また、層間絶縁膜１２ｂ，１２ａ、キャップ絶縁膜８および絶縁膜９には、ゲート電極７ｇ9および局所配線１７ｂに平面的に重なるような平面四角形状の接続孔２０ｆが穿孔されている。この接続孔２０ｆの底面からはゲート電極７ｇ9の上面が露出され、接続孔２０ｆの底部側面からは局所配線１７ｂの上面および側面の一部が露出されている。そして、接続孔２０ｆ内にはプラグ２１ｆが設けられ、これを通じてゲート電極７ｇ9と局所電極１７ｂとが電気的に接続されている（図６６参照）。

【０１５０】

また、この接続孔２０ｇおよびその内部のプラグ２１ｇは、この接続孔２０ｆおよびその内部のプラグ２１ｆと同じ構造および機能を有している。すなわち、接続孔２０ｇの底面からはゲート電極７ｇ10の上面が露出され、接続孔２０ｇの底部側面からは局所配線１７ａの上面および側面の一部が露出されており、ゲート電極７ｇ10と局所配線１７ａとが接続孔２０ｇ内のプラグ２１ｇによって電気的に接続されている。

【０１５１】

すなわち、本実施の形態７では、プラグ２１ｆ，２１ｇは、その上下層の配線層間を電気的に接続する部材ではなく、プラグ２１ｆ，２１ｇの下層の配線間（ゲート電極７ｇ9,７ｇ10と局所配線１７ｂ，１７ａとの間）を電気的に接続する部材となっている。このような構造とすると、局所配線１７ａ，１７ｂの平面形状を比較的簡単な矩形状にできるので、そのパターンの設計の容易性および転写精度を向上させることができ、かつ、そのパターンの微細化することが可能となる。

【０１５２】

転送用ＭＩＳＦＥＴＱｔ1,Ｑｔ2 のドレイン用の半導体領域３７Ｎ3 は、接続孔１４ｇ，２０ｈ内のプラグ１６ｈ，２１ｈを通じて第１層配線１９ｅに電気的に接続され、さらに第２配線層のビット線ＢＬ1,ＢＬ2 に電気的に接続されている。また、負荷用ＭＩＳＦＥＴＱｐ1,Ｑｐ2 のソース用の半導体領域３８Ｐ2 は、プラグ１６ｉ，２０ｉを通じて第１配線層の電源電圧用配線Ｖccに電気的に接続されている。この電源電圧用配線Ｖccは、例えば３Ｖ程度に設定される。

【０１５３】

なお、プラグ１６ｆ，１６ｈ，１６ｉおよびプラグ２１ｅ～２１ｉの構造および材料は、それぞれ前記実施の形態１のプラグ１６ａおよびプラグ２１ａと同じなのでその説明は省略する。また、層間絶縁膜１２ａに穿孔する接続孔１４ｆ，１４ｇ等も前記実施の形態１で説明したＳＡＣ技術により穿孔されている。また、第１層配線１９ｅ、基準電圧用配線Ｖｓｓおよび電源電圧用配線Ｖｃｃの構造および材料は、前記実施の形態１の第１層配線１９ａと同じなので説明を省略する。本実施の形態７では、ビット線ＢＬ１，ＢＬ2 が通常の配線構造であるが、その構造および材料は前記実施の形態１の第２層配線２２と同じなので説明を省略する。

【０１５４】

このような本実施の形態７によれば、次の効果を得ることが可能となる。

【０１５５】

(1).ＳＲＡＭのメモリセルを構成する局所配線１７ａ，１７ｂを埋め込み配線構造としたことにより、メモリセルの微細化が可能となる。

【０１５６】

(2).ＳＲＡＭのメモリセルを構成する局所配線１７ａ，１７ｂを埋め込み配線構造としたことにより、配線抵抗の低減が図れ、ＳＲＡＭの動作速度を向上させることが可能となる。

【０１５７】

(3).プラグ２１ｆ，２１ｇを、その下層の配線間（ゲート電極７ｇ9,７ｇ10と局所配線１７ｂ，１７ａとの間）を電気的に接続する部材とすることにより、局所配線１７ａ，１７ｂの平面形状を比較的簡単な矩形状にできるので、そのパターンの設計の容易性および転写精度を向上させることができ、かつ、そのパターンを微細化することが可能となる。

【０１５８】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【０１５９】

例えば前記実施の形態１においては、第１層目の層間絶縁膜にビット線用の接続孔および配線溝を同工程で形成した場合について説明したが、これに限定されるものではなく、その各々を別々のフォトレジストパターンをマスクに用いて形成しても良い。

【０１６０】

すなわち、まず、その層間絶縁膜上にビット線用の配線溝を形成するための第１のフォトレジストパターンを形成した後、これをエッチングマスクとして、そこから露出する層間絶縁膜をエッチング除去してビット線用の配線溝を形成する。この配線溝の深さは層間絶縁膜の途中位置でも良いし、その底面から下層のシリコン窒化膜からなる絶縁膜が露出していても良い。続いて、キャパシタ用の接続孔およびビット線用の接続孔を形成するため

の第２のフォトレジストパターンを層間絶縁膜上に形成した後、これをエッチングマスクとして、そこから露出する層間絶縁膜をエッチング処理によって穿孔する。この時、シリコン酸化膜のエッチング速度の方がシリコン窒化膜のそれよりも速い条件でエッチング処理することで、下層のシリコン窒化膜からなる絶縁膜がエッチストッパとして機能し半導体基板の主面は露出しない。最後に、シリコン酸化膜とシリコン窒化膜の選択性が同じになるようなエッチング条件で、上記第２のフォトレジストパターンから露出するシリコン窒化膜からなる絶縁膜を除去する。また、前記実施の形態５においてもビット線用の配線溝および接続孔を別々のフォトレジストパターンをマスクに用いて形成しても良い。すなわち、まず、上記と同様に第１のフォトレジストパターンを用いて、上記と同様の深さのビット線用の配線溝を形成する。続いて、ビット線用の接続孔を形成するための第２のフォトレジストパターンを用いて、シリコン酸化膜とシリコン窒化膜の選択性が同じになるようなエッチング条件で、上記第２のフォトレジストパターンから露出するシリコン窒化膜からなる絶縁膜を除去する。

【０１６１】

また、前記実施の形態１～６のビット線の形成工程に際して、ビット線の配線部と接続部とを別々にパターニングしても良い。すなわち、ビット線の配線部は、平面直線状の真っ直ぐなパターンとし、ビット線の接続部はその配線部に重なる平面四角形状のパターンとして別々のフォトマスクで転写しても良い。これにより、１つのフォトマスクに形成される転写パターンが、平面直線状だけまたは平面四角形状だけとなるので、そのパターンをフォトレジスト膜に制御性良く転写することができる。したがって、そのパターンの転写精度を向上させることができ、そのパターンの微細化を推進できる。

【０１６２】

また、前記実施の形態１～６では、ＤＲＡＭの情報蓄積用のキャパシタの容量絶縁膜を通常の絶縁膜とした場合について説明したが、これに限定されるものではなく、例えばその材料としてＰＺＴ等のような強誘電体材料を用いることで強誘電体メモリを構成するようにしても良い。

【０１６３】

また、前記実施の形態１～６では、ＤＲＡＭの情報蓄積用のキャパシタをクラウン型とした場合について説明したが、これに限定されるものではなく種々変更可能であり、例えばフィン型としても良い。

【０１６４】

また、前記実施の形態１～７では、単体構造の半導体基板を用いた場合について説明したが、これに限定されるものではなく、例えば通常の結晶成長で得られた半導体基板の表面にエピタキシャル層を設けて成る、いわゆるエピタキシャル基板を用いても良い。この場合、特に限定されないが、エピタキシャル層の厚さは、１μｍ以下が好ましい。

【０１６５】

また、前記実施の形態１～７においては、分離領域を溝型とした場合について説明したが、これに限定されるものではなく種々変更可能であり、例えば選択酸化法等で形成したフィールド絶縁膜による分離構造としても良い。

【０１６６】

また、前記実施の形態７では、メモリセルの負荷をＭＩＳ・ＦＥＴで構成した場合について説明したが、これに限定されるものではなく、その負荷をポリシリコン膜で構成しても良い。

【０１６７】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるＤＲＡＭまたはＳＲＡＭ技術に適用した場合について説明したが、それに限定されるものではなく、例えばＤＲＡＭおよび論理回路を同一半導体基板に設けている半導体集積回路装置等に適用できる。

【０１６８】

例えばＤＲＡＭおよび論理回路を同一半導体基板に設けている半導体集積回路装置におい

て、論理回路のゲート電極がデュアルゲート構造の場合は、そのＭＩＳ・ＦＥＴを次のように形成する。まず、半導体基板の主面にフィールド絶縁膜を形成した後、ゲート絶縁膜を形成しそれを介してゲート電極用のシリコン膜を堆積する。続いて、ｎＭＩＳ形成領域にイオン注入法により低エネルギー（シリコン膜にのみ注入されるエネルギー）で不純物（ヒ素、アンチモン、リン或いはこれらの組み合わせ）を注入する。同じマスクを用いて中エネルギーでしきい値制御用のチャネル注入を行う。さらに同じマスクを用いて高エネルギーでＰウエル、Ｎ型埋込み層の不純物注入を行う。同様にして別のマスクでＰＭＩＳ形成領域にイオン注入法により低エネルギー（シリコン膜にのみ注入されるエネルギー）で不純物（ホウ素）を注入する。同じマスクを用いて中エネルギーでしきい値制御用のチャネル注入を行う。さらに同じマスクを用いて高エネルギーでＮ型ウエル行う。一方、その論理回路のゲート電極がポリサイドゲートの場合は、タングステンシリサイド等のシリサイド膜あるいはシリコン中の導電型の異なる不純物のシリサイド膜を介した相互拡散を防止するためにシリサイド膜とシリコン膜との間に窒化タングステン膜を介在させた構造とする。また、メタルゲートの場合には、前記実施の形態１～６と同様にして形成する。これ以降は、前記実施の形態１～６と同様にして形成する。

【０１６９】

また、ゲート電極がシリコン・ゲルマ（Ｓｉ・Ｇｅ）膜の場合は、次のようにする。まず、上記のようにフィールド絶縁膜およびゲート絶縁膜を形成した後、そのゲート絶縁膜上にゲート電極用のシリコン・ゲルマ（ＳｉＧｅ）膜を堆積する。このシリコン・ゲルマ膜はｎＭＩＳおよびｐＭＩＳの同時形成に最適な中間の仕事関数を持っているのでデュアルゲート電極のようなポリシリコン膜への不純物注入をする必要がない。続いて、上述のデュアルゲート電極の場合と同じように、ｎＭＩＳ形成領域およびｐＭＩＳ形成領域に不純物を注入する。ここで、ゲート電極がポリサイドの場合には、タングステンシリサイド等のシリサイド膜あるいはゲルマニウムがシリサイド膜中に拡散を防止するためにシリサイド膜とポリシリコン膜との間に窒化タングステン膜を介在させた構造とする。メタルゲートの場合は、前記実施の形態１～６と同じである。これ以降は、前記実施の形態１～６と同様にして形成する。なお、このような場合においては、ウエル形成やしきい値制御用の不純物注入を前記実施の形態１～６と同様に行っても良い。これらの場合（ゲート電極がデュアルゲートの場合またはシリコン・ゲルマ膜の場合）は、フォトマスクの枚数を減らすことができる。

【０１７０】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【０１７１】

(1).本発明によれば、ビット線の配線部と接続部とを同一工程時に形成した導電性部材で埋め込み形成することにより、その配線部と接続部との間の接触抵抗を無くすことができるので、ビット線における寄生抵抗を低減することが可能となる。この結果、ビット線を有する半導体集積回路装置の低電圧動作や高速動作が可能となる。

【０１７２】

(2).本発明によれば、ビット線が絶縁膜に形成された配線溝に埋め込まれた構成なので、ビット線ＢＬによる段差が生じないので、これを被覆する絶縁膜の上面にも段差が反映されず、その絶縁膜の上面を容易に平坦化することが可能となる。この結果、下地段差に起因する導体膜のエッチング残りやそれに起因する短絡不良の発生を防止することが可能となる。

【０１７３】

(3).ビット線を絶縁膜に掘られた配線溝に埋め込むことで形成することにより、ビット線の微細化を推進することができる。特に、幅広の配線溝を形成した後、さらにその側面に側壁絶縁膜を形成することにより、配線溝の線幅を微細化することができる。この結果、ビット線と、情報蓄積用容量素子の蓄積ノードとの距離を広げることが可能となる。

【０１７４】
(4).本発明によれば、メモリの周辺回路を構成する配線の配線溝を、ビット線の配線溝と同時に形成し、かつ、その各々の配線溝を同じ導電性部材で埋め込むことにより、半導体集積回路装置の製造工程数を低減することが可能となる。
【０１７５】
(5).本発明によれば、メモリセル領域のゲート電極のパターンと、それ以外のトランジスタのゲート電極のパターンとを、それぞれ別々の露光処理で転写することにより、それぞれのゲート電極のパターン転写に最適な露光処理で露光ができるので、それぞれのゲート電極の加工精度を向上させることができ、その各々のゲート電極の微細化を推進することが可能となる。
【０１７６】
(6).本発明によれば、層間絶縁膜に穿孔された接続孔内に第２の導電性部材を埋め込み、その接続孔から露出する互いに離間した複数の第１の導電性部材同士を電気的に接続することにより、その第１の導電性部材の各々の平面形状を比較的簡単な形状とすることができるので、そのパターンの設計の容易性および転写精度を向上させることができ、かつ、そのパターンを微細化することが可能となる。
【図面の簡単な説明】
【図１】本発明の一実施の形態である半導体集積回路装置の要部断面図である。
【図２】図１の半導体集積回路装置の要部平面図である。
【図３】図２のＡ1 －Ａ1 線の断面図である。
【図４】図２のＡ2 －Ａ2 線の断面図である。
【図５】図２のＢ1 －Ｂ1 線の断面図である。
【図６】図２のＢ2 －Ｂ2 線の断面図である。
【図７】図２のＢ3 －Ｂ3 線の断面図である。
【図８】図１の半導体集積回路装置の製造工程中における要部断面図である。
【図９】図１の半導体集積回路装置の図８に続く製造工程中における要部断面図である。
【図１０】図１の半導体集積回路装置の図９に続く製造工程中における要部断面図である。
【図１１】図１の半導体集積回路装置の図１０に続く製造工程中における要部断面図である。
【図１２】図１の半導体集積回路装置の図１１に続く製造工程中における要部断面図である。
【図１３】図１の半導体集積回路装置の図１２に続く製造工程中における要部断面図である。
【図１４】図１の半導体集積回路装置の図１３に続く製造工程中における要部断面図である。
【図１５】図１の半導体集積回路装置の図１４に続く製造工程中における要部断面図である。
【図１６】図１の半導体集積回路装置の製造工程の変形例を説明するための製造工程中における半導体集積回路装置の要部断面図である。
【図１７】図１の半導体集積回路装置の図１６に続く製造工程中における要部断面図である。
【図１８】図１の半導体集積回路装置の図１７に続く製造工程中における要部断面図である。
【図１９】図１の半導体集積回路装置の図１５に続く製造工程中における要部断面図である。
【図２０】図１の半導体集積回路装置の図１９に続く製造工程中における要部断面図である。
【図２１】図１の半導体集積回路装置の図２０に続く製造工程中における要部断面図である。

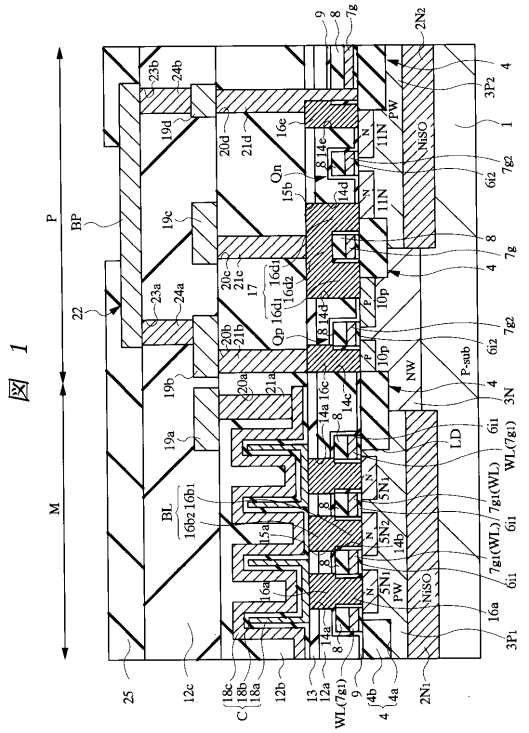
【図２２】図１の半導体集積回路装置の図２１に続く製造工程中における要部断面図である。
【図２３】図１の半導体集積回路装置の図２２に続く製造工程中における要部断面図である。
【図２４】図１の半導体集積回路装置の図２３に続く製造工程中における要部断面図である。
【図２５】図１の半導体集積回路装置の図２４に続く製造工程中における要部断面図である。
【図２６】図１の半導体集積回路装置の図２５に続く製造工程中における要部断面図である。
【図２７】図１の半導体集積回路装置の図２６に続く製造工程中における要部断面図である。
【図２８】図１の半導体集積回路装置の図２７に続く製造工程中における要部断面図である。
【図２９】図１の半導体集積回路装置の図２８に続く製造工程中における要部断面図である。
【図３０】図１の半導体集積回路装置の図２９に続く製造工程中における要部断面図である。
【図３１】図１の半導体集積回路装置の図３０に続く製造工程中における要部断面図である。
【図３２】図１の半導体集積回路装置の図３１に続く製造工程中における要部断面図である。
【図３３】本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。
【図３４】図３３に続く半導体集積回路装置の製造工程中における要部断面図である。
【図３５】図３４に続く半導体集積回路装置の製造工程中における要部断面図である。
【図３６】図３５に続く半導体集積回路装置の製造工程中における要部断面図である。
【図３７】本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部断面図である。
【図３８】図３７に続く半導体集積回路装置の製造工程中における要部断面図である。
【図３９】図３８に続く半導体集積回路装置の製造工程中における要部断面図である。
【図４０】図３９に続く半導体集積回路装置の製造工程中における要部断面図である。
【図４１】図４０に続く半導体集積回路装置の製造工程中における要部断面図である。
【図４２】図４１に続く半導体集積回路装置の製造工程中における要部断面図である。
【図４３】図４２に続く半導体集積回路装置の製造工程中における要部断面図である。
【図４４】図４３に続く半導体集積回路装置の製造工程中における要部断面図である。
【図４５】図４４に続く半導体集積回路装置の製造工程中における要部断面図である。
【図４６】図４５に続く半導体集積回路装置の製造工程中における要部断面図である。
【図４７】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。
【図４８】図４７の半導体集積回路装置であって図２のＡ1 －Ａ1 線に対応する要部断面図である。
【図４９】図４７の半導体集積回路装置であって図２のＡ2 －Ａ2 線に対応する要部断面図である。
【図５０】図４７の半導体集積回路装置であって図２のＢ1 －Ｂ1 線に対応する要部断面図である。
【図５１】図４７の半導体集積回路装置であって図２のＢ2 －Ｂ2 線に対応する要部断面図である。
【図５２】図４７の半導体集積回路装置であって図２のＢ3 －Ｂ3 線に対応する要部断面図である。
【図５３】本発明の他の実施の形態である半導体集積回路装置の製造工程中における要部

断面図である。
【図５４】図５３に続く半導体集積回路装置の製造工程中における要部断面図である。
【図５５】図５４に続く半導体集積回路装置の製造工程中における要部断面図である。
【図５６】図５５に続く半導体集積回路装置の製造工程中における要部断面図である。
【図５７】図５６に続く半導体集積回路装置の製造工程中における要部断面図である。
【図５８】図５７に続く半導体集積回路装置の製造工程中における要部断面図である。
【図５９】図５８に続く半導体集積回路装置の製造工程中における要部断面図である。
【図６０】図５９に続く半導体集積回路装置の製造工程中における要部断面図である。
【図６１】図６０に続く半導体集積回路装置の製造工程中における要部断面図である。
【図６２】本発明の他の実施の形態である半導体集積回路装置の要部断面図である。
【図６３】図６２の半導体集積回路装置の製造工程中における要部断面図である。
【図６４】図６３に続く半導体集積回路装置の製造工程中における要部断面図である。
【図６５】本発明の他の実施の形態である半導体集積回路装置の要部平面図である。
【図６６】図６５のＡ－Ａ線の断面図である。
【図６７】図６５のＢ－Ｂ線の断面図である。
【符号の説明】
１　半導体基板
２Ｎ1,２Ｎ2 埋込ｎウエル
３Ｐ1,３Ｐ2 ｐウエル
３Ｎ　ｎウエル
４　分離部
４ａ　分離溝
４ｂ　分離膜
５Ｎ1,５Ｎ2 半導体領域
６ｉ1 ゲート絶縁膜
６ｉ2 ゲート絶縁膜
７ｇ，７ｇ1 ～７ｇ10　ゲート電極
８　キャップ絶縁膜
９　絶縁膜
１０Ｐ　半導体領域
１１Ｎ　半導体領域
１２ａ　層間絶縁膜
１３　絶縁膜
１４ａ～１４ｇ　接続孔
１５ａ，１５ｂ　配線溝
１６ａ，１６ｃ，１６ｅ，１６ｆ，１６ｈ，１６ｉ　プラグ
１６ｂ1,１６ｄ1 接続部
１６ｂ2,１６ｄ2 配線部
１７，１７ａ，１７ｂ　局所配線
１８ａ　下部電極
１８ａ1 第１の導体膜
１８ａ2 第２の導体膜
１８ｂ　容量絶縁膜
１８ｃ　上部電極
１８ｃ1 導体膜
１８ｃ2 第２の導体膜
１９ａ～１９ｄ　第１層配線
２０ａ～２１ｉ　接続孔
２１ａ～２１ｉ　プラグ
２２　第２層配線

２３ａ，２３ｂ　接続孔
２４ａ，２４ｂ　プラグ
２５　表面保護膜
２６　パッド膜
２７　絶縁膜
２８ａ～２８ｋ，２８ｍ，２８ｎ，２８ｐ～２８ｕ　フォトレジストパターン
２９　絶縁膜
３０　キャパシタ孔（容量素子孔）
３１　サイドウォール
３２　接続孔
３３　絶縁膜
３４　導体膜
３５　接続孔
３６　ＳＯＧ膜
３７Ｎ1 ～３７Ｎ3 半導体領域
３８Ｐ1,３８Ｐ2 半導体領域
ＢＬ　ビット線
ＢＬ1,ＢＬ2 ビット線
ＢＰ　ボンディングパッド
Ｑｓ　メモリセル選択ＭＩＳ・ＦＥＴ
Ｃ　キャパシタ（情報蓄積用容量素子）
Ｑｐ　ｐチャネル型のＭＩＳ・ＦＥＴ
Ｑｎ　ｎチャネル型のＭＩＳ・ＦＥＴ
ＬＤ,Ｌｓ１ ～Ｌｓ４ 活性領域
Ｖｓｓ　基準電圧用配線
Ｖｃｃ　電源電圧用配線
Ｍ　メモリセル領域
Ｐ　周辺回路領域

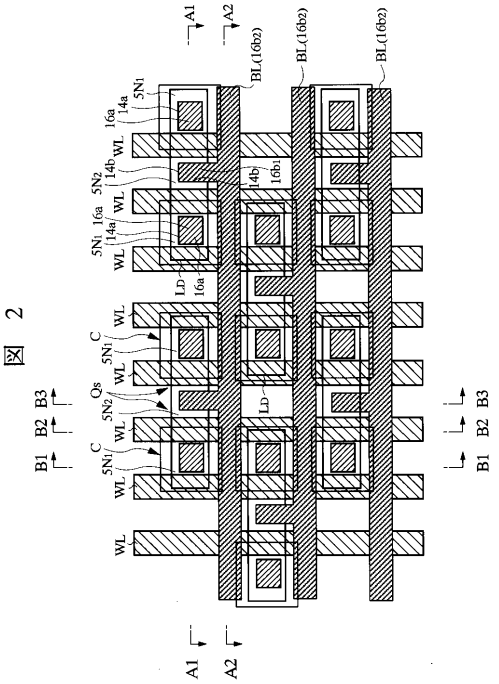
【図１】

図 1



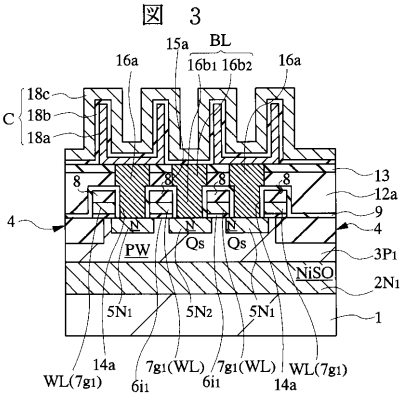
【図２】

図 2



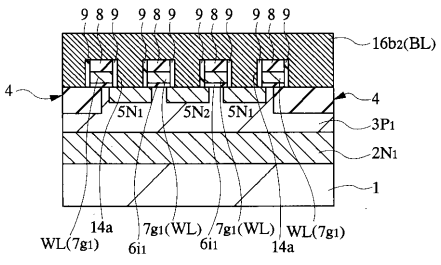
【図３】

図 3



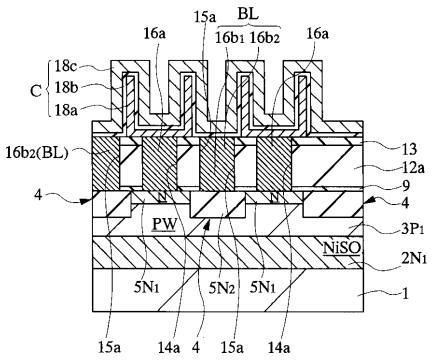
【図４】

図 4



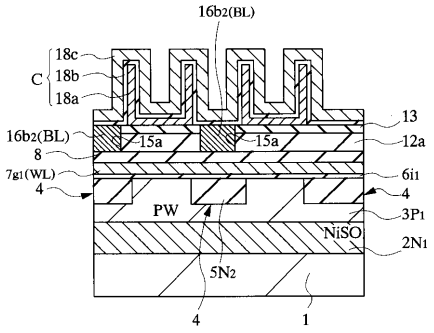
【図５】

図 5



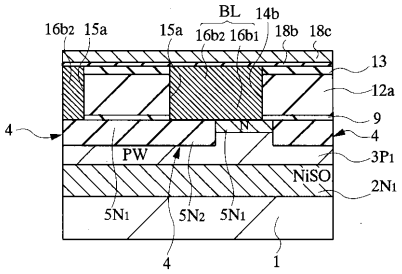
【図６】

図 6



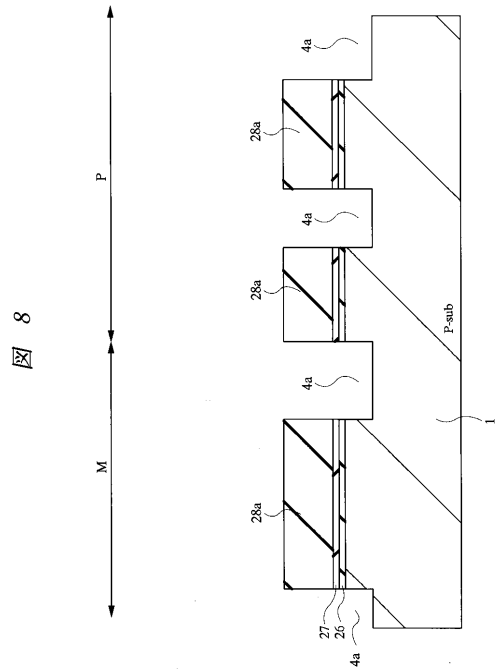
【図７】

図 7



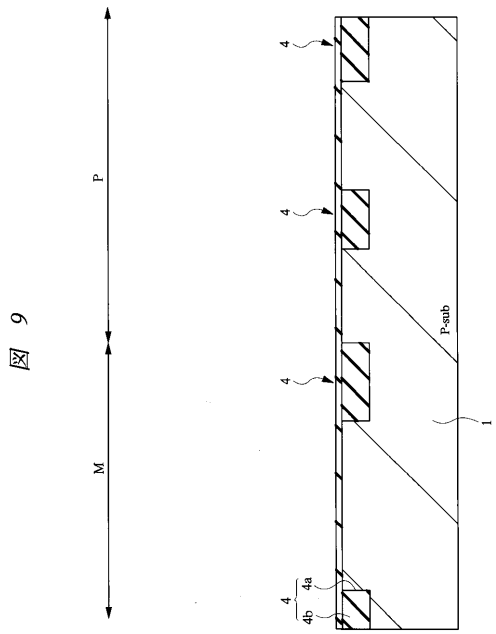
【図８】

図 8



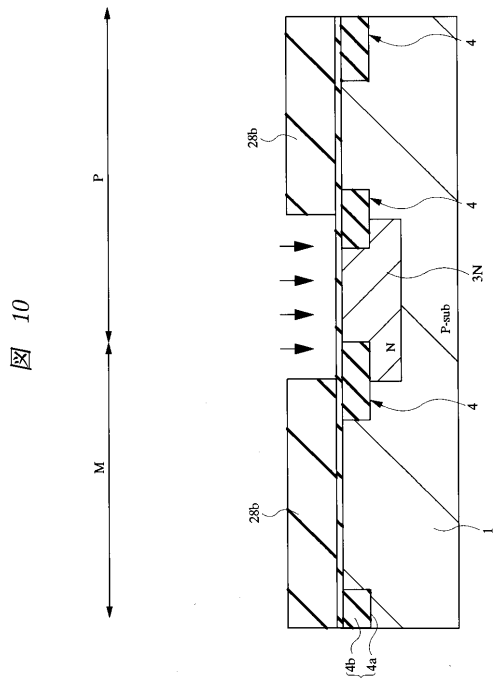
【図９】

図 9



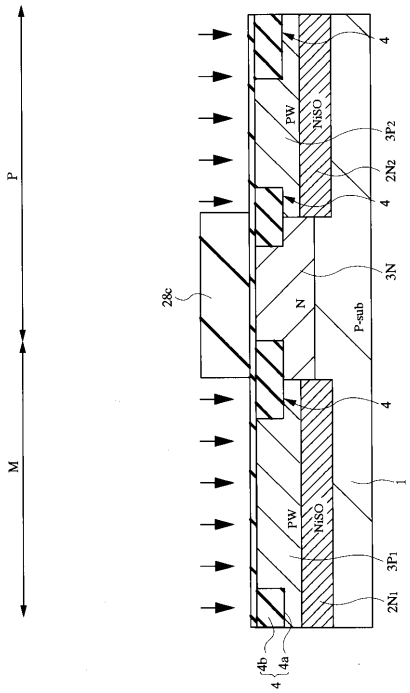
【図１０】

図 10



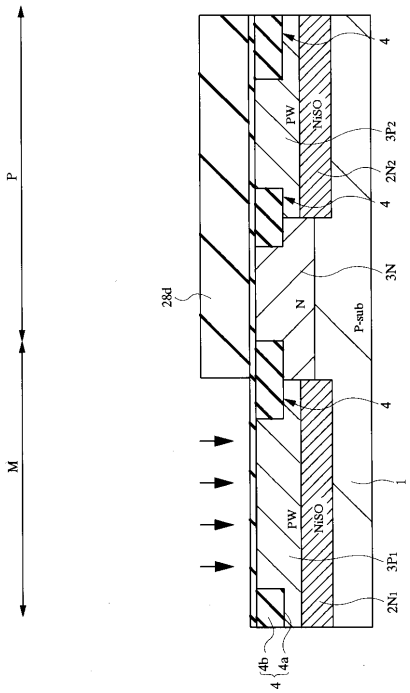
【図１１】

図 11



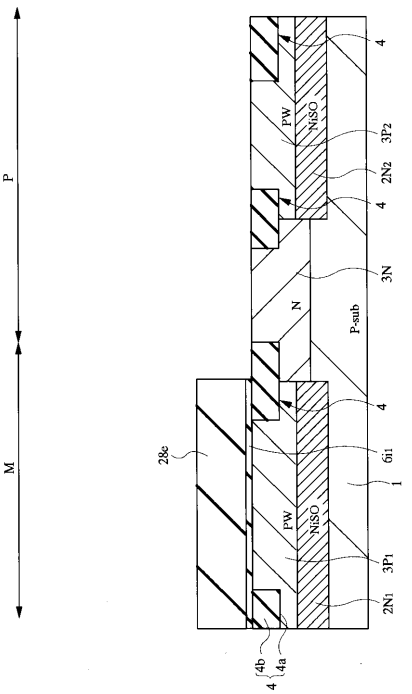
【図１２】

図 12



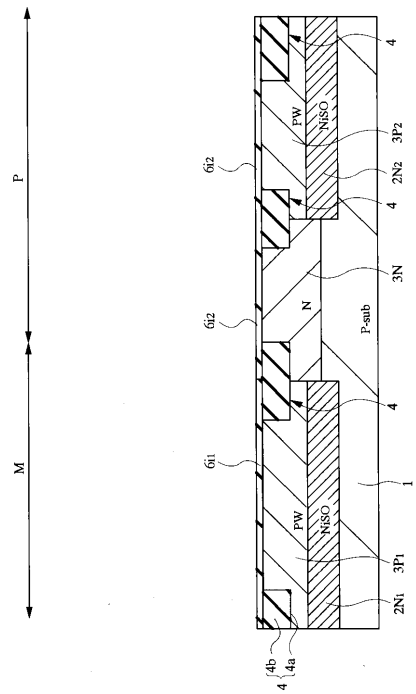
【図１３】

図 13



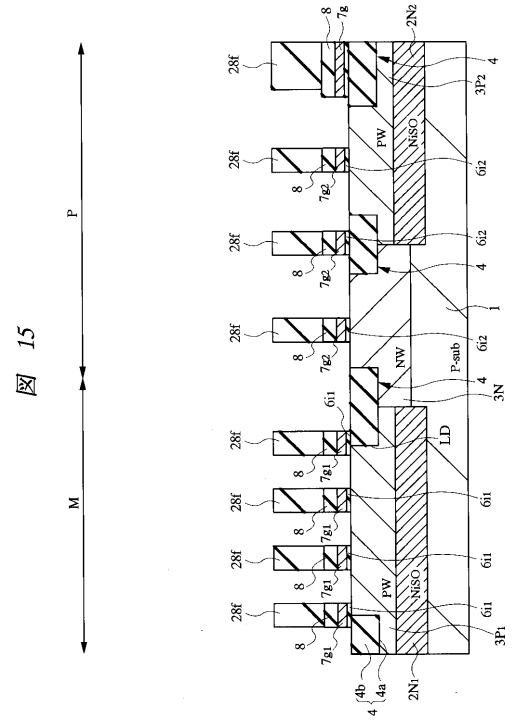
【図１４】

図 14



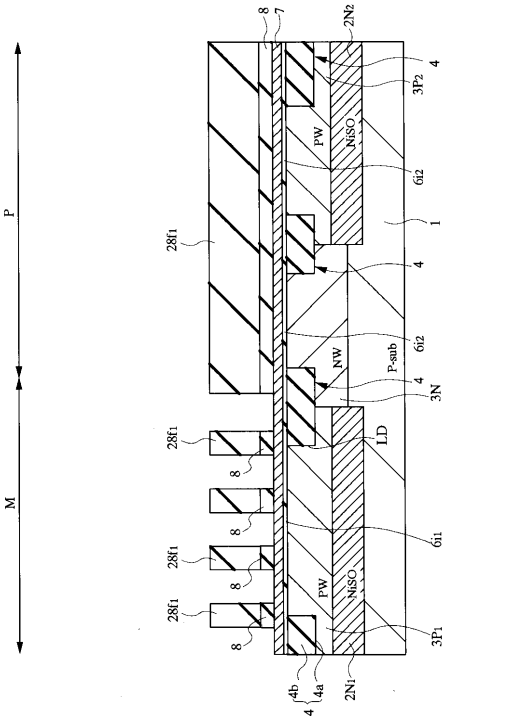
【図１５】

図 15



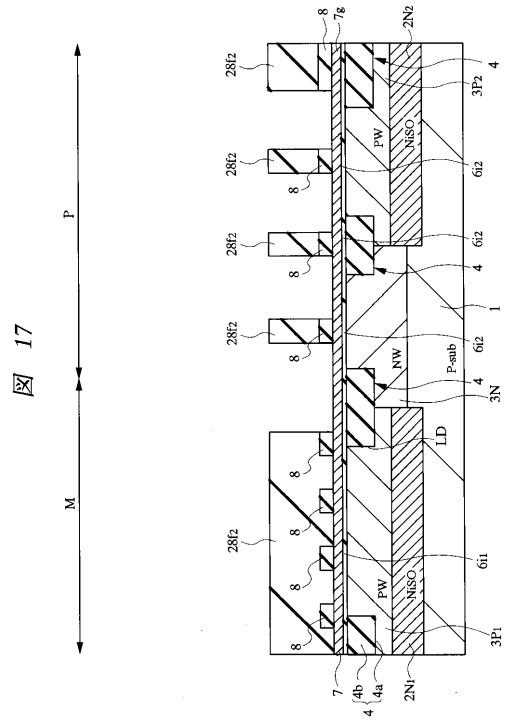
【図１６】

図 16



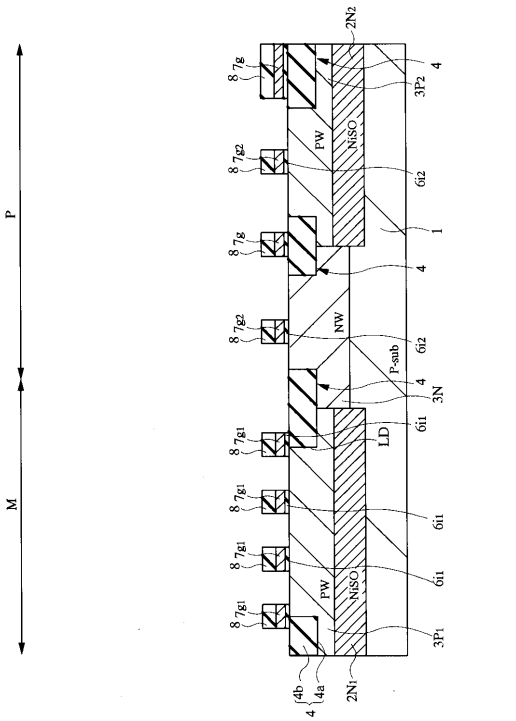
【図１７】

図 17



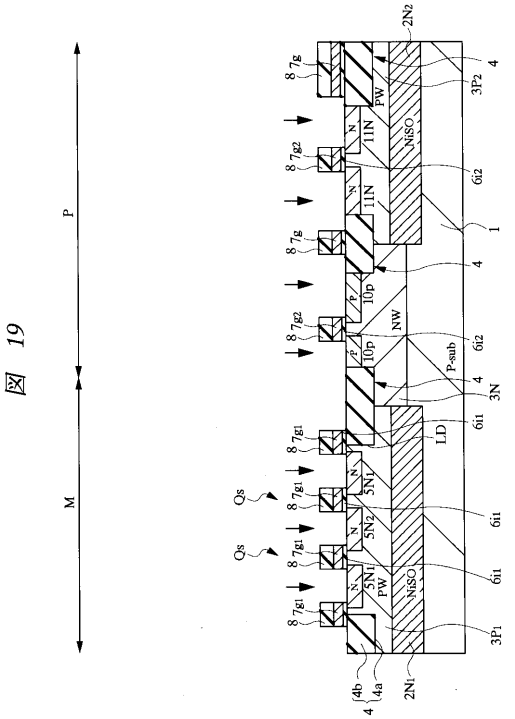
【図１８】

図 18



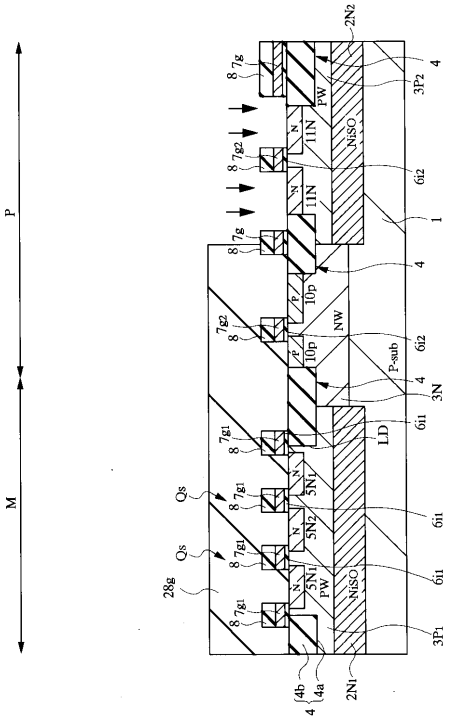
【図１９】

図 19



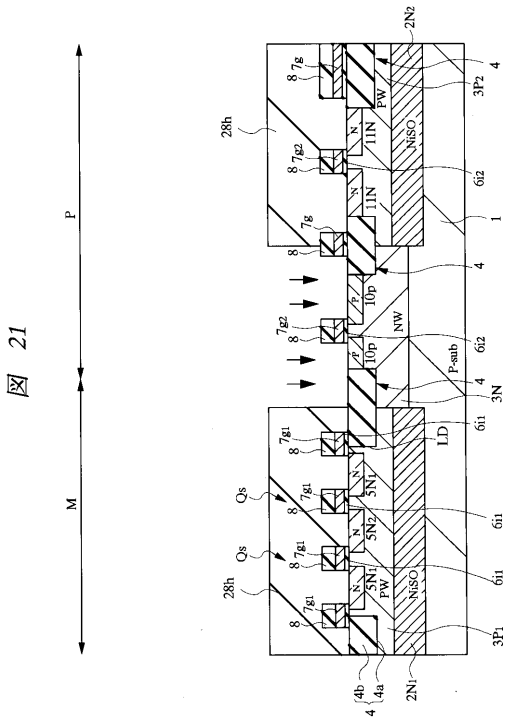
【図２０】

図 20



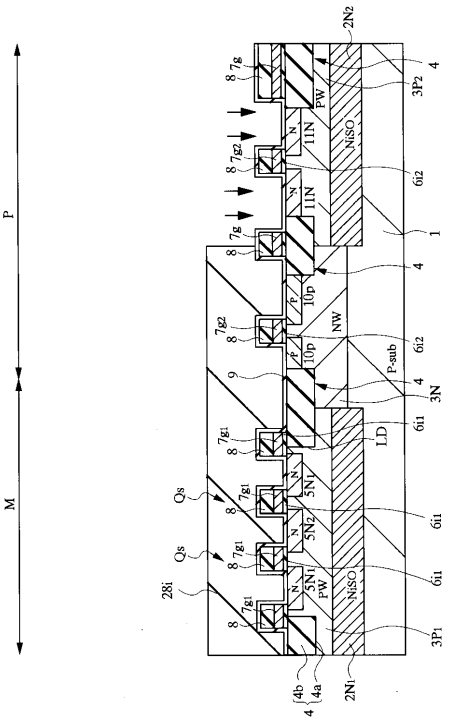
【図２１】

図 21



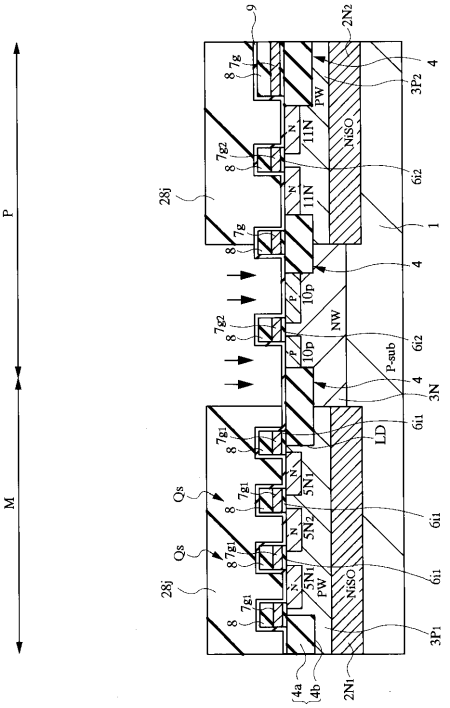
【図２２】

図 22



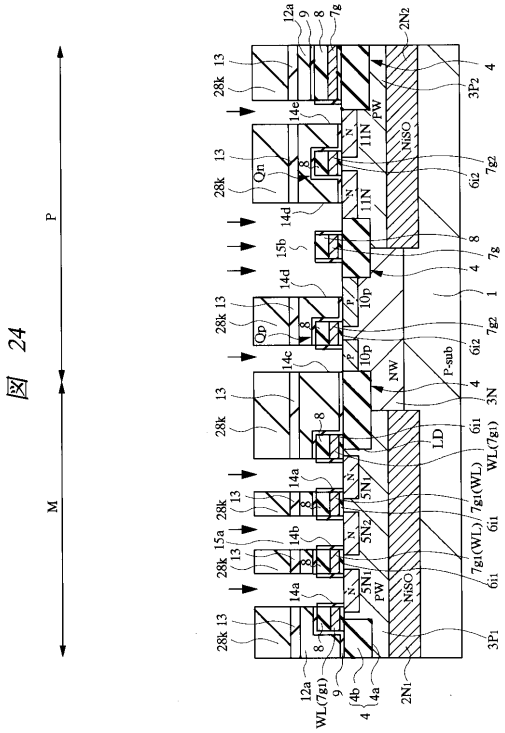
【図２３】

図 23



【図２４】

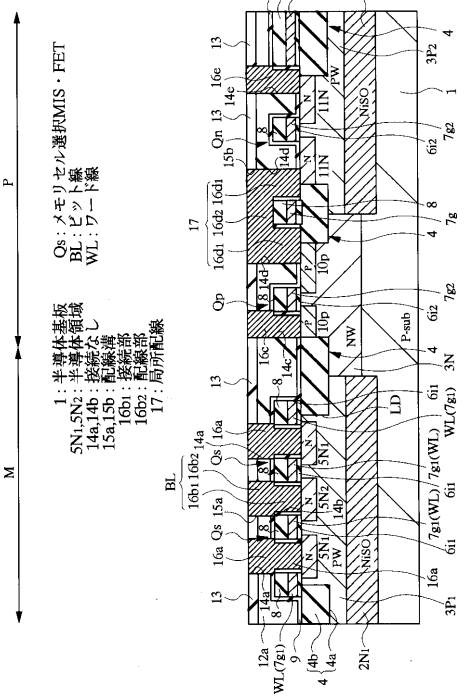
図 24



【図２５】

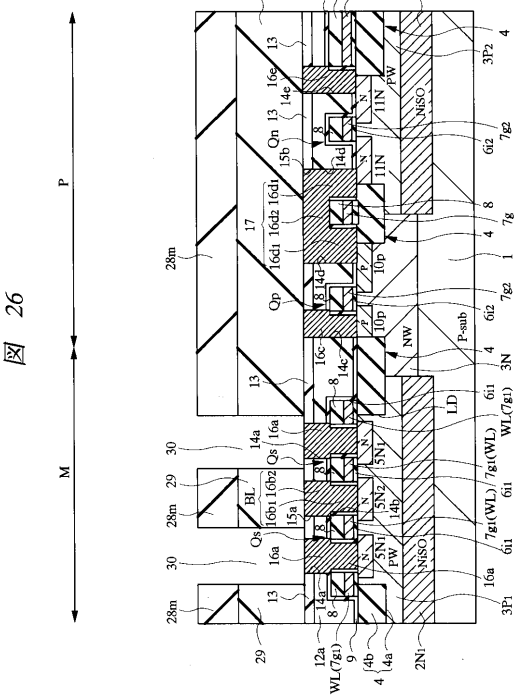
図 25

1：半導体基板
5N1,5N2：半導体領域
14a,14b：接続なし
15a,15b：配線溝
16b1：接続部
16b2：配線部
17：局所配線
Qs：メモリセル選択MIS・FET
BL：ビット下線
WL：ワード下線

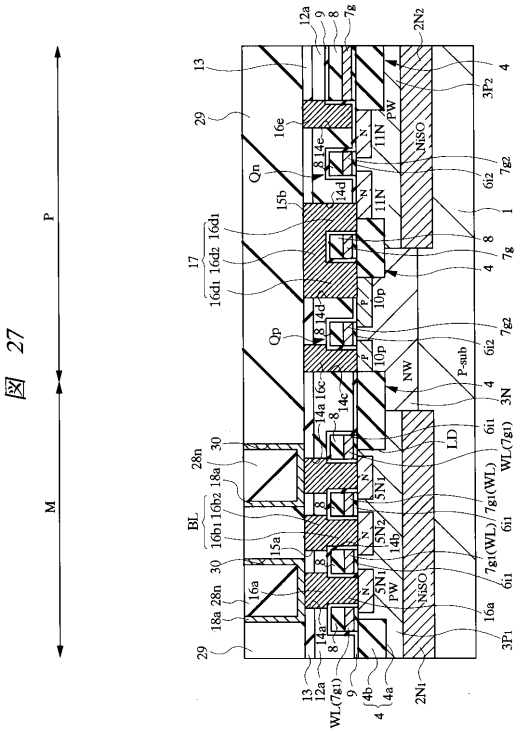


【図２６】

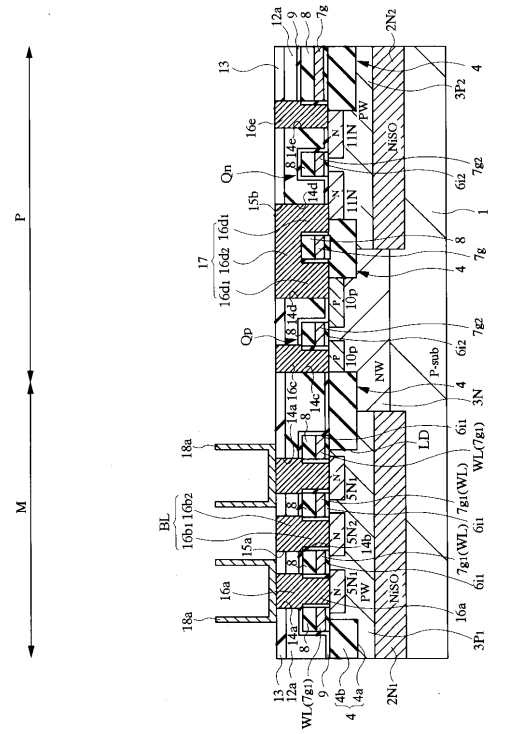
図 26



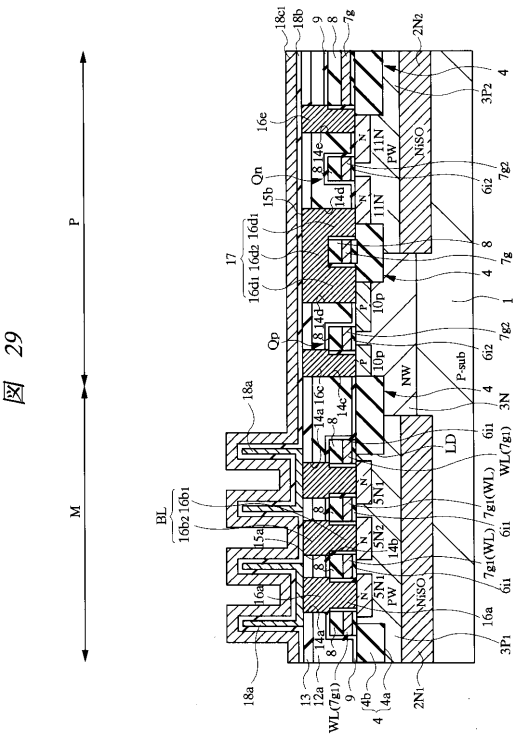
【図２７】



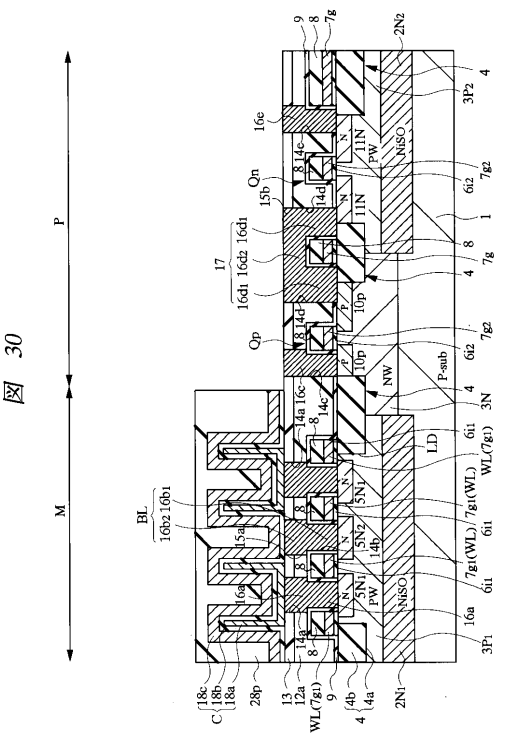
【図２８】



【図２９】

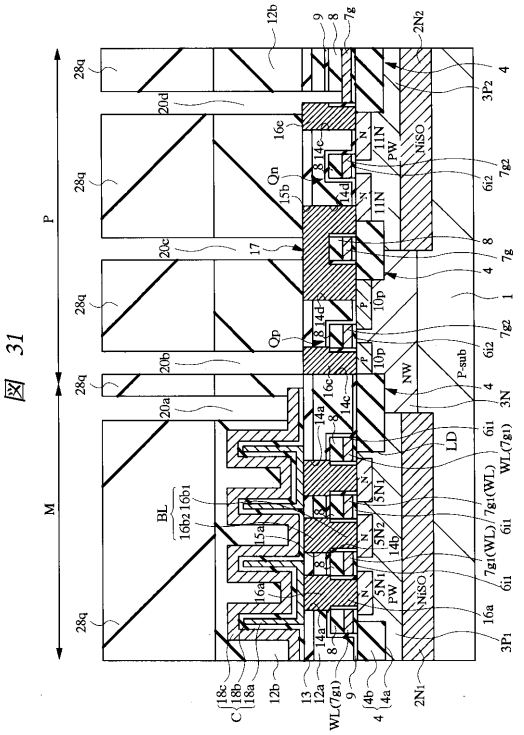


【図３０】



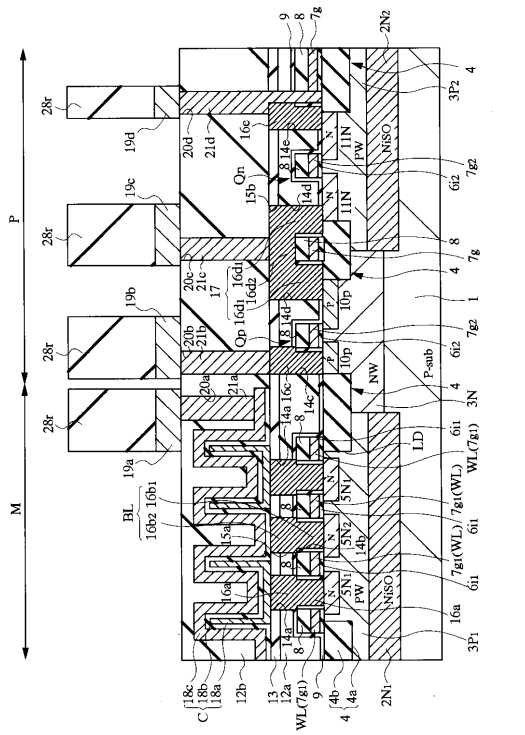
【図３１】

図 31



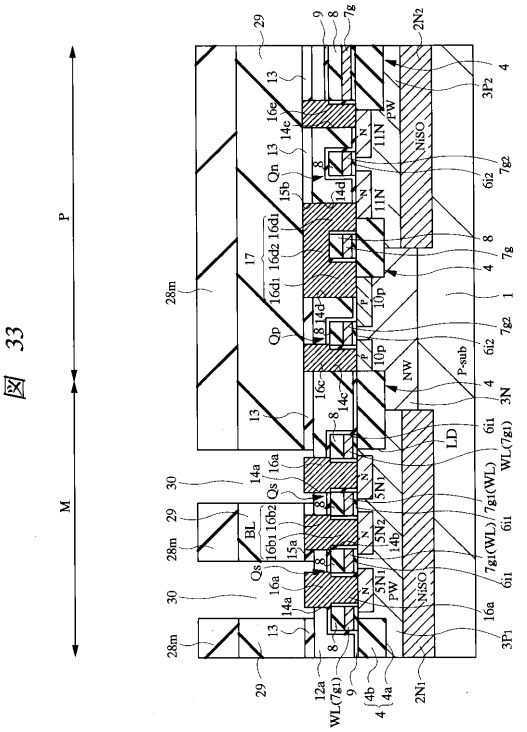
【図３２】

図 32



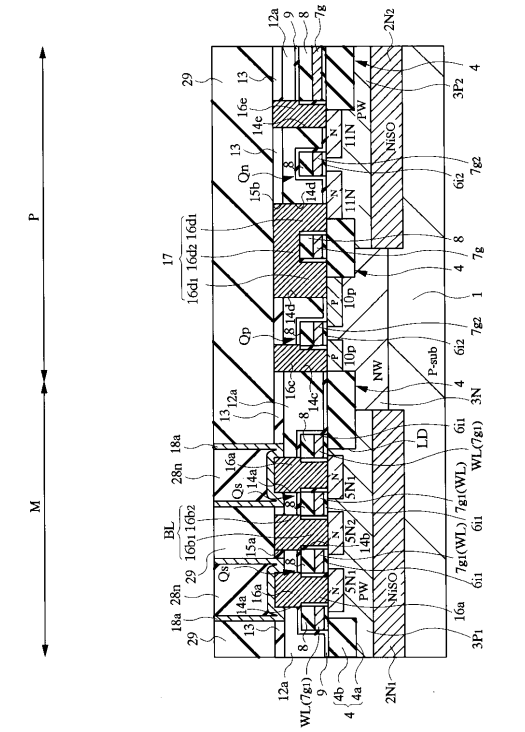
【図３３】

図 33



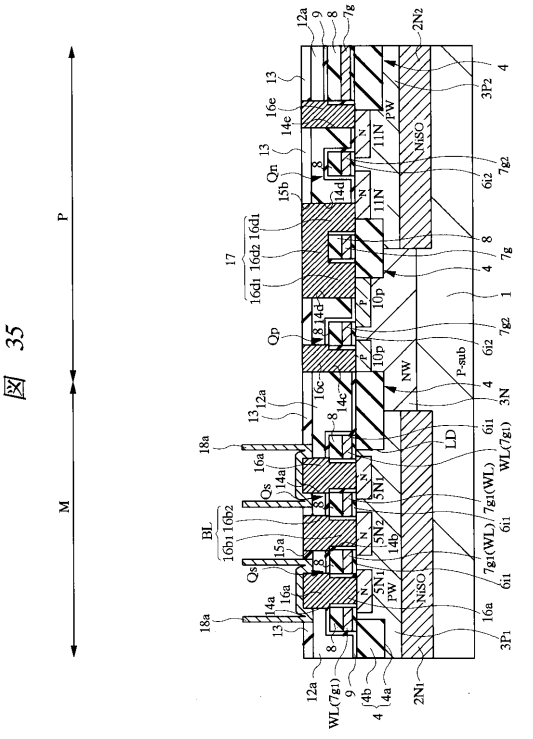
【図３４】

図 34



【図３５】

図 35



【図３６】

図 36

【図３７】

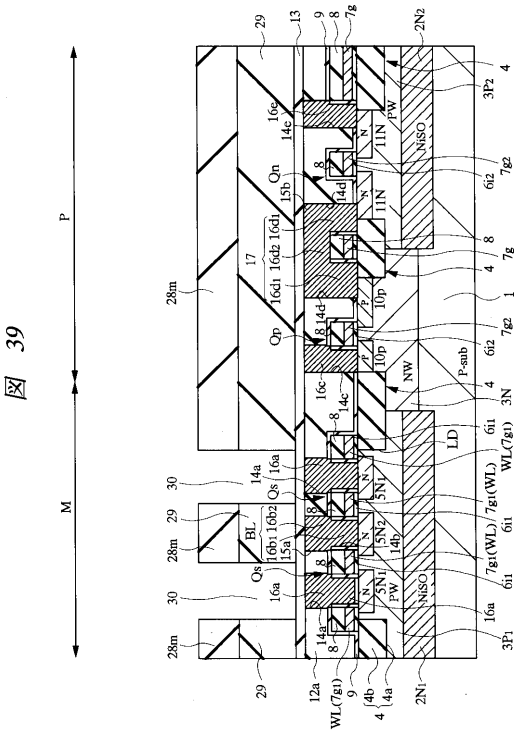
図 37

【図３８】

図 38

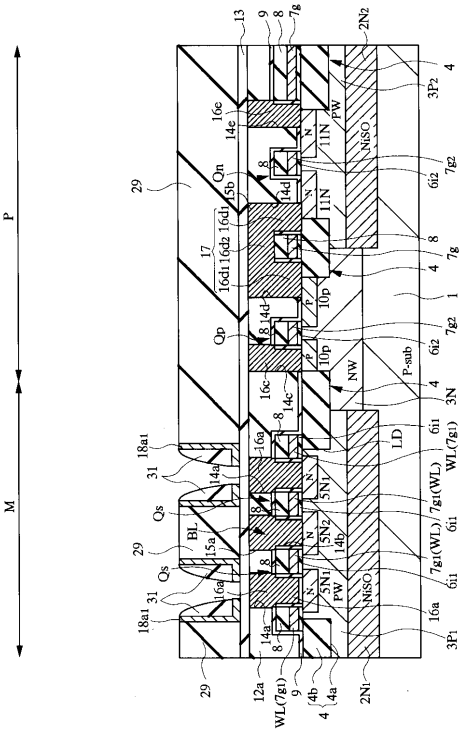
【図３９】

図 39



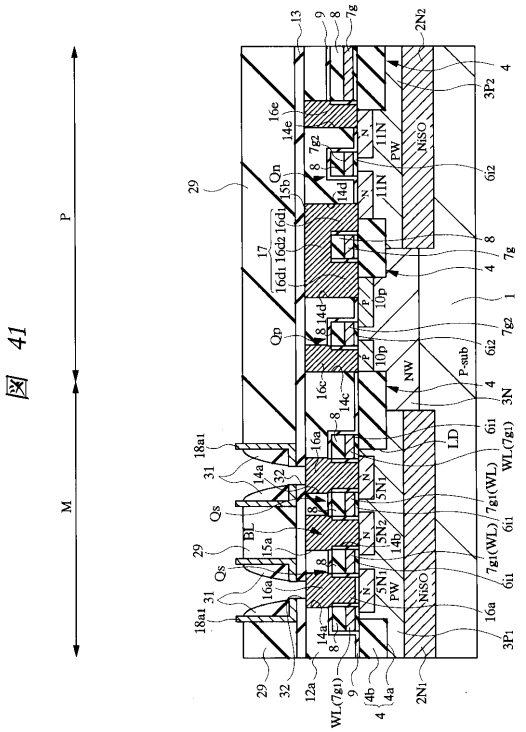
【図４０】

図 40



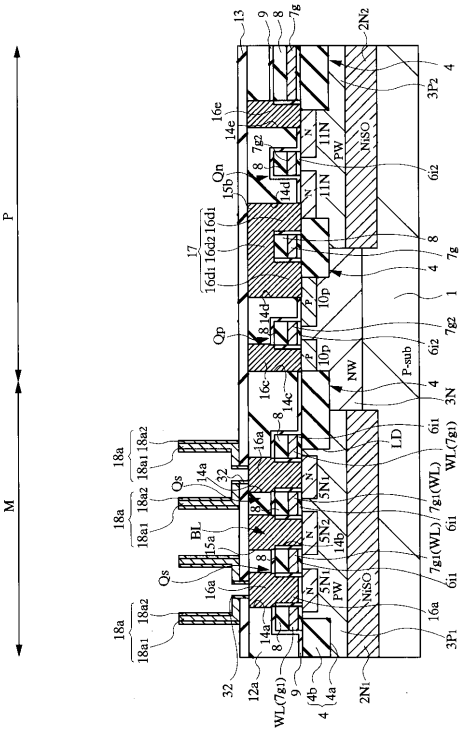
【図４１】

図 41



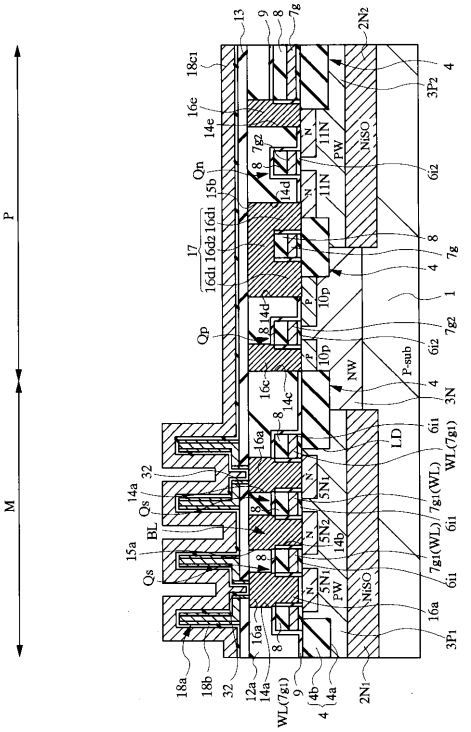
【図４２】

図 42



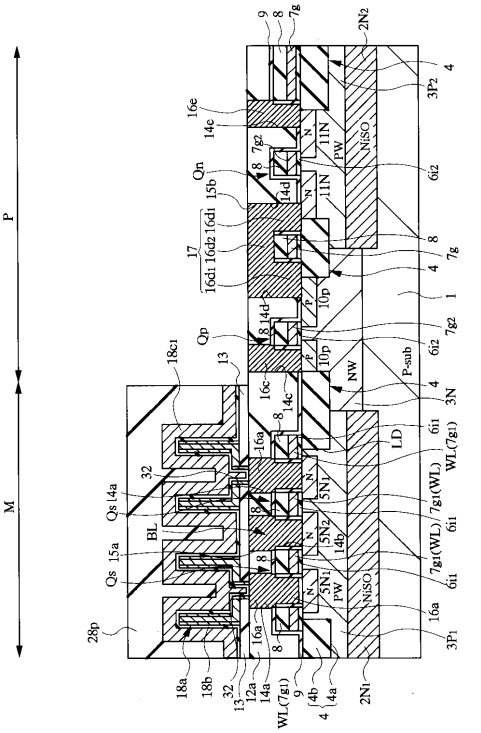
【図４３】

図 43



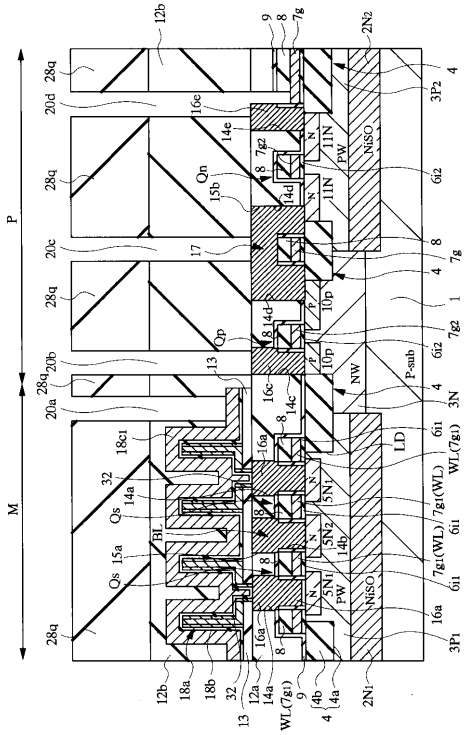
【図４４】

図 44



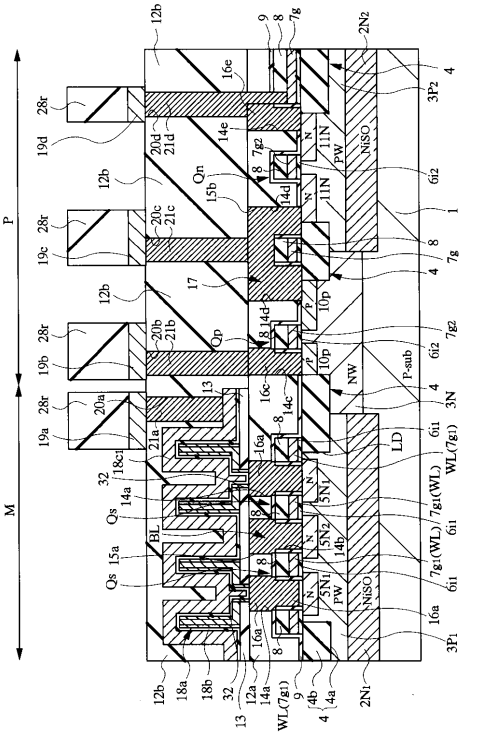
【図４５】

図 45



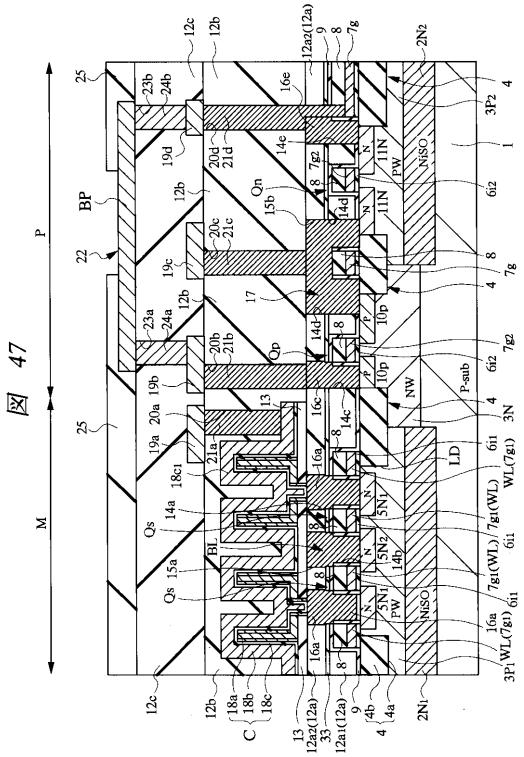
【図４６】

図 46



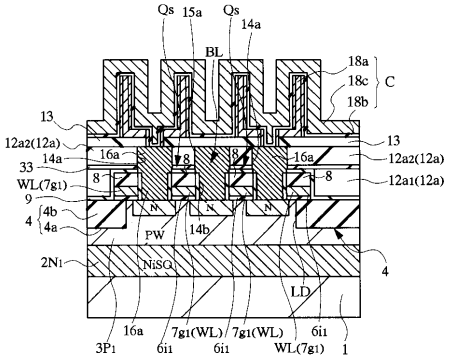
【図４７】

図 47



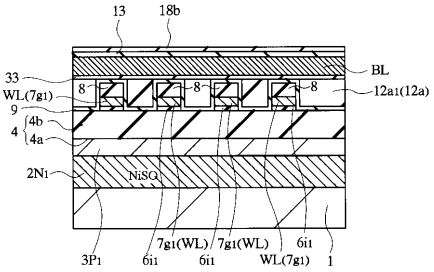
【図４８】

図 48



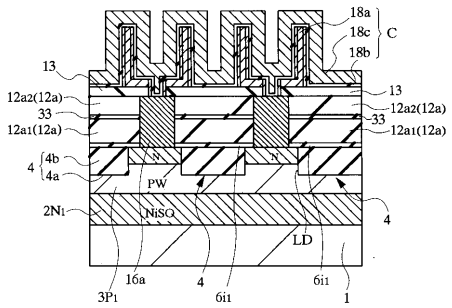
【図４９】

図 49



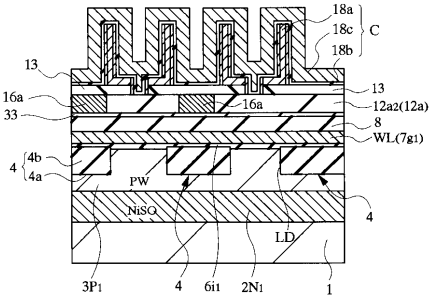
【図５０】

図 50



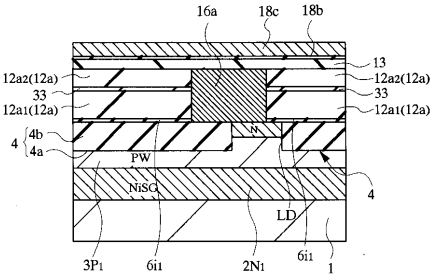
【図５１】

図 51



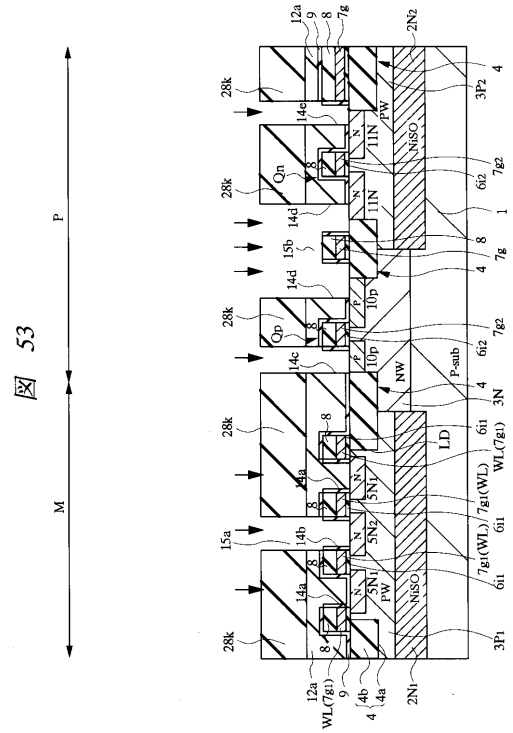
【図５２】

図 52



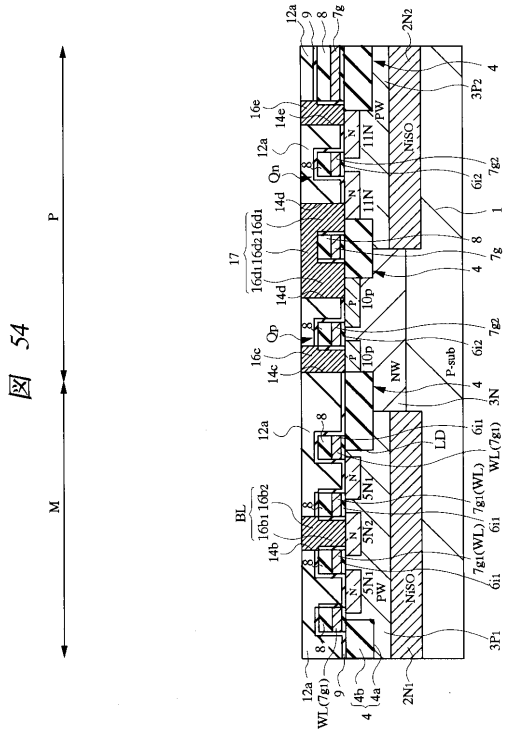
【図５３】

図 53



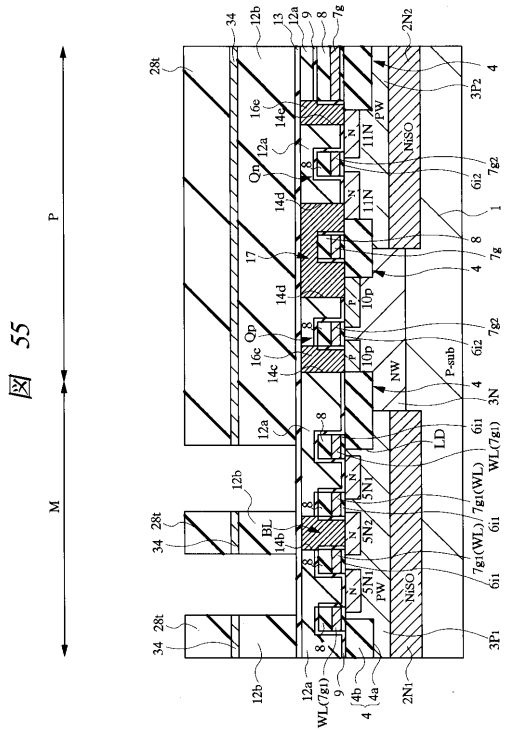
【図５４】

図 54



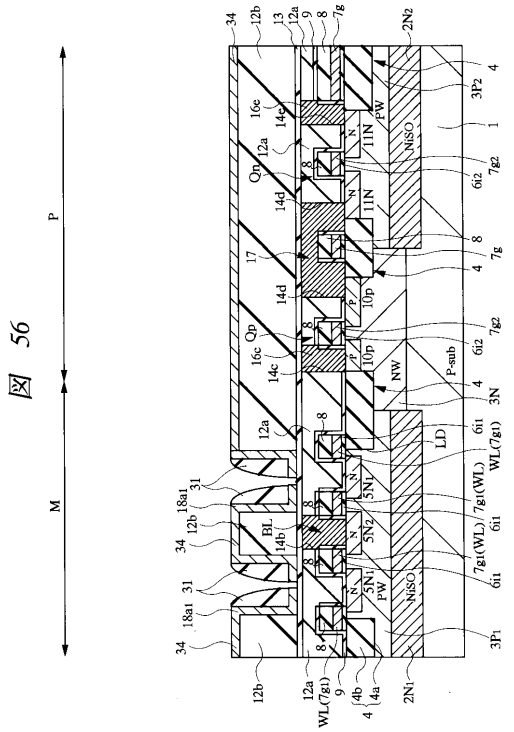
【図５５】

図 55



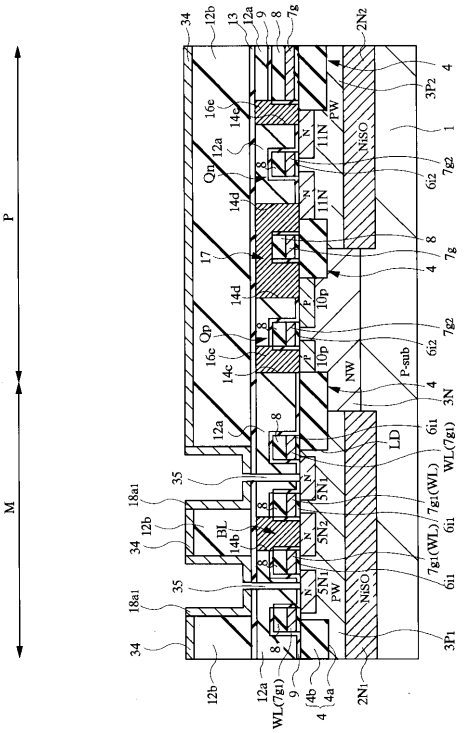
【図５６】

図 56



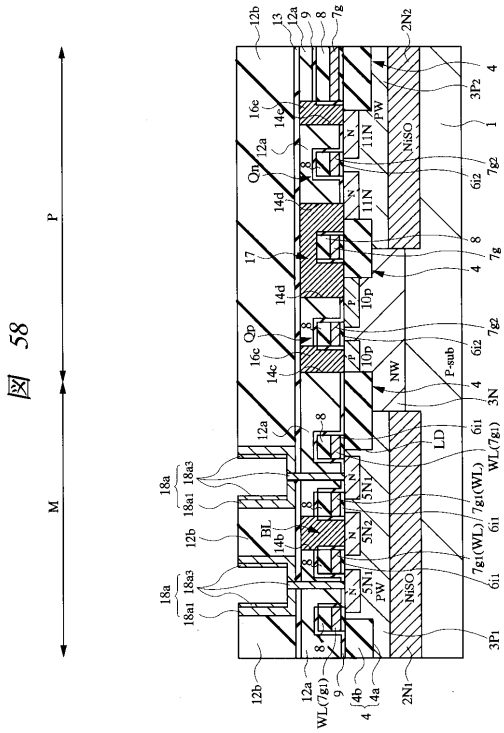
【図５７】

図 57



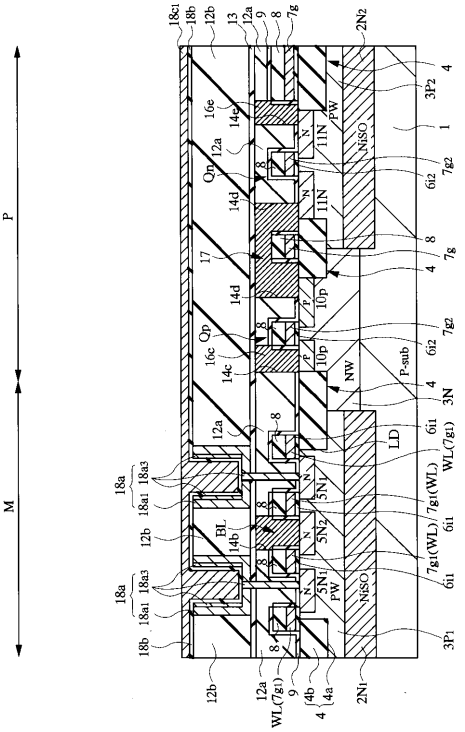
【図５８】

図 58



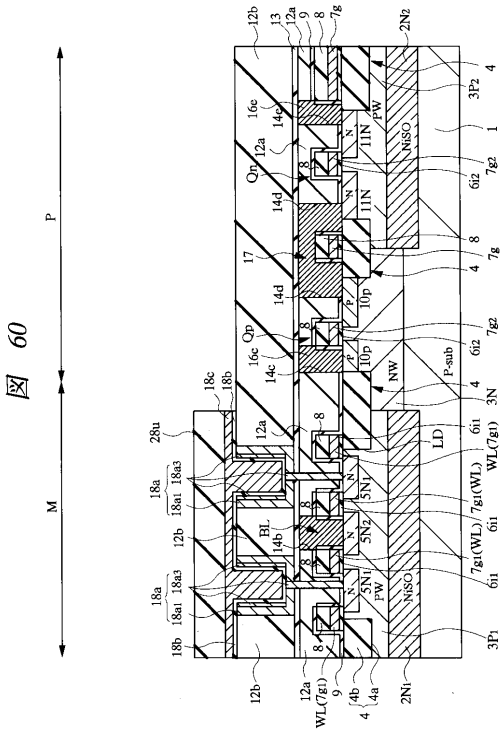
【図５９】

図 59

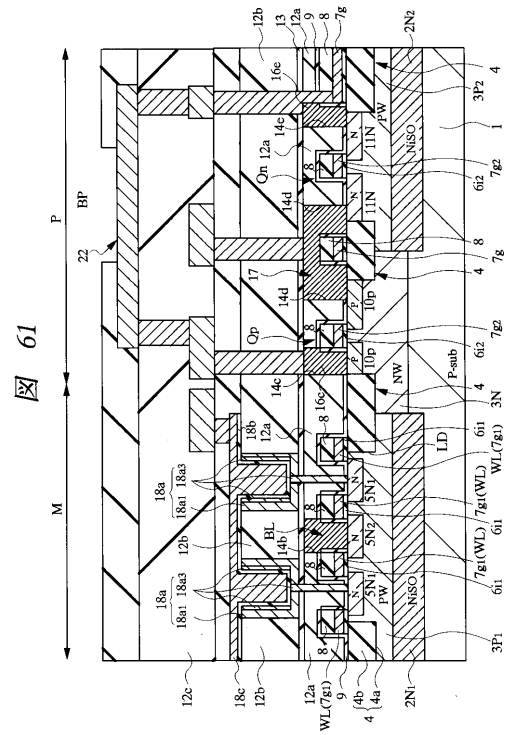


【図６０】

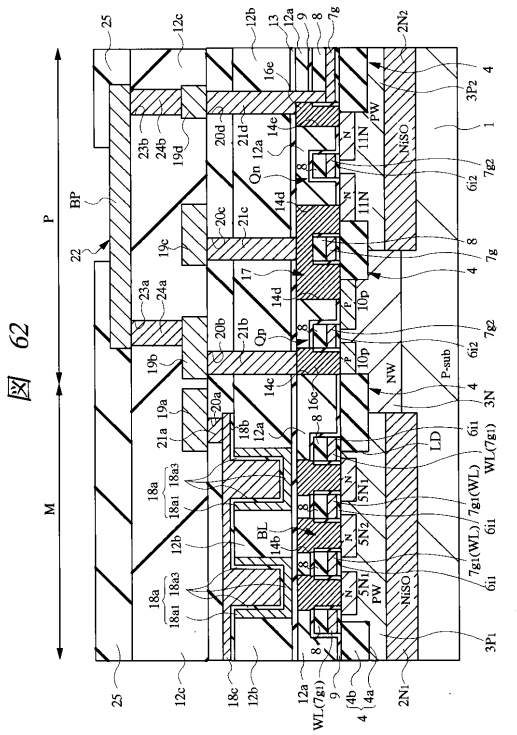
図 60



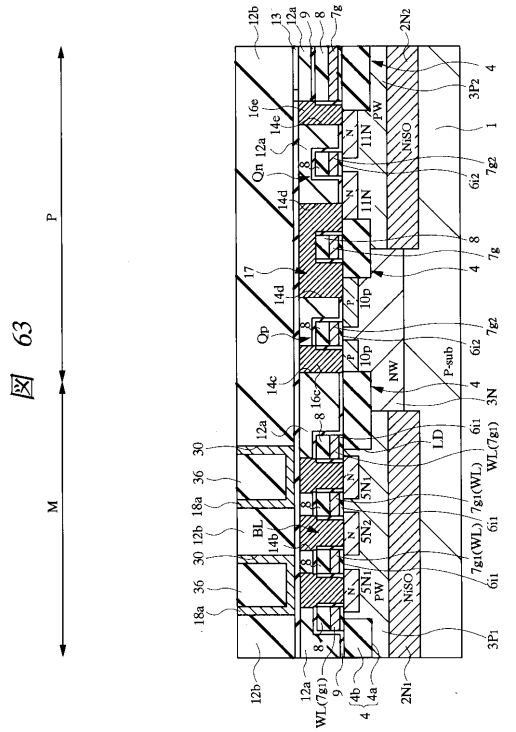
【図６１】



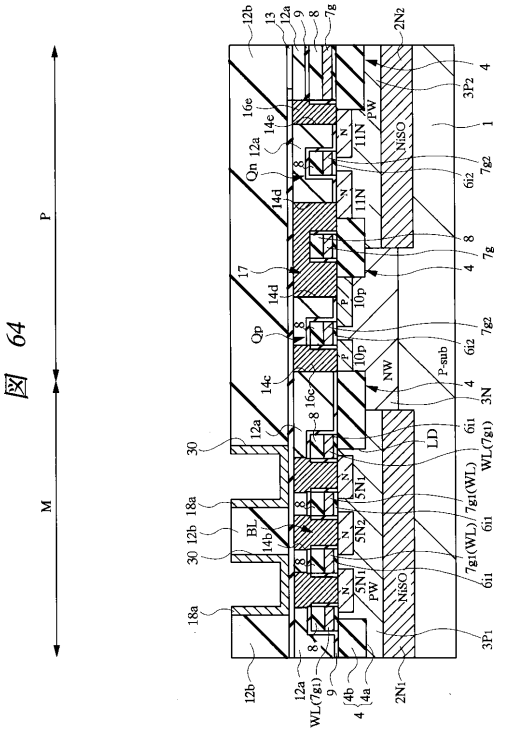
【図６２】



【図６３】

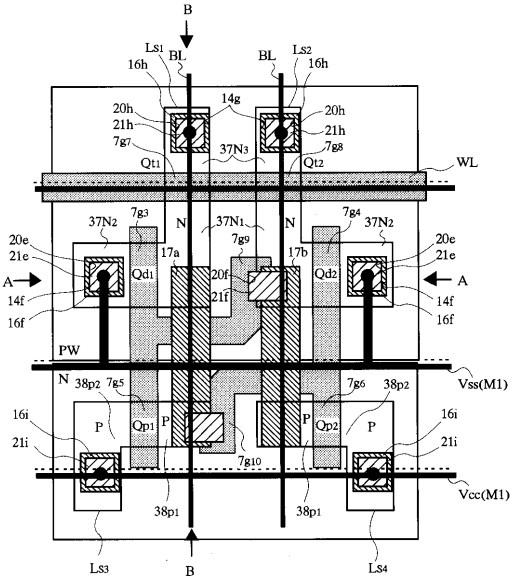


【図６４】



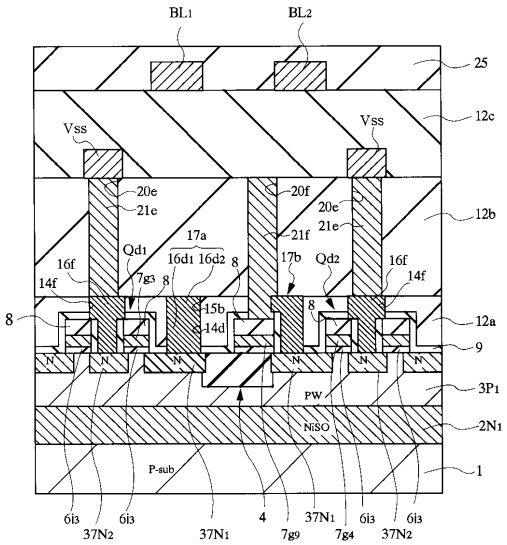
【図６５】

図 65



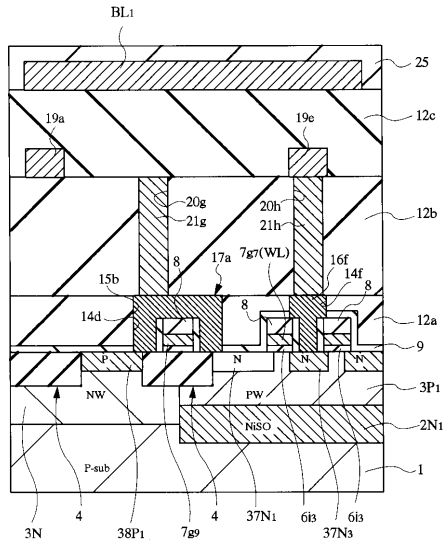
【図６６】

図 66



【図６７】

図 67



フロントページの続き

審査官　河口　雅英

(56)参考文献　特開平０３－２８３６５８（ＪＰ，Ａ）
特開平０８－０３１９５０（ＪＰ，Ａ）
特開平０６－３３８５９７（ＪＰ，Ａ）
特開平０９－３２１２４２（ＪＰ，Ａ）
特開平０７－０２９９９４（ＪＰ，Ａ）
特開平０８－０１７９１８（ＪＰ，Ａ）
特開平０９－１３５００５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 27/108
H01L 21/8242
H01L 21/3205