

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4439935号
(P4439935)

(45) 発行日 平成22年3月24日 (2010. 3. 24)

(24) 登録日 平成22年1月15日 (2010.1.15)

(51) Int. Cl.

F I

H O 1 L 21/027 (2006.01)

H O 1 L 21/30 5 O 2 M

請求項の数 10 (全 17 頁)

<p>(21) 出願番号 特願2004-25581 (P2004-25581) (22) 出願日 平成16年2月2日 (2004. 2. 2) (65) 公開番号 特開2005-217365 (P2005-217365A) (43) 公開日 平成17年8月11日 (2005. 8. 11) 審査請求日 平成18年8月22日 (2006. 8. 22)</p>	<p>(73) 特許権者 308033711 O K I セミコンダクタ株式会社 東京都八王子市東浅川町550番地1 (74) 代理人 100085419 弁理士 大垣 孝 (74) 代理人 100141955 弁理士 岡田 宏之 (72) 発明者 堂前 泰宏 東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内 審査官 渡戸 正義</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板の表面領域形成層として半導体層が形成されているとともに、回路素子が形成されるべき領域である素子形成領域と該素子形成領域を取り囲むスクライプライン領域とを有する当該基板を用意する基板用意工程と、

該スクライプライン領域の前記半導体層上に、マークとしての凸部を形成する凸部形成工程と
 を含み、

前記凸部形成工程では、前記スクライプライン領域の前記基板の表面のうち前記凸部に隣り合う位置に、前記凸部の表層を形成する材料とは異なる光学的特性を有する材料からなるコントラスト向上部を、前記スクライプライン領域の前記半導体層を選択酸化して形成し、かつ該コントラスト向上部の形成を、前記素子形成領域の前記半導体層を選択酸化して形成する素子分離部の形成と同時に

ことを特徴とする半導体装置の製造方法。

【請求項2】

請求項1に記載の半導体装置の製造方法において、

前記凸部形成工程では、前記スクライプライン領域の前記半導体層上に凸部形成材料層を形成した後、該凸部形成材料層に対してエッチングを行い、前記凸部を形成することを特徴とする半導体装置の製造方法。

【請求項3】

請求項 1 に記載の半導体装置の製造方法において、
前記凸部形成工程は、
前記スクライプライン領域の前記半導体層上に耐エッチング膜を形成する工程と、
該耐エッチング膜上に前記凸部形成材料層を形成する工程と
を含み、
前記耐エッチング膜よりも前記凸部形成材料層をエッチングするエッチャントを用いて
前記凸部形成材料層のエッチングを行い、前記凸部を形成することを特徴とする半導体装置
の製造方法。

【請求項 4】

請求項 2 または 3 に記載の半導体装置の製造方法において、
前記凸部形成材料層の形成を、エピタキシャル成長法を用いて行うことを特徴とする半
導体装置の製造方法。

10

【請求項 5】

請求項 2 または 3 に記載の半導体装置の製造方法において、
前記凸部形成材料層の形成を、CVD法を用いて行うことを特徴とする半導体装置の製
造方法。

【請求項 6】

請求項 2 ないし 5 のいずれか一項に記載の半導体装置の製造方法において、
前記凸部形成材料層の表層を、シリコンエピタキシャル層で形成することを特徴とする
半導体装置の製造方法。

20

【請求項 7】

請求項 2 ないし 5 のいずれか一項に記載の半導体装置の製造方法において、
前記凸部形成材料層の表層を、ポリシリコン層で形成することを特徴とする半導体装置
の製造方法。

【請求項 8】

請求項 1 ないし 7 のいずれか一項に記載の半導体装置の製造方法において、
前記基板として、前記半導体層がシリコン層である基板を用いることを特徴とする半導
体装置の製造方法。

【請求項 9】

請求項 8 に記載の半導体装置の製造方法において、
前記基板として、SOI基板、SOS基板またはSOQ基板を用いることを特徴とする
半導体装置の製造方法。

30

【請求項 10】

請求項 1 ないし 9 のいずれか一項に記載の半導体装置の製造方法において、
前記凸部の位置を基準位置として、前記素子形成領域に前記回路素子を形成することを
特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置の製造工程において位置合わせ用の基準位置として用いられる
マークを具えた半導体装置及びその製造方法に関する。

40

【背景技術】

【0002】

通常、半導体集積回路装置の製造プロセスでは、ウェハ上の所定の膜を集積回路の形状
にパターニングするフォトリソグラフィ工程を行っている。

【0003】

フォトリソグラフィ工程では、被エッチング膜上のフォトレジストにフォトマスクを通
して回路パターンの露光及び現像を行い、所定の回路パターンを転写する。その後、この
フォトレジストをマスクとして被エッチング膜をエッチングすることにより、所定の回路
形状をパターニング形成する。

50

【0004】

フォトマスクとして、例えば、ガラス基板上に、露光光線に対して遮光性を有するクロム等によって所定の回路パターンが形成されたものがある。工業的には、このフォトマスクパターンの等倍像あるいは縮小像を反射型や投影型方式等によってフォトレジストに結像させて露光・感光を行う、転写法が利用されている。

【0005】

こうした露光を行うに当たり、フォトマスクとパターンが転写されるウェハとを設計値通りの位置に重ね合わせることが必要不可欠となる。そこで、露光時における位置合わせを、例えば、フォトマスク及びウェハの双方に形成された位置合わせ用マークを重ね合わせるによって行っている。そして、このときのウェハ側のマーク位置を、例えば、当該ウェハに照射した照射光のマークのエッジ部からの反射光や回折光を検出することにより確認している。

10

【0006】

これまで、位置合わせ用マークを、例えば、バルク半導体基板の表面の凹部や凸部とした構成（例えば、特許文献1参照）や、バルク半導体基板の表面の凸部を覆う遮光膜によって形成された凸部とした構成（例えば、特許文献2参照）等がある。

【0007】

ところで、近年、集積回路の高性能化を目的として、SOI (Silicon on Insulator) デバイスが注目されている。SOI デバイスは、半導体支持基板上に、絶縁膜を介して回路素子が埋め込み形成される薄い半導体層（例えば、シリコン単結晶層からなる層であり、SOI層と称する場合もある。）を具えた3層構造からなるSOI基板を有し、高速動作及び低消費電力の点で優れている。また、SOI構造の半導体装置を製造する場合、従来製品の回路設計及びマスク設計をそのまま適用できることから、コスト面及び信頼性の面でも優れている。

20

【0008】

そこで、近年では、SOI基板に形成される位置合わせ用マークを、例えば、SOI基板の半導体層にシリコン酸化膜を埋め込み形成した構成（例えば、特許文献3参照）や、SOI基板の表面からの最下層のシリコン基板に到達する深さの凹部とした構成（例えば、特許文献4参照）等が提案されている。

【特許文献1】特開昭62-128118号公報

30

【特許文献2】特開昭63-308916号公報

【特許文献3】特開2001-307999号公報

【特許文献4】特開2002-353120号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、近年の、SOIデバイスのさらなる高機能化及び高性能化に対する要求に伴い、トランジスタのゲート長の微細化とともに、ゲートのショートチャネル効果を抑制するためにSOI基板における半導体層（すなわち、SOI層）のさらなる薄膜化が進められている。

40

【0010】

そのため、上述したSOI基板自体にマークを形成する場合には、半導体層部分に形成したマークのエッジ部の段差が不十分となったり、或いは半導体層がマーク形成過程において除去されてしまう等の問題が発生する場合があった。

【0011】

その結果、露光時の位置合わせを行う際の、マークのエッジ部からの反射光や回折光の検出が困難となることによる、マーク位置の検出精度の低下が引き起こされてた。

【0012】

そこで、この発明は、SOI基板のさらなる薄膜化に依存することなく十分な検出精度を確保できるマークの形成方法を提供することにより、信頼性の高い半導体装置及びその

50

製造方法の提供を主たる目的とする。

【課題を解決するための手段】

【0013】

この発明は、上記課題に鑑みてなされてものであり、この発明の半導体装置の製造方法によれば、下記のような構成上の特徴を有する。

【0014】

すなわち、この発明の半導体装置の製造方法は、基板の表面領域形成層として半導体層が形成されているとともに、回路素子が形成されるべき領域である素子形成領域と当該素子形成領域を取り囲むスクライプライン領域とを有する当該基板を用意する基板用意工程と、当該スクライプライン領域の半導体層上に、マークとしての凸部を形成する凸部形成工程とを含んでいる。

凸部形成工程では、スクライプライン領域の基板の表面のうち凸部に隣り合う位置に、凸部の表層を形成する材料とは異なる光学的特性を有する材料からなるコントラスト向上部を、スクライプライン領域の半導体層を選択酸化して形成し、かつコントラスト向上部の形成を、素子形成領域の半導体層を選択酸化して形成する素子分離部の形成と同時に行う。

【0015】

この発明によれば、基板自体を加工して凸部を作り込むのではなく、基板上に、エッジ部に十分な段差を有する凸部をマークとして基板とは別体の形態で形成することができる。

【0016】

その結果、基板表面に照射した照射光の反射光や回折光に基づいてマーク位置を検出するに当たり、マークのエッジ部からの反射光や回折光を明瞭に認識することができる。

【発明の効果】

【0017】

この発明によれば、基板に形成されたマーク位置の検出精度を向上させることができ、当該マークを基準位置としてフォトマスク等の位置合わせを行う際の合わせずれの発生を抑制することができる。

【0018】

よって、基板の位置合わせを設計値通りに行うことができるので、これまでよりも半導体製造プロセスを制御性良く行うことができる。よって、従来よりも高信頼性な半導体装置を製造することができる。

【0019】

さらに、この発明の方法は、基板自体に加工を施してマークを形成するのではなく、基板の表面の上側にマークを作り込む構成であることから、マークを基板の薄膜化に依存せず設計値通りに形成することができるうえに、基板のさらなる薄膜化を進めることができる。

【発明を実施するための最良の形態】

【0020】

以下、図を参照して、この発明の実施の形態につき説明する。尚、各図は、この発明が理解できる程度に各構成成分の形状、大きさ及び配置関係を概略的に示してあるに過ぎず、従って、この発明は図示例に限定されるものではない。また、図を分かり易くするために、断面を示すハッチングは、一部分を除き省略してある。また、以下の説明において、特定の材料及び条件等を用いることがあるが、これら材料及び条件は好適例の一つに過ぎず、従って、何らこれらに限定されない。また、各図において同様の構成成分については同一の番号を付して示し、その重複する説明を省略することもある。

【0021】

< 第1の実施の形態 >

図1(A)から図3(B)を参照して、この発明の第1の実施の形態につき説明する。

【0022】

10

20

30

40

50

図1(A)から図3(A)は、この実施の形態の半導体装置のうち製造工程を示す概略的に示す断面図である。また、図3(B)は図3(A)のマーク形成領域150に対応する概略的な平面図であり、図3(A)のマーク形成領域150の部分は、図3(B)のIIA-III A線に沿って切断して得られる切り口(すなわち、断面)である。

【0023】

この実施の形態の半導体装置の製造方法について、以下に説明する。

【0024】

先ず、基板用意工程として、表面領域を形成する層(以下、単に表面領域形成層と称する。)として半導体層を含む、基板を用意する。ここでは、基板としてウェハ状のSOI(Silicon on Insulator)基板10を用意する。SOI基板10は、第1のシリコン層12上に絶縁膜であるシリコン酸化膜14を介してSOI層で半導体層すなわち第2のシリコン層16を具えている。

【0025】

ここでのSOI基板10におけるシリコン酸化膜14及び第2のシリコン層16は、それぞれ、膜厚200nm及び膜厚10nmとする。尚、ここではSOI基板を用いた場合につき説明するが、このほかに、表面領域形成層として回路素子形成用の半導体層であるシリコン層が設けられた、SOS(Silicon on Sapphire)基板やSOQ(Silicon on Quartz)基板等を任意好適に用いることができる。

【0026】

このウェハ状のSOI基板10は、素子形成領域とスクライプライン領域とを具えている。すなわち、SOI基板10には、後工程において回路素子が形成されるべき領域である素子形成領域100と、個々の素子形成領域100に切り出すためのスクライプライン領域150とが設定されている(図1(A))。このスクライプライン領域150は、この領域にマークが形成されるので、マーク形成領域でもある。

【0027】

続いて、凸部形成工程を以下の手順で行う。この工程は、スクライプライン領域内の半導体層の上側にマーク用の凸部を形成する工程である。

【0028】

そのため、先ず、素子形成領域100及びマーク形成領域150の第2のシリコン層16上に、例えば、第2のシリコン層16の熱酸化によって、パッド酸化膜としてのシリコン酸化膜20を10~30nmの範囲内の膜厚で形成する(図1(B))。図中、素子形成領域100及びマーク形成領域150のシリコン酸化膜の領域部分をそれぞれ20b及び20aとして示してある。

【0029】

続いて、シリコン酸化膜20上に、レジスト層を形成する(不図示)。その後、当該レジスト層に対して露光・現像を行って、素子形成領域100にのみレジスト層を残存させたマスクパターンを形成する(不図示)。

【0030】

その後、このマスクパターンをマスクとして用いて、マーク形成領域150のシリコン酸化膜部分20aをエッチング除去して、半導体層である第2のシリコン層16、従ってその表面領域16aを露出させる。エッチング終了後、マスクパターンを除去する(図1(C))。このエッチングにより、シリコン酸化膜の素子形成領域部分20bが残存するので、これを残存シリコン酸化膜20bと称する。

【0031】

続いて、露出している、マーク形成領域150の第2のシリコン層16上に、すなわちその表面領域16a上に、エピタキシャル成長法を用いて凸部形成材料層としてのエピタキシャルシリコン層22(以下、単にエピタキシャル層とも称する。)を選択成長させる。

【0032】

具体的には、例えば、窒素ガス(N₂)パーズ下において、成長温度を730程度と

10

20

30

40

50

し、導入する反応ガスをジクロロシラン (SiH_2Cl_2) 及び塩化水素 (HCl) の混合ガスとして行う。ここで、 SiH_2Cl_2 はシリコン結晶源となるガスであり、 HCl は第2のシリコン層16上以外の領域にシリコン結晶層が成長するのを抑制するはたらきがある。

【0033】

こうして、第2のシリコン層16上に、当該第2のシリコン層16の結晶面の面指数に依存したエピタキシャル層22を形成する。尚、エピタキシャル層22の膜厚は、使用する検出装置で、形成されるべき凸部の位置を検出できる厚みとする。この場合には、この膜厚を第2のシリコン層16と合わせた総厚で100nm以上となるように形成するのが好適である。これにより、後工程において当該エピタキシャル層をパターニングして得られるマークである凸部のエッジ部の段差を十分確保でき、当該凸部の位置を精度良く検出することができる(図1(D))。

10

【0034】

続いて、素子形成領域100の残存シリコン酸化膜20b上、及びマーク形成領域150のエピタキシャル層22上に新たなレジスト層を同時に形成する(不図示)。その後、当該レジスト層に対して露光・現像を行って、素子形成領域100の全面、及びマーク形成領域150内のマーク形成予定位置にレジスト層を残存させたマスクパターンを形成する(不図示)。この構成例では、マーク形成予定位置に残存させたレジスト層の形状を、例えば、枠状とする。尚、この枠の形状は設計に応じた任意好適な形状とすることができるが、例えば四角枠の形状とするのが好適である。

20

【0035】

その後、このマスクパターンをマスクとして用いて、マーク形成領域150内でマスクパターンに覆われずに露出しているエピタキシャル層22をエッチング除去する。

【0036】

このようにして、SOI基板10のマーク形成領域150上に、位置合わせ用マークとなる枠状の凸部22aがパターニング形成される。エッチング終了後、マスクパターンを除去する(図2(A))。

【0037】

こうして、SOI基板10上に、エッジに十分な段差が確保された位置合わせ用マークとしての凸部22aを形成することができる。

30

【0038】

続いて、マーク形成領域150において露出している、第2のシリコン層16の表面領域16a及び凸部22aの表面を覆う、例えば、パッド酸化膜であるシリコン酸化膜26を熱酸化によって15nmの膜厚で形成する(図2(B))。こうして形成されたシリコン酸化膜(残存シリコン酸化膜20b及びパッド酸化膜26)は、SOI基板10への不純物の混入を抑制したり、後述するシリコン窒化膜28とSOI基板10との間の応力を緩和させるはたらきをする。

【0039】

続いて、素子形成領域100の残存シリコン酸化膜20b及びマーク形成領域150のシリコン酸化膜26上に、窒化膜としてシリコン窒化膜28を同時に形成する。シリコン窒化膜28を、例えば、ジクロロシランガスを主成分とするCVD(Chemical Vapor Deposition)法を用いて、150~200nmの範囲内の膜厚で形成する。シリコン窒化膜28の膜厚は、後工程で素子形成領域100及びマーク形成領域150の第2のシリコン層16を選択酸化する際の酸化阻止用マスクとして機能し得る膜厚とする(図2(C))。

40

【0040】

続いて、素子形成領域100及びマーク形成領域150のシリコン窒化膜28上に、レジスト層を同時に形成する(不図示)。その後、当該レジスト層に対して露光・現像を行って、素子形成領域100及びマーク形成領域150のシリコン窒化膜28のそれぞれの部分領域を露出させる開口をそれぞれ設けてマスクパターンを形成する(不図示)。

50

【 0 0 4 1 】

ここで、素子形成領域 1 0 0 側の開口の形成位置は、後工程において素子分離部が形成されるべき位置とする。一方、マーク形成領域 1 5 0 側の開口の形成位置は、後工程においてコントラスト向上部が形成されるべき位置とする。図 3 (A) 及び図 3 (B) を参照して詳細に説明するように、コントラスト向上部 3 4 とは、マークである凸部 2 2 a とこれに隣接する領域との境界をさらに明瞭に検出できるようにするために、凸部 2 2 a に隣り合う位置に、当該凸部 2 2 a の表面領域を形成する材料、例えば凸部の表層を形成する材料とは異なる光学的特性を有する材料によって、形成された部分をいう。

【 0 0 4 2 】

その後、このマスクパターンをマスクとして用いて、素子形成領域 1 0 0 及びマーク形成領域 1 5 0 のそれぞれの領域において露出するシリコン窒化膜 2 8 の部分をエッチング除去し、シリコン酸化膜 (2 0 b、2 6) をそれぞれ露出させる開口 (3 0 a、3 0 b) を形成する。このエッチングで残存するシリコン窒化膜部分を残存シリコン窒化膜 2 8 a として示し、開口 3 0 a、3 0 b は、残存シリコン窒化膜 2 8 a で画成された窓と成っている。エッチング終了後、マスクパターンを除去する (図 2 (D)) 。

【 0 0 4 3 】

続いて、素子形成領域 1 0 0 及びマーク形成領域 1 5 0 の第 2 のシリコン層 1 6 のうち、シリコン窒化膜 2 8 の開口、すなわち残存シリコン窒化膜 2 8 a で画成されている窓 (3 0 a、3 0 b) に対向する部分 (1 6 1、1 6 2 (図 2 (D) 参照)) をそれぞれ選択的に酸化する。この選択酸化によって、素子形成領域 1 0 0 及びマーク形成領域 1 5 0 に、酸化シリコンからなる、素子分離部 3 2 及びコントラスト向上部 3 4 をそれぞれ形成する。これにより、これら素子分離部 3 2 及びコントラスト向上部 3 4 は、基板 1 0 のシリコン酸化膜 1 4 と一体化される。

【 0 0 4 4 】

その後、素子形成領域 1 0 0 及びマーク形成領域 1 5 0 に残存するシリコン窒化膜 2 8 a を、例えば、熱リン酸 (H_3PO_4) を用いたウェットエッチングによって除去する。その後、パッド酸化膜 (2 0、2 6) を、例えば、フッ化水素水溶液を含有する液を用いたウェットエッチングによって除去する。

【 0 0 4 5 】

このようにして、マーク形成領域 1 5 0 の S O I 基板 1 0 上に、位置合わせ用マークとして十分なエッジ段差を有する凸部 2 2 a が再度現れる (図 3 (A)) 。上述した説明から明らかなように、凸部 2 2 a は、その表層を含め全体が単層構造であって、シリコン層で形成され、またこの凸部 2 2 a の周辺領域は酸化シリコンで形成されている。

【 0 0 4 6 】

これにより、凸部形成後の半導体製造プロセスにおける露光処理では、凸部のエッジ部分からの反射光や回折光を明瞭に認識できるため、当該凸部 2 2 a の位置を精度良く検出することができる。

【 0 0 4 7 】

よって、例えば、素子形成領域 1 0 0 の基板 1 0 上に、ゲート酸化膜、及びゲート電極用材料膜を順次形成した後、これら膜をパターンニングしてゲート電極を形成するに当たり、基板とフォトマスクとの位置合わせを、この凸部 2 2 a を基準位置として行うことができる。

【 0 0 4 8 】

すなわち、凸部 2 2 a の正確な位置が検出されることにより、双方の合わせずれを微調整することによって、位置合わせを正確に行うことができる。

【 0 0 4 9 】

また、この構成例では、図 3 (A) に対応する概略平面図である図 3 (B) から明らかなように、棒状の凸部 2 2 a に隣合う位置に、凸部 2 2 a の表層を形成する材料 (ここでは、シリコンエピタキシャル層) とは光学的特性の異なる材料 (ここでは、酸化シリコン) によってコントラスト向上部 3 4 を形成してある。

10

20

30

40

50

【0050】

こうしたコントラスト向上部を形成することにより、凸部とその周辺領域間の反射率等の光学的特性の違い、すなわちコントラスト（明暗の度合いや信号強度の度合い等）を向上させることができ、基準位置となる凸部の検出をより一層精度良く行うことができる。

【0051】

尚、コントラスト向上部を構成する材料は、凸部の表層を形成する材料と異なる光学的特性を有する材料であれば良く、酸化シリコンのみに限定されるものではない。しかし、この構成例のように、素子形成領域における素子分離部の形成工程を利用してマーク形成領域にコントラスト向上部を形成することにより、コントラスト向上部を形成するための工程を別途必要としないため、工程を簡略化できる。また、凸部の形状は、棒状のみに限定されるものではなく、目的や設計に応じてその形状、ならびに個数や配置を任意好適に設定することができる。

10

【0052】

上述した説明から明らかなように、この実施の形態によれば、基板に形成されたマーク位置の検出精度を向上させることができ、当該マーク位置を基準位置としてフォトリソ等の位置合わせを行う際の合わせずれを抑制することができる。

【0053】

よって、基板の位置合わせを設計値通り行うことができるので、これまでよりも半導体製造プロセスを制御性良く行うことができる。よって、従来よりも高信頼性な半導体装置を製造することができる。

20

【0054】

さらに、基板自体にマークを形成しないことから、マークを基板の薄膜化に依存せず設計値通りに形成することができるうえに、基板のさらなる薄膜化を進めることができる。

【0055】

< 第1の参考例 >

図4(A)から図5(C)を参照して、この発明の第1の参考例につき説明する。

【0056】

図4(A)から図5(B)は、この参考例の半導体装置の製造工程を示す概略的に示す断面図である。また、図5(C)は、図5(B)のうちマーク形成領域150に対応する概略的な平面図であり、図5(B)のマーク形成領域150の部分は、図5(C)のVB-VB線に沿って切断して得られる切り口である。

30

【0057】

この参考例では、SOI基板10上の位置合わせ用マークである凸部の表層を、絶縁膜であるシリコン酸化膜で形成している点が第1の実施の形態との主な相違点である。

【0058】

尚、第1の実施の形態で既に説明した構成要素と同一の構成要素には同一の番号を付して示し、その具体的な説明を省略する（以下の各実施の形態についても同様とする）。

【0059】

この参考例の半導体装置の製造方法について、以下に説明する。

【0060】

まず、第1の実施の形態と同様に、基板用意工程として、上述した構成を有するSOI基板10を用意する（図1(A)参照）。

40

【0061】

続いて、この構成例では、凸部形成工程を以下の手順で行う。

【0062】

まず、第1の実施の形態と同様に、素子形成領域100及びマーク形成領域150の第2のシリコン層16上に、パッド酸化膜としてのシリコン酸化膜40を形成するが、ここでのシリコン酸化膜40の膜厚は、後工程において当該シリコン酸化膜40をパターニングして得られる凸部がマークとして機能可能な厚みとする（図4(A)）。

【0063】

50

シリコン酸化膜は、目的や設計に応じて、第2のシリコン層16の熱酸化や、シラン(SiH_4)ガスと酸素(O_2)ガスとの混合ガスを用いて行うCVD法等によって形成することができる。尚、シリコン酸化膜40は、凸部形成材料層であって、その膜厚は、100nm以上となるように形成するのが好適である。これにより、後工程において当該シリコン酸化膜をパターニングして得られるマークである凸部のエッジ部の段差を十分確保でき、当該凸部の位置を精度良く検出することができる。

【0064】

続いて、素子形成領域100及びマーク形成領域(スクライプライン領域でもある。)150のシリコン酸化膜40上に、レジスト層を形成する(不図示)。その後、当該レジスト層に対して露光・現像を行って、マーク形成領域150にのみレジスト層を残存させたマスクパターンを形成する(不図示)。

10

【0065】

その後、このマスクパターンをマスクとして用いて、素子形成領域100のシリコン酸化膜40をエッチング除去して、第2のシリコン層16を露出させる。エッチング終了後、マスクパターンを除去する(図4(B))。尚、素子形成領域100における第2のシリコン層16の露出面を16bとする。また、マーク形成領域150に残存したシリコン酸化膜40の部分を残存シリコン酸化膜40'とする。

【0066】

続いて、素子形成領域100の第2のシリコン層16上、及びマーク形成領域150に残存する残存シリコン酸化膜40'(図4(B)参照)上に、新たなレジスト層を形成する(不図示)。その後、当該レジスト層に対して露光・現像を行って、素子形成領域100の全面、及びマーク形成領域150内のマーク形成予定位置にレジスト層をそれぞれ残存させたマスクパターンを形成する(不図示)。この構成例では、マーク形成予定位置に残存させたレジスト層の形状を、例えば、枠状とする。尚、この枠の形状は設計に応じた任意好適な形状とすることができるが、例えば、四角枠の形状とするのが好適である。

20

【0067】

その後、このマスクパターンをマスクとして用いて、マーク形成領域150でマスクパターンに覆われずに露出している残存シリコン酸化膜40'の領域部分をエッチング除去して、第2のシリコン層16の表面領域16aを露出させる。

【0068】

こうして、マーク形成領域150のSOI基板10上に、位置合わせ用マークとなる枠状の凸部40aを形成する。エッチング終了後、マスクパターンを除去する(図4(C)参照)。ここで得られた凸部40aは単層構造であって、全体がシリコン酸化膜で形成されている。また、マーク形成領域150における第2のシリコン層16の露出面を16aで示す。

30

【0069】

こうして、マーク形成領域150のSOI基板10上に、エッジに十分な段差が確保された位置合わせ用マークとしての凸部40aを形成することができる。

【0070】

続いて、素子形成領域100及びマーク形成領域150において露出している第2のシリコン層16の露出面16a及び16bを覆う、例えば、パッド酸化膜であるシリコン酸化膜44を熱酸化によって15nmの膜厚で形成する。その後、第1の実施の形態と同様に、素子形成領域100及びマーク形成領域150のシリコン酸化膜44上に、例えば、CVD法を用いてシリコン窒化膜46を150~200nmの範囲内の膜厚で形成する(図4(D)参照)。

40

【0071】

続いて、素子形成領域100及びマーク形成領域150に形成されたシリコン窒化膜46上に、レジスト層を形成する(不図示)。その後、当該レジスト層に対して露光・現像を行って、素子形成領域100のシリコン窒化膜46を一部分を露出させる開口を設けてマスクパターンを形成する(不図示)。ここで、素子形成領域100に形成された開口の

50

形成位置は、後工程において素子分離部が形成されるべき位置とする。

【0072】

その後、このマスクパターンをマスクとして用いて、素子形成領域100において露出するシリコン窒化膜46の部分をエッチング除去し、シリコン酸化膜44を露出する開口48を形成する。エッチング終了後、マスクパターンを除去する(図5(A))。このエッチングで残存するシリコン窒化膜部分を残存シリコン窒化膜46aで示し、この開口48は、この残存シリコン窒化膜46aで画成された窓となっている。

【0073】

続いて、素子形成領域100のシリコン層16のうち、シリコン窒化膜46の開口48、すなわち残存シリコン窒化膜46aで画成されている窓48に対向する部分163(図5(A)参照)を選択的に酸化する。この選択酸化によって、素子形成領域100に酸化シリコンからなる素子分離部49を形成する。これにより、素子分離部49は、基板10のシリコン酸化膜14と一体化される。

10

【0074】

その後、第1の実施の形態と同様に、素子形成領域100及びマーク形成領域150に存在する残存シリコン窒化膜46aを、例えば、熱リン酸を用いたウェットエッチングによって除去する。その後、パッド酸化膜44を、例えば、フッ化水素水溶液を含有する液を用いたウェットエッチングによって除去する。

【0075】

こうして、マーク形成領域150のSOI基板10上に、位置合わせ用マークとして十分なエッジ段差を有する凸部40aが再度現れる(図5(B))。上述した説明から明らかのように、凸部40aは、その表層を含め全体が酸化シリコンで形成されている。

20

【0076】

これにより、凸部形成後の半導体製造プロセスにおける露光処理では、凸部のエッジ部分からの反射光や回折光を明瞭に認識できるため、当該凸部40aの位置を精度良く検出することができる。

【0077】

よって、例えば、素子形成領域100の基板10上に、ゲート酸化膜、及びゲート電極用材料膜を順次形成した後、これら膜をパターンニングしてゲート電極を形成するに当たり、基板とフォトリソマスクとの位置合わせを、この凸部40aを基準位置として行うことができる。

30

【0078】

すなわち、凸部40aの正確な位置が検出されることにより、双方の合わせずれを微調整することによって、位置合わせを正確に行うことができる。

【0079】

また、この構成例では、図5(B)のマーク形成領域に対応する概略平面図である図5(C)から明らかのように、凸部40aを酸化シリコンで形成したため、第2のシリコン層16がコントラスト向上部としての機能を果たしている。

【0080】

すなわち、棒状の凸部40aと隣合う位置に形成されている第2のシリコン層16をコントラスト向上部として機能させることにより、基準位置となる凸部40aの検出をより一層精度良く行うことができる。

40

【0081】

上述した説明から明らかのように、この参考例によれば、第1の実施の形態と同様の効果を得ることができる。

【0082】

さらに、この参考例によれば、凸部を構成するシリコン酸化膜を、通常の半導体製造装置内におけるバッチ式、すなわち複数のウェハの同時処理によって形成することができるうえに、コントラスト向上部の別途形成が不要である。

【0083】

50

よって、第1の実施の形態よりも製造工程を簡便化でき、製造コストの低減を図ることができる。

【0084】

<第2の実施の形態>

図6(A)から図7(C)を参照して、この発明の第2の実施の形態につき説明する。

【0085】

図6(A)から図7(B)は、この実施の形態の半導体装置の製造工程を示す概略的に示す断面図である。また、図7(C)は、図7(B)のうちマーク形成領域150に対応する概略的な平面図であり、図7(B)のマーク形成領域150の部分は、図7(C)のVII B - VII B線に沿って切断して得られる切り口に対応している。

10

【0086】

この実施の形態では、SOI基板10上の位置合わせ用マークである凸部をポリシリコン層のエッチングによって形成するに当たり、ポリシリコン層とSOI基板との間に耐エッチング膜を形成しておく点が第1の実施の形態との主な相違点である。

【0087】

第1の実施の形態では、エピタキシャル層22からなる凸部22aをエッチングによってパターニング形成するに当たり、当該エッチングを第2のシリコン層16が露出するまで行っているが、第2のシリコン層16がオーバーエッチングされる場合がある。

【0088】

その結果、後工程におけるマーク形成領域150では、第2のシリコン層16の熱酸化が殆ど進行しないことから、例えば、ゲート電極形成までの間に、凸部がフッ化水素等のエッチャントに晒される場合がある。これより、マークとしての凸部形状が変形、或いは消失し、マーク位置の正確な検出を行えない虞がある。

20

【0089】

ところで、一般的に、シリコン層をエッチングする条件でのシリコンと酸化シリコンとのエッチング選択比は非常に大きいことが知られている。そこで、この第2の実施の形態では、こうしたエッチング選択比に注目し、SOI基板上に耐エッチング膜となるシリコン酸化膜を形成した構成例とする。

【0090】

この実施の形態の半導体装置の製造方法について、以下に説明する。

30

【0091】

先ず、第1の実施の形態と同様に、基板用意工程として、上述した構成を有するSOI基板10を用意する(図1(A)参照)。

【0092】

続いて、この構成例では、凸部形成工程を以下の手順で行う。

【0093】

先ず、第1の実施の形態と同様に、素子形成領域100及びマーク形成領域150の第2のシリコン層16上に、パッド酸化膜としてのシリコン酸化膜50を形成する。このシリコン酸化膜50が上述した耐エッチング膜としての役割を果たす。

【0094】

続いて、素子形成領域100及びマーク形成領域150のシリコン酸化膜50上に、例えば、CVD法によってポリシリコン層52を凸部形成材料層として形成する(図6(A))。ここでのポリシリコン層52の膜厚は、後工程において当該ポリシリコン層52をパターニングして得られるプレ凸部52aがマークとして機能可能な厚みとする。尚、ポリシリコン層52は、凸部形成材料層であって、その膜厚は、100nm以上となるように形成するのが好適である。これにより、後工程において当該ポリシリコン層をパターニングして得られるプレ凸部52aのエッジ部の段差を十分確保でき、マークとなる凸部の位置を精度良く検出することができる。

40

【0095】

続いて、素子形成領域100及びマーク形成領域(スクライプライン領域でもある。)

50

150のポリシリコン層52上に、レジスト層を形成する(不図示)。その後、当該レジスト層に対して露光・現像を行って、マーク形成領域150にのみレジスト層を残存させたマスクパターンを形成する(不図示)。

【0096】

その後、このマスクパターンをマスクとして用いて、素子形成領域100のポリシリコン層52をエッチング除去して、シリコン酸化膜50を露出させる。エッチング終了後、マスクパターンを除去する(図6(B))。尚、図中、素子形成領域100におけるシリコン酸化膜50の露出面を50bとして示す。また、マーク形成領域150に残存したポリシリコン層52の部分、残存ポリシリコン層52'として示す。

【0097】

続いて、素子形成領域100のシリコン酸化膜50上、及びマーク形成領域150の残存ポリシリコン層52'(図6(B)参照)上に、新たなレジスト層を形成する(不図示)。その後、当該レジスト層に対して露光・現像を行って、素子形成領域100の全面、及びマーク形成領域150内のマーク形成予定位置にレジスト層をそれぞれ残存させたマスクパターン(不図示)を形成する。この構成例では、マーク形成予定位置に残存させたレジスト層の形状を、例えば、枠状とする。尚、この枠の形状は設計に応じた任意好適な形状とすることができるが、例えば、四角枠の形状とするのが好適である。

【0098】

その後、このマスクパターンをマスクとして用いて、マーク形成領域150でマスクパターンに覆われずに露出している残存ポリシリコン層52'の領域部分をエッチング除去して、シリコン酸化膜(耐エッチング膜)50の表面領域を露出させる。

【0099】

シリコン層をエッチングする条件におけるシリコンと酸化シリコンとのエッチング選択比は非常に大きい。すなわち、耐エッチング膜50を形成する酸化シリコンよりも凸部52を形成するポリシリコンをより多くエッチングするエッチャントによって、第2のシリコン層16がエッチングされるのを抑制することができる。

【0100】

こうして、マーク形成領域150におけるSOI基板10上に、位置合わせ用マークとなる枠状の凸部63(説明後述)を構成するプレ凸部52aを形成することができる。エッチング終了後、マスクパターンを除去する(図6(C)参照)。ここで得られたプレ凸部52aは、ポリシリコンで形成されている。また、マーク形成領域150における耐エッチング膜であるシリコン酸化膜50の露出面を50aで示す。

【0101】

続いて、マーク形成領域150において露出しているプレ凸部52aであるポリシリコン層の露出している全表面に、例えば、パッド酸化膜としてのシリコン酸化膜56を、熱酸化によって15nmの膜厚で形成する。

その後、第1の実施の形態と同様に、素子形成領域100及びマーク形成領域150のシリコン酸化膜(50、56)を覆うシリコン窒化膜58の形成は、例えば、CVD法を用いて行う。シリコン窒化膜58を150~200nmの範囲内の膜厚で形成する(図6(D)参照)。

【0102】

続いて、第1の実施の形態と同様のエッチング方法で、素子形成領域100及びマーク形成領域150のシリコン窒化膜58に、開口(60a、60b)をそれぞれ形成する(図7(A))。これら開口(60a、60b)は、素子分離部及びコントラスト向上部が形成されるべき位置にそれぞれ形成される。また、このエッチングで残存するシリコン窒化膜58の部分、残存シリコン窒化膜58aとして示し、これら開口(60a、60b)は、この残存シリコン窒化膜58aで画成された窓となっている。

【0103】

その後、素子形成領域100及びマーク形成領域150の第2のシリコン層16のうち

10

20

30

40

50

これら開口（60a、60b）に対向する部分（164、165（図7（A）参照））をそれぞれ選択的に酸化する。この選択酸化によって、素子形成領域100及びマーク形成領域150に、酸化シリコンからなる、素子分離部61及びコントラスト向上部62をそれぞれ形成する。これにより、これら部分61及び62は、基板10のシリコン酸化膜14と一体化される。

【0104】

その後、第1の実施の形態と同様に、素子形成領域100及びマーク形成領域150の残存シリコン窒化膜58a、及び当該残存シリコン窒化膜58aに覆われているシリコン酸化膜（50、56）部分をそれぞれ除去する。

【0105】

こうして、マーク形成領域150のSOI基板10上に、位置合わせ用マークとして十分なエッジ段差を有する、プレ凸部52a及び残存シリコン酸化膜50aの二層からなる凸部63を形成することができる（図7（B））。上述した説明から明らかなように、凸部63は、下層の酸化シリコンからなる酸化膜50aと、上層である表層のポリシリコンからなるプレ凸部52aとを有している。従って、この第2の実施の形態では、凸部形成材料は、酸化シリコンとポリシリコンである。

【0106】

これにより、凸部形成後の半導体製造プロセスにおける露光処理では、凸部のエッジ部分からの反射光や回折光を明瞭に認識できるため、当該凸部63の位置を精度良く検出することができる。

【0107】

よって、例えば、素子形成領域100の基板10上に、ゲート酸化膜、及びゲート電極用材料膜を順次形成した後、これら膜をパターンニングしてゲート電極を形成するに当たり、基板とフォトマスクとの位置合わせを、この凸部63を基準位置として行うことができる。

【0108】

すなわち、凸部63の正確な位置が検出されることにより、双方の合わせずれを微調整することによって、位置合わせを正確に行うことができる。

【0109】

また、この構成例では、図7（B）のマーク形成領域に対応する概略平面図である図7（C）から明らかなように、第1の実施の形態と同様に、棒状のプレ凸部52aに隣合う位置に形成されたコントラスト向上部62によって、基準位置となる凸部63の検出をより一層精度良く行うことができる。

【0110】

上述した説明から明らかなように、この実施の形態によれば、第1の実施の形態と同様の効果を得ることができる。

【0111】

さらに、この実施の形態によれば、凸部をエッチング形成するに当たり、耐エッチング膜によって第2のシリコン層16がエッチングされるのを抑制することができる。

【0112】

よって、後工程におけるマーク形成領域150に、第2のシリコン層の熱酸化によって十分な膜厚を有する酸化膜を形成することができる。

【0113】

その結果、例えば、ゲート電極形成までの間に、形成された凸部がフッ化水素等のエッチャントに晒されるのを抑制でき、設計値通りの凸部形状が維持される。これにより、第1の実施の形態よりも、凸部位置の検出精度の向上が期待できる。

【0114】

以上、この発明は、上述した実施の形態の組合せのみに限定されない。よって、任意好適な段階において好適な条件を組み合わせ、この発明を適用することができる。

【図面の簡単な説明】

10

20

30

40

50

【 0 1 1 5 】

【図 1】この発明の第 1 の実施の形態の半導体装置の製造工程図（その 1）である。

【図 2】この発明の第 1 の実施の形態の半導体装置の製造工程図（その 2）である。

【図 3】この発明の第 1 の実施の形態の半導体装置の製造工程図（その 3）である。

【図 4】この発明の第 1 の参考例の半導体装置の製造工程図（その 1）である。

【図 5】この発明の第 1 の参考例の半導体装置の製造工程図（その 2）である。

【図 6】この発明の第 2 の実施の形態の半導体装置の製造工程図（その 1）である。

【図 7】この発明の第 2 の実施の形態の半導体装置の製造工程図（その 2）である。

【符号の説明】

【 0 1 1 6 】

1 0 : S O I 基板（基板）

1 2 : 第 1 のシリコン層

1 4、2 0、2 6、4 4、5 0、5 6 : シリコン酸化膜

1 6 : 第 2 のシリコン層

1 6 a、1 6 b : 第 2 のシリコン層 1 6 の表面領域

2 0 a : シリコン酸化膜 2 0 のうちスクライプライン領域 1 5 0 の領域部分

2 0 b : シリコン酸化膜 2 0 のうち素子形成領域 1 0 0 の領域部分

2 2 : エピタキシャルシリコン層（凸部形成材料層）

2 2 a、4 0 a、6 3 : 凸部（マーク）

2 8、4 6、5 8 : シリコン窒化膜

2 8 a、4 6 a、5 8 a : 残存シリコン窒化膜

3 0 a、3 0 b、4 8、6 0 a、6 0 b : 開口（窓）

3 2、4 9、6 1 : 素子分離部

3 4、6 2 : コントラスト向上部

4 0 : シリコン酸化膜（凸部形成材料層）

4 0 ' : 残存シリコン酸化膜

5 0 a、5 0 b : シリコン酸化膜 5 0 の表面領域

5 2 : ポリシリコン層（凸部形成材料層）

5 2 ' : 残存ポリシリコン層

5 2 a : プレ凸部

1 0 0 : 素子形成領域

1 5 0 : スクライプライン領域（マーク形成領域）

1 6 1 : 第 2 のシリコン層 1 6 のうち開口 3 0 a と対向する部分

1 6 2 : 第 2 のシリコン層 1 6 のうち開口 3 0 b と対向する部分

1 6 3 : 第 2 のシリコン層 1 6 のうち開口 4 8 と対向する部分

1 6 4 : 第 2 のシリコン層 1 6 のうち開口 6 0 a と対向する部分

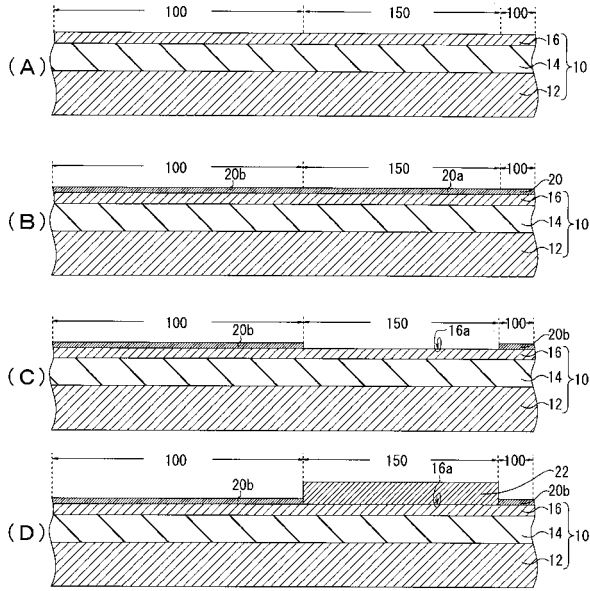
1 6 5 : 第 2 のシリコン層 1 6 のうち開口 6 0 b と対向する部分

10

20

30

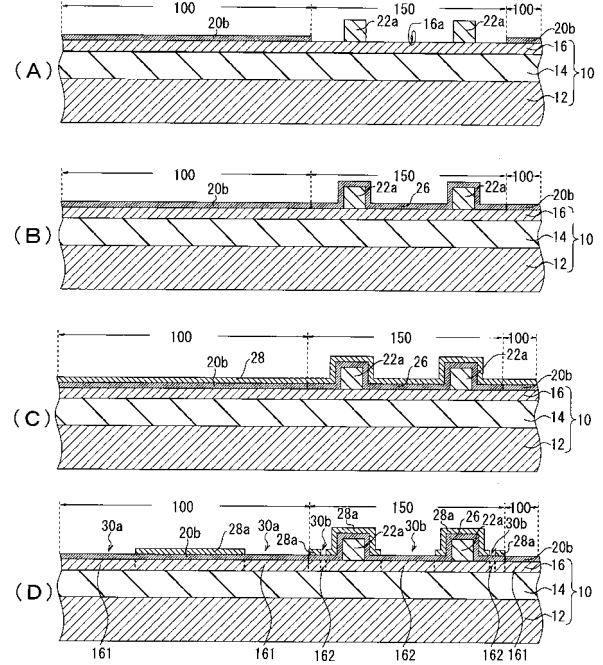
【図1】



10: S01基板(基板) 12: 第1のシリコン層 14, 20: シリコン酸化膜
 16: 第2のシリコン層 16a: 第2のシリコン層16の表面領域
 20a: シリコン酸化膜20のうちスクライプライン領域150の領域部分
 20b: シリコン酸化膜20のうち素子形成領域100の領域部分
 22: エピタキシャルシリコン層(凸部形成材料層)
 100: 素子形成領域 150: スクライプライン領域(マーク形成領域)

この発明の第1の実施の形態の半導体装置の製造工程図(その1)

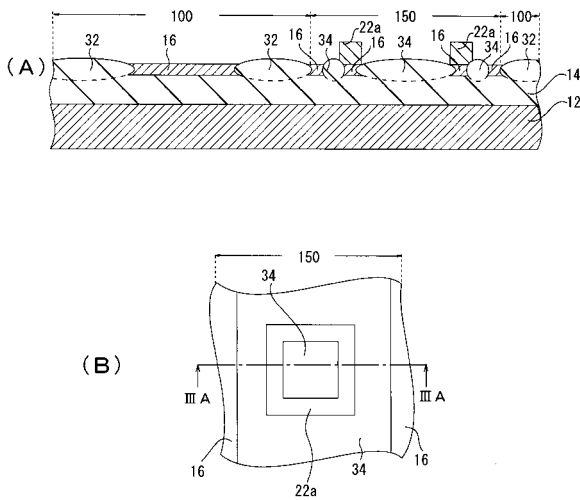
【図2】



22a: 凸部(マーク) 26: シリコン酸化膜 28: シリコン窒化膜
 28a: 残存シリコン窒化膜 30a, 30b: 開口(窓)
 161: 第2のシリコン層のうち開口30aと対向する部分
 162: 第2のシリコン層のうち開口30bと対向する部分

この発明の第1の実施の形態の半導体装置の製造工程図(その2)

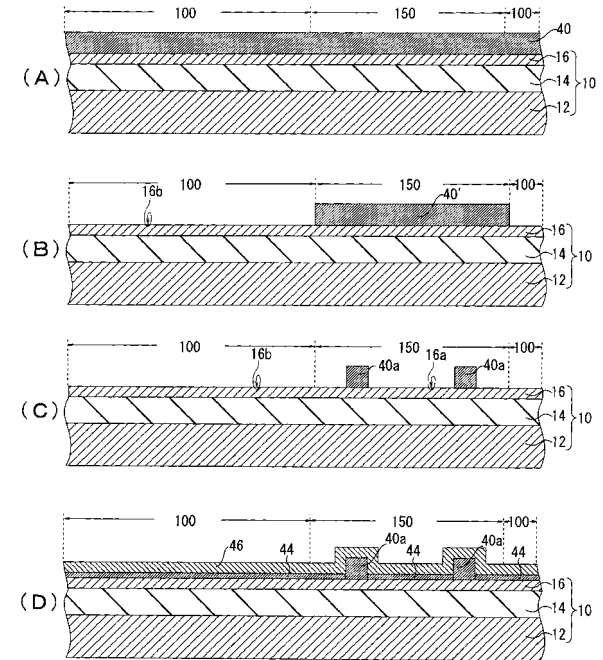
【図3】



32: 素子分離部 34: コントラスト向上部

この発明の第1の実施の形態の半導体装置の製造工程図(その3)

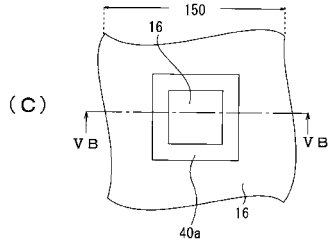
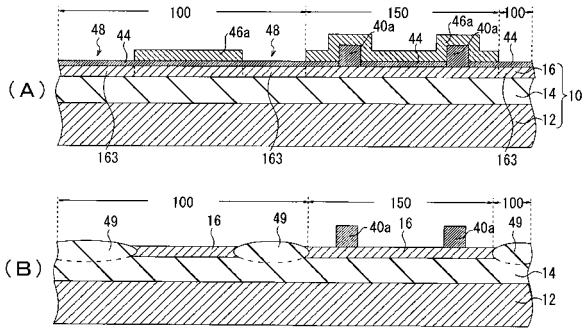
【図4】



40: シリコン酸化膜(凸部形成材料層) 40': 残存シリコン酸化膜
 40a: 凸部(マーク) 44: シリコン酸化膜 46: シリコン窒化膜

この発明の第1の参考例の半導体装置の製造工程図(その1)

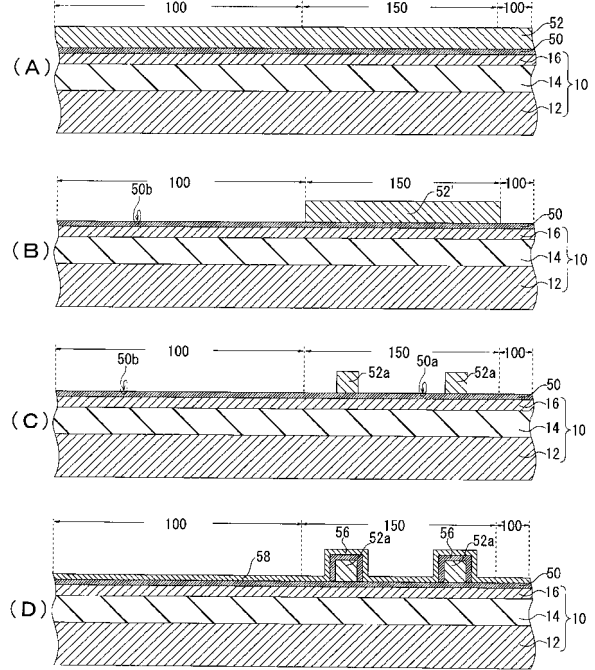
【図5】



46a: 残存シリコン窒化膜 48: 開口(窓) 49: 素子分離部
163: 第2のシリコン層のうち開口48と対向する部分

この発明の第1の参考例の半導体装置の製造工程図(その2)

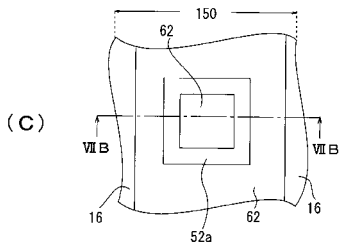
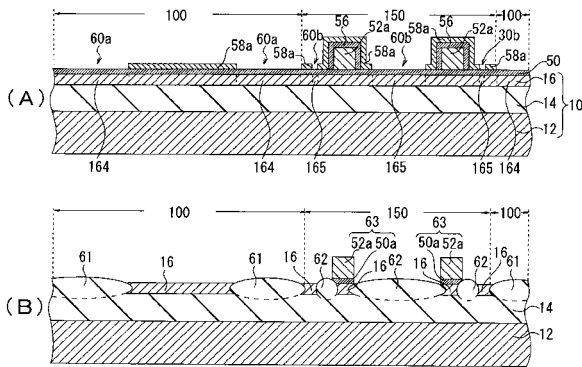
【図6】



50: シリコン酸化膜(耐エッチング膜) 50a, 50b: シリコン酸化膜50の表面領域
52: ポリシリコン層(凸部形成材料層) 52': 残存ポリシリコン層
56: シリコン酸化膜 52a: プレ凸部 58: シリコン窒化膜

この発明の第2の実施の形態の半導体装置の製造工程図(その1)

【図7】



50a: シリコン酸化膜 58a: 残存シリコン窒化膜 60a, 60b: 開口(窓)
61: 素子分離部 62: コントラスト向上部 63: 凸部(マーク)
164: 第2のシリコン層のうち開口60aと対向する部分
165: 第2のシリコン層のうち開口60bと対向する部分

この発明の第2の実施の形態の半導体装置の製造工程図(その2)

フロントページの続き

- (56)参考文献 特開平09 - 186221 (JP, A)
特開平10 - 284590 (JP, A)
特開平02 - 027711 (JP, A)
特開2001 - 307999 (JP, A)
特開平08 - 153676 (JP, A)
特開平10 - 312964 (JP, A)
特開平04 - 002115 (JP, A)
特開2000 - 349013 (JP, A)
特開平04 - 234108 (JP, A)
特開平02 - 262321 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L	21/027		
G03F	7/20	-	7/24
G03F	9/00	-	9/02