

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)(51) 。 Int. Cl.⁷
H01L 33/00(45) 공고일자 2005년07월27일
(11) 등록번호 10-0503907
(24) 등록일자 2005년07월18일

(21) 출원번호	10-2003-0067466(분할)	(65) 공개번호	10-2004-0010419
(22) 출원일자	2003년09월29일	(43) 공개일자	2004년01월31일
(62) 원출원	특허10-2001-0038299	심사청구일자	2001년06월29일
	원출원일자 : 2001년06월29일		

(30) 우선권주장 JP-P-2000-00200298 2000년06월30일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도쿄도 미나토구 시바우라 1쵸메 1방 1고(72) 발명자 오카자키하루히코
일본국가나가와현가와사키시사이와이구고무가이도시바정1번지가부시
끼가이샤도시바마이크로일렉트로닉스센터내

스가와라히데토
일본국가나가와현가와사키시사이와이구고무가이도시바정1번지가부시
끼가이샤도시바마이크로일렉트로닉스센터내(74) 대리인 김윤배
이범일

심사관 : 김동엽

(54) 반도체 발광소자

요약

본 발명은, 전극구조에 있어서 저항성과 고반사율을 양립시키면서, 전극을 구성하는 금속의 상호확산을 방지함으로써, 외부 양자효율을 향상시킬 수 있는 동시에 동작전압의 저감 및 신뢰성을 향상시킬 수 있는 반도체 발광소자를 제공하는 것, 또는 전극에서의 광의 산란, 흡수를 억제함으로써, 외부 양자효율을 향상시킬 수 있는 반도체 발광소자를 제공한다.

사파이어기판(20)상의 InGaN 활성층(22)에 전류를 주입하는 p형 전극(26)이 p형 GaN층(24)과 옴접촉(ohmic contact: 저항접촉)이 취해지는 옴전극으로서의 Ni층(32), 배리어전극으로서의 Mo층(33), 고반사율 전극으로서의 Al층(34), 배리어전극으로 되는 Ti층(35), 리드프레임(lead-frame; 12)상의 서브마운트(submount; 13)와의 접촉성을 향상시키는 오버코트 전극으로 되는 Au층(36)의 5층 구조인 것을 특징으로 하고 있다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 본 발명의 제1실시형태에 따른 LED의 단면도이고,

도 2는 본 발명의 제1실시형태에 따른 반도체 발광소자의 단면도,

도 3은 본 발명의 제1실시형태에 따른 반도체 발광소자의 제1제조공정의 단면도,

도 4는 본 발명의 제1실시형태에 따른 반도체 발광소자의 제2제조공정의 단면도,

도 5는 본 발명의 제1실시형태에 따른 반도체 발광소자의 제3제조공정의 단면도,

도 6은 본 발명의 제1실시형태에 따른 반도체 발광소자의 제4제조공정의 단면도,

도 7은 본 발명의 제1실시형태에 따른 LED의 전류-광출력 특성도,

도 8은 본 발명의 제1실시형태에 따른 반도체 발광소자의 반사전극에서의 반사율의 배리어전극 막두께 의존성을 나타낸 도면,

도 9는 본 발명의 제1실시형태에 따른 반도체 발광소자의 반사전극에서의 반사율의 옴전극 막두께 의존성을 나타낸 도면,

도 10은 본 발명의 제1실시형태의 변형례에 따른 반도체 발광소자의 단면도,

도 11은 본 발명의 제2실시형태에 따른 반도체 발광소자의 단면도,

도 12는 본 발명의 제2실시형태의 변형례에 따른 반도체 발광소자의 단면도,

도 13은 본 발명의 제3실시형태에 따른 반도체 발광소자의 사시도,

도 14는 본 발명의 제3실시형태의 변형례에 따른 반도체 발광소자의 사시도,

도 15는 본 발명의 제4실시형태에 따른 반도체 발광소자의 단면도,

도 16은 본 발명의 제4실시형태에 따른 반도체 발광소자의 제1제조공정의 단면도,

도 17은 본 발명의 제4실시형태에 따른 반도체 발광소자의 제2제조공정의 단면도,

도 18은 본 발명의 제4실시형태에 따른 반도체 발광소자의 제3제조공정의 단면도,

도 19는 본 발명의 제4실시형태에 따른 반도체 발광소자의 제4제조공정의 단면도,

도 20은 본 발명의 제4실시형태의 변형례에 따른 반도체 발광소자의 일부 단면도,

도 21은 본 발명의 제4실시형태 및 그 변형례에 따른 반도체 발광소자의 전류-광출력 특성도,

도 22는 본 발명의 제5실시형태에 따른 반도체 발광소자의 단면도,

도 23은 본 발명의 제5실시형태에 따른 반도체 발광소자의 제1제조공정의 단면도,

도 24는 본 발명의 제5실시형태에 따른 반도체 발광소자의 제2제조공정의 단면도,

도 25는 본 발명의 제5실시형태에 따른 반도체 발광소자의 제3제조공정의 단면도,

도 26은 본 발명의 제5실시형태에 따른 반도체 발광소자의 제4제조공정의 단면도,

도 27은 본 발명의 제5실시형태에 따른 반도체 발광소자의 제5제조공정의 단면도,

도 28은 본 발명의 제5실시형태에 따른 반도체 발광소자의 제6제조공정의 단면도,

도 29는 종래의 LED의 단면도,

도 30은 종래의 칩표면으로부터 발광을 취출(取出)하는 GaN계 반도체 발광소자의 단면도,

도 31은 종래의 칩이면으로부터 발광을 취출하는 GaN계 반도체 발광소자의 단면도,

도 32는 종래의 칩표면으로부터 발광을 취출하는 GaAs, GaP계 반도체 발광소자의 단면도,

도 33은 종래의 칩이면으로부터 발광을 취출하는 GaAs, GaP계 반도체 발광소자의 단면도,

도 34는 종래의 칩표면으로부터 발광을 취출하는 GaAs, GaP계 반도체 발광소자의 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

10 -- LED,
 11 -- 반도체 발광소자(반도체칩), 12 -- 리드프레임(lead-frame),
 13 -- 서브마운트(submount), 14 -- 옴(ohmic)전극,
 15 -- 본딩와이어, 16 -- 도전페이스트,
 17 -- AuSn, 18 -- 에폭시수지,
 19 -- 절연막, 20, 200 -- 사파이어기판,
 21, 210 -- n형 GaN층, 22 -- InGaN 활성층,
 23 -- p형 AlGaN층, 24, 220 -- p형 GaN층,
 25, 48, 67, 90, 230, 380, 460, 470 -- n형 전극,
 26, 47, 68, 89, 240, 250, 260, 370, 480 -- p형 전극,
 27, 46 -- 절연막, 28, 30, 35, 52 -- Ti층,
 29, 34, 51 -- Al층, 31, 36, 53 -- Au층,
 32 -- Ni층, 33, 50 -- Mo층,
 40 -- n형 GaP기판,
 41, 42, 65, 82, 320, 440 -- n형 InGaAlP층,
 43, 63, 84, 330, 430 -- InGaAlP 활성층,
 44, 61, 86, 340, 410, 420 -- p형 InGaAlP층,
 45, 360 -- p형 GaAs층, 49 -- AuZn층,
 55, 81 -- 발광층, 60, 400 -- p형 GaP기판,
 62, 85 -- p형 InAlP층, 64, 83 -- n형 InAlP층,
 66, 310 -- n형 GaAs층, 69, 91 -- 고반사막,
 70, 92, 300 -- n형 GaAs기판, 71 -- 에칭 스톱층,
 72 -- Si층, 73 -- Al₂O₃층,
 80 -- n형 GaP기판, 87 -- 언도프(undoped) GaP층,
 88 -- p형 GaP층, 93 -- GaAs층,
 94 -- SiO₂층, 350 -- p형 AlGaAs층,
 450 -- n형 AlGaAs층.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 발광소자에 관한 것으로, 특히 반도체 발광소자에 있어서 발광을 외부로 효율 좋게 취출(取出)하기 위한 전극구조 및 전극주변구조에 관한 것이다.

근래의 발광장치의 진전에는 현저한 것이 있다. 특히, 발광다이오드(LED: Light Emitting Diode)는 소형, 저소비전력, 고신뢰성 등의 특징을 겸비하여 표시용 광원으로서 널리 이용되고 있다. 실용화되고 있는 LED의 재료로서는 AlGaAs, GaAlP, GaP, InGaAlP 등의, 5족 원소로 As, P를 사용한 3-5족 화합물 반도체가 적색, 오렌지색(橙色), 황색, 녹색 발광용으로서 이용되고, 녹색, 청색, 자외(紫外)영역용으로서 GaN계 화합물 반도체가 이용되어 발광강도가 높은 LED가 실현되고 있다. 이 LED의 고휘도화가 더욱 진척됨으로써, 옥외에서의 표시기나 통신용 광원으로서의 용도가 비약적으로 확대될 가능성이 있다.

종래의 GaN계 청자색(靑紫色) LED의 구조에 대해 도 29를 이용하여 설명한다. 도 29는 LED의 단면도이다.

도시한 바와 같이, 청자색 광을 발생하는 반도체 발광소자(110)가 리드프레임(lead-frame; 120)상에 은페이스트(130)에 의해 접착되어 있다. 또, 반도체발광소자(110)의 p형 전극, n형 전극이 각각의 전위에 대응하는 리드프레임(120)에 본딩와이어(150)에 의해 접속되어 있다. 그리고, 전체를 에폭시수지(180)가 덮음으로써 램프형의 청자색 LED(100)가 구성되어 있다.

다음으로, 청자색 광을 발생시키는 GaN계의 반도체 발광소자(110)의 구조에 대해 도 30을 이용하여 설명한다. 도 30은 반도체 발광소자(110)의 단면구조를 나타내고 있다.

도시한 바와 같이, 사파이어(Al_2O_3)기판(200)상에 도시하지 않은 GaN 버퍼층을 매개로 n형 GaN층(210) 및 p형 GaN층(220)이 형성되어 있다. 그리고, 일부 영역에서는 상기 p형 GaN층(220) 및 n형 GaN층(210)이 제거됨으로써 n형 GaN층(210)이 노출되어 있다. 이 n형 GaN층(210)이 노출된 영역상에는 n형 전극(230)이 형성되고, 한편 p형 GaN층(220)상에는 p형 투명전극(240) 및 p형 본딩전극(250)이 형성되어 있다.

상기 구성의 LED에 있어서, 리드프레임(120)에 전압을 인가함으로써 p형 본딩전극(250)으로부터 반도체 발광소자(110)에 전류가 주입된다. p형 본딩전극(250)으로부터 주입된 전류는 도전성이 높은 투명전극(240)에 의해 확장되고, n형 GaN층(220) 및 n형 GaN층(210)으로 주입된다. 그리고, 이 pn접합에 의해 발생하는 에너지 $h\nu$ (h : 플랑크상수, $v = c/\lambda$, c : 광속, λ : 파장)의 발생은 p형 투명전극(240)을 매개로 반도체 발광소자(110) 외부로 취출된다.

그렇지만, 상기 투명전극(240)에 이용되는 재료는 투과율과 도전율이 절충(tradeoff)관계에 있다. 즉, 투과율을 높이기 위해 전극막두께를 작게 하면, 역으로 도전율이 저하해 버려, 소자저항의 상승 및 신뢰성 저하의 원인으로 된다는 문제가 있었다.

그래서, 투명전극을 이용하지 않는 방법으로서, 발광에 대해 기판이 투명한 경우에 소자표면에 반사율이 높은 전극을 형성하는 구조를 생각할 수 있다. 이것이 도 31에 나타난 플립칩구조이다. 도 31은 반도체 발광소자의 단면구조이다. 도시한 바와 같이, p형 GaN(220)상에 고반사율의 전극(260)을 형성하고, 소자 내부에 있어서 발광을 소자표면의 고반사율 전극(260)에서 반사시켜 기판측으로부터 발광을 취출하는 것이다. 오늘날, GaN계에서 실용화되어 있는 LED는 활성층에 InGaAs 등을 이용하여 청색~녹색으로 발생하는 것이고, 이용되는 기판은 절연물인 사파이어 또는 실온(300K)에서의 밴드 갭이 3.39eV(파장 $\lambda \approx 365$ nm)인 GaN기판이 일반적이다. 즉, GaN계에서 이용되는 기판은 청색~녹색($\lambda \approx 400 \sim 550$ nm)의 발광에 대해 투명하다. 그 때문에, 특히 GaN계의 LED에서는 이 플립칩 구조는 대단히 유효한 수단이라고 말할 수 있지만, 통상 반도체층과 옴접촉(ohmic contact: 저항접촉)이 취할 수 있는 전극재료는 반드시 고반사율은 아니다. 그 때문에, 플립칩 구조를 실현하기 위해서는 소자표면에 옴접촉이 취할 수 있는 전극과 고반사율의 전극을 형성할 필요가 있었다. 그러나, 이들 전극으로 되는 금속은 상호확산해 버려, 소자의 동작전압의 상승 및 신뢰성의 저하라는 문제가 있었다.

다음으로, 5족 원소가 As나 P인 3-5족 화합물 반도체 LED에 이용되는 반도체 발광소자의 구조에 대해 설명한다. 도 32는 적색~녹색광을 발생시키는 반도체 발광소자의 단면구조를 나타내고 있다.

도시한 바와 같이, n형 GaAs기판(300)상에 n형 GaAs 버퍼층(310), n형 InGaAlP 클래드(Clad)층(320)이 형성되어 있다. 이 n형 InGaAlP 클래드층(320)상에 InGaAlP 활성층(330)이 형성되고, 더욱이 p형 InGaAlP 클래드층(340) 및 p형 AlGaAs 전류확산층(350)이 형성되어 있다. 그리고, p형 AlGaAs 전류확산층(350)상의 일부 영역에는 p형 GaAs 콘택트층(360) 및 p형 전극(370)이, n형 GaAs기판 이면에는 n형 전극(380)이 형성되어 있다.

GaAs, AlGaAs, InGaAlP 등의, 5족으로 As나 P를 사용한 3-5족 화합물 반도체 발광소자에 있어서는, 상술한 GaN계와 같이 투명전극을 이용하는 것이 아니라, 두꺼운 전류확산층(상기 예에서는 p형 AlGaAs 전류확산층(350))을 형성함으로써 주입전류를 확장시켜 활성층에 전류를 주입시키는 것이 일반적이다. 이것은 발광의 취출면상에 n형 혹은 p형 전극을 형성할 필요가 있기 때문이다. 즉, 전극으로부터 주입한 전류를 충분히 확산시켜, 유효하게 발광을 취출시키는 전극 바로 아래의 영역 이외의 활성층에 전류를 주입시키지 않으면 안된다. 이 전류확산이 불충분하면, 균일한 발광을 얻을 수 없고, 외부 양자효율이 현저하게 저하하여 충분한 광파워를 얻을 수 없다.

도 32의 구조에서는, p형 전극(370)으로부터 주입된 전류는 p형 AlGaAs 전류확산층(350)에 의해 충분히 확장되어 InGaAlP 활성층(330)에 주입되고, 그 발광은 전극(370)이 형성되어 있지 않은 영역의 칩표면으로부터 취출된다.

그렇지만, 상기 전류확산층(350)은 전류를 충분히 확산시키기 위해 막두께를 크게 할 필요가 있다. 막두께가 작으면 전류가 확산되지 않고 전극(370) 바로 아래 영역의 활성층(330)에만 전류가 주입되고, 그 발광은 전극(370)에 의해 차폐되어

발광이 취출되지 않기 때문이다. LED나 LD(Laser Diode) 등의 결정성장에는 통상 유기금속기상성장법(MO-CVD: Metal Organic-Chemical Vapor Deposition)이나 분자선 에피택시법(MBE: Molecular Beam Epitaxy)이 사용된다. 이것들은 막막제어성이 우수하여 고품질의 결정 성장에 적합한 에피택셜 성장법이고, 발광장치에서는 특히 중요한 성장방법이다. 그러나, 한편 막두께의 성장이 비교적 곤란하다는 일면을 갖고 있다. 즉, 상기 LED용의 반도체 발광소자의 결정 성장에 있어서, 막두께가 큰 전류 확산층의 형성이 곤란하고, 또는 그 성장에 장시간을 요하는 등 양산성이 악화된다는 문제가 있다.

더욱이, 도 32와 같은 GaAs, GaP계 반도체 발광소자에서는 InGaAlP 활성층(330)에서의 발광에 대해 n형 GaAs기판(300)은 불투명하다. 그 때문에, n형 GaAs기판(300)측으로 확장시키는 발광은 대부분 흡수되어 버려 발광의 취출효율이 나쁘다는 문제가 있었다.

이 GaAs기판에서의 흡수라는 문제를 해결하기 위한 방법으로서 상술한 플립칩 구조가 있다. GaAs, GaP계의 반도체 발광소자의 경우, 당연히지만 GaAs기판으로부터는 발광을 취출시키지 않기 때문에, 에칭 등에 의해 GaAs기판을 제거한다. 그리고, GaAs기판과 반대측의 칩표면에 발광에 대해 투명한 기판을 붙인다. 이 예에 대해 도 33을 이용하여 설명한다.

도시한 바와 같이, p형 GaP기판(400)상에 p형 InGaAlP 접착층(410), p형 InGaAlP 클래드층(420)이 형성되고, 이 p형 InGaAlP 클래드층(420)상에 InGaAlP 활성층(430)이 형성되어 있다. 그리고, n형 InGaAlP 클래드층(440) 및 n형 AlGaAs 창층(窓層; 450)이 형성되어 있다. 더욱이, AlGaAs 창층(450)상에는 고반사율 전극(460) 및 n형 전극(470)이, p형 GaP기판(400) 이면에는 p형 전극(480)이 형성됨으로써 반도체 발광소자가 구성되어 있다. 또, GaP기판(400)은 실온의 밴드갭이 2.26eV($\lambda \approx 548\text{nm}$)으로, 적색 발광 등에 대해서는 투명기판이다.

상기와 같은 구성에 의하면, InGaAlP 활성층(430)에서의 발광은 고반사율 전극(460)에 의해 반사되고, p형 GaP기판(400)측으로부터 취출할 수 있다.

그러나, 역시 전극(460)에 있어서, 옴접촉과 고반사율을 양립시키는 것은 곤란하고, 옴용 전극과 고반사율의 전극의 2개의 전극을 형성할 필요가 있다. 그렇게 하면, GaN계에서 설명한 바와 같이 옴용 전극과 고반사율의 전극의 금속의 상호확산이 문제로 된다.

또, 마찬가지로 GaAs기판을 제거하고 GaP기판을 붙인 구조에 있어서, GaP기판과 전극의 접합면에서 발광을 반사시켜 칩표면으로부터 발광을 취출하는 구조가 있다. 이 구조에 대해 도 34를 이용하여 설명한다. 도 34는 반도체 발광소자의 단면구조를 나타내고 있다.

도시한 바와 같이, 본 구조는 도 33의 구조에 있어서 p형 전극(480)에서 발광을 반사시켜 칩표면으로부터 발광을 취출하는 것이다.

그러나, 이 구조에서는 p형 GaP기판(400)과 p형 전극(480)의 합금층에서 광의 산란, 흡수가 발생하기 때문에, 발광을 유효하게 취출하는 것이 곤란하다는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

상기와 같이, 종래의 반도체 발광소자에서의 발광의 취출방법은, 발광층측으로부터 취출하는 방법과 기판측으로부터 취출하는 방법이 있다.

그렇지만, 발광층상의 전면에 투명전극을 형성하고 전류주입을 행하여 발광층측으로부터 발광을 취출하는 GaN계 반도체 발광소자의 경우, 투과율과 도전률이 절충관계에 있다. 즉, 투과율을 높이기 위해 전극막두께를 작게 하면, 반대로 도전률이 저하해 버려, 소자저항의 상승 및 신뢰성 저하의 원인으로 된다는 문제가 있었다.

또, 발광층상의 일부에 전극을 형성하고, 두꺼운 전류확산층에서 전류를 확장시켜 전류주입을 행하여 발광층측으로부터 발광을 취출하는 GaAs, GaP계(5족으로 As, P를 사용한 3-5족 화합물) 반도체 발광소자의 경우, GaAs기판을 제거하고 투명한 GaP기판을 접합하며, GaP기판의 이면에 형성한 전극에 의해 발광을 반사시켜 발광층측으로부터 발광을 취출하는 방법이 있다. 그러나, GaP기판과 전극의 접합면에서 광의 산란, 흡수 등의 손실이 있어 발광의 취출효율이 나빠진다는 문제가 있었다.

더욱이, 반도체 발광소자 내부에서 발광층측으로 발광을 반사시켜 기판측으로부터 발광을 취출하는 경우에는, 발광층측의 전극에 고반사율의 재료를 이용할 필요가 있다. 이 고반사율의 재료는 반드시 반도체층과 옴접촉이 취해지는 것은 아니다. 그 때문에, 발광층측에는 옴접촉이 취해지는 전극과 고반사율의 전극을 형성할 필요가 있었다. 그러나, 이들 전극으로 되는 금속은 상호 확산해 버려, 소자의 동작전압의 상승 및 신뢰성을 저하시킨다는 문제가 있었다.

본 발명은 상기 사정을 감안하여 이루어진 것으로, 그 제1목적은 전극구조에 있어서 저항성과 고반사율을 양립시키면서, 전극을 구성하는 금속의 상호확산을 방지함으로써, 외부 양자효율을 향상시킬 수 있는 동시에 동작전압의 저감 및 신뢰성을 향상시킬 수 있는 반도체 발광소자를 제공함에 있다.

또, 본 발명의 제2목적은, 전극에서의 광의 산란, 흡수를 억제함으로써, 외부 양자효율을 향상시킬 수 있는 반도체 발광소자를 제공함에 있다.

발명의 구성 및 작용

본 발명의 제1태양(態樣)에 따른 반도체 발광소자는, 반도체기판상에 형성된 제1도전형의 제1반도체층과, 상기 제1반도체층상에 형성되고 자연방출광을 발생시켜 방출하는 활성층, 상기 활성층상에 형성된 제2도전형의 제2반도체층, 상기 반

도체기판의 이면 가장자리부에만 형성된 제1전극 및, 상기 제2반도체층상의 중앙부에 위치하도록 형성된 제2전극을 구비하고, 상기 제2전극이 형성된 측에 있어서 마운트되며, 상기 반도체기판 이면측으로부터 주된 광을 추출하는 것을 특징으로 하고 있다.

본 발명의 제2태양에 따른 반도체 발광소자는, 반도체기판 또는 절연기판상에 형성된 제1도전형의 제1반도체층과, 상기 제1반도체층상에 형성되고, 자연방출광을 발생시켜 방출하는 활성층, 상기 활성층상에 형성된 제2도전형의 제2반도체층, 상기 제1반도체층영역상에 형성되고, 상기 활성층 및 상기 제2반도체층과 이격한 제1전극 및, 상기 제2반도체층상의 중앙부에 위치하도록 형성된 제2전극을 구비하고, 상기 제1전극은 상기 제2전극이 접촉되는 외부전극이 어셈블리후에 위치하는 외부전극 배치영역을 제외하고, 그 제2전극을 둘러싸도록 하여 상기 제1반도체층의 가장자리부에 형성되며, 상기 제2전극이 형성된 측에 있어서 마운트되고, 상기 반도체기판 또는 상기 절연기판의 이면측으로부터 주된 광을 추출하는 것을 특징으로 하고 있다.

본 발명의 제1태양과 같은 구성에 의하면, 반도체칩의 표면 및 이면에 전극을 배치하는 반도체 발광소자에 있어서, 반도체 칩 이면의 전극을 기판의 일부 영역상에만 형성함으로써, 광의 추출효율을 더욱 향상시킬 수 있다.

또, 본 발명의 제2태양과 같은 구성에 의하면, 반도체 칩의 표면에 2개의 전극을 배치하는 반도체 발광소자에 있어서, 한쪽 전극을 반도체 칩의 주변에 연장설치함으로써 전류를 균일하게 주입할 수 있고, 또 리드프레임에 장착할 때의 작업을 용이하게 할 수 있다.

(발명의 실시형태)

이하, 본 발명의 실시형태를 도면을 참조하여 설명한다. 이 설명시에, 전 도면에 걸쳐 공통하는 부분에는 공통하는 참조부호를 붙인다.

본 발명의 제1실시형태에 따른 반도체 발광소자와 그 제조방법 및 이 반도체 발광소자를 갖춘 반도체장치에 대해 GaN계 청자색 LED를 예로 들어 도 1 및 도 2를 이용하여 설명한다. 도 1은 LED의 단면도이다.

도시한 바와 같이, 청자색 광을 발생시키는 반도체 발광소자(11)가 리드프레임(12)상에 실리콘기판 등의 서브마운트(13)를 매개로 기판측을 위로 하여 설치되어 있다. 이 서브마운트(13) 양면에는 막두께가 약 100 μ m인 Au 등의 고도전률의 옴전극(14-1, 14-2)이 형성되어 있고, 서브마운트(13) 표면의 옴전극(14-1, 14-2)은 반도체 발광소자(11)의 전극의 위치에 매칭하도록 패터닝되어 있다. 또, 옴전극(14-2)은 옴전극(14-1)과 전기적으로 분리하기 위해, 절연막(19)을 매개로 서브마운트(13)상에 형성되어 있다. 그리고, 옴전극(14-2)은 역전위의 리드프레임(12)에 본딩와이어(15)에 의해 전기적으로 접속되어 있다. 서브마운트(13)의 이면은 도전페이스트(16)에 의해 리드프레임(12)상에 접촉되어 있고, 또 반도체 발광소자(11)의 p형 전극, n형 전극이 패터닝된 각각의 옴전극(14)에 AuSn(17)에 의해 접촉되어 있다. 그리고, 전체를 에폭시수지(18)가 덮음으로써, 램프형의 청자색 LED(10; 반도체장치)가 구성되어 있다.

다음으로, 청자색 광을 발생시키는 GaN계의 반도체 발광소자(11)의 구조에 대해 도 2를 이용하여 설명한다. 도 2는 반도체 발광소자(11)의 단면구조를 나타내고 있다.

도시한 바와 같이, 사파이어기판(20)상에 도시하지 않은 GaN 버퍼층을 매개로 n형 GaN층(21)이 형성되어 있다. 그리고, n형 GaN층(21)상에는 InGaN 활성층(22), p형 AlGaIn 클래드층(23) 및 p형 GaN층(24)이 형성되어 있다. 더욱이, 일부 영역에서는 상기 p형 GaN층(24), p형 AlGaIn 클래드층(23), InGaN 활성층(22) 및 n형 GaN층(21)이 제거됨으로써 n형 GaN층(21)이 노출되어 있다. 이 노출된 n형 GaN층(21)상 및 p형 GaN층(24)상에는 각각 n형 전극(25), p형 전극(26)이 형성되고, 그 외 영역을 절연막(27)이 피복하고 있다.

상기 n형 전극(25)은 Ti층(28), Al층(29), Ti층(30), Au층(31)의 4층 구조를 갖추고 있다. 또, p형 전극(26)은 p형 GaN층(24)과의 옴접촉이 취해지는 옴전극으로서의 두께 4nm의 Ni층(32), 배리어전극으로서의 Mo층(33), 고반사율 전극으로서의 Al층(34), 배리어전극으로 되는 Ti층(35), 리드프레임(12)상의 서브마운트(13)와의 접촉성을 향상시키는 오버코트 전극으로 되는 Au층(36)의 5층 구조를 갖추고 있다.

상기 구조의 반도체 발광소자(11)가 도 1에 나타낸 바와 같이 사파이어기판(20)면을 위로 하여 서브마운트(13)를 매개로 리드프레임(12)상에 탑재되어 있다.

상기 구성의 LED에 있어서, 리드프레임(12)에 전압을 인가함으로써 p형 전극(26)으로부터 InGaIn 활성층(22)에 전류가 주입된다. 그리고, 이 전류주입에 의해 InGaIn 활성층(22)에서 발광이 일어나지만, LED의 경우는 LD에서 얻어지는 유도 방출광과 달리 그 발광은 자연방출광이기 때문에 지향성을 갖지 않는다. 그 때문에 발광은 모든 방향을 향해 방출된다.

도 1과 같은 구성의 LED에서는, 사파이어기판(20)측으로부터 발광을 추출하게 된다. InGaIn 활성층(22)으로부터 사파이어기판(20) 방향으로 방출되는 발광은 그 발광파장에 대해 투명한 n형 GaN층(21) 및 사파이어기판(20)을 투과하여 반도체 발광소자(11) 외부로 추출된다. 한편 InGaIn 활성층(22)으로부터 p형 AlGaIn 클래드층(23) 방향으로 방출되는 발광은 p형 AlGaIn 클래드층(23) 및 p형 GaN층(24)을 투과하여 p형 전극(26)에 도달한다. p형 전극(26)의 Ni층(32)에 도달한 발광은 막두께가 매우 작은 Ni층(32) 및 Mo층(33)을 저산란, 저흡수로 통과하고, 발광 파장에 대해 고반사율을 갖는 Al층(34)에서 반사된다. Al층(34)에서 반사한 발광은 재차 p형 층, InGaIn 활성층(22)을 투과하여 사파이어기판(20)으로부터 반도체 발광소자(11)의 외부로 추출된다.

다음으로, 상기 반도체 발광소자(11) 및 LED의 제조방법에 대해 도 3 내지 도 6을 이용하여 설명한다. 도 3 내지 도 6은 반도체 발광소자의 제조공정의 단면도를 순차 나타내고 있다.

먼저, 도 3에 나타난 바와 같이 종래와 마찬가지로 사파이어기판(20)상에 MO-CVD법 등에 의해 도시하지 않은 언도프(undoped)된 GaN 버퍼층을 형성하고, 버퍼층상에 n형 GaN층(21)을 형성한다. 계속해서, n형 GaN층(21)상에 InGaN 활성층(22)을 MO-CVD나 MBE법 등에 의해 형성한다. InGaN 활성층(22)은 SQW(Single Quantum Well)나 MQW(Multiple QWs) 구조여도 좋다. 더욱이, InGaN 활성층(22)상에 p형 AlGaIn 클래드층(23) 및 p형 GaN층(24)을 MO-CVD법 등에 의해 형성한다.

다음으로, 도 4에 나타난 바와 같이 리소그래피기술과 RIE(Reactive Ion Etching)법 등의 이방성 에칭기술에 의해 일부 영역의 p형 GaN층(24), p형 AlGaIn 클래드층(23), InGaN 활성층(22) 및 n형 GaN층(21)의 일부를 제거하고, 당해 영역에 n형 GaN층(21)을 노출시킨다. 이것은 RIE법에 한정되지 않고, 웨트에칭(wet etching: 습식에칭)에 의해 행하여도 상관없다. 그리고, 전면에 CVD법 등에 의해 절연막(27)을 형성한다.

다음으로, 도 5에 나타난 바와 같이, n형 GaN층(21)상의 절연막(27)의 일부를 리소그래피기술과 웨트에칭법 등에 의해 제거하고, 진공증착과 리프트오프(lift-off)에 의해 n형 전극으로 되는 Ti층(28) 및 Al층(29)을 형성한다. 그리고, 질소분위기내에서 온도 600℃의 어닐을 행하여 옴접촉성을 향상시킨다.

계속해서, 도 6에 나타난 바와 같이 p형 GaN층(24)상의 절연막(27)의 일부를 리소그래피기술과 웨트에칭법 등에 의해 제거하고, 진공증착과 리프트오프에 의해 p형 전극으로 되는 두께 4nm의 Ni층(32), 두께 1nm의 Mo층(33) 및 두께 500nm의 Al층(34)을 형성한다. 또, Ni층(32)의 형성후, 옴접촉성을 향상시키기 위해 온도 400℃~780℃, 바람직하게는 450℃에서 20초간 플래시(flash) 어닐을 실시하는 것이 바람직하다. 단, 이 플래시 어닐은 Ni층(32)의 하지(下地)인 p형 GaN층(24)의 표면에 산화막 등도 없어 충분히 청정한 상태이면 불필요하다.

그 후는, Al층(29, 34)상에 각각 두께 100nm의 Ti층(30, 35), 두께 1000nm의 Au층(31, 36)을 진공증착 및 리프트오프에 의해 형성한다. 그리고, 전극재료간의 밀착성의 향상을 위해 온도 200℃ 이상, 바람직하게는 250℃에서 20초간 플래시 어닐을 실시함으로써 n형 전극(25), p형 전극(26)을 완성하여, 도 2의 구조의 반도체 발광소자(11)를 얻는다. 또, 이 플래시 어닐의 온도는 도 6에서 설명한 Ni층(32)의 어닐온도보다 낮은 온도에서 행할 필요가 있다.

그리고, 상기 반도체 발광소자(11)를, 전극패턴으로 패터닝된 두께 3 μ m의 Au층 등에 의해 옴전극(14-1, 14-2)이 형성된 실리콘기판 등의 서브마운트(13)상에 n형 전극(25), p형 전극(26)과 상기 전극(14-2, 14-1)을 AuSn(17)에 의해 각각 접착시킴으로써 탑재한다. 이렇게 하여 반도체 발광소자(11)를 탑재한 서브마운트(13)를 컵형의 리드프레임(12)상에 도전 패이스트(16)에 의해 접착한다. 그리고, n형 전극 또는 p형 전극과 전기적으로 접속된 옴전극(14)과 리드프레임(12)을 와이어본딩에 의해 접속한다. 더욱이, 전체를 에폭시수지(18)에 의해 피복함으로써 램프화하여 도 1과 같은 청자색 광 LED(10)를 완성한다.

또, 사파이어기판 대신에 도전성 기판인 n형 GaN기판을 사용했을 때에는 n형 전극은 기판 이면에 형성해도 상관없다.

상기와 같은 구성 및 제조방법에 의한 반도체 발광소자 및 이 반도체 발광소자를 갖춘 반도체장치(LED)는 p형 전극(26)에서 p형 GaN(24)의 반도체층과 접합하여 옴접촉이 취해지는 Ni층(32)과, Ni층(32)상에 형성한 고용점재료인 Mo층(33) 및 발광에 대해 고반사율 재료인 Al층(34)을 형성하고 있다. 일반적으로 가시광에 대해 높은 반사율을 갖는 Al이나 Ag 등의 금속은 GaN층에 대해 옴접촉을 취하기 어렵다. 그 때문에 종래는 옴접촉이 취해지는 옴전극과 고반사율 전극에 의해 전극을 형성하고 있었다. 이 구조에서 LED를 연속동작시키고 있으면, 열영향에 의해 상기 옴전극 및 고반사율전극을 구성하는 금속원자가 상호확산하고, 순방향 전압이 상승하여 소자가 열화하기 쉬워진다는 문제가 있었다. 그러나, 본 실시형태에 의하면, 옴전극과 고반사율 전극 사이에 고용점 금속의 배리어전극(Mo층)을 형성하고 있다. 이 배리어전극이 옴전극 및 고반사율 전극을 구성하고 있는 금속원자의 상호확산을 억제하기 때문에, 동작전압의 상승을 방지할 수 있다. 또, 옴전극 및 배리어전극은 발광에 대해 거의 불투명한 재료이지만, 이 막두께를 작게 함으로써 고반사율을 실현하고 있다.

본 실시형태에서 설명한 GaN계 청자색 LED의 발광특성을 도 7에 나타낸다. 도 7은 LED의 주입전류에 대한 발광강도의 관계를 나타내고 있다. 도면내에 있어서 실선은 본 실시형태에 따른 GaN계 청자색 LED, 파선은 종래구조의 LED의 특성이다. 도시한 바와 같이, 광출력은 종래에 비해 현격하게 향상되고, 주입전류값이 20mA시에 전압 4.3V, 광출력 6.9mW(발광파장 $\lambda_p = 450$ nm)라는 결과가 얻어졌다. 종래의 전극구조에서는 마찬가지로의 주입전류시에 얻어지는 광출력은 4.0mW이고, 본 발명의 전극구조를 채용함으로써 광출력은 종래구조에 비해 약 1.7배로 향상되며, 발광의 추출효율이 개선된 것을 명확히 나타내고 있다.

또, 실온에 있어서 구동전류 20mA로 동작시켰을 때의 광출력은 1000시간에서 80%까지 저하한 것에 지나지 않고, LED의 신뢰성이 향상된 것을 증명하는 결과가 얻어지고 있다.

도 8 및 도 9에 배리어전극, 옴전극의 막두께에 대한 반사율(R)의 관계를 나타낸다. 도 8은 옴전극(Ni층)의 막두께를 4nm, 고반사율 전극(Al층)의 막두께를 100nm로 했을 때의 반사율의 배리어전극(Mo층) 막두께 의존성을 나타내고, 도 9는 배리어전극(Mo층)의 막두께를 1nm, 고반사율 전극(Al층)의 막두께를 100nm로 했을 때의 반사율의 옴전극(Ni층) 막두께 의존성을 나타내고 있다.

도시한 바와 같이, 반사율은 배리어전극 및 옴전극의 막두께에 크게 의존하고, 그 막두께는 얇을수록 바람직하다는 것을 알 수 있다. 특히, InGaN 활성층에서 발생한 발광이 최초로 입사하는 옴전극의 막두께의 제어가 특히 중요하다고 말할 수 있고, 도 9에 나타난 바와 같이 옴전극에 Ni를 이용하는 경우, 그 막두께는 10nm 이하로 하는 것이 바람직하다.

또, 옴전극에 사용하는 재료는 Ni 외에 Pt, Mg, Zn, Be, Ag, Au, Ge 등을 이용할 수 있고, 이들 재료를 주로 하는 화합물이어도 상관없다. 또, 배리어전극의 재료는 Mo 외에 W, Pt, Ni, Ti, Pd, V 등이나 그들을 주로 하는 화합물을 이용할 수 있다. 또, Ni와 Pt는 옴전극과 배리어전극을 겸용하는 것이 가능하다.

또, 상기 옴전극, 배리어전극 및 고반사율 전극상에는 더욱이 Ti층(35)에 의한 배리어전극 및 Au층(36)에 의한 오버코트 전극을 형성하고 있다. 통상, 반도체 발광소자를 탑재하는 서브마운트에는 Au 등의 도체패턴이 형성되어 있다. 그리고, 이 도체패턴상에 반도체 발광소자의 전극이 접촉되지만, Au 등의 도체패턴상에 Al이나 Ag 등의 고반사율 전극을 직접 접촉시키면, 이 접합면에 고저항층이 형성되거나, 양자의 접합이 벗겨지는 문제가 있었다. 그러나, 본 실시형태에서는 도체패턴에 이용하고 있는 Au와 같은 재료에 의한 오버코트 전극을 형성하여 Au끼리로 접합부를 형성하고 있다. 그 때문에 상기 문제를 해결할 수 있다. 더욱이, 오버코트 전극과 고반사율 전극 사이에 고용점재료로 이루어진 배리어전극을 개재시킴으로써, 오버코트 전극과 도체패턴의 접합 신뢰성을 향상시키고 있다. 단, 도체패턴과 고반사율 전극이 같은 재료인 경우에는, 이 오버코트 전극 및 고용점 재료에 의한 배리어전극은 불필요하다.

또, 이 배리어전극에는 Ti 외에 W, Mo, Pt, Ni, Ti, Pd, V 등이나 그들을 주로 하는 화합물을 이용할 수 있다.

또, 반도체 발광소자를 리드프레임에 직접 접촉하는 것이 아니라, 도전성의 서브마운트를 매개로 접촉함으로써 방열효율을 향상시킬 수 있기 때문에, LED의 동작 신뢰성을 더욱 향상시킬 수 있다.

도 10은 본 실시형태의 변형례에 따른 반도체 발광소자에 대해 설명하기 위한 것으로, 적색~녹색으로 발광하는 GaAs, GaP계 반도체 발광소자의 단면도이다.

도시한 바와 같이, n형 GaP기판(40)상에 n형 InGaAlP 접착층(41), n형 InGaAlP 클래드층(42)이 형성되고, 이 n형 InGaAlP 클래드층(42)상에 InGaAlP 활성층(43)이 형성되어 있다. 녹색의 발광에너지에 해당하는 밴드갭 에너지가 얻어지는 조성에 있어서 간접 천이형(遷移型)의 밴드구조를 취하는 AlGaAs와 달리, InGaAlP는 적색~녹색의 발광이 얻어지는 조성에 있어서 직접 천이형의 밴드구조를 갖추고 있는 바, 이 과장영역에서의 발광장치에 적합한 재료이다. 이 InGaAlP 활성층(43)상에 p형 InGaAlP 클래드층(44) 및 p형 GaAs 콘택트층(45)이 형성되어 있다. 그리고, p형 GaAs 콘택트층(45)상 및 n형 GaP기판(40) 이면에는 각각 p형 전극(47)과 n형 전극(48)이 형성되고, 그 외의 영역을 절연막(46)이 피복하고 있다. p형 전극(47)은 p형 GaAs 콘택트층(45)과의 옴접촉이 취해지는 AuZn층(49), 배리어전극으로 되는 Mo층(50), 고반사율 전극으로서의 Al층(51), 배리어전극으로 되는 Ti층(52), 리드프레임(12)상의 서브마운트(13)와의 접촉성을 향상시키는 오버코트 전극으로 되는 Au층(53)의 5층 구조를 갖추고 있다.

상기 구조의 반도체 발광소자가 도 1에 나타난 바와 같이, n형 GaP기판(40)면을 위로 하여 서브마운트(13)를 매개로 리드프레임(12)상에 탑재되어 있다.

또, n형 전극이 n형 GaP기판의 이면에 형성되어 있기 때문에, n형 전극과 리드프레임(12)의 접속은 와이어본딩에 의해 행할 필요가 있다. 그러나, GaN계 반도체 발광소자에서 설명한 바와 같이, p형 전극이 형성되는 면에 n형 InGaAlP 클래드층이 일부 노출되는 영역을 형성하고, 그 영역상에 n형 전극을 형성함으로써, 와이어본딩을 필요로 하지 않는 구조로 해도 좋다.

상기 구성의 반도체 발광소자에 의하면, 옴전극(AuZn층)과 고반사율 전극(Al층) 사이에 고용점 금속의 배리어전극(Mo층)을 형성하고 있다. 이 배리어전극이 옴전극 및 고반사율 전극을 구성하고 있는 금속원자의 상호확산을 억제하기 때문에, 동작전압의 상승을 방지할 수 있어, 상기 GaN계 반도체 발광소자와 마찬가지로의 효과를 얻을 수 있다.

또, p형 전극(47)의 제조방법은 상술한 GaN계 반도체 발광소자의 경우와 마찬가지로이기 때문에 설명은 생략한다.

다음으로, 본 발명의 제2실시형태에 따른 반도체 발광소자 및 이 반도체 발광소자를 갖춘 반도체장치에 대해 GaN계 청자색 LED를 예로 들어 도 11을 이용하여 설명한다. 도 11은 반도체 발광소자(11)의 구조에 대해 나타내고 있다.

도시한 바와 같이, 본 실시형태에 따른 반도체 발광소자는 제1실시형태에서 설명한 반도체 발광소자(11)에 있어서, p형 전극(26)의 구조를 변형한 것이다. 즉, p형 GaN층(24)과 접하는 Ni층(32)을 섬모양으로 형성하고, 이 섬모양의 Ni층(32) 및 p형 GaN층(24)상에 Mo층(33)을 형성하고 있다. 이 때문에, p형 GaN층(24)의 표면은 Ni층(32)에 접하는 영역과 Mo층(32)에 직접 접하는 영역을 갖춘 것으로 된다.

그리고, InGaN 활성층(22)으로부터 p형 AlGaN 클래드층(23) 방향으로 방출되어 p형 전극(26)에 도달한 발광층의 일부는 Ni층(32) 및 Mo층(33)을 저산란, 저흡수로 통과하여 Al층(34)에서 반사되고, 다른쪽은 Ni층(32)을 통과하지 않고 직접 Mo층(33)을 통과하여 Al층(34)에서 반사된다.

상기 구성에 의하면, p형 GaN층(24)과 옴접촉을 취하기 위한 Ni층을 p형 전극의 전면에 형성하는 것이 아니라, 예컨대 섬모양의 형상으로 하여 p형 GaN층(24)상의 일부에만 형성하고 있다. 그 때문에, Ni층(24)이 존재하지 않는 영역에서는 p형 GaN층(24)과 고반사율 전극인 Al층(34)의 거리가 작아지기 때문에, 보다 반사율을 향상시킬 수 있다. 그 때문에, 제1실시형태에서 설명한 효과와 더불어, 발광의 추출효율을 더욱 향상시킬 수 있다. 또, Ni와 Pt는 옴전극과 배리어전극을 겸용할 수 있다.

또, 옴접촉을 취하기 위한 전극 재료, 배리어전극 재료 및 고반사율 전극 재료에 대해서는 제1실시형태에서 설명한 것과 동일한 재료를 이용할 수 있다. 또, 본 실시형태에서 설명한 반도체 발광소자를 갖춘 LED구조는 제1실시형태에서 설명한 도 1과 마찬가지로이다.

또, 도 12에는 본 실시형태의 변형례에 따른 반도체 발광소자에 대해 나타내고 있고, GaAs, GaP계 반도체 발광소자의 단면도이다.

도시한 바와 같이, 본 변형례는 제1실시형태의 변형례인 GaAs, GaP계 반도체 발광소자에 본 실시형태의 전극구조를 적용한 것으로, 마찬가지로의 효과가 얻어진다.

다음으로, 본 발명의 제3실시형태에 따른 반도체 발광소자 및 이 반도체 발광소자를 갖춘 반도체장치에 대해 GaN계 반도체 발광소자를 예로 들어 도 13을 이용하여 설명한다. 도 13은 반도체 발광소자의 사시도이다.

도시한 바와 같이, 사파이어기판(20)상에 n형 GaN층(21) 및 발광층(55)이 형성되어 있다. 발광층(55)은 제1, 제2실시형태에서 설명한 바와 같이, n형 GaN층(21)상에 형성된 InGaN 활성층(22), InGaN 활성층(22)상의 p형 AlGaIn 클래드층(23) 및 p형 GaN층(24)이다. 그리고, 칩의 주변영역에서의 n형 GaN층(21) 및 발광층(55)이 제거되어 n형 GaN층(21)의 표면이 노출하고 있다. 더욱이, 발광층(55)상에는 역시 제1, 제2실시형태에서 설명한 음전극(32), 전극(33), 고반사율 전극(34), 배리어전극(35) 및 오버코트 전극(36)으로 이루어진 p형 전극(26)이 형성되어 있다. 이 p형 전극(26)은 발광층(55)상의 거의 중앙에 배치되어 있다. 한편, n형 전극(25)은 노출된 n형 GaN층(21)상에 발광층(55)을 둘러싸도록 하여 형성되어 있다.

그리고, 상기 구성의 반도체 발광소자가 도 1과 같이 서브마운트를 매개로 리드프레임상에 탑재되어 LED가 형성된다.

상기와 같은 전극배치를 갖는 반도체 발광소자이면, 제1, 제2실시형태에서 설명한 효과에 더하여 다음과 같은 효과가 함께 얻어진다. 먼저, 제1로 p형 전극이 칩의 거의 중앙에 배치되어 있으므로, 서브마운트(13)에 반도체 발광소자를 마운트할 때의 p형 전극(26)의 위치결정을 용이하게 할 수 있어, LED의 제조를 용이하게 하여 스루풋(throughput)을 향상시킬 수 있다.

제2로 n형 전극(25)이 발광층(55)의 주변을 둘러싸도록 하여 배치되어 있기 때문에, p형 전극(26)으로부터 주입된 전류가 균일하게 활성층에 주입되기 때문에, 효율이 좋은 발광이 얻어진다.

또, 본 실시형태에서는 n형 전극(25)의 일부가 제거되어 있지만, 이것은 반도체 발광소자를 서브마운트에 장착할 때에 p형 전극에 접속하는 도체패턴의 형성영역에 대응하여 형성한 것이다.

본 실시형태의 변형례에 따른 반도체 발광소자 및 이 반도체 발광소자를 갖춘 반도체장치에 대해 도 14를 이용하여 설명한다. 도 14는 반도체 발광소자의 사시도이다.

도시한 바와 같이, 본 변형례는 도 14에서 설명한 반도체 발광소자에 있어서, p형 전극(26)을 형성한 발광층(55) 이외의 영역 대부분을 제거한 것이다. 상기 구성에서는 발광영역이 한정되기 때문에, 발광이 광섬유 등과의 결합이 필요한 경우나 보다 고속동작이 필요하게 되는 LED에 적합한 구조이다.

상기 제3실시형태 및 변형례에 있어서, 발광층(55), p형 전극 및 n형 전극의 형상은 도시한 형상에 한정되는 것은 아니고, GaN계 반도체 발광소자뿐만 아니라 GaAs, GaP계 반도체 발광소자에도 적용할 수 있는 것은 말할 것도 없다. 또, 도전기판을 이용하는 경우에는 n형 전극을 기판 이면에 형성해도 상관없음은 물론이다.

다음으로, 본 발명의 제4실시형태에 따른 반도체 발광소자와 그 제조방법 및 이 반도체 발광소자를 갖춘 반도체장치에 대해 GaAs, GaP계 반도체 발광소자를 예로 들어 설명한다. 도 15는 발광파장 620nm의 적색광을 발생시키는 반도체 발광소자의 단면도이다.

도시한 바와 같이, p형 GaP기판(60)상에 p형 InGaAlP 접착층(61), p형 InAlP 클래드층(62)이 형성되고, p형 InAlP 클래드층(62)상에는 InGaAlP 활성층(63)이 형성되어 있다. 이 InGaAlP 활성층(63)상에는 n형 InAlP 클래드층(64) 및 n형 InGaAlP 창층(65)이 형성되어 있다. 그리고, n형 InGaAlP 창층(65)상에는 n형 GaAs 콘택트층(66)을 매개로 n형 전극(67)이 형성되어 있다. 한편, p형 GaP 기판(60) 이면에는 p형 전극(68) 및 광반사막(69)이 형성되어 있다.

상기 반도체 발광소자의 제조방법에 대해, 도 16 내지 도 19를 이용하여 설명한다. 도 16 내지 도 19는 각각 반도체 발광소자의 제조공정의 단면도를 순차 나타내고 있다.

먼저, 도 16에 나타난 바와 같이 n형 GaAs기판(70)상에 MO-CVD법 등에 의해 InGaP 등에 의한 에칭 스톱(etch-stop)층(에칭스토퍼; 71), 막두께 0.1 μ m의 n형 GaAs 콘택트층(66), 막두께 0.5 μ m의 n형 In_{0.5}Ga_{0.15}Al_{0.35}P 창층(65) 및 막두께 1 μ m의 n형 In_{0.5}Al_{0.5}P 클래드층(64)을 순차 형성한다. 다음으로, n형 InAlP 클래드층(64)상에 MO-CVD법이나 MBE법 등에 의해 0.2 μ m의 인도프 In_{0.5}Ga_{0.1}Al_{0.4}P 활성층(63)을 형성하고, 그 위에 막두께 1 μ m의 p형 In_{0.5}Al_{0.5}P 클래드층(62) 및 막두께 0.05 μ m의 p형 In_{0.5}Ga_{0.15}Al_{0.35}P 접착층(61)을 형성한다. 또, 각 층의 에피택셜 성장에 있어서, 갈륨원료로는 트리에틸갈륨(TEG; Ga(C₂H₅)₃)이나 트리메틸갈륨(TMG; Ga(CH₃)₃)을, 알루미늄원료로는 트리메틸알루미늄(TEA; Al(C₂H₅)₃)이나 트리메틸알루미늄(TMA; [Al(CH₃)₃]₂)을, 인듐원료로는 트리메틸인듐(TEI; In(C₂H₅)₃)이나 트리메틸인듐(TMI; In(CH₃)₃)을, 인원료로는 3차-부틸포스핀(TBP; C₄H₉PH₂) 등을 이용한다. 또, n형 불순물 및 p형 불순물로는 각각 Si 및 Zn을 이용하고 있지만, Te나 Be 등도 사용가능하다.

또, 상기 각 층의 조성 및 막두께는 발광파장 620nm의 적색발광을 얻을 때에 이용하는 일례이고, 구체적인 원료도 일례에 지나지 않는다.

다음으로, 도 17에 나타난 바와 같이 p형 InGaAlP 접착층(61)상에 두께 200 μ m의 p형 GaP기판(60)을 가열압착에 의해 접착한다. 이 때, p형 InGaAlP 접착층(61) 및 p형 GaP기판(60)의 상호 접착면을 세정해 둘 필요가 있다. 상술한 바와 같이, GaP기판은 파장 620nm인 광에 대해서는 투명한 재료이다.

다음으로, n형 GaAs기판(70)으로부터 에칭 스톱층(71)까지의 에칭을 행하여 n형 GaAs기판(70)을 제거한다.

그리고, 도 18에 나타난 바와 같이 에칭 스톱층(71)을 더 제거하여, n형 GaAs 콘택트층(66)을 리소그래피기술과 에칭에 의해 도면과 같이 패터닝한다.

그 후는 n형 GaAs 콘택트층(66)상에 n형 전극(67)을, p형 GaP기판(70)의 이면에는 p형 전극(68) 및 광반사막(69)을 각각 형성하여 도 15의 구조의 반도체 발광소자를 완성한다. 또, 광반사막(69)의 재료로는 Au를 사용하고 있다.

그리고, 제1실시형태에서 설명한 바와 같이 상기 반도체 발광소자를 p형 GaP기판(60)을 아래로 하여 리드프레임에 탑재하고, 또 전기적으로 접속한 후에 에폭시수지로 램프화하여 LED를 완성한다.

상기 구성의 LED에 있어서, 리드프레임으로부터 전압이 인가되어 p형 전극(69)으로부터 주입된 전류는 InGaAlP 활성층(63)으로 주입되어, 적색의 발광이 얻어진다. InGaAlP 활성층(63)에서 방출된 파장 620nm의 적색발광은 n형 층층으로 방출된 것은 그대로 n형 InAlP 클래드층(64) 및 n형 InGaAlP 장층(65)을 통과하여 반도체 발광소자 외부로 추출된다. 한편, InGaAlP 활성층(63)으로부터 p형 GaP기판(60)측으로 방출된 발광은 투명기판인 p형 GaP기판(60)을 투과하여 p형 전극(68) 및 광반사막(69)에 도달한다. 도달한 발광중 p형 전극(68)에서는 산란 및 흡수되어 버리지만, 광반사막(69)에서는 재차 반도체 발광소자 내부로 반사되어 n형 InGaAlP 장층(65)측으로부터 추출된다. 이 결과, 구동전류 20mA 조건하에서 동작시킨 방사각 10°의 패키지에 있어서, 광출력은 종래구조에서의 광출력의 1.2배에 상당하는 17cd가 얻어졌다.

상기와 같은 구성의 반도체 발광소자에 의하면, 플립칩 구조를 갖춘 GaAs, GaP계 반도체 발광소자에 있어서 발광을 반사시키는 투명기판의 이면의 일부를 광반사막으로 치환하고 있다. 그 때문에, 투명기판과 전극 사이의 합금층에서 발생하는 손실을 광반사막을 형성한만큼 저감시킬 수 있고, 또 광반사막을 형성한 영역에서는 고효율로 발광을 반사시킬 수 있기 때문에, 효율적으로 발광을 반도체 발광소자 외부로 추출하는 것이 가능하다.

또, 본 실시형태에서는 광반사막(69)의 재료로는 Au를 이용하고 있다. 이것은 InGaAlP 활성층(63)에 의한 파장 620nm의 발광에 대해 큰 반사율을 갖고 있기 때문이다. 표 1에 각종 금속재료의 GaP 접합에서의 반사율 R 및 열전도율 k에 대해 나타낸다. 반사율은 파장 620nm인 광에 대한 수치이고, 이 파장에서의 GaP의 굴절률(n)은 3.325이다. 또, 열전도율은 온도 300K에서의 수치이다.

표 1

금속재료	반사율 R	열전도율 k [W/m·K]
Al	77.6	237
Cr	29.1	90.3
Co	37.4	99.2
Cu	87.7	398
Au	92.1	315
Hf	13	23
Mo	20.4	.or
Ni	37.5	90.5
Nb	18	53.7
Os	5.3	87.3
Ag	88.2	427
Ta	20.3	57.5
Ti	25.8	21.9
W	15	178

광반사막(69)에서 구해지는 특성으로서는, 고반사율은 처음부터 고열전도율을 갖는 것이 바람직하다. InGaAlP계의 재료는 열에 의한 발광효율의 저하가 현저하고, 활성층 부근의 발열을 효율 좋게 소자 외부로 방열할 필요가 있기 때문이다. 그 때문에 표 1로부터 명백해진 바와 같이, 고반사율 및 고열전도율을 양립할 수 있는 재료로서 Au 외에 Ag, Cu, Al 등을 사용하는 것이 바람직하다.

또, p형 GaP기판(60)의 이면에 형성한 p형 전극(68) 및 광반사막(69)에 있어서, 광반사막(69)에 의한 발광의 반사효과와 전류주입용 전극부의 콘택트 저항 사이에는 절충관계가 있고, 적당히 필요충분한 면적비로 할 필요가 있다. 본 실시형태에서는 광반사막(69)과 p형 전극(68)의 면적비를 1:1로 하고 있지만, 당연하지만 광반사막(69)의 면적을 크게 함으로써 발광의 추출효율이 향상되기 때문에, 콘택트 저항의 상승이 현저한 문제로 되지 않는 범위에서 광반사막(69)의 면적을 가능한 한 크게 하는 것이 바람직하다.

다음으로, 본 실시형태의 변형례에 대해 도 20을 이용하여 설명한다. 도 20은 도 15에 있어서 특히 광반사막(69)의 구조에 주목한 반도체 발광소자의 단면도이다.

도시한 바와 같이, p형 GaP기판(60)의 이면에 형성된 광반사막(69)은 Si층(72)과 Al₂O₃층(73)에 의한 다층구조를 이루고 있고, 각각의 막두께는 활성층에서의 발광파장(λ)에 대해 $\lambda/4n$ (n은 당해 발광파장에서의 Si 및 Al₂O₃의 굴절률)로 되도록 설정되어 있다.

Si층(72)과 Al₂O₃층(73)의 조합은 그 굴절률차가 크고, 또 고굴절률층인 Si층(72)의 흡수계수가 작기 때문에, 적은 대수(對數)로 높은 반사율을 얻는 것이 가능하다. 그러나, 저굴절률층인 Al₂O₃층(73)은 열전도율이 작아 소자의 열특성을 열화시킬 가능성이 있다.

도 21에 본 실시형태, 본 실시형태의 변형례 및 종래구조의 LED의 주입전류에 대한 광출력의 특성을 나타낸다. 도 21의 도면내에 있어서 ① 내지 ③라인이 각각 도 15, 도 20 및 종래구조의 LED 특성을 나타내고 있다.

도시한 바와 같이, 도 15에 나타난 구조가 출력, 내구성 모두 가장 우수하다. 한편 본 실시형태의 변형례에서 설명한 도 20의 구조에서는, Al₂O₃의 저열전도율의 영향에 의해 주입전류가 커졌을 때에 광출력이 포화하고 있는 상태를 알 수 있다. 그러나, 그것에서도 주입전류~150mA의 전체 측정범위에서 종래구조의 광출력을 상회하고 있고, 통상의 동작전류로서 사용되는 20mA의 조건에서는 거의 도 15의 구조와 동등한 특성을 갖고 있어, 본 변형례의 구조를 갖춘 반도체 발광소자를 LED에 이용하는 것은 충분히 이점이 있다고 할 수 있다.

다음으로, 본 발명의 제5실시형태에 따른 반도체 발광소자 및 그 제조방법에 대해 GaAs, GaP계 반도체 발광소자를 예로 들어 설명한다. 도 22는 발광파장 620nm의 적색광을 발생시키는 반도체 발광소자의 단면도이다.

도시한 바와 같이, n형 GaP기판(80)상의 일부에 발광층(81)이 형성되어 있다. 발광층(81)은 n형 InGaAlP 콘택트층(82), n형 InAlP 클래드층(83), InGaAlP 활성층(84), p형 InAlP 클래드층(85) 및 p형 InGaAlP 콘택트층(86)의 다층구조를 이루고 있다. 또, n형 GaP 기판(80)상의 발광층(81)이 형성되어 있지 않은 영역에는 언도프된 GaP 전류협착층(87)이 형성되고, 전면을 p형 GaP층(88)이 피복하고 있다. 그리고, p형 GaP층(88)상의 일부에는 p형 전극(89)이 형성되고, n형 GaP 기판(80)의 이면에는 n형 전극(90) 및 광반사막(91)이 형성되어 있다. 또, n형 전극(90)은 발광층(81)의 바로 아래에 위치하도록 배치되어 있다.

다음으로, 상기 구성의 반도체 발광소자의 제조방법에 대해 도 23 내지 도 28을 이용하여 설명한다. 도 23 내지 도 28은 반도체 발광소자의 제조공정의 단면도를 순차 나타내고 있다.

먼저, 도 23에 나타난 바와 같이 n형 GaAs기판(92)상에 n형 In_{0.5}Ga_{0.15}Al_{0.35}P 콘택트층(82), n형 In_{0.5}Al_{0.5}P 클래드층(83), In_{0.5}Ga_{0.1}Al_{0.4}P 활성층(84), p형 In_{0.5}Al_{0.5}P 클래드층(85) 및 p형 In_{0.5}Ga_{0.15}Al_{0.35}P 콘택트층(86)을 순차 형성한다. 또, 각 층은 제4실시형태와 마찬가지로의 방법에 의해 성장을 행한다. 다음으로, 마찬가지로 MO-CVD법 등에 의해 언도프된 GaAs 보호층(93) 및 SiO₂ 마스크층(94)을 순차 형성한다.

다음으로, 도 24에 나타난 바와 같이, 리소그래피기술과 웨트에칭법 등에 의해 SiO₂ 마스크층(94)을 패터닝한다. 그리고, SiO₂ 마스크층(94)을 마스크로 이용한 RIE법에 의해 GaAs 보호층(93), p형 In_{0.5}Ga_{0.15}Al_{0.35}P 콘택트층(86), p형 In_{0.5}Al_{0.5}P 클래드층(85), In_{0.5}Ga_{0.1}Al_{0.4}P 활성층(84), n형 In_{0.5}Al_{0.5}P 클래드층(83) 및 n형 In_{0.5}Ga_{0.15}Al_{0.35}P 콘택트층(82)을 도면과 같이 에칭하여 리지(ridge)형상으로 한다.

다음으로, 도 25에 나타난 바와 같이 n형 GaAs기판(92)상에 언도프된 GaP 전류협착층(87)을 CVD법 등에 의해 선택적으로 에피택셜성장한다.

계속하여 도 26에 나타난 바와 같이 전면에서 p형 GaP층(88)을 형성한다.

그리고, 도 27에 나타난 바와 같이 n형 GaAs기판(92)을 에칭에 의해 전부 제거한 후, 도 28과 같이 n형 GaP기판(80)을 결합한다.

그 후는 p형 GaP층(88)상에 p형 전극(89)을 형성하고, 또 n형 GaP기판(80)의 이면에는 n형 전극(90) 및 광반사막(91)을 형성하여 도 22의 구조의 반도체 발광소자를 완성한다.

또, 발광층(81)을 n형 GaAs기판상의 일부에만 잔존시키고, 최종적으로 발광층(81)의 주변을 전부 GaP에 의해 둘러싸는 구조로 하는 것이 바람직하다.

상기 반도체 발광소자에 있어서, InGaAlP 활성층(84)으로부터 방출된 적색 발광층 p형 층으로 방출된 것은 그대로 p형 InAlP 클래드층(85) 및 p형 InGaAlP 콘택트층(86) 및 p형 GaP층(88)을 통과하여 반도체 발광소자 외부로 취출된다. 한편, InGaAlP 활성층(84)으로부터 n형 GaP기판(80)측으로 방출된 발광은 투명기판인 p형 GaP기판(80)을 투과하여 광반사막(91)에서 반사되어 반도체 발광소자 외부로 취출된다.

여기에서, n형 전극(90)은 InGaAlP 활성층(83) 바로 아래에 형성되고, GaP 전류협착층(87) 바로 아래에 광반사막(91)이 형성되어 있다. 즉, 광반사막(91)에서 반사된 발광은 발광층(81)을 통과하지 않고, 밴드갭 에너지가 발광에너지보다 큰 GaP 전류협착층(87)을 통과하여 소자 외부로 취출된다. 그 때문에, 발광이 발광층(81)을 통과할 때의 재흡수가 일어나지 않기 때문에, 제4실시형태에서 설명한 구조에 비해 발광의 취출효율을 더욱 향상시킬 수 있다. 사실, 구동전류 20mA의 조건하에서 동작시킨 방사각 10°의 패키지에서 광출력은 종래구조에서의 광출력의 1.4배에 상당하는 20cd가 얻어졌다.

상기 제1 내지 제3 실시형태에 의하면, 활성층으로부터 방출된 발광을 발광층측의 전극에서 반사시켜 기판측으로부터 발광을 외부로 취출하는 3-5족 화합물 반도체를 이용한 가시광 반도체 발광소자에 있어서, 발광을 반사시키는 전극구조를 적어도 옴전극, 배리어전극 및 고반사율 전극의 3층 구조로 하고 있다. 이 배리어전극은 고융점 재료로 형성되어, 옴전극과 고반사율 전극을 구성하는 원자의 열에 의한 상호확산을 방지하는 역할을 하고 있다. 더욱이, 막두께를 매우 작게 함으로써 옴전극 및 배리어전극에서의 발광의 흡수 손실을 최소한으로 억제하고 있다. 그 때문에, 전극에서의 옴접촉성과 발광의 고반사율을 양립하고, 또 열에 의한 동작전압의 상승을 억제할 수 있어, 반도체 발광소자 및 이 반도체 발광소자를 갖춘 반도체장치의 신뢰성 및 성능을 향상시킬 수 있다. 또, 옴전극을, 예컨대 섬모양으로 형성하고 그 면적을 작게 함으로써, 발광의 옴전극에서의 손실을 저감시킬 수 있기 때문에, 전극에서의 반사율을 더욱 크게 할 수 있어 발광의 취출효율을 더욱 향상시킬 수 있다.

또, 상기 제4, 제5 실시형태에 의하면, 활성층으로부터 방출된 발광을 기판측에서 반사시켜 발광층측으로부터 발광을 외부로 취출하는 GaAs나 GaP 등의, 5족으로 N 이외의 As나 P를 사용한 3-5족 화합물 반도체에 의한 가시광 반도체 발광소자에 있어서, 발광을 반사시키는 반도체기판의 이면의 동일면상에 한쪽의 전극과 광반사막을 형성하고 있다. 이 전극에 있어서는 발광은 산란, 흡수가 발생하지만, 광반사막을 형성한 영역에서는 고효율로 발광이 반사되기 때문에, 종래에 비해 발광의 외부로의 취출효율을 향상시킬 수 있으므로, 반도체 발광소자 및 이 반도체 발광소자를 갖춘 반도체장치의 성능을 향상시킬 수 있다. 또, 발광층을 리지형상으로 하고 그 주변영역을 발광에 대해 투명한 재료로 매립하고, 또 반도체기판의 이면의 전극을 발광 바로 아래에 위치하도록 형성함으로써, 광반사막에서 반사되는 발광의 재흡수를 방지할 수 있기 때문에 발광의 취출효율을 더욱 향상시킬 수 있다.

또, 본원 발명은 상기 실시형태에 한정되는 것은 아니고, 실시단계에서는 그 요지를 일탈하지 않는 범위에서 여러 가지로 변형하는 것이 가능하다. 더욱이, 상기 실시형태에는 여러 가지 단계의 발명이 포함되어 있고, 개시되는 복수의 구성요건에서의 적당한 조합에 의해 여러 가지 발명이 추출될 수 있다. 예컨대, 실시형태에 나타내어지는 전체 구성요건으로부터 몇개의 구성요건이 삭제되어도 발명이 해결하고자 하는 과제란에서 서술한 과제를 해결할 수 있고, 발명의 효과란에서 설명되고 있는 효과가 얻어지는 경우에는 이 구성요건이 삭제된 구성이 발명으로서 추출될 수 있다.

발명의 효과

이상 설명한 바와 같이 본 발명에 의하면, 전극구조에 있어서 저항성과 고반사율을 양립시키면서, 전극을 구성하는 금속의 상호확산을 방지함으로써, 외부 양자효율을 향상시킬 수 있는 동시에 동작전압의 저감 및 신뢰성을 향상시킬 수 있는 반도체 발광소자를 제공할 수 있다.

또, 본 발명에 의하면, 전극에서의 광의 산란, 흡수를 억제함으로써, 외부 양자효율을 향상시킬 수 있는 반도체 발광소자를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

반도체기판상에 형성된 제1도전형의 제1반도체층과,

상기 제1반도체층상에 형성되고, 자연방출광을 발생시켜 방출하는 활성층,

상기 활성층상에 형성된 제2도전형의 제2반도체층,

상기 반도체기판의 이면 가장자리부에만 형성된 제1전극 및,

상기 제2반도체층상의 중앙부에 위치하도록 형성된 제2전극을 구비하고,

상기 제2전극이 형성된 측에 있어서 마운트되고, 상기 반도체기판 이면측으로부터 주된 광을 취출하는 것을 특징으로 하는 반도체 발광소자.

청구항 2.

반도체기판 또는 절연기판상에 형성된 제1도전형의 제1반도체층과,

상기 제1반도체층상에 형성되고, 자연방출광을 발생시켜 방출하는 활성층,

상기 활성층상에 형성된 제2도전형의 제2반도체층,

상기 제1반도체층상에 형성되고, 상기 활성층 및 상기 제2반도체층과 이격된 제1전극 및,

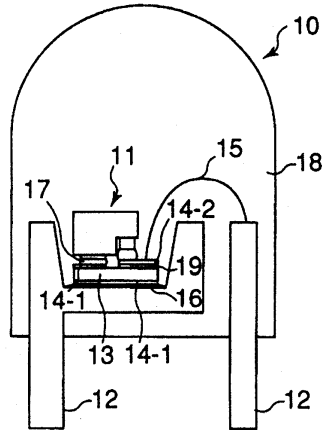
상기 제2반도체층상의 중앙부에 위치하도록 형성된 제2전극을 구비하고,

상기 제1전극은, 상기 제2전극이 접착되는 외부전극이 어셈블리후에 위치하는 외부전극 배치영역을 제외하고, 그 제2전극을 둘러싸도록 하여 상기 제1반도체층의 가장자리부에 형성되며,

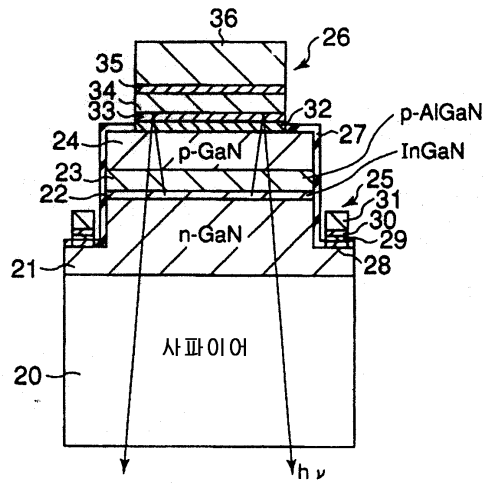
상기 제2전극이 형성된 측에 있어서 마운트되고, 상기 반도체기판 또는 상기 절연기판의 이면측으로부터 주된 광을 취출하는 것을 특징으로 하는 반도체 발광소자.

도면

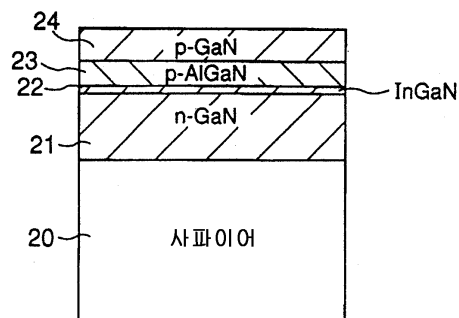
도면1



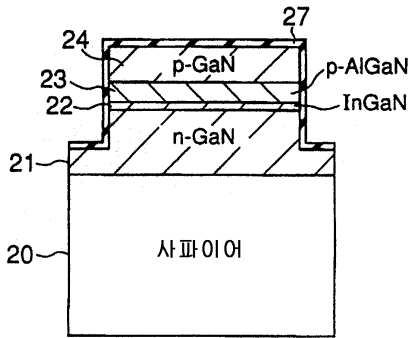
도면2



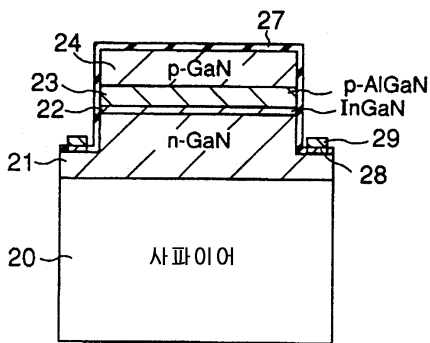
도면3



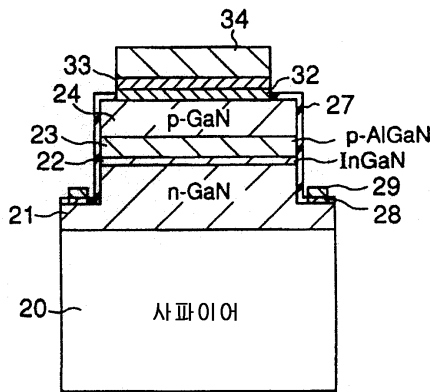
도면4



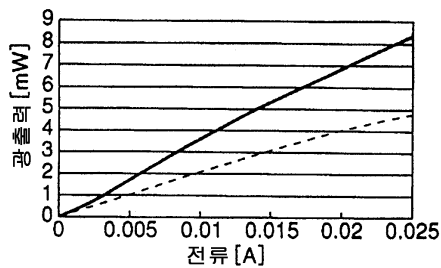
도면5



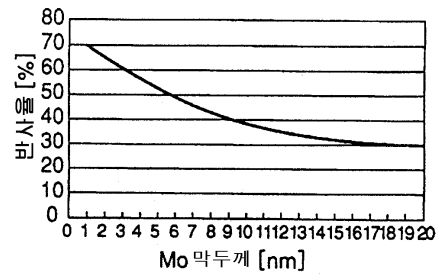
도면6



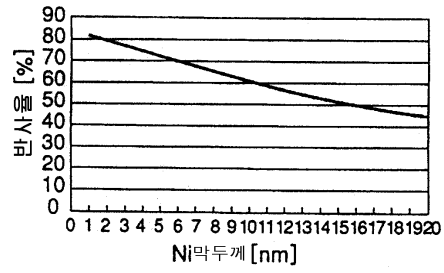
도면7



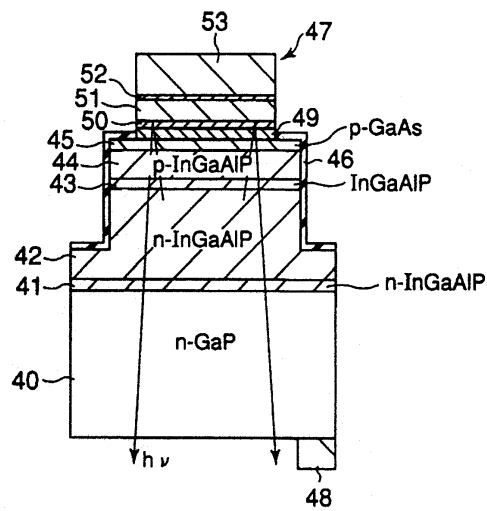
도면8



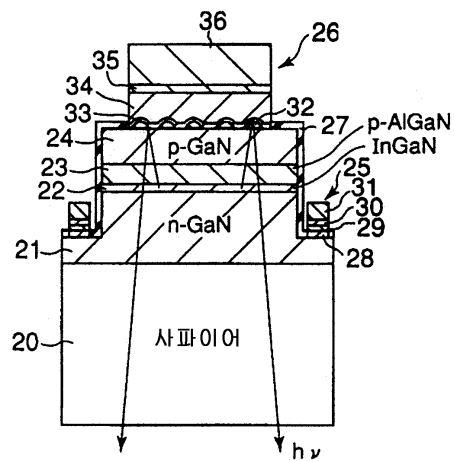
도면9



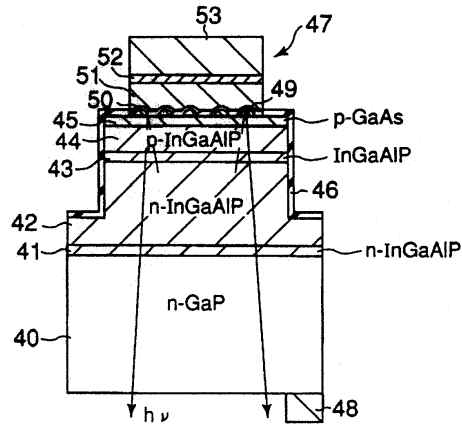
도면10



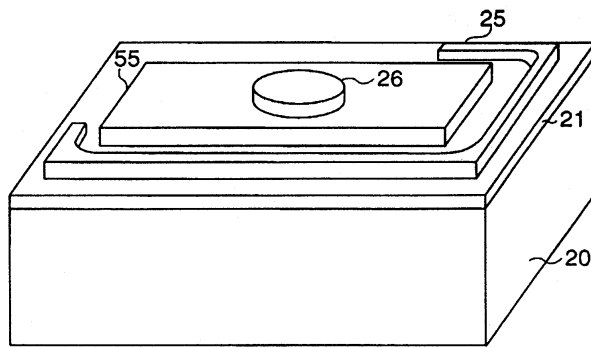
도면11



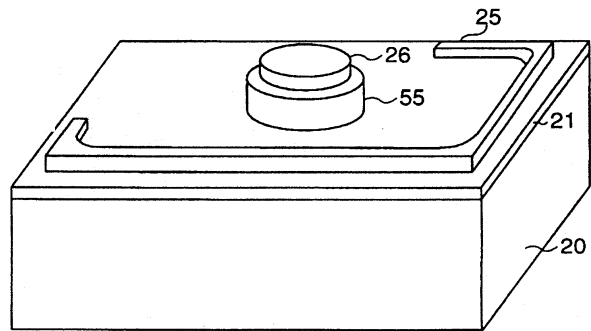
도면12



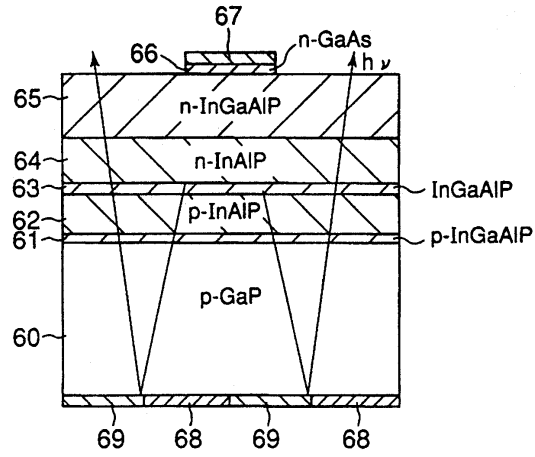
도면13



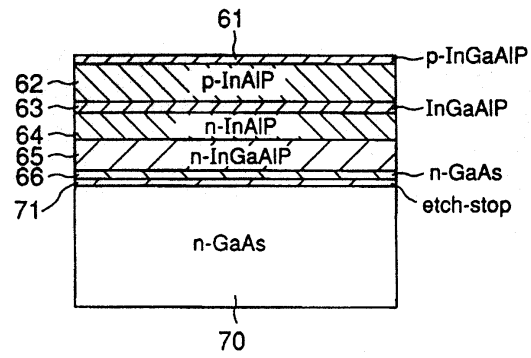
도면14



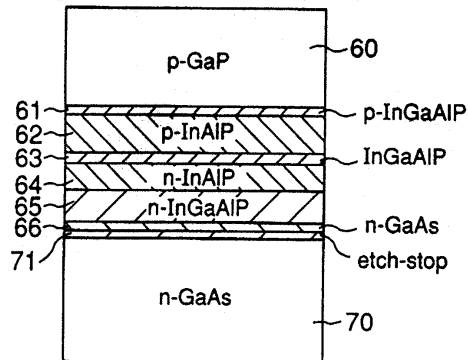
도면15



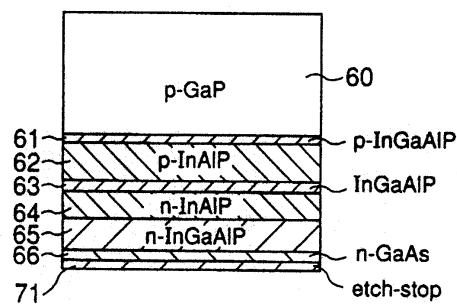
도면16



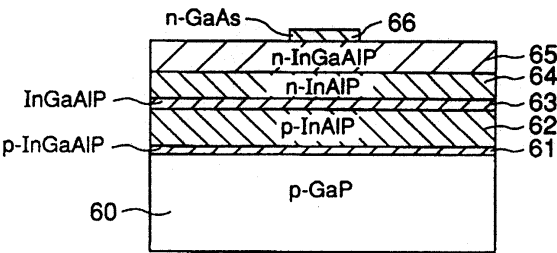
도면17



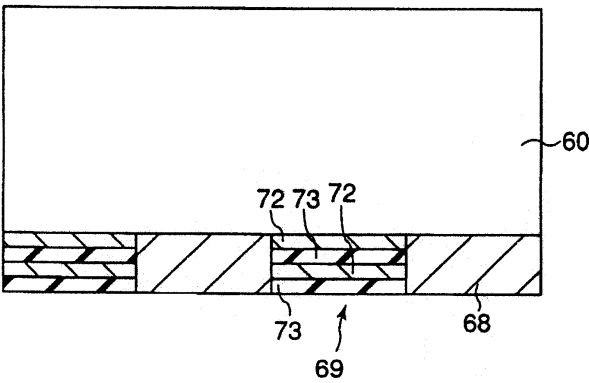
도면18



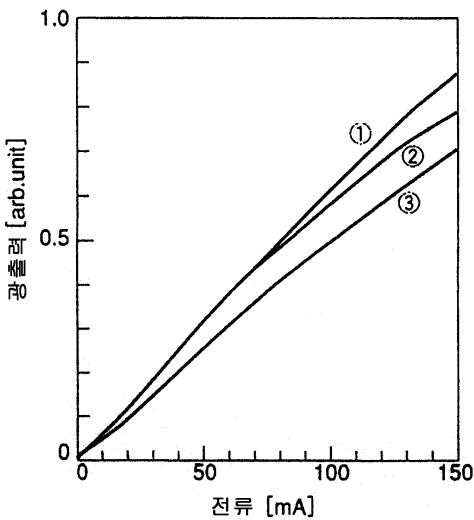
도면19



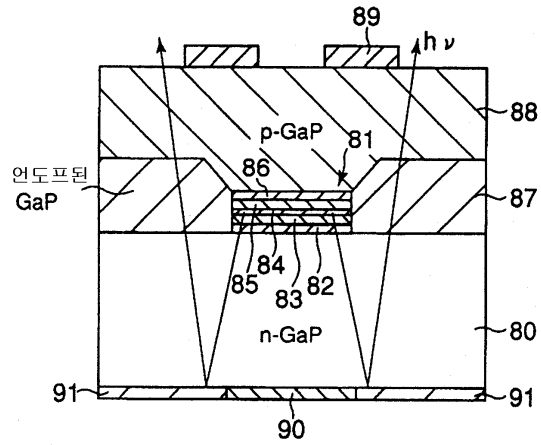
도면20



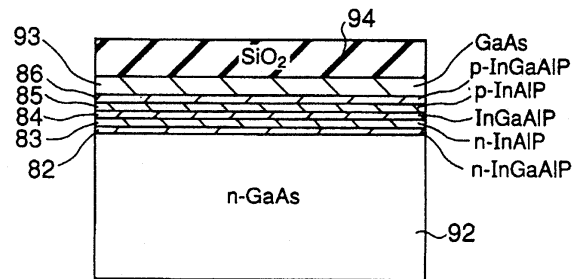
도면21



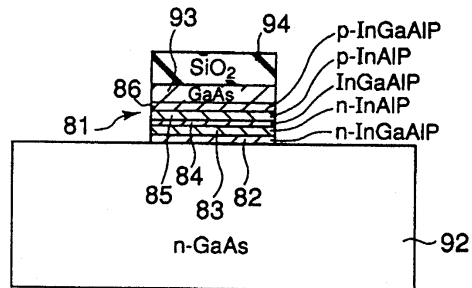
도면22



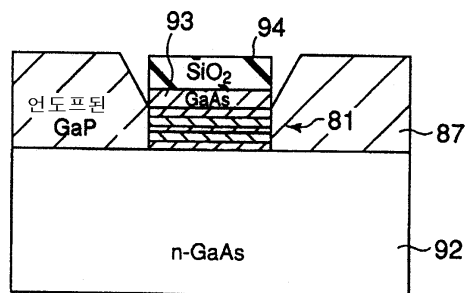
도면23



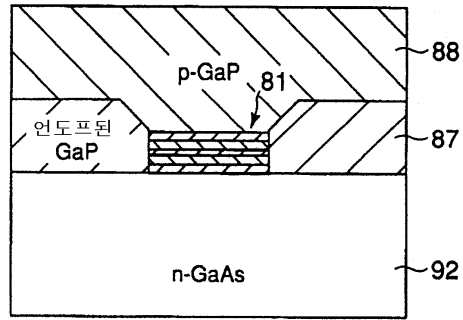
도면24



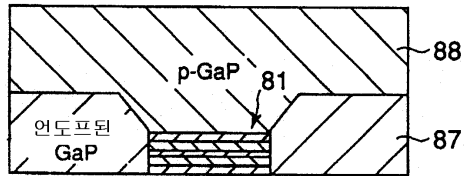
도면25



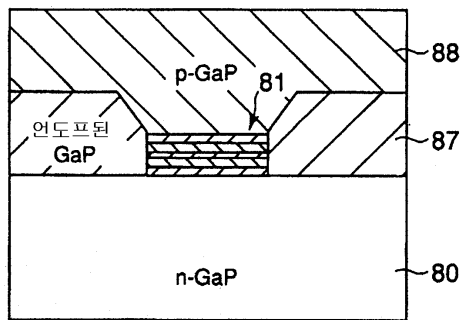
도면26



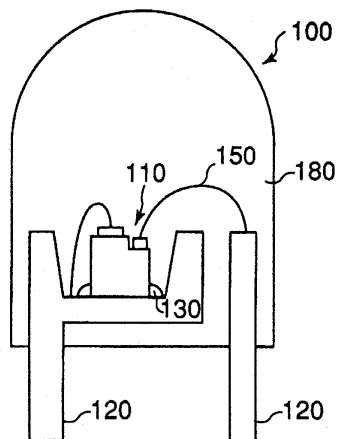
도면27



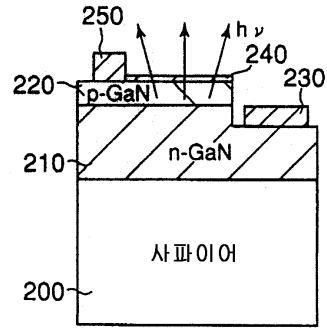
도면28



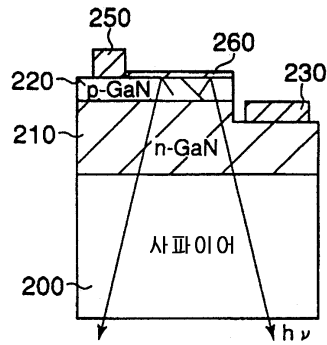
도면29



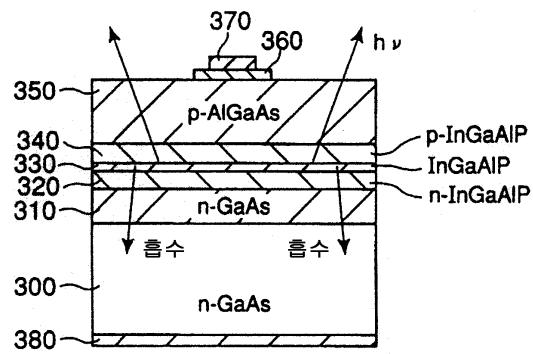
도면30



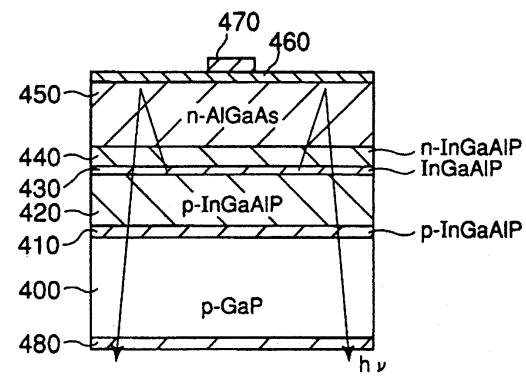
도면31



도면32



도면33



도면34

