(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 21/76

(11) 공개번호 특2001-0003615
(43) 공개일자 2001년01월15일

(21) 출원번호 10-1999-0023978
(22) 출원일자 1999년06월24일

(71) 출원인 현대전자산업 주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 원대희
경기도이천시증포동대우2차아파트205-1806
(74) 대리인 특허법인 신성 박해천, 특허법인 신성 원석희, 특허법인 신성 최종식, 특허법인 신성 박정후, 특허법인 신성 정지원

심사청구 : 없음

(54) 반도체 소자의 트렌치형 소자분리막 형성방법

요약

본 발명은 반도체 제조 기술에 관한 것으로, 특히 트렌치형 소자분리막 형성방법에 관한 것이며, 트렌치 상부 모서리 영역의 모트 발생 방지를 위해 측벽 스페이서를 채용하는 경우, 트렌치 상부 모서리 영역의 뾰족한 활성영역 프로파일에 의해 전계가 집중되는 것을 방지할 수 있는 반도체 소자의 트렌치형 소자분리막 형성방법을 제공하는데 그 목적이 있다. 본 발명은 트렌치 소자 분리 공정시 트렌치 상부 모서리 영역의 모트 발생 방지를 위해 측벽 스페이서를 채용하는 경우, 측벽 스페이서를 이용한 트렌치 식각 후 불순물 이온주입 공정을 적용하는 기술이다. 불순물 이온주입을 실시하게 되면 트렌치 상부 모서리 부분의 실리콘 기판에 불순물 영역이 형성되며, 불순물이 도핑된 영역의 산화속도가 불순물이 도핑되지 않은 영역에 비해 더 빠르므로 후속 희생산화 공정 및/또는 트렌치 측벽 산화 공정을 거치면서 트렌치 상부 모서리 부분이 라운딩 된다.

대표도

도2c

색인어

트렌치, 소자분리, 스페이서, 전계집중, 트렌치 상부 모서리

명세서

도면의 간단한 설명

도 1a 및 도 1b는 종래기술에 따른 트렌치 소자분리 공정도.

도 2a 내지 도 2g는 본 발명의 일 실시예에 따른 트렌치 소자분리 공정도.

* 도면의 주요 부분에 대한 부호의 설명

20 : 실리콘 기판 21 : 패드 산화막
22 : 질화막 23 : 산화막 스페이서
24 : 이온주입 영역 25 : 열산화막
26 : 트렌치 매립 산화막 27 : 게이트 산화막
B : 트렌치 상부 모서리 부분

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 기술에 관한 것으로, 특히 트렌치형 소자분리막 형성방법에 관한 것이다.

트렌치 소자분리(shallow trench isolation, STI) 공정은 반도체 소자의 디자인 룰(design rule)의 감소에 따른 필드 산화막의 열화와 같은 공정의 불안정 요인과, 버즈비크(bird's beak)에 따른 활성 영역의 감소와 같은 문제점을 근본적으로 해결할 수 있는 소자분리 공정으로 부각되고 있으며, 1G DRAM급 이상의 초고집적 반도체 소자 제조 공정에의 적용이 유망한 기술이다.

첨부된 도면 도 1a 및 도 1b는 종래기술에 따른 STI 공정을 도시한 것으로, 이하 이를 참조하여 설명한다.

종래의 STI 공정은, 우선 도 1a에 도시된 바와 같이 실리콘 기판(10) 상에 패드 산화막(11) 및 질화막(12)을 형성하고, 이들을 선택식각하여 트렌치 마스크를 형성한 다음, 그 측벽에 산화막 스페이서(도시되지 않음)을 형성하고, 노출된 실리콘 기판(10)을 건식식각함으로써 트렌치를 형성한다. 계속하여, 산화막 스페이서를 제거한 다음, 일련의 트렌치 측벽 희생산화 공정(건식 식각에 의한 실리콘 표면의 식각 결함의 제거 목적) 및 트렌치 측벽 재산화 공정을 실시하고, 트렌치 매립용 산화막(13)을 증착하여 트렌치를 매립하고 화학·기계적 연마(chemical mechanical polishing, CMP) 공정을 실시하여 트렌치 매립용 산화막(13)을 평탄화시킨다.

이어서, 도 1b에 도시된 바와 같이 후속 질화막(12) 제거 공정, 게이트 산화전 희생산화 공정, 세정 공정, 게이트 산화 공정 등을 실시하여 게이트 산화막(14)까지 형성한다.

전술한 바와 같이 수행되는 종래의 STI 공정에서, 산화막 스페이서는 트렌치 상부 모서리 부분에 모트(moat)가 형성되는 것을 방지하기 위한 것으로, 산화막 스페이서의 적용으로 모트 발생을 어느 정도 방지할 수 있으나, 트렌치 상부 모서리 부분(A)의 활성영역 프로파일이 뾰족하게 형성되는 결과를 유발하여 그 부분에서의 전계 집중에 의한 소자의 전기적 특성 열화가 문제점으로 지적되고 있다.

발명이 이루고자하는 기술적 과제

본 발명은 트렌치 상부 모서리 영역의 모트 발생 방지를 위해 측벽 스페이서를 채용하는 경우, 트렌치 상부 모서리 영역의 뾰족한 활성영역 프로파일에 의해 전계가 집중되는 것을 방지할 수 있는 반도체 소자의 트렌치형 소자분리막 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위한 본 발명의 특징적인 반도체 소자의 트렌치형 소자분리막 형성방법은, 실리콘 기판 상부에 산화방지막 패턴을 형성하는 제1 단계; 상기 산화방지막 패턴의 측벽에 상기 산화방지막 패턴과 다른 식각 선택비를 가지는 물질을 사용하여 측벽 스페이서를 형성하는 제2 단계; 상기 제2 단계 수행 후 노출된 상기 실리콘 기판을 식각하여 트렌치를 형성하는 제3 단계; 상기 제3 단계 수행 후 불순물 이온주입을 실시하여 상기 트렌치 상부 모서리 부분의 상기 실리콘 기판에 불순물 영역을 형성하는 제4 단계; 상기 측벽 스페이서를 제거하는 제5 단계; 및 상기 제5 단계 수행 후 노출된 상기 실리콘 기판 표면에 제1 열산화막을 형성하는 제6 단계를 포함하여 이루어진다.

즉, 본 발명은 트렌치 소자 분리 공정시 트렌치 상부 모서리 영역의 모트 발생 방지를 위해 측벽 스페이서를 채용하는 경우, 측벽 스페이서를 이용한 트렌치 식각 후 불순물 이온주입 공정을 적용하는 기술이다. 불순물 이온주입을 실시하게 되면 트렌치 상부 모서리 부분의 실리콘 기판에 불순물 영역이 형성되며, 불순물이 도핑된 영역의 산화속도가 불순물이 도핑되지 않은 영역에 비해 더 빠르므로 후속 희생산화 공정 및/또는 트렌치 측벽 산화 공정을 거치면서 트렌치 상부 모서리 부분이 라운딩 된다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.

첨부된 도면 도 2a 내지 도 2g는 본 발명의 일 실시예에 따른 STI 공정을 도시한 것으로, 이하 이를 참조하여 설명한다.

본 실시예에 따른 공정은, 우선 도 2a에 도시된 바와 같이 실리콘 기판(20) 상에 패드 산화막(21) 및 질화막(22)을 각각 50~200Å 및 1000~3000Å의 두께로 차례로 형성하고, 소자분리 마스크 공정 및 식각 공정을 통해 질화막(22) 및 패드 산화막(21)을 선택적으로 식각한다. 이때, 원하는 트렌치 폭보다 소정 폭(이후 산화막 스페이서의 폭) 만큼 크게 개구부가 디파인 되도록 한다.

다음으로, 도 2b에 도시된 바와 같이 패터닝된 질화막(22) 및 패드 산화막(21) 측벽 부분에 산화막 스페이서(100~300Å)(23)를 형성한 다음, 질화막(22) 및 산화막 스페이서(23)를 식각 마스크로 사용하여 실리콘 기판(20)을 1500~4000Å 건식 식각함으로써 트렌치를 형성한다.

계속하여, 도 2c에 도시된 바와 같이 3족 또는 5족 이온을 주입한다. 이때, 산화막 스페이서(23) 하부의 트렌치 상부 모서리 부분에 이온이 주입되도록 하며, 질화막(22) 하부의 실리콘 기판(20)에는 이온이 주

입되지 않도록 이온주입 에너지를 조절한다. 미설명 도면 부호 '24'는 이온주입 영역을 나타낸 것이다.

이어서, 도 2d에 도시된 바와 같이 산화막 스페이서(23)를 습식 제거한다. 이때, 트렌치 상부 모서리 부분의 실리콘 기판(20)에 이온주입 영역(24)이 노출된다.

다음으로, 도 2e에 도시된 바와 같이 트렌치 식각에 의한 실리콘 기판(20) 표면의 식각 손상을 제거하기 위하여 통상적으로 실시되는 트렌치 측벽 희생산화 및 희생산화막(도시되지 않음) 습식 제거 공정을 실시한 다음, 다시 트렌치 측벽 산화 공정을 실시하여 100~300Å 두께의 열산화막(25)을 형성한다. 이때, 트렌치 측벽 산화 공정은 건식 또는 습식 산화법을 사용할 수 있으며, 물론 희생산화 공정을 생략하는 것도 가능하나, 소자의 특성을 향상시키기 위해서는 이를 실시하는 것이 바람직하다. 도면을 참조하면, 이온주입 영역(24)에 의해 트렌치 상부 모서리 부분의 실리콘 기판(20)이 라운딩됨을 확인할 수 있다.

이어서, 도 2f에 도시된 바와 같이 트렌치 매립 산화막(26)을 증착하여 트렌치를 매립하고, 화학·기계적 연마(CMP) 공정 또는 에치-백(etch-back) 공정을 실시하여 산화막(26)의 평탄화를 이룬다. 이때, 이후 형성되는 필드 산화막의 단차를 조절하기 위하여 산화막(26)의 습식식각(200~500Å 타겟)을 추가적으로 진행할 수 있다.

계속하여, 도 2g에 도시된 바와 같이 노출된 질화막(22)을 습식 제거하고, 통상의 게이트 희생산화 공정 및 세정 공정을 거친 후, 활성영역 상에 게이트 산화막(27)을 형성한다.

상기와 같은 공정을 실시하게 되면, 트렌치 모서리 부분(B)에 이온주입 영역이 형성되고, 후속 희생산화 공정 및/또는 트렌치 측벽 산화 공정을 거치면서 트렌치 상부 모서리 부분(B)이 라운딩되어 이후 그 부분(B)에서 전계가 집중하는 현상을 방지할 수 있게 된다. 이는 불순물이 첨가에 의해 산화속도가 빨라지는 현상을 이용한 것이다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

예컨대, 전술한 실시예에서는 측벽 스페이서로 산화막을 사용하는 경우를 일례로 들어 설명하였으나, 질화막으로 대표되는 산화방지막 및 실리콘 기판과 식각 선택비를 가지는 물질을 측벽 스페이서로 사용하는 모든 경우에 본 발명은 적용된다.

발명의 효과

전술한 본 발명은 측벽 스페이서와 이온주입 공정을 도입하여 트렌치 측벽 희생산화 공정 또는/및 트렌치 측벽산화 공정시 트렌치 상부 모서리 부분의 실리콘 기판을 라운드진 프로파일로 만들 수 있으며, 이로 인하여 트렌치 상부 모서리 부분에서의 전계 집중 현상을 억제할 수 있어 소자의 전기적 특성 열화를 방지할 수 있다.

(57) 청구의 범위

청구항 1

실리콘 기판 상부에 산화방지막 패턴을 형성하는 제1 단계;

상기 산화방지막 패턴의 측벽에 상기 산화방지막 패턴과 다른 식각 선택비를 가지는 물질을 사용하여 측벽 스페이서를 형성하는 제2 단계;

상기 제2 단계 수행 후 노출된 상기 실리콘 기판을 식각하여 트렌치를 형성하는 제3 단계;

상기 제3 단계 수행 후 불순물 이온주입을 실시하여 상기 트렌치 상부 모서리 부분의 상기 실리콘 기판에 불순물 영역을 형성하는 제4 단계;

상기 측벽 스페이서를 제거하는 제5 단계; 및

상기 제5 단계 수행 후 노출된 상기 실리콘 기판 표면에 제1 열산화막을 형성하는 제6 단계

를 포함하여 이루어진 반도체 소자의 트렌치형 소자분리막 형성방법.

청구항 2

제1항에 있어서,

상기 제1 열산화막을 습식 제거하는 제7 단계;

상기 제7 단계 수행 후 노출된 상기 실리콘 기판 표면에 제2 열산화막을 형성하는 제8 단계; 및

상기 트렌치 내에 절연물을 매립하는 제9 단계를 더 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 트렌치형 소자분리막 형성방법.

청구항 3

제2항에 있어서,

상기 제9 단계가,

상기 제8 단계 수행 후 전체구조 상부에 트렌치 매립용 산화막을 증착하는 제10 단계;

상기 산화방지막 패턴이 노출되도록 상기 산화막을 평탄화시키는 제11 단계; 및

상기 산화방지막 패턴을 제거하는 제12 단계를 더 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 트렌치형 소자분리막 형성방법.

청구항 4

제1항에 있어서,

상기 산화방지막 패턴이 질화막을 포함하는 것을 특징으로 하는 반도체 소자의 트렌치형 소자분리막 형성방법.

청구항 5

제4항에 있어서,

상기 측벽 스페이서가,

산화막으로 이루어진 것을 특징으로 하는 반도체 소자의 트렌치형 소자분리막 형성방법.

청구항 6

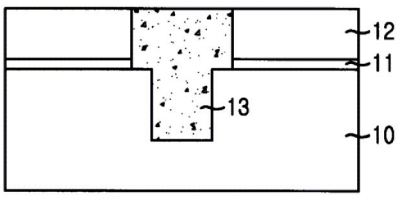
제1항 내지 제5항 중 어느 한 항에 있어서,

상기 불순물이,

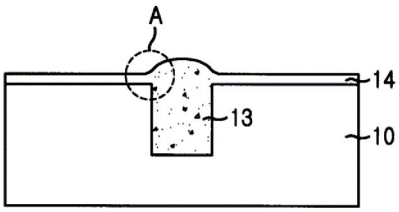
3족 또는 5족 원소인 것을 특징으로 하는 반도체 소자의 트렌치형 소자분리막 형성방법.

도면

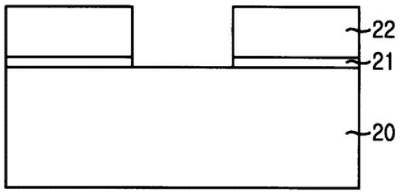
도면1a



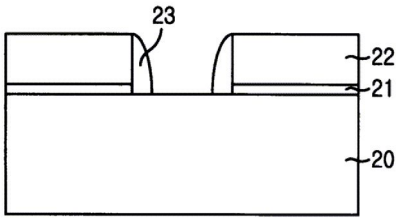
도면1b



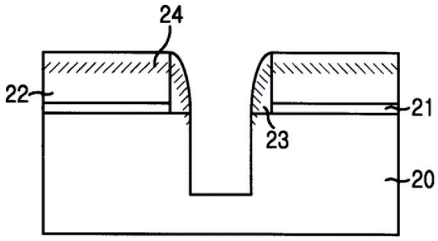
도면2a



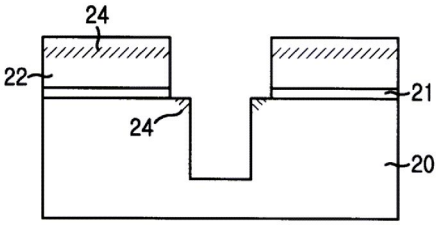
도면2b



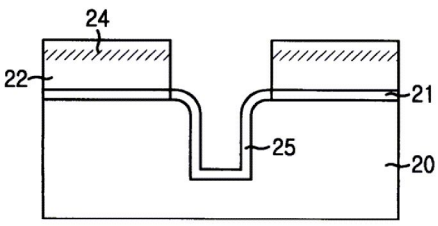
도면2c



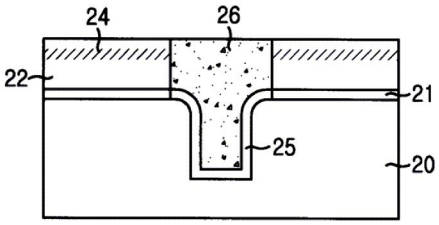
도면2d



도면2e



도면2f



도면2g

