(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0108047
(43) 공개일자 2008년12월11일

(51) Int. Cl.
H01L 23/14 (2006.01) *H01L 23/18* (2006.01)
(21) 출원번호 10-2008-0053282
(22) 출원일자 2008년06월05일
심사청구일자 없음
(30) 우선권주장
JP-P-2007-00151168 2007년06월07일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
히사시 오타니
일본, 243-0036, 카나가와-켄, 아츠기-시, 하세 398,가부시키가이샤 한도오따이 에네루기 켄쿠쇼 내
에이지 스기야마
일본, 491-0846, 아이치-켄, 이치노미야-시, 우시노도리, 3-5-3
(74) 대리인
이범래

전체 청구항 수 : 총 13 항

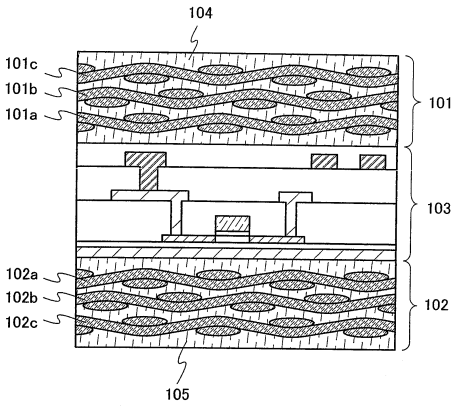
(54) 반도체 장치

(57) 요 약

본 발명은 회로 규모 또는 메모리 용량을 확보하면서도, 외력, 특히 가압에 대한 신뢰성을 높일 수 있는 반도체 장치를 제공한다.

유기 화합물 또는 무기 화합물의 섬유체를 복수층, 특히 3층 이상 적층한 것에 유기 수지를 함침한 한 쌍의 구조체와, 상기 한 쌍의 구조체의 사이에 형성된 소자층을 갖는다. 소자층과 상기 구조체는 가열 압착에 의해 고착시킬 수 있다. 또는 소자층과 상기 구조체를 고착시키기 위한 층을 형성하여도 좋다. 또는 소자층에 섬유체를 복수 겹친 후, 상기 섬유체에 유기 수지를 함침시키는 것으로, 소자층에 고착한 상기 구조체를 형성할 수 있다.

대 표 도 - 도1



특허청구의 범위

청구항 1

반도체 장치에 있어서,

반도체 소자를 포함하는 소자층; 및

한 쌍의 구조체들로서, 상기 한 쌍의 구조체들의 각각은 유기 수지가 함침된 복수의 섬유체의 적층을 포함하는, 상기 한 쌍의 구조체들을 포함하고,

상기 소자층은 상기 한 쌍의 구조체들 사이에 고착되는, 반도체 장치.

청구항 2

반도체 장치에 있어서,

반도체 소자를 포함하는 소자층; 및

한 쌍의 구조체들로서, 상기 한 쌍의 구조체들의 각각은 유기 수지가 함침된 복수의 섬유체들의 적층을 포함하는, 상기 한 쌍의 구조체들을 포함하고,

상기 한 쌍의 구조체들 중 한쪽의 두께에 대한 상기 한 쌍의 구조체들 중 다른 쪽의 두께의 비가 0.8 이상 1.2 이하이고,

상기 소자층은 상기 한 쌍의 구조체들 사이에 고착되는, 반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 반도체 소자는 트랜지스터를 포함하고, 상기 트랜지스터는 서로 분리되는 복수의 채널 형성 영역들을 포함하는, 반도체 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 반도체 소자는 복수의 트랜지스터들을 포함하고, 상기 복수의 트랜지스터들의 게이트들은 서로에 대해 접속되어 있고, 그 소스들은 서로에 대해 접속되어 있으며, 그 드레인들은 서로에 대해 접속되어 있는, 반도체 장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 섬유체는 직포 또는 부직포인, 반도체 장치.

청구항 6

반도체 장치에 있어서,

반도체 소자를 포함하는 소자층;

한 쌍의 구조체들로서, 상기 한 쌍의 구조체들의 각각은 유기 수지가 함침된 복수의 섬유체들의 적층을 포함하는, 상기 한 쌍의 구조체들을 포함하고,

상기 복수의 섬유체들의 각각은 유기 화합물 또는 무기 화합물의 복수의 단사들을 묶음으로써 각각 형성된 씨실과 날실을 사용하고,

상기 소자층은 상기 한 쌍의 구조체들 사이에 고착되는, 반도체 장치.

청구항 7

반도체 장치에 있어서,

반도체 소자를 포함하는 소자층;

한 쌍의 구조체들로서, 상기 한 쌍의 구조체들의 각각은 유기 수지가 함침된 복수의 섬유체들의 적층을 포함하는, 상기 한 쌍의 구조체들을 포함하고,

상기 복수의 섬유체들의 각각은 유기 화합물 또는 무기 화합물의 복수의 단사들을 묶음으로써 각각 형성된 씨실과 날실을 사용하고,

상기 복수의 섬유체들 중 적어도 두 개의 섬유체들은 상기 씨실들 및 상기 날실들의 상이한 방향을 갖고,

상기 소자층은 상기 한 쌍의 구조체들 사이에 고착되는, 반도체 장치.

청구항 8

제 1 항, 제 2 항, 제 6 항, 또는 제 7 항 중 어느 한 항에 있어서,

상기 섬유체는 폴리비닐알콜계 섬유, 폴리에스테르계 섬유, 폴리아미드계 섬유, 폴리에틸렌계 섬유, 아라미드계 섬유, 폴리파라페닐렌벤조비스옥사졸섬유, 유리 섬유, 및 탄소 섬유로 이루어진 그룹으로부터 선택된 재료를 포함하는, 반도체 장치.

청구항 9

제 1 항, 제 2 항, 제 6 항, 또는 제 7 항 중 어느 한 항에 있어서,

상기 유기 수지는 열경화성 수지 또는 열가소성 수지를 포함하는, 반도체 장치.

청구항 10

제 9 항에 있어서,

상기 열경화성 수지는 에폭시 수지, 불포화폴리에스테르 수지, 폴리이미드 수지, 비스말레이미드트리아진 수지, 또는 시아네이트 수지인, 반도체 장치.

청구항 11

제 9 항에 있어서,

상기 열가소성 수지는 폴리페닐렌옥사이드 수지, 폴리에테르이미드 수지, 또는 불소 수지인, 반도체 장치.

청구항 12

제 1 항, 제 2 항, 제 6 항, 또는 제 7 항 중 어느 한 항에 있어서,

상기 복수의 섬유체들은 세 개 이상의 층들을 포함하는, 반도체 장치.

청구항 13

제 1 항, 제 2 항, 제 6 항, 또는 제 7 항 중 어느 한 항에 있어서,

상기 반도체 소자는 섬형 반도체막을 포함하는, 반도체 장치.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 가요성을 갖는 기판을 사용한 반도체 장치에 관한 것이다.

배 경 기 술

<2> 가요성을 갖는 기판은 유리 기판과 비교하여 진동, 충격에 대한 기계적 강도가 우수하여, 두께를 억제하기

쉽고, 형상의 자유도가 높다고 하는 메리트를 갖고 있다. 이 때문에, 상기 가요성을 갖는 기판을 사용한 반도체 장치에는 여러 가지의 어플리케이션이 기대되고 있다. 상기 가요성을 갖는 기판 중에는 반도체 소자의 제작 공정에서의 열 처리에 견딜 수 있을 만큼, 내열성이 우수하지 않은 것이 있다. 이 경우, 별도 준비한 내열성을 갖는 기판에 있어서 반도체 소자를 형성한 후, 상기 반도체 소자를 기판으로부터 박리하여, 가요성을 갖는 기판에 접합하는 제작 방법이 제안되어 있다.

<3> 본 출원인은 특허문헌 1이나 특허문헌 2에 기재된 박리 및 전사기술을 제안하고 있다. 특허문헌 1에는 박리층이 되는 산화규소층을 웨트 에칭으로 제거하여 박리하는 기술이 기재되어 있다. 또한, 특허문헌 2에는 박리층이 되는 실리콘층을 드라이 에칭으로 제거하여 박리하는 기술이 기재되어 있다. 또한, 본 출원인은 특허문헌 3에 기재된 박리 및 전사 기술을 제안하고 있다. 특허문헌 3에는 기판에 금속층(Ti, Al, Ta, W, Mo, Cu, Cr, Nd, Fe, Ni, Co, Ru, Rh, Pd, Os, Ir)을 형성하고, 그 위에 산화물층을 적층 형성할 때, 상기 금속층의 금속 산화물층을 금속층과 산화물층의 계면에 형성하고, 이 금속 산화물층을 이용하여 나중의 공정에서 박리를 하는 기술이 기재되어 있다.

<4> [특허문헌 1] 특허 제3364081호

<5> [특허문헌 2] 특허 제3406727호

<6> [특허문헌 3] 일본 공개특허공보 2003-174153호

발명의 내용

해결 하고자하는 과제

<7> 그런데, 반도체 장치에 여러 가지의 기능을 추가하기 위해서는 반도체 장치가 갖는 집적 회로의 회로 규모나 메모리 용량을 필연적으로 더욱 크게 해야만 하였다. 그러나, 회로 규모나 메모리 용량을 증대시키면, 이에 따라 반도체 장치가 갖는 집적 회로의 전유 면적도 증대되는 경향이 있기 때문에, 외부로부터 가해지는 힘(외력)에 대한 반도체 장치의 신뢰성이 떨어져 버린다. 이 때문에, 상술한 바와 같이, 여러 가지의 어플리케이션을 기대할 수 있다고 하는 가요성을 갖는 기판의 메리트를 충분히 살릴 수 없다고 하는 문제가 생긴다. 또한 반도체 장치의 면적은 변하지 않아도, 가요성을 갖는 기판을 사용하는 경우, 외부로부터 국소적으로 가해지는 압력(가압)에 대한 신뢰성에 관해서는 개선의 여지가 남겨져 있었다.

<8> 상기 문제를 감안하여, 본 발명은 회로 규모 또는 메모리 용량을 확보하면서도, 외력, 특히 가압에 대한 신뢰성을 높일 수 있는, 반도체 장치의 제공을 과제로 한다.

과제 해결수단

<9> 본 발명자 등은 유기 화합물 또는 무기 화합물의 섬유체에 유기 수지가 함침되어 있는 구조체에 착안하여, 상기 섬유체가 복수층, 특히 3층 이상 적층된 한 쌍의 구조체의 사이에, 박막의 반도체막을 사용하여 형성된 반도체 소자를 갖는 소자층을 형성하는 것으로, 외력, 특히 가압에 대한 반도체 장치의 신뢰성이 비약적으로 높아지는 것을 발견하였다.

<10> 구체적으로 본 발명의 반도체 장치에서는 유기 화합물 또는 무기 화합물의 섬유체를 복수층, 특히 3층 이상 적층한 것에 유기 수지를 함침한 한 쌍의 구조체와, 상기 한 쌍의 구조체의 사이에 형성된 소자층을 갖는다. 소자층과 상기 구조체는 가열 압착에 의해 고착시킬 수 있다. 또는 소자층과 상기 구조체를 고착시키기 위한 층을 형성하여도 좋다. 또는 소자층에 섬유체를 복수 겹친 후, 상기 섬유체에 유기 수지를 함침시키는 것으로, 소자층에 고착한 상기 구조체를 형성할 수 있다.

<11> 소자층의 두께는 1㎛ 이상 10㎛ 이하, 또 1㎛ 이상 5㎛ 이하이고, 한 쌍의 구조체의 토탈 두께는 20㎛ 이상 100㎛ 이하인 것이 바람직하다. 이러한 두께로 함으로써, 만곡하는 것이 가능한 반도체 장치를 제작할 수 있다.

<12> 섬유체로서는 유기 화합물 또는 무기 화합물의 고강도 섬유를 사용한 직포 또는 부직포이다. 고강도 섬유는 구체적으로는 인장 탄성율 또는 영율이 높은 섬유이다. 섬유체로서 고강도 섬유를 사용함으로써, 국소적인 가압이 반도체 장치에 가해졌다고 해도, 상기 압력이 섬유체 전체에 분산되어, 반도체 장치의 일부가 연신하는 것을 막을 수 있다. 즉, 일부의 연신에 따른 배선, 반도체 소자 등의 파괴를 방지하는 것이 가능하다.

<13> 또한, 유기 수지로서는 열가소성 수지 또는 열경화성 수지를 사용할 수 있다.

효 과

<14> 본 발명에 의해, 외력, 특히 가압이 가해져도 파손되기 어려워, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

<15> 이하, 본 발명의 실시 형태에 관해서 도면을 참조하면서 설명한다. 단, 본 발명은 많은 다른 형태로 실시하는 것이 가능하고, 본 발명의 취지 및 그 범위로부터 일탈하지 않고 그 형태 및 상세한 것을 여러가지로 변경할 수 있다는 것은 당업자이면 용이하게 이해할 수 있다. 따라서, 본 실시 형태의 기재 내용에 한정하여 해석되는 것은 아니다.

<16> (실시 형태 1)

<17> 도 1에, 본 발명의 반도체 장치의 단면도를 일례로서 도시한다. 도 1에 도시하는 반도체 장치에서는 구조체(101)와, 구조체(102)와, 한 쌍의 구조체(101, 102)의 사이에 형성된 소자층(103)을 갖는다. 구조체(101)는 유기 화합물 또는 무기 화합물의 섬유체(101a), 섬유체(101b), 섬유체(101c)와, 섬유체(101a 내지 101c)에 함침된 유기 수지(104)를 갖는다. 섬유체(101a), 섬유체(101b), 섬유체(101c)는 적층되어 있다. 마찬가지로, 구조체(102)는 유기 화합물 또는 무기 화합물의 섬유체(102a), 섬유체(102b), 섬유체(102c)와, 섬유체(102a 내지 102c)에 함침된 유기 수지(105)를 갖는다. 섬유체(102a), 섬유체(102b), 섬유체(102c)는 적층되어 있다.

<18> 또 본 실시 형태에서는 각 구조체에 있어서 3층의 섬유체가 적층되어 있는 경우를 예시하였지만, 본 발명은 이 구성에 한정되지 않는다. 각 구조체에 있어서 2층의 섬유체가 적층되어 있어도 좋고, 4층 이상의 섬유체가 적층되어 있어도 좋다. 또한 구조체(101)와, 구조체(102)는 갖는 섬유체의 수가 달라도 좋다.

<19> 또한 도 1에 있어서, 소자층(103)과 구조체(101, 102)가 직접 고착되어 있지만, 접착제로서 기능하는 접착층에 의해서 고착되어 있어도 좋다.

<20> 구조체(101)와 구조체(102)의 두께를 같은 정도, 구체적으로는 한쪽의 구조체의 두께에 대한 다른 쪽의 구조체의 두께의 비가 0.8 이상 1.2 이하가 되도록 하고, 유기 수지(104)와 유기 수지(105)의 재료를 같게 하는 것으로, 반도체 장치의 휘어짐을 저감할 수 있다. 또한 구조체(101)와 구조체(102)의 두께를 같은 정도, 구체적으로는 한쪽의 구조체의 두께에 대한 다른 쪽의 구조체의 두께의 비가 0.8 이상 1.2 이하로 하는 것으로, 반도체 장치에 응력을 가하여 구부렸을 때에, 사이에 형성되는 소자층(103)에 국소적으로 압력이 가해지는 것을 막고, 따라서 반도체 장치의 신뢰성을 높일 수 있다.

<21> 구체적으로 구조체(101)와 구조체(102)를 겹친 두께는 20㎛ 이상 100㎛ 이하인 것이 바람직하다. 상기 두께의 구조체를 사용하는 것으로, 박형으로 만곡하는 것이 가능한 반도체 장치를 제작할 수 있다.

<22> 또한 유기 수지(104), 유기 수지(105)로서, 에폭시 수지, 불포화폴리에스테르 수지, 폴리이미드 수지, 비스말레이미드트리아진 수지, 또는 시아네이트 수지 등의 열경화성 수지를 사용할 수 있다. 또는 유기 수지(104), 유기 수지(105)로서, 폴리페닐렌옥사이드 수지, 폴리에테르이미드 수지, 또는 불소 수지 등의 열가소성 수지를 사용할 수 있다. 또한 유기 수지(104), 유기 수지(105)로서, 상기 열가소성 수지 및 상기 열경화성 수지의 복수를 사용하여도 좋다. 상기 유기 수지를 사용하는 것으로, 열 처리에 의해 섬유체를 소자층(103)에 고착하는 것이 가능하다. 또, 유기 수지(104), 유기 수지(105)는 유리 전이 온도가 높을 수록, 국소적 가압에 대하여 파괴되기 어렵기 때문에 바람직하다.

<23> 유기 수지(104), 유기 수지(105) 또는 섬유의 사속(絲束) 내에 고열전도성 충전제를 분산시켜도 좋다. 고열전도성 충전제로서는 질화 알루미늄, 질화 붕소, 질화 규소, 알루미나 등을 들 수 있다. 또한, 고열전도성 충전제로서는 은, 구리 등의 금속 입자가 있다. 고열전도성 충전제가 유기 수지 또는 섬유 사속 내에 포함됨으로써 소자층(103)에서의 발열을 외부로 방출하기 쉬워지기 때문에, 반도체 장치의 축열을 억제하는 것이 가능하고, 반도체 장치의 파괴를 저감할 수 있다.

<24> 섬유체(101a 내지 101c), 섬유체(102a 내지 102c)는 유기 화합물 또는 무기 화합물의 고강도 섬유를 사용한 직포 또는 부직포이고, 소자층(103) 전체면과 겹치도록 배치한다. 고강도 섬유로서는 구체적으로는 인장 탄성율 또는 영율이 높은 섬유이다. 고강도 섬유의 대표적인 예로서는 폴리비닐알콜계 섬유, 폴리에스테르계 섬유, 폴리아미드계 섬유, 폴리에틸렌계 섬유, 아라미드계 섬유, 폴리파라페닐렌벤조비스옥사졸섬유, 유리 섬유, 또는 탄소 섬유를 들 수 있다. 유리 섬유로서는 E유리, S유리, D유리, Q유리 등을 사용한 유리 섬유를 들 수 있다. 또, 섬유체(101a 내지 101c), 섬유체(102a 내지 102c)는 1종류의 상기 고강도 섬유로 형성되어도 좋다. 또한,

복수의 상기 고강도 섬유로 형성되어도 좋다.

<25> 또한, 섬유체(101a 내지 101c), 섬유체(102a 내지 102c)는 섬유(단사)의 다발(이하, 사속이라고 함)을 날실 및 씨실에 사용하여 만든 직포, 또는 복수종의 섬유의 사속을 랜덤 또는 1방향으로 퇴적시킨 부직포이어도 좋다. 직포인 경우, 평직물, 능직물, 수직물 등을 적절하게 사용할 수 있다.

<26> 사속의 단면은 원형이어도 좋고 타원형이어도 좋다. 섬유 사속으로서, 고압수류, 액체를 매체로 한 고주파의 진동, 연속 초음파의 진동, 롤에 의한 가압 등에 의해서, 개섬(開纖) 가공을 한 섬유 사속을 사용하여도 좋다. 개섬 가공을 한 섬유 사속은 사속폭이 넓어지고, 두께 방향의 단사수를 삭감하는 것이 가능하고, 사속의 단면이 타원형 또는 평판형이 된다. 또한, 섬유 사속으로서 저연사를 사용하는 것으로, 사속의 편평화하기 쉽고, 사속의 단면 형상이 타원 형상 또는 평판 형상이 된다. 이와 같이, 단면이 타원형 또는 평판형의 사속을 사용하는 것으로, 섬유체(101a 내지 101c, 102a 내지 102c)를 얇게 하는 것이 가능하다. 이 때문에, 구조체(101), 구조체(102)를 얇게 하는 것이 가능하고, 박형의 반도체 장치를 제작할 수 있다. 섬유의 사속 직경은 4㎛ 이상 400㎛ 이하, 또 4㎛ 이상 200㎛ 이하에서 본 발명의 효과를 확인하였고, 원리상으로는 더욱 얇아도 좋다. 또한, 섬유의 굵기는 4㎛ 이상 20㎛ 이하에서 본 발명의 효과를 확인하였고, 원리상으로는 더욱 가늘어도 좋고, 이들은 섬유의 재료에 의존한다.

<27> 또, 본 명세서의 도면에서는 섬유체(101a 내지 101c, 102a 내지 102c)는 단면이 타원형의 사속으로 평직한 직포로 도시되어 있다.

<28> 섬유 사속을 날실 및 씨실로 만든 직포인 섬유체(101a 내지 101c, 102a 내지 102c)의 상면도를 도 4에 도시한다.

<29> 도 4a에 도시하는 바와 같이, 섬유체(101a 내지 101c, 102a 내지 102c)는 일정 간격을 둔 날실(110)과, 일정 간격을 둔 씨실(111)로 짜여 있다. 이러한 날실(110) 및 씨실(111)을 사용하여 만들어진 섬유체에는 날실(110) 및 씨실(111)이 존재하지 않는 영역(바스켓 홀(112))을 갖는다. 이러한 섬유체(101a 내지 101c, 102a 내지 102c)는 유기 수지(104, 105)가 함침되는 비율이 높아져, 섬유체(101a 내지 101c, 102a 내지 102c)와 소자층(103)의 밀착성을 높일 수 있다.

<30> 또한 섬유체(101a 내지 101c, 102a 내지 102c)는 도 4b에 도시하는 바와 같이, 날실(110) 및 씨실(111)의 밀도가 높고, 바스켓 홀(112)의 비율이 낮은 것이어도 좋다. 대표적으로는 바스켓 홀(112)의 크기가, 국소적으로 가압되는 면적보다 작은 것이 바람직하다. 대표적으로는 1변이 0.01㎜ 이상 0.2㎜ 이하의 직사각형인 것이 바람직하다. 섬유체(101a 내지 101c, 102a 내지 102c)의 바스켓 홀(112)의 면적이 이와 같이 작으면, 선단이 가는 부재(대표적으로는 펜이나 연필 등의 필기용구)에 의해 가압되어도, 상기 압력을 섬유체(101a 내지 101c, 102a 내지 102c) 전체로 흡수하는 것이 가능하다.

<31> 또한, 섬유 사속 내부로의 유기 수지의 침투율을 높이기 위해서, 섬유에 표면 처리가 실시되어도 좋다. 예를 들면, 섬유 표면을 활성화시키기 위한 코로나 방전 처리, 플라즈마 방전 처리 등이 있다. 또한, 실란 커플링제, 티타네이트 커플링제를 사용한 표면 처리가 있다.

<32> 소자층(103)은 박막의 반도체막을 사용하여 형성된 반도체 소자를 갖는다. 구체적으로 반도체 소자로서, 박막 트랜지스터, 다이오드, 불휘발성 기억 소자 등의 능동 소자, 저항 소자, 용량 소자 등의 수동 소자를 들 수 있다. 또한, 박막의 반도체막으로서, SOI 기술을 사용하여 형성된 단결정의 반도체막, 다결정 반도체막, 비정질 반도체막, 미결정 반도체막 등이 포함된다. 반도체로서, 실리콘, 게르마늄, 실리콘게르마늄화합물 등을 사용할 수 있다. 또는 반도체로서, 금속산화물, 유기 반도체를 사용하는 것도 가능하다. 상기 금속산화물로서, 예를 들면 산화아연이나 아연갈륨인듐의 산화물 등을 들 수 있다.

<33> 소자층(103)의 두께는 1㎛ 이상 10㎛ 이하, 또 1㎛ 이상 5㎛ 이하가 바람직하다. 이러한 두께로 함으로써, 만곡하는 것이 가능한 반도체 장치를 제작할 수 있다.

<34> 또한, 섬유체(101a 내지 101c, 102a 내지 102c)가 날실 및 씨실을 사용한 직포인 경우, 각 섬유체끼리로 날실 및 씨실의 방향이 어긋나 있어도 좋다. 도 5a에, 날실 및 씨실의 방향이 어긋나 있는 섬유체(120 내지 122)를 차례로 겹쳐 있는 모양을 도시한다. 화살 표시는 섬유체(120 내지 122)가 각각 갖는 날실 및 씨실의 방향을 도시하고 있다. 도 5a에서는 섬유체(120)의 날실 및 씨실과 섬유체(122)의 날실 및 씨실이, 거의 일치하는 방향을 향하고 있다. 그리고 섬유체(121)의 날실 및 씨실은 섬유체(120)의 날실 및 씨실과 섬유체(122)의 날실 및 씨실에 대하여, 45도 어긋나 있다.

<35> 이와 같이 복수의 섬유체간에서 날실 및 씨실의 방향을 엇갈리게 하는 것으로, 모든 방향에서 도 5b에 도시하는 바와 같이 반도체 장치(123)를 구부려도, 반도체 장치(123)의 신뢰성을 확보할 수 있다. 또한, 가압을 가하였을 때에 섬유체의 인장 방향이 겉과 안에서 다르기 때문에, 국소적 가압시의 연신이 등방성적이게 된다. 따라서, 가압에 의한 반도체 장치의 파괴를 더욱 저감할 수 있다.섬유체간에서의 날실 및 씨실의 방향의 어긋남은 30도 이상 60도 이하, 특히 40도 이상 50도 이하인 것이 바람직하다. 또, 동일한 구조체 내에 있어서 섬유체간에서의 날실 및 씨실의 방향을 엇갈리도록 하여도 좋고, 한 쌍의 구조체간에서 섬유체간에서의 날실 및 씨실의 방향을 엇갈리도록 하여도 좋다.

<36> 본 발명에서 사용되는 구조체는 인장 탄성율 또는 영율이 높은 고강도 섬유를 섬유체로서 사용하고 있다. 따라서, 점압이나 선압 등의 국소적인 가압이 가해져도, 가압된 힘이 섬유체 전체에 분산되어, 소자층을 구성하는 반도체 소자, 배선 등에 균열이 생기지 않고, 반도체 장치의 파괴를 막을 수 있다. 또한, 박막의 반도체막을 사용하고 있기 때문에, 소자층을 얇게 할 수 있다. 따라서, 벌크의 반도체 소자를 사용한 경우와 달리, 만곡시켜도 반도체 장치가 파괴되기 어렵다.

<37> 또 본 발명의 범위에 포함되는 반도체 장치에는 마이크로프로세서, 화상 처리회로 등의 집적 회로, RF 태그, 반도체 표시 장치 등, 모든 반도체 장치가 포함된다. 반도체 표시 장치에는 액정 표시 장치, 유기 발광 소자(OLED)로 대표되는 발광 소자를 각 화소에 구비한 발광 장치, DMD(Digital Micromirror Device), PDP(Plasma Display Panel), FED(Field Emission Display) 등이나, 반도체막을 사용한 회로 소자를 구동 회로에 갖고 있는 그 밖의 표시 장치가 그 범주에 포함된다.

<38> (실시 형태 2)

<39> 본 발명자 등은 펜으로 국소적인 가압을 가하였을 때의, 반도체 장치의 동작율에 관해서 시험하였다.

<40> 상기 시험에는 RF 태그를 반도체 장치로서 사용하였다. 또 RF 태그는 무선으로 신호의 송수신을 하여 케이스의 식별을 하는 기술(RFID : Radio frequency identification)에 사용되는 기록 매체로, 리더, 리더라이터 또는 인테로게이터라고 불리는 질문기와의 사이에서, 비접촉으로 신호의 송수신을 할 수 있다. RF 태그의 형상은 카드형, 또는 카드보다도 더욱 소형의 칩형인 경우가 많지만, 용도에 따라 여러 가지의 형상을 채용할 수 있다.

<41> 시험에는 1층의 섬유체를 갖는 한 쌍의 프리프래그의 사이에 소자층이 있는 RF 태그(샘플 A), 2층의 섬유체를 갖는 한 쌍의 프리프래그의 사이에 소자층이 있는 RF 태그(샘플 B), 3층의 섬유체를 갖는 한 쌍의 프리프래그의 사이에 소자층이 있는 RF 태그(샘플 C)를 사용한다. 또한 비교 대상으로서, 1층의 섬유체를 갖고, 또한 두께가 17㎛인 한 쌍의 프리프래그의 사이에 소자층이 있는 RF 태그(샘플 D)와, 1층의 섬유체를 갖고, 또한 두께가 35㎛인 한 쌍의 프리프래그의 사이에 소자층이 있는 RF 태그(샘플 E)도 준비하여, 아울러 상기 시험을 하였다.

<42> 각 샘플의 구조를 명확히 하기 위해서, 도 3a에 샘플 A의 단면 구조를, 도 3b에 샘플 B의 단면 구조를, 도 3c에 샘플 C의 단면 구조를, 도 3d에 샘플 D의 단면 구조를, 도 3e에 샘플 E의 단면 구조를, 각각 도시한다.

<43> 도 3a에 도시하는 샘플 A에서는 가열 압착하기 전의 각 프리프래그(301)의 두께가 15㎛이다. 그리고, 소자층(302)을 사이에 두고 한 쌍의 프리프래그(301)를 가열 압착하는 것으로 형성되는 샘플 A의 토탈 두께는 27㎛ 내지 28㎛이다. 도 3b에 도시하는 샘플 B에서는 각 프리프래그(311)가, 샘플 A에 사용되는 두께 15㎛의 프리프래그(301)를 2층 적층하여 가열 압착함으로써 형성되어 있다. 그리고, 소자층(312)을 사이에 두고 한 쌍의 프리프래그(311)를 가열 압착하는 것으로 형성되는 샘플 B의 토탈 두께는 56㎛ 내지 65㎛이다. 도 3c에 도시하는 샘플 C에서는 각 프리프래그(321)가, 샘플 A에 사용되는 두께 15㎛의 프리프래그(301)를 3층 적층하여 가열 압착함으로써 형성되어 있다. 그리고, 소자층(322)을 사이에 두고 한 쌍의 프리프래그(321)를 가열 압착하는 것으로 형성되는 샘플 C의 토탈 두께는 76㎛ 내지 78㎛이다. 도 3d에 도시하는 샘플 D에서는 가열 압착하기 전의 각 프리프래그(331)의 두께가 17㎛이다. 그리고, 소자층(332)을 사이에 두고 한 쌍의 프리프래그(331)를 가열 압착하는 것으로 형성되는 샘플 D의 토탈 두께는 40㎛ 내지 44㎛이다. 도 3e에 도시하는 샘플 E에서는 가열 압착하기 전의 각 프리프래그(341)의 두께가 35㎛이다. 그리고, 소자층(342)을 사이에 두고 한 쌍의 프리프래그(341)를 가열 압착하는 것으로 형성되는 샘플 E의 토탈 두께는 69㎛ 내지 78㎛이다.

<44> 또, 샘플 A 내지 샘플 E 전체에서, 토탈 두께에 격차가 생기는 것은 장소에 따라서 가열 압착시에 가해지는 압력에 격차가 생기기 때문이다.

<45> 각 샘플에 포함되는 섬유체의 부피비는 샘플 A가 약 28%, 샘플 B가 약 29%, 샘플 C가 약 33%, 샘플 D가 약 20%, 샘플 E가 약 21%이다. 또한 샘플 A 내지 샘플 E의 모두에 있어서, RF 태그의 면적은 10.5㎜×12.0㎜이고, 섬유

체는 날실 및 씨실에 의해 평직으로 제직되어 있다.

<46> 펜 끝이 직경 1mm의 반구형인 펜으로, 샘플 A 내지 샘플 E에, 하중(Newton)을 가하여 갔을 때의 동작율을 도 2에 도시한다. 샘플 A 내지 샘플 E의 RF 태그는 모두 안테나가 소자층에 내장되어 있고, 안테나가 형성되어 있는 영역에서, 또 디지털 회로가 형성되어 있는 영역에 펜 끝이 닿도록 하중을 가하였다. 또 시험한 RF 태그의 수는 샘플 A가 20, 샘플 B가 20, 샘플 C가 20, 샘플 D가 12, 샘플 E가 26이다. 동작율은 데이터를 비접촉으로 판독할 수 있는 RF 태그의 비율로 산출하였다.

<47> 도 2에 도시되어 있는 샘플 A 내지 샘플 C의 동작율을 비교하면, 샘플 C의 동작율이 가장 높고, 샘플 A의 동작율이 가장 낮은 것을 알 수 있다. 특히 샘플 C는 샘플 B와 비교하여 비약적으로 동작율이 높아져 있다. 또한 샘플 C와 샘플 E는 토탈 두께가 같은 정도임에도 불구하고, 샘플 C쪽은 동작율이 높아져 있다. 이들의 결과로부터, 프리프래그에 포함되는 섬유체의 부피비가 더욱 높을수록 높은 동작율을 얻을 수 있는 것을 알 수 있다. 또한 부피비를 높게 하는 것에 덧붙여, 섬유체를 복수, 특히 3층 이상 적층하면, 비약적으로 높은 동작율을 얻을 수 있는 것을 알 수 있다.

<48> (실시 형태 3)

<49> 본 실시 형태에서는 본 발명의 반도체 장치의 제작 방법에 관해서 설명한다. 또 본 실시 형태에서는 박막 트랜지스터(TFT)를 반도체 소자의 일례로서 개시하지만, 본 발명의 반도체 장치에 사용되는 반도체 소자는 이것에 한정되지 않는다. 예를 들면 TFT 외에, 기억 소자, 다이오드, 저항, 코일, 용량, 인덕터 등을 사용할 수 있다.

<50> 우선 도 6a에 도시하는 바와 같이, 내열성을 갖는 기판(700)상에, 절연막(701), 박리층(702), 절연막(703), 반도체막(704)을 차례로 형성한다. 절연막(701), 박리층(702), 절연막(703) 및 반도체막(704)은 연속하여 형성하는 것이 가능하다.

<51> 기판(700)으로서, 예를 들면 바륨붕규산유리나, 알루미노붕규산유리 등의 유리 기판, 석영 기판, 세라믹 기판 등을 사용할 수 있다. 또한, 스테인레스 기판을 포함하는 금속기판, 또는 실리콘 기판 등의 반도체 기판을 사용하여도 좋다. 플라스틱 등의 가요성을 갖는 합성 수지로 이루어지는 기판은 상기 기판과 비교하여 내열 온도가 일반적으로 낮은 경향이 있지만, 제작 공정에서의 처리온도에 견딜 수 있는 것이면 사용하는 것이 가능하다.

<52> 플라스틱 기판으로서, 폴리에틸렌텔레프탈레이트(PET)로 대표되는 폴리에스테르, 폴리에테르설폰(PES), 폴리에틸렌나프탈레이트(PEN), 폴리카보네이트(PC), 폴리아미드계 합성 섬유, 폴리에테르에테르케톤(PEEK), 폴리설폰(PSF), 폴리에테르이미드(PEI), 폴리아릴레이트(PAR), 폴리부틸렌텔레프탈레이트(PBT), 폴리이미드, 아크릴니트릴부타디엔스티렌 수지, 폴리염화비닐, 폴리프로필렌, 폴리아세트산비닐, 아크릴 수지 등을 들 수 있다.

<53> 또 본 실시 형태에서는 박리층(702)을 기판(700)상의 전체면에 형성하였지만 본 발명은 이 구성에 한정되지 않는다. 예를 들면 포토리소그래피법 등을 사용하고, 기판(700)상에 있어 박리층(702)을 부분적으로 형성하도록 하여도 좋다.

<54> 절연막(701), 절연막(703)은 CVD법이나 스퍼터링법 등을 사용하고, 산화규소, 질화 규소(SiNx, Si_3N_4 등), 산화질화 규소(SiOxNy)(x>y>0), 질화산화규소(SiNxOy)(x>y>0) 등의 절연성을 갖는 재료를 사용하여 형성한다.

<55> 절연막(701), 절연막(703)은 기판(700) 중에 포함되는 Na 등의 알칼리금속이나 알칼리토류 금속이 반도체막(704) 중으로 확산하여, TFT 등의 반도체 소자의 특성에 악영향을 미치는 것을 막기 위해서 형성한다. 또한 절연막(703)은 박리층(702)에 포함되는 불순물 원소가 반도체막(704) 중으로 확산하는 것을 막고, 또 나중의 반도체 소자를 박리하는 공정에서, 반도체 소자를 보호하는 역할도 갖고 있다. 또 절연막(703)에 의해, 박리층(702)에서의 박리가 용이해지고, 또는 나중의 박리 공정에서 반도체 소자나 배선에 균열이나 데미지가 생기는 것을 막을 수 있다.

<56> 절연막(701), 절연막(703)은 단수의 절연막을 사용한 것이어도, 복수의 절연막을 적층하여 사용한 것이어도 좋다. 본 실시 형태에서는 막 두께 100nm의 산화질화규소막, 막 두께 50nm의 질화산화규소막, 막 두께 100nm의 산화질화규소막을 차례로 적층하여 절연막(703)을 형성하지만, 각 막의 재질, 막 두께, 적층수는 이것에 한정되는 것은 아니다. 예를 들면, 하층의 산화질화규소막 대신에, 막 두께 0.5 내지 3㎛의 실록산계 수지를 스핀 도포법, 슬릿 코터법, 액적토출법, 인쇄법 등에 의해서 형성하여도 좋다. 또한, 중층의 질화산화규소막 대신에, 질화규소막을 사용하여도 좋다. 또한, 상층의 산화질화규소막 대신에, 산화규소막을 사용하여도 좋다. 또한, 각각의 막 두께는 0.05 내지 3㎛로 하는 것이 바람직하고, 그 범위에서 자유롭게 선택할 수 있다.

<57> 또는 박리층(702)에 가장 가깝고, 절연막(703)의 하층을 산화질화규소막 또는 산화규소막으로 형성하고, 중층을 실록산계 수지로 형성하고, 상층을 산화규소막으로 형성하여도 좋다.

<58> 또 실록산계 수지는 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기에 수소 외에, 불소, 알킬기, 또는 방향족 탄화수소 중, 적어도 1종을 갖고 있어도 좋다.

<59> 산화규소막은 SiH_4/O_2, TEOS(테트라에톡시실란)/O_2 등의 혼합 가스를 사용하여, 열 CVD, 플라즈마 CVD, 상압 CVD, 바이어스 ECRCVD 등의 방법에 의해서 형성할 수 있다. 또한, 질화규소막은 대표적으로는 SiH_4과 NH_3의 혼합 가스를 사용하여, 플라즈마 CVD에 의해서 형성할 수 있다. 또한, 산화질화규소막, 질화산화규소막은 대표적으로는 SiH_4과 N_2O의 혼합 가스를 사용하여, 플라즈마 CVD에 의해서 형성할 수 있다.

<60> 박리층(702)은 금속막, 금속산화막, 금속막과 금속산화막을 적층하여 형성되는 막을 사용할 수 있다. 금속막과 금속산화막은 단층이어도 좋고, 복수의 층이 적층된 적층 구조를 갖고 있어도 좋다. 또한, 금속막이나 금속산화막 외에, 금속질화물이나 금속산화질화물을 사용하여도 좋다. 박리층(702)은 스퍼터법이나 플라즈마 CVD법 등의 각종 CVD법 등을 사용하여 형성할 수 있다.

<61> 박리층(702)에 사용되는 금속으로서는 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 니오브(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테늄(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os) 또는 이리듐(Ir) 등을 들 수 있다. 박리층(702)은 상기 금속으로 형성된 막 외에, 상기 금속을 주성분으로 하는 합금으로 형성된 막, 또는 상기 금속을 포함하는 화합물을 사용하여 형성된 막을 사용하여도 좋다.

<62> 또한 박리층(702)은 규소(Si) 단체로 형성된 막을 사용하여도 좋고, 규소(Si)를 주성분으로 하는 화합물로 형성된 막을 사용하여도 좋다. 또는 규소(Si)와 상기 금속을 포함하는 합금으로 형성된 막을 사용하여도 좋다. 규소를 포함하는 막은 비정질, 미결정, 다결정 중 어떤 것이어도 좋다.

<63> 박리층(702)은 상술한 막을 단층으로 사용하여도 좋고, 상술한 복수의 막을 적층하여 사용하여도 좋다. 금속막과 금속산화막이 적층된 박리층(702)은 기초가 되는 금속막을 형성한 후, 상기 금속막의 표면을 산화 또는 질화시키는 것으로 형성할 수 있다. 구체적으로는 산소 분위기 중 또는 N_2O 분위기 중에서 기초가 되는 금속막에 플라즈마 처리를 하거나, 산소 분위기 중 또는 N_2O 분위기 중에서 금속막에 열 처리를 하거나 하면 좋다. 또한 기초가 되는 금속막상에 접하도록, 산화규소막 또는 산화질화규소막을 형성하는 것이어도, 금속막의 산화를 행할 수 있다. 또한 기초가 되는 금속막상에 접하도록, 질화산화규소막, 질화규소막을 형성하는 것으로, 질화를 행할 수 있다.

<64> 금속막의 산화 또는 질화를 행하는 플라즈마 처리로서, 플라즈마 밀도가 $1\times10^{11}cm^{-3}$ 이상, 바람직하게는 $1\times10^{11}cm^{-3}$로부터 $9\times10^{15}cm^{-3}$ 이하이고, 마이크로파(예를 들면 주파수 2.45GHz) 등의 고주파를 사용한 고밀도 플라즈마 처리를 하여도 좋다.

<65> 또 기초가 되는 금속막의 표면을 산화하는 것으로, 금속막과 금속산화막이 적층한 박리층(702)을 형성하도록 하여도 좋지만, 금속막을 형성한 후에 금속산화막을 별도 형성하도록 하여도 좋다. 예를 들면 금속으로서 텅스텐을 사용하는 경우, 스퍼터법이나 CVD법 등에 의해 기초가 되는 금속막으로서 텅스텐막을 형성한 후, 상기 텅스텐막에 플라즈마 처리를 한다. 이것에 의해, 금속막에 상당하는 텅스텐막과, 상기 금속막에 접하고, 또 텅스텐의 산화물로 형성된 금속산화막을 형성할 수 있다.

<66> 또 텅스텐의 산화물은 WO_x로 나타내진다. X는 2 이상 3 이하의 범위 내에 있고, X가 2인 경우(WO_2), X가 2.5인 경우(W_2O_5), X가 2.75인 경우(W_4O_{11}), X가 3인 경우(WO_3)가 된다. 텅스텐의 산화물을 형성할 때 X의 값에 특별히 제약은 없고, 에칭 레이트 등을 바탕으로 X의 값을 정하면 좋다.

<67> 반도체막(704)은 절연막(703)을 형성한 후, 대기에 노출시키지 않고 형성하는 것이 바람직하다. 반도체막(704)의 막 두께는 20 내지 200nm(바람직하게는 40 내지 170nm, 바람직하게는 50 내지 150nm)로 한다. 또 반도체막(704)은 비정질 반도체이어도 좋고, 세미아모르파스 반도체이어도 좋고, 다결정 반도체이어도 좋다. 또한 반도체는 규소뿐만 아니라 실리콘게르마늄도 사용할 수 있다. 실리콘게르마늄을 사용하는 경우, 게르마늄의 농도는 0.01 내지 4.5atomic% 정도인 것이 바람직하다.

<68> 또 세미아모르파스 반도체는 비정질 반도체와 결정 구조를 갖는 반도체(단결정, 다결정을 포함한다)의 중간적인

구조를 갖는 반도체이다. 이 세미아모르파스 반도체는 자유에너지적으로 안정된 제 3 상태를 갖는 반도체이고, 단거리질서를 갖고 격자 왜곡을 갖는 결정질인 것이고, 그 입경을 0.5 내지 20nm로 하여 비단결정 반도체 중에 분산시켜 존재시키는 것이 가능하다. 세미아모르파스 반도체는 그 라만 스펙트럼이 520cm^{-1}보다도 저파수측으로 시프트하고 있고, 또한 X선 회절에서는 Si 결정격자에 유래한다고 하는 (111), (220)의 회절 피크가 관측된다. 또한, 미결합수(댕글링 본드)를 종단화시키기 위해서 수소 또는 할로겐을 적어도 1원자% 또는 그 이상 포함시키고 있다. 여기에서는 편의상, 이러한 반도체를 세미아모르파스 반도체(SAS)라고 부른다. 또, 헬륨, 아르곤, 크립톤, 네온 등의 희가스 원소를 포함하여 격자 왜곡을 더욱 조장시키는 것으로 안정성이 증가하여 양호한 세미아모르파스 반도체를 얻을 수 있다.

<69> 또한 SAS는 규소를 포함하는 기체를 글로 방전 분해함으로써 얻을 수 있다. 대표적인 규소를 포함하는 기체로서는 SiH_4이고, 그 외에도 Si_2H_6, SiH_2Cl_2, $SiHCl_3$, $SiCl_4$, SiF_4 등을 사용할 수 있다. 또한 수소나, 수소에 헬륨, 아르곤, 크립톤, 네온으로부터 선택된 1종 또는 복수종의 희가스 원소를 첨가한 가스로, 이 규소를 포함하는 기체를 희석하여 사용하는 것으로, SAS의 형성을 용이한 것으로 할 수 있다. 희석율은 2배 내지 1000배의 범위로 규소를 포함하는 기체를 희석하는 것이 바람직하다. 또한, 규소를 포함하는 기체 중에, CH_4, C_2H_6 등의 탄화물 기체, GeH_4, GeF_4 등의 게르마늄화 기체, F_2 등을 혼입시키고, 에너지 밴드폭을 1.5 내지 2.4eV, 또는 0.9 내지 1.1eV로 조절하여도 좋다.

<70> 예를 들면, SiH_4에 H_2를 첨가한 가스를 사용하는 경우, 또는 SiH_4에 F_2를 첨가한 가스를 사용하는 경우 형성한 세미아모르파스 반도체를 사용하여 TFT를 제작하면, 상기 TFT의 서브 스레숄드 계수(S치)를 0.35V/dec 이하, 대표적으로는 0.25 내지 0.09V/dec로 하고, 이동도를 10㎠/Vsec로 할 수 있다.

<71> 또 반도체막(704)은 공지의 기술에 의해 결정화하여도 좋다. 공지의 결정화방법으로서는 레이저광을 사용한 레이저 결정화법, 촉매 원소를 사용하는 결정화법이 있다. 또는 촉매 원소를 사용하는 결정화법과 레이저 결정화법을 조합하여 사용할 수도 있다. 또한, 기판(700)으로서 석영같은 내열성이 우수한 기판을 사용하는 경우, 전열로를 사용한 열결정화방법, 적외광을 사용한 램프 어닐 결정화법, 촉매 원소를 사용하는 결정화법, 950℃ 정도의 고온 어닐 중의 몇가지를 조합한 결정화법을 사용하여도 좋다.

<72> 예를 들면 레이저 결정화를 사용하는 경우, 레이저 결정화 전에, 레이저에 대한 반도체막(704)의 내성을 높이기 위해서, 550℃, 4시간의 열 처리를 상기 반도체막(704)에 대하여 행한다. 그리고 연속 발진이 가능한 고체 레이저를 사용하여, 기본파의 제 2 고조파 내지 제 4 고조파의 레이저광을 조사하는 것으로, 대입경의 결정을 얻을 수 있다. 예를 들면, 대표적으로는 Nd : YVO_4 레이저(기본파 1064nm)의 제 2 고조파(532nm)나 제 3 고조파(355nm)를 사용하는 것이 바람직하다. 구체적으로는 연속 발진의 YVO_4 레이저로부터 사출된 레이저광을 비선형 광학소자에 의해 고조파로 변환하여, 출력 10W의 레이저광을 얻는다. 그리고, 바람직하게는 광학계에 의해 조사면에서 직사각 형상 또는 타원 형상의 레이저광으로 성형하여, 반도체막(704)에 조사한다. 이 때의 파워 밀도는 0.01 내지 100MW/㎠ 정도(바람직하게는 0.1 내지 10MW/㎠)가 필요하다. 그리고, 주사 속도를 10 내지 2000cm/sec 정도로 하여, 조사한다.

<73> 연속 발진의 기체 레이저로서, Ar 레이저, Kr 레이저 등을 사용할 수 있다. 또한 연속 발진의 고체 레이저로서, YAG 레이저, YVO_4 레이저, YLF 레이저, $YAlO_3$ 레이저, 포스테라이트(Mg_2SiO_4) 레이저, $GdVO_4$ 레이저, Y_2O_3 레이저, 유리 레이저, 루비 레이저, 안렉산드라이트 레이저, Ti : 사파이어 레이저 등을 사용할 수 있다.

<74> 또한 펄스 발진의 레이저로서, 예를 들면 Ar 레이저, Kr 레이저, 엑시머 레이저, CO_2 레이저, YAG 레이저, Y_2O_3 레이저, YVO_4 레이저, YLF 레이저, $YAlO_3$ 레이저, 유리 레이저, 루비 레이저, 안렉산드라이트 레이저, Ti : 사파이어 레이저, 구리증기 레이저 또는 금증기 레이저를 사용할 수 있다.

<75> 또한, 펄스 발진의 레이저광의 발진 주파수를 10MHz 이상으로 하여, 통상 사용되고 있는 수십Hz 내지 수백Hz의 주파수대보다도 현저하게 높은 주파수대를 사용하여 레이저 결정화를 하여도 좋다. 펄스 발진으로 레이저광을 조사하는 것으로 반도체막(704)이 용융하고 나서 반도체막(704)이 완전히 고화할 때까지의 시간은 수십nsec 내지 수백nsec로 되어 있다. 따라서 상기 주파수를 사용하는 것으로, 반도체막(704)이 레이저광에 의해서 용융하고 나서 고화할 때까지, 다음 펄스의 레이저광을 조사할 수 있다. 따라서, 반도체막(704) 중에서 고액계면을 연속적으로 이동시킬 수 있기 때문에, 주사 방향을 향해서 연속적으로 성장한 결정립을 갖는 반도체막(704)이 형성된다. 구체적으로는 포함되는 결정립의 주사 방향에서의 폭이 10 내지 30㎛, 주사 방향에 대하여 수직의 방향

에서의 폭이 1 내지 5㎛ 정도의 결정립의 집합을 형성할 수 있다. 상기 주사 방향에 따라 연속적으로 성장한 단결정의 결정립을 형성하는 것으로, 적어도 TFT의 채널 방향에는 결정립계이 거의 존재하지 않는 반도체막(704)의 형성이 가능해진다.

<76> 또 레이저 결정화는 연속 발진의 기본파의 레이저광과 연속 발진의 고조파의 레이저광을 병행하여 조사하도록 하여도 좋고, 연속 발진의 기본파의 레이저광과 펄스 발진의 고조파의 레이저광을 병행하여 조사하도록 하여도 좋다.

<77> 또, 희가스나 질소 등의 불활성 가스 분위기 중에서 레이저광을 조사하도록 하여도 좋다. 이것에 의해, 레이저광 조사에 의한 반도체 표면의 거칠함을 억제할 수 있고, 계면 준위 밀도의 격차에 의해서 생기는 임계치의 격차를 억제할 수 있다.

<78> 상술한 레이저광의 조사에 의해, 결정성이 더욱 높아진 반도체막(704)이 형성된다. 또, 미리 반도체막(704)에, 스퍼터법, 플라즈마 CVD법, 열 CVD법 등으로 형성한 다결정 반도체를 사용하도록 하여도 좋다.

<79> 또한 본 실시 형태에서는 반도체막(704)을 결정화하였지만, 결정화하지 않고 비정질규소막 또는 미결정 반도체막인 채로, 후술하는 프로세스로 진행하여도 좋다. 비정질 반도체, 미결정 반도체를 사용한 TFT는 다결정 반도체를 사용한 TFT보다도 제작 공정이 적은 만큼, 비용을 억제하여, 수율을 높게 할 수 있다고 하는 메리트를 갖고 있다.

<80> 비정질 반도체는 규소를 포함하는 기체를 글로 방전분해함으로써 얻을 수 있다. 규소를 포함하는 기체로서는 SiH_4, Si_2H_6을 들 수 있다. 이 규소를 포함하는 기체를, 수소, 수소 및 헬륨으로 희석하여 사용하여도 좋다.

<81> 다음에 반도체막(704)에 대하여, p형을 부여하는 불순물 원소 또는 n형을 부여하는 불순물 원소를 저농도로 첨가하는 채널 도프를 한다. 채널 도프는 반도체막(704) 전체에 대하여 행하여도 좋고, 반도체막(704)의 일부에 대하여 선택적으로 행하여도 좋다. p형을 부여하는 불순물 원소로서는 붕소(B)나 알루미늄(Al)이나 갈륨(Ga) 등을 사용할 수 있다. n형을 부여하는 불순물 원소로서는 인(P)이나 비소(As) 등을 사용할 수 있다. 여기에서는 불순물 원소로서, 붕소(B)를 사용하고, 상기 붕소가 1×10^{16} 내지 5×10^{17}/㎤의 농도로 포함되도록 첨가한다.

<82> 다음에 도 6b에 도시하는 바와 같이, 반도체막(704)을 소정의 형상으로 가공(패터닝)하여, 섬 형상의 반도체막(705 내지 708)을 형성한다. 그리고 도 6c에 도시하는 바와 같이, 섬 형상의 반도체막(705 내지 708)을 사용한 반도체 소자와, 상기 반도체 소자에 접속된 배선(713, 714)을 형성한다. 본 실시 형태에서는 반도체 소자로서 TFT(709 내지 712)를 형성한 예를 도시한다. TFT709와, TFT712는 각각 배선(713), 배선(714)과 전기적으로 접속되어 있다. 절연막(703)상에 형성된 반도체 소자 또는 배선 등으로 구성되는 집적 회로가, 소자층(715)에 상당한다. 소자층(715)에 절연막(703)을 포함하여도 좋다.

<83> 다음에 도 7a에 도시하는 바와 같이, 소자층(715)의 기판(700)은 반대의 측에, 섬유체(723)에 유기 수지(724)가 함침된 구조체가 복수 적층된 구조체(725)를 겹친다. 이러한 구조체(725)는 프리프래그라고도 불린다. 프리프래그는 구체적으로는 섬유체에 매트릭스 수지를 유기용제로 희석한 바니시를 함침시킨 후, 건조하여 유기용제를 휘발시켜 매트릭스 수지를 반경화시킨 것이다. 구조체(725)의 두께는 10㎛ 이상 100㎛ 이하, 또 10㎛ 이상 30㎛가 바람직하다. 이러한 두께의 구조체를 사용하는 것으로, 박형으로 만곡하는 것이 가능한 반도체 장치를 제작할 수 있다.

<84> 또 본 실시 형태에서는 단층의 섬유체에 유기 수지가 함침된 구조체를 복수 적층시키는 것으로, 상기 구조체(725)를 형성하였지만, 본 발명은 이 구성에 한정되지 않는다. 복수의 적층된 섬유체에 유기 수지를 함침시킨 구조체를 사용하여도 좋다. 또한, 단층의 섬유체에 유기 수지가 함침된 구조체를 복수 적층시킬 때, 각 구조체 간에 다른 층을 사이에 두도록 하여도 좋다.

<85> 다음에, 구조체(725)를 가열하여 압착하여, 구조체(725)의 유기 수지(724)를 가소화 또는 경화시킨다. 또, 유기 수지(724)가 가소성 유기 수지인 경우, 이 후, 실온으로 냉각함으로써 가소화한 유기 수지를 경화시킨다. 유기 수지(724)는 가열 및 압착에 의해, 소자층(715)에 밀착하도록 균일하게 확대되어 경화된다. 상기 구조체(725)를 압착하는 공정은 대기압하 또는 감압하에서 행한다.

<86> 다음에 도 7b에 도시하는 바와 같이, 소자층(715)과 구조체(725)를 기판(700)으로부터 박리한다. 본 실시 형태에서는 물리적인 힘을 사용하여 기판(700)으로부터 소자층(715)과 구조체(725)를 박리한다. 박리층(702)은 모두 제거하지 않고 일부가 잔존한 상태이어도 좋다. 상기 박리는 예를 들면 사람의 손이나 파지구로 벗기는 처리나,

롤러를 회전시키면서 분리하는 처리로 행하는 것이 가능하다.

<87> 본 실시 형태에서는 박리층에 금속산화막을 사용하고, 물리적수단에 의해 소자층(715)을 박리하는 방법을 사용하였지만, 본 발명에서 사용되는 박리방법은 이것에 한정되지 않는다. 예를 들면, 투광성을 갖는 기판(700)을 사용하고, 박리층(702)에 수소를 포함하는 비정질규소를 사용하고, 기판(700)으로부터 박리층(702)에 레이저 빔을 조사하여, 비정질규소에 포함되는 수소를 기화시켜, 기판(700)을 소자층(715)으로부터 박리하는 방법을 사용하여도 좋다.

<88> 또한 상기 박리는 박리층(702)의 에칭을 사용한 방법으로 행하여도 좋다. 이 경우, 박리층(702)이 일부 노출하도록 홈을 형성한다. 홈은 다이싱, 스크라이빙, UV광을 포함하는 레이저광을 사용한 가공, 포토리소그래피법 등에 의해 홈을 형성한다. 홈은 박리층(702)이 노출될 정도의 깊이를 갖고 있으면 좋다. 그리고 에칭 가스로서 플루오르화할로겐을 사용하여, 상기 가스를 홈으로부터 도입한다. 본 실시 형태에서는 예를 들면 ClF_3(3플루오르화염소)를 사용하고, 온도 : 350℃, 유량 : 300sccm, 기압 : 800Pa, 시간 : 3h의 조건으로 행한다. 또한, ClF_3가스에 질소를 섞은 가스를 사용하여도 좋다. ClF_3 등의 플루오르화할로겐을 사용하는 것으로, 박리층(702)이 선택적으로 에칭되어, 기판(700)을 소자층(715)으로부터 박리할 수 있다. 또 플루오르화할로겐은 기체나 액체 어느 쪽이나 좋다.

<89> 또한, 기판을 기계적으로 연마하여 제거하는 방법이나, 기판을 HF 등의 용액을 사용하여 용해하여 기판을 제거하는 방법을 사용하는 것으로, 소자층(715)을 기판(700)으로부터 박리할 수 있다. 이 경우, 박리층(702)을 사용할 필요는 없다.

<90> 다음에 도 8에 도시하는 바와 같이, 소자층(715)의 상기 박리에 의해 노출된 면측에, 섬유체(720)에 유기 수지(721)가 함침된 구조체가 복수 적층된 구조체(722)를 겹친다. 이러한 구조체(722)는 프리프래그라고도 불린다. 프리프래그는 구체적으로는 섬유체에 매트릭스 수지를 유기용제로 희석한 바니시를 함침시킨 후, 건조하여 유기용제를 휘발시켜 매트릭스 수지를 반경화시킨 것이다. 구조체(722)의 두께는 10㎛ 이상 100㎛ 이하, 또 10㎛ 이상 30㎛가 바람직하다. 이러한 두께의 구조체를 사용하는 것으로, 박형으로 만곡하는 것이 가능한 반도체 장치를 제작할 수 있다.

<91> 또 본 실시 형태에서는 단층의 섬유체에 유기 수지가 함침된 구조체를 복수 적층시키는 것으로, 상기 구조체(722)를 형성하였지만, 본 발명은 이 구성에 한정되지 않는다. 복수의 적층된 섬유체에 유기 수지를 함침시킨 구조체를 사용하여도 좋다. 또한, 단층의 섬유체에 유기 수지가 함침된 구조체를 복수 적층시킬 때, 각 구조체 간에 다른 층을 사이에 두도록 하여도 좋다.

<92> 다음에, 구조체(722)를 가열하여 압착하여, 구조체(722)의 유기 수지(721)를 가소화 또는 경화시킨다. 또, 유기 수지(721)가 가소성 유기 수지인 경우, 이 후, 실온으로 냉각함으로써 가소화한 유기 수지를 경화시킨다. 유기 수지(721)는 가열 및 압착에 의해, 소자층(715)에 밀착하도록 균일하게 확대되어 경화된다. 상기 구조체(722)를 압착하는 공정은 대기압하 또는 감압하에서 행한다.

<93> 상기 프로세스를 거쳐서, 본 발명의 반도체 장치가 제작된다.

<94> 또 구조체(722)와 구조체(725)의 사이에 복수의 반도체 장치에 대응하는 반도체 소자를 형성하고 있는 경우에는 소자층(715)을 반도체 장치마다 분단한다. 분단은 레이저 조사 장치, 다이싱 장치, 스크라이브 장치, 가위나 나이프 등의 날붙이를 갖는 재단장치 등을 사용할 수 있다. 레이저 조사 장치를 사용하는 경우, 레이저 발진기로서는 KrF, ArF, XeCl 등의 엑시머 레이저 발진기, He, He-Cd, Ar, He-Ne, HF, CO_2 등의 기체 레이저 발진기, YAG, $GdVO_4$, YVO_4, YLF, $YAlO_3$ 등의 결정에 Cr, Nd, Er, Ho, Ce, Co, Ti 또는 Tm을 도프한 결정, 유리, 루비 등의 고체 레이저 발진기, GaN, GaAs, GaAlAs, InGaAsP 등의 반도체 레이저 발진기를 사용할 수 있다. 또, 이 고체 레이저 발진기에 있어서는 기본파 내지 제 5 고조파를 적절하게 적용하는 것이 바람직하다.

<95> 또한, RF 태그와 같이 안테나를 갖는 경우, 구조체(722) 또는 구조체(725)에 개구부를 형성하고, 상기 개구부를 통해서 안테나와 소자층(715)에 포함되는 집적 회로를 전기적으로 접속할 수 있다.

<96> 도 9에, 구조체(725)에 레이저 빔 등으로 개구부를 형성하고, 상기 개구부에, 소자층(715) 내의 배선(714)과 접속된 접속 단자(731)가 형성된 반도체 장치의 단면도를 도시한다. 접속 단자(731)는 이방 도전성 필름(732)으로 안테나(730)와 접속 단자(731)를 압착시킴으로써, 전기적으로 접속할 수 있다.

<97> 또한 도 10에, 구조체(722)에 레이저 빔 등으로 개구부를 형성하고, 상기 개구부에, 소자층(715) 내의 배선

(714)과 접속된 접속 단자(734)가 형성된 반도체 장치의 단면도를 도시한다. 접속 단자(734)는 이방 도전성 필름(735)으로 안테나(733)와 접속 단자(734)를 압착시킴으로써, 전기적으로 접속할 수 있다.

<98> 또, 안테나와 접속 단자의 접속은 이방 도전성 필름(ACF(Anisotropic Conductive Film)) 외에, 이방 도전성 페이스트(ACP(Anisotropic Conductive Paste)) 등을 사용하여 압착시켜도 좋다. 또한, 은, 페이스트, 구리 페이스트 또는 카본 페이스트 등의 도전성 접착제나 땜납 접합 등을 사용하여 접속을 하는 것도 가능하다.

<99> 또한 본 실시 형태에서는 다른 형성된 안테나를 소자층에 전기적으로 접속하는 경우에 관해서 설명하였지만, 본 발명은 이 구성에 한정되지 않는다. 안테나를 소자층과 같은 기판상에 형성하고, 소자층과 함께 상기 기판으로부터 박리하여 안테나와 소자층을 구조체에 가열 압착시켜도 좋다. 안테나로서 기능하는 도전막은 은(Ag), 금(Au), 구리(Cu), 팔라듐(Pd), 크롬(Cr), 백금(Pt), 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 알루미늄(Al), 철(Fe), 코발트(Co), 아연(Zn), 주석(Sn), 니켈(Ni) 등의 금속을 사용하여 형성할 수 있다. 안테나로서 기능하는 도전막은 상기 금속으로 형성된 막 외에, 상기 금속을 주성분으로 하는 합금으로 형성된 막, 또는 상기 금속을 포함하는 화합물을 사용하여 형성된 막을 사용하여도 좋다. 안테나로서 기능하는 도전막은 상술한 막을 단층으로 하여도 좋고, 상술한 복수의 막을 적층하여 사용하여도 좋다.

<100> 안테나로서 기능하는 도전막은 CVD법, 스퍼터링법, 스크린인쇄나 그라비아인쇄 등의 인쇄법, 액적토출법, 디스펜서법, 도금법, 포토리소그래피법, 증착법 등을 사용하여 형성할 수 있다.

<101> 예를 들면 스크린인쇄법을 사용하는 경우, 입경이 수㎚에서 수십㎛의 도전성을 갖는 입자(도전체 입자)를 유기 수지에 분산시킨 도전성 페이스트를, 절연막상에 선택적으로 인쇄하는 것으로 안테나로서 기능하는 도전막을 형성할 수 있다. 도전체 입자는 은(Ag), 금(Au), 구리(Cu), 니켈(Ni), 백금(Pt), 팔라듐(Pd), 탄탈륨(Ta), 몰리브덴(Mo), 주석(Sn), 납(Pb), 아연(Zn), 크롬(Cr) 또는 티타늄(Ti) 등을 사용하여 형성할 수 있다. 도전체 입자는 상기 금속으로 형성되었지만 그 외에, 상기 금속을 주성분으로 하는 합금으로 형성되어 있어도 좋고, 상기 금속을 포함하는 화합물을 사용하여 형성되어 있어도 좋다. 또한 할로겐화 은의 미립자 또는 분산성나노입자도 사용할 수 있다. 또한, 도전성 페이스트에 포함되는 유기 수지로서, 폴리이미드, 실록산계 수지, 에폭시 수지, 실리콘 수지 등을 사용할 수 있다.

<102> 상기 금속의 합금의 일례로서, 은(Ag)과 팔라듐(Pd), 은(Ag)과 백금(Pt), 금(Au)과 백금(Pt), 금(Au)과 팔라듐(Pd), 은(Ag)과 구리(Cu)의 조합을 들 수 있다. 또한 예를 들면, 구리(Cu)를 은(Ag)으로 코트한 도전체 입자 등도 사용하는 것이 가능하다.

<103> 또 안테나로서 기능하는 도전막의 형성할 때, 인쇄법이나 액적토출법으로 도전성 페이스트를 압출한 후에 소성하는 것이 바람직하다. 예를 들면, 도전성 페이스트에, 은을 주성분으로 하는 도전체 입자(예를 들면 입경 1nm 이상 100nm 이하)를 사용하는 경우, 150 내지 300℃의 온도범위로 소성함으로써, 안테나로서 기능하는 도전막을 형성할 수 있다. 소성은 적외 램프, 크세논 램프, 할로겐 램프 등을 사용한 램프 어닐로 행하여도 좋고, 전기로를 사용한 퍼니스 어닐로 행하여도 좋다. 또한 엑시머 레이저나, Nd : YAG 레이저를 사용한 레이저 어닐법으로 행하여도 좋다. 또한, 땜납이나 납 프리의 땜납을 주성분으로 하는 미립자를 사용하여도 좋고, 이 경우는 입경 20㎛ 이하의 미립자를 사용하는 것이 바람직하다. 땜납이나 납 프리의 땜납은 저비용이라는 이점을 갖고 있다.

<104> 인쇄법, 액적토출법을 사용하는 것으로, 노광용 마스크를 사용하지 않아도 안테나로서 기능하는 도전막을 형성하는 것이 가능하게 된다. 또한, 액적토출법, 인쇄법이면, 포토리소그래피법과 달리, 에칭에 의해 제거되는 재료의 낭비가 없다. 또한 고가의 노광용 마스크를 사용하지 않아도 되기 때문에, 반도체 장치의 제작에 소비되는 비용을 억제할 수 있다.

<105> 또한, 반도체 장치가 외부의 기기와 전기적으로 접속하기 위한 단자를 갖는 경우, 상기 단자는 구조체 상에 형성하도록 하여도 좋다. 도 11a에, 한 쌍의 구조체(750, 751)와 상기 구조체의 사이에 형성된 소자층(752)이 적층되는 순서로 배열되어 있는 모양을 도시한다. 또한 한 쌍의 구조체(750, 751)와 소자층(752)이 적층되는 것으로 형성되는 반도체 장치의 사시도를 도 11b에 도시한다.

<106> 구조체(750)에는 단자(753)가 형성되어 있고, 소자층(752)과 구조체(750)를 가열 압착함으로써, 상기 단자(753)와 소자층(752)이 전기적으로 접속된다. 또한 구조체(751)는 소자층(752)과 겹치도록, 또 단자(753)가 노출되도록, 구조체(750) 및 소자층(752) 상에 적층되어 있다.

<107> 또 본 실시 형태에서는 박막 트랜지스터를 예로 들어 설명하였지만, 본 발명은 이 구성에 한정되지 않는다. 박막 트랜지스터 외에, SOI를 사용하여 형성된 트랜지스터 등도 사용할 수 있다. 또한, 유기 반도체를 사용한 트

랜지스터이어도 좋고, 카본나노튜브를 사용한 트랜지스터이어도 좋다.

<108> 본 발명에 의해, 외력, 특히 가압이 가해져도 파손되기 어려워 신뢰성이 높은 반도체 장치를 제공할 수 있다.

<109> 본 실시 형태는 상기 실시 형태와 적절하게 조합하여 실시하는 것이 가능하다.

<110> (실시 형태 4)

<111> 본 실시 형태에서는 반도체 기판(본드 기판)부터 지지기판(베이스 기판)에 전치한 반도체막을 사용하여 반도체 소자를 형성하고, 상기 반도체 소자를 구조체 상에 전치하는 본 발명의 반도체 장치의 제작 방법에 관해서 설명한다.

<112> 우선 도 12a에 도시하는 바와 같이, 본드 기판(200)상에 절연막(201)을 형성한다. 절연막(201)은 산화규소, 질화산화규소, 질화 규소 등의 절연성을 갖는 재료를 사용하여 형성한다. 절연막(201)은 단수의 절연막을 사용한 것이어도, 복수의 절연막을 적층하여 사용한 것이어도 좋다. 예를 들면 본 실시 형태에서는 본드 기판(200)에 가까운 측부터, 질소보다도 산소의 함유량이 높은 산화질화 규소, 산소보다도 질소의 함유량이 높은 질화산화규소의 차례로 적층된 절연막(201)을 사용한다.

<113> 예를 들면 산화규소를 절연막(201)으로서 사용하는 경우, 절연막(201)은 실란과 산소, TEOS(테트라에톡시실란)와 산소 등의 혼합 가스를 사용하고, 열 CVD, 플라즈마 CVD, 상압 CVD, 바이어스 ECRCVD 등의 기상성장법에 의해서 형성할 수 있다. 이 경우, 절연막(201)의 표면을 산소 플라즈마 처리로 치밀화하여도 좋다. 또한, 질화 규소를 절연막(201)으로서 사용하는 경우, 실란과 암모니아의 혼합 가스를 사용하여, 플라즈마 CVD 등의 기상성장법에 의해서 형성할 수 있다. 또한, 질화산화규소를 절연막(201)으로서 사용하는 경우, 실란과 암모니아의 혼합 가스, 또는 실란과 산화질소의 혼합 가스를 사용하여, 플라즈마 CVD 등의 기상성장법에 의해서 형성할 수 있다.

<114> 또한 절연막(201)으로서, 유기실란가스를 사용하여 화학기상성장법에 의해 제작되는 산화규소를 사용하여도 좋다. 유기실란가스로서는 규산에틸(TEOS : 화학식 $Si(OC_2H_5)_4$), 테트라메틸실란(TMS : 화학식 $Si(CH_3)_4$), 테트라메틸사이클로테트라실록산(TMCTS), 옥타메틸사이클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란($SiH(OC_2H_5)_3$), 트리스디메틸아미노실란($SiH(N(CH_32_)_3$) 등의 실리콘 함유 화합물을 사용할 수 있다.

<115> 다음에 도 12a에 화살 표시로 도시하는 바와 같이, 본드 기판(200)에, 수소 또는 희가스, 또는 수소 이온 또는 희가스 이온을 첨가하여, 본드 기판(200)의 표면으로부터 일정한 깊이의 영역에, 미소 보이드를 갖는 결함층(202)을 형성한다. 결함층(202)이 형성되는 위치는 상기 첨가한 가속전압에 의해서 결정된다. 그리고 결함층(202)의 위치에 의해, 본드 기판(200)으로부터 베이스 기판(204)에 전치하는 반도체막(208)의 두께가 결정되기 때문에, 첨가한 가속 전압은 반도체막(208)의 두께를 고려하여 행한다. 상기 반도체막(208)의 두께는 10nm 내지 200nm, 바람직하게는 10nm 내지 50nm의 두께로 한다. 예를 들면 수소를 본드 기판(200)에 첨가하는 경우, 도즈량은 1×10^{16} 내지 1×10^{17}/㎠로 하는 것이 바람직하다.

<116> 또, 결함층(202)을 형성하는 상기 공정에서, 본드 기판(200)에 높은 농도의 수소 또는 희가스, 또는 수소 이온 또는 희가스 이온을 첨가하기 때문에, 본드 기판(200)의 표면이 거칠어져, 베이스 기판(204)과의 사이에서의 접합으로 충분한 강도를 얻을 수 없는 경우가 있다. 절연막(201)을 형성하는 것으로, 수소 또는 희가스, 또는 수소 이온 또는 희가스 이온을 첨가할 때에 본드 기판(200)의 표면이 보호되어 베이스 기판(204)과 본드 기판(200)의 사이에서의 접합을 양호하게 할 수 있다.

<117> 다음에 도 12b에 도시하는 바와 같이, 절연막(201) 상에 절연막(203)을 형성한다. 절연막(203)은 절연막(201)과 함께, 산화규소, 질화산화규소, 질화 규소 등의 절연성을 갖는 재료를 사용하여 형성한다. 절연막(203)은 단수의 절연막을 사용한 것이어도, 복수의 절연막을 적층하여 사용한 것이어도 좋다. 또한 절연막(203)으로서, 유기실란가스를 사용하여 화학기상성장법에 의해 제작되는 산화규소를 사용하여도 좋다. 본 실시 형태에서는 절연막(203)으로서, 유기실란가스를 사용하여 화학기상성장법에 의해 제작되는 산화규소를 사용한다.

<118> 또 절연막(201) 또는 절연막(203)에 질화 규소, 질화산화규소 등의 배리어성이 높은 절연막을 사용하는 것으로, 나중에 형성되는 반도체막(209)에 알칼리금속이나 알칼리토류 금속 등의 불순물이 베이스 기판(204)으로부터 들어 가는 것을 막을 수 있다.

<119> 또 본 실시 형태에서는 결함층(202)을 형성한 후에 절연막(203)을 형성하였지만, 절연막(203)은 반드시 형성할 필요는 없다. 단 절연막(203)은 결함층(202)을 형성한 후에 형성되기 때문에, 결함층(202)을 형성하기 전에 형성되는 절연막(201)보다도, 그 표면의 평탄성은 높다. 따라서, 절연막(203)을 형성하는 것으로, 나중에 행하여

지는 접합의 강도를 더욱 높일 수 있다.

<120> 한편, 도 12c에 도시하는 바와 같이, 베이스 기판(204)상에 절연막(205), 박리층(206), 절연막(207)을 차례로 형성한다.

<121> 절연막(205), 절연막(207)은 CVD법이나 스퍼터링법 등을 사용하고, 산화규소, 질화 규소(SiNx, Si_3N_4 등), 산화 질화 규소(SiOxNy)(x>y>0), 질화산화규소(SiNxOy)(x>y>0) 등의 절연성을 갖는 재료를 사용하여 형성한다.

<122> 절연막(205), 절연막(207)은 베이스 기판(204) 중에 포함되는 Na 등의 알칼리금속이나 알칼리토류 금속이, 나중에 형성되는 반도체막(209) 중으로 확산되어, 반도체 소자의 특성에 악영향을 미치는 것을 막기 위해서 형성한다. 또한 절연막(207)은 박리층(206)에 포함되는 불순물 원소가 반도체 소자 중으로 확산하는 것을 막고, 또 나중의 반도체 소자를 박리하는 공정에서, 반도체 소자나 배선에 균열이나 데미지가 생기는 것을 막을 수 있다.

<123> 절연막(205), 절연막(207)은 단수의 절연막을 사용한 것이어도, 복수의 절연막을 적층하여 사용한 것이어도 좋다. 본 실시 형태에서는 막 두께 100nm의 산화질화규소막, 막 두께 50nm의 질화산화규소막, 막 두께 100nm의 산화질화규소막을 차례로 적층하여 절연막(207)을 형성하지만, 각 막의 재질, 막 두께, 적층수는 이것에 한정되는 것은 아니다. 예를 들면, 하층의 산화질화규소막 대신에, 막 두께 0.5 내지 3㎛의 실록산계 수지를 스핀 도포법, 슬릿 코터법, 액적토출법, 인쇄법 등에 의해서 형성하여도 좋다. 또한, 중층의 질화산화규소막 대신에, 질화규소막을 사용하여도 좋다. 또한, 상층의 산화질화규소막 대신에, 산화규소막을 사용하여도 좋다. 또한, 각각의 막 두께는 0.05 내지 3㎛로 하는 것이 바람직하고, 그 범위에서 자유롭게 선택할 수 있다.

<124> 또는 박리층(206)에 가장 가깝고, 절연막(207)의 하층을 산화질화규소막 또는 산화규소막으로 형성하고, 중층을 실록산계 수지로 형성하고, 상층을 산화규소막으로 형성하여도 좋다.

<125> 또 실록산계 수지는 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기에 수소 외에, 불소, 알킬기, 또는 방향족탄화수소 중, 적어도 1종을 갖고 있어도 좋다.

<126> 산화규소막은 SiH_4/O_2, TEOS(테트라에톡시실란)/O_2 등의 혼합 가스를 사용하고, 열 CVD, 플라즈마 CVD, 상압 CVD, 바이어스 ECRCVD 등의 방법에 의해서 형성할 수 있다. 또한, 질화규소막은 대표적으로는 SiH_4과 NH_3의 혼합 가스를 사용하여, 플라즈마 CVD에 의해서 형성할 수 있다. 또한, 산화질화규소막, 질화산화규소막은 대표적으로는 SiH_4과 N_2O의 혼합 가스를 사용하여, 플라즈마 CVD에 의해서 형성할 수 있다.

<127> 박리층(206)은 금속막, 금속산화막, 금속막과 금속산화막을 적층하여 형성되는 막을 사용할 수 있다. 금속막과 금속산화막은 단층이어도 좋고, 복수의 층이 적층된 적층 구조를 갖고 있어도 좋다. 또한, 금속막이나 금속산화막 외에, 금속질화물이나 금속산화질화물을 사용하여도 좋다. 박리층(206)은 스퍼터법이나 플라즈마 CVD법 등의 각종 CVD법 등을 사용하여 형성할 수 있다.

<128> 박리층(206)에 사용되는 금속으로서는 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 니오브(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테늄(Ru), 루테늄(Rh), 팔라듐(Pd), 오스뮴(Os) 또는 이리듐(Ir) 등을 들 수 있다. 박리층(206)은 상기 금속으로 형성된 막 외에, 상기 금속을 주성분으로 하는 합금으로 형성된 막, 또는 상기 금속을 포함하는 화합물을 사용하여 형성된 막을 사용하여도 좋다.

<129> 또한 박리층(206)은 규소(Si) 단체로 형성된 막을 사용하여도 좋고, 규소(Si)를 주성분으로 하는 화합물로 형성된 막을 사용하여도 좋다. 또는 규소(Si)와 상기 금속을 포함하는 합금으로 형성된 막을 사용하여도 좋다. 규소를 포함하는 막은 비정질, 미결정, 다결정 중 어떤 것이어도 좋다.

<130> 박리층(206)은 상술한 막을 단층으로 하여도 좋고, 상술한 복수의 막을 적층하여 사용하여도 좋다. 금속막과 금속산화막이 적층된 박리층(206)은 기초가 되는 금속막을 형성한 후, 상기 금속막의 표면을 산화 또는 질화시키는 것으로 형성할 수 있다. 구체적으로는 산소 분위기 중 또는 N_2O 분위기 중에서 기초가 되는 금속막에 플라즈마 처리를 하거나, 산소 분위기 중 또는 N_2O 분위기 중에서 금속막에 열 처리를 하거나 하면 좋다. 또한 기초가 되는 금속막상에 접하도록, 산화규소막 또는 산화질화규소막을 형성하는 것이어도, 금속막의 산화를 행할 수 있다. 또한 기초가 되는 금속막상에 접하도록 질화산화규소막, 질화규소막을 형성하는 것으로, 질화를 행할 수 있다.

<131> 금속막의 산화 또는 질화를 행하는 플라즈마 처리로서, 플라즈마 밀도가 $1\times10^{11}cm^{-3}$ 이상, 바람직하게는 1×

$10^{11}cm^{-3}$부터 $9\times10^{15}cm^{-3}$ 이하이고, 마이크로파(예를 들면 주파수 2.45GHz) 등의 고주파를 사용한 고밀도 플라즈마 처리를 하여도 좋다.

<132> 또 기초가 되는 금속막의 표면을 산화하는 것으로, 금속막과 금속산화막이 적층된 박리층(206)을 형성하도록 하여도 좋지만, 금속막을 형성한 후에 금속산화막을 별도 형성하도록 하여도 좋다. 예를 들면 금속으로서 텅스텐을 사용하는 경우, 스퍼터법이나 CVD법 등에 의해 기초가 되는 금속막으로서 텅스텐막을 형성한 후, 상기 텅스텐막에 플라즈마 처리를 한다. 이것에 의해, 금속막에 상당하는 텅스텐막과, 상기 금속막에 접하여, 또 텅스텐의 산화물로 형성된 금속산화막을 형성할 수 있다.

<133> 또 텅스텐의 산화물은 WO_x로 나타내진다. X는 2 이상 3 이하의 범위 내에 있고, X가 2인 경우(WO_2), X가 2.5인 경우(W_2O_5), X가 2.75인 경우(W_4O_{11}), X가 3인 경우(WO_3)가 된다. 텅스텐의 산화물을 형성할 때 X의 값에 특별히 제약은 없고, 에칭레이트 등을 바탕으로 X의 값을 정하면 좋다.

<134> 다음에, 본드 기판(200)과 베이스 기판(204)을 접합에 의해 접합하기 전에, 본드 기판(200)에 수소화 처리를 하도록 하여도 좋다. 수소화 처리는 예를 들면, 수소 분위기 중에서 350℃, 2시간 정도 행한다.

<135> 그리고 도 12d에 도시하는 바와 같이, 본드 기판(200)과, 베이스 기판(204)을, 절연막(203), 절연막(207)을 사이에 두도록 접합한다. 절연막(203)과 절연막(207)이 접합하는 것으로, 본드 기판(200)과 베이스 기판(204)을 접합할 수 있다.

<136> 접합의 형성은 반 데어 월스력을 사용하여 행하여지기 때문에, 실온에서도 강고한 접합이 형성된다. 또, 상기 접합은 저온에서 행하는 것이 가능하기 때문에, 베이스 기판(204)은 여러 가지를 사용하는 것이 가능하다. 예를 들면 베이스 기판(204)으로서는 알루미노실리케이트유리, 바륨붕규산유리, 알루미노붕규산유리 등의 유리 기판 외에, 석영 기판, 사파이어 기판 등의 기판을 사용할 수 있다. 또 베이스 기판(204)으로서, 실리콘, 갈륨비소, 인듐인 등의 반도체 기판 등을 사용할 수 있다. 또는 스테인레스 기판을 포함하는 금속기판을 베이스 기판(204)으로서 사용하여도 좋다. 또한, 플라스틱 등의 가요성을 갖는 합성 수지로 이루어지는 기판은 상기 기판과 비교하여 내열 온도가 일반적으로 낮은 경향이 있지만, 제작 공정에서의 처리온도에 견딜 수 있는 것이면 베이스 기판(204)으로서 사용하는 것이 가능하다. 플라스틱 기판으로서, 폴리에틸렌텔레프탈레이트(PET)로 대표되는 폴리에스테르, 폴리에테르설폰(PES), 폴리에틸렌나프탈레이트(PEN), 폴리카보네이트(PC), 폴리에테르에테르케톤(PEEK), 폴리설폰(PSF), 폴리에테르이미드(PEI), 폴리아릴레이트(PAR), 폴리부틸렌텔레프탈레이트(PBT), 폴리이미드, 아크릴로니트릴부타디엔스티렌 수지, 폴리염화비닐, 폴리프로필렌, 폴리아세트산비닐, 아크릴 수지 등을 들 수 있다.

<137> 본드 기판(200)으로서, 실리콘, 게르마늄 등의 단결정 반도체 기판 또는 다결정 반도체 기판을 사용할 수 있다. 그 외에, 갈륨비소, 인듐인 등의 화합물 반도체로 형성된 단결정 반도체 기판 또는 다결정 반도체 기판을 본드 기판(200)으로서 사용할 수 있다. 또한 본드 기판(200)으로서, 결정격자에 왜곡을 갖는 실리콘, 실리콘에 대하여 게르마늄이 첨가된 실리콘게르마늄 등의 반도체 기판을 사용하여도 좋다. 왜곡을 갖는 실리콘은 실리콘보다도 격자정수가 큰 실리콘게르마늄 또는 질화 규소상에서의 성막에 의해 형성할 수 있다.

<138> 또 베이스 기판(204)과 본드 기판(200)을 접합한 후에, 열 처리 또는 가압 처리를 사용하여도 좋다. 열 처리 또는 가압 처리를 하는 것으로 접합의 강도를 향상시킬 수 있다.

<139> 본드 기판(200)과 베이스 기판(204)의 사이에서, 절연막(203)과 절연막(207)의 접합을 한 후, 열 처리를 함으로써, 결함층(202)에 있어서 인접하는 미소 보이드끼리가 결합하여, 미소 보이드의 부피가 증대한다. 그 결과, 도 13a에 도시하는 바와 같이, 결함층(202)에 있어서 본드 기판(200)이 벽개(劈開, cleavage)하여, 본드 기판(200)의 일부이었던 반도체막(208)이 괴리된다. 열 처리의 온도는 베이스 기판(204)의 내열 온도 이하로 하는 것이 바람직하고, 예를 들면 400℃ 내지 600℃의 범위 내에서 열 처리를 하면 좋다. 이 박리에 의해, 반도체막(208)이, 절연막(201) 및 절연막(203)과 함께 베이스 기판(204)에 전치된다. 그 후, 절연막(203)과 절연막(207)의 접합을 더욱 강고하게 하기 위해서, 400℃ 내지 600℃의 열 처리를 하는 것이 바람직하다.

<140> 반도체막(208)의 결정면 방위는 본드 기판(200)의 면 방위에 의해서 제어할 수 있다. 형성하는 반도체 소자에 알맞은 결정면 방위를 갖는 본드 기판(200)을 적절하게 선택하여 사용하면 좋다. 또한 트랜지스터의 이동도는 반도체막(208)의 결정면 방위에 따라서 다르다. 더욱 이동도가 높은 트랜지스터를 얻고자 하는 경우, 채널의 방향과 결정면 방위를 고려하여, 본드 기판(200)의 접합의 방향을 정하도록 한다.

<141> 다음에, 전치된 반도체막(208)의 표면을 평탄화한다. 평탄화는 반드시 필수는 아니지만, 평탄화를 하는 것으로,

나중에 형성되는 트랜지스터에 있어서 반도체막(208)과 게이트 절연막의 계면의 특성을 향상시킬 수 있다. 구체적으로 평탄화는 화학적 기계적 연마(CMP : Chemical Mechanical Polishing) 또는 액체 제트 연마 등에 의해 행할 수 있다. 반도체막(208)의 두께는 상기 평탄화에 의해 박막화된다.

<142> 또 본 실시 형태에서는 결함층(202)의 형성에 의해 반도체막(208)을 본드 기판(200)으로부터 박리하는 스마트 절단법을 사용하는 경우에 관해서 개시하지만, ELTRAN(Epitaxial Layer Transfer), 유전체 분리법, PACE(Plasma Assisted Chemical Etching)법 등의, 다른 접합법을 사용하여 반도체막(208)을 베이스 기판(204)에 접합하도록 하여도 좋다.

<143> 다음에, 도 13b에 도시하는 바와 같이, 반도체막(208)을 원하는 형상으로 가공(패터닝)하는 것으로, 섬 형상의 반도체막(209)을 형성한다.

<144> 상기 공정을 거쳐서 형성된 반도체막(209)을 사용하여, 본 발명은 트랜지스터 등의 각종 반도체 소자를 형성할 수 있다. 도 13c에는 반도체막(209)을 사용하여 형성된 트랜지스터(210)를 예시하고 있다.

<145> 다음에 도 14a에 도시하는 바와 같이, 트랜지스터(210)나 배선 등을 사용하여 형성된 집적 회로를 포함하는 소자층(211)에 구조체(212)를 가열 압착한다. 그리고, 소자층(211) 및 구조체(212)를 베이스 기판(204)으로부터 박리한다.

<146> 구조체(212)는 섬유체(213)에 유기 수지(214)가 함침된 구조체가 복수 적층된 것을 사용한다. 이러한 구조체(212)는 프리프래그라고도 불린다. 프리프래그는 구체적으로는 섬유체에 매트릭스 수지를 유기용제로 희석한 바니시를 함침시킨 후, 건조하여 유기용제를 휘발시켜 매트릭스 수지를 반경화시킨 것이다. 구조체(212)의 두께는 10㎛ 이상 100㎛ 이하, 또 10㎛ 이상 30㎛ 이하가 바람직하다. 이러한 두께의 구조체를 사용하는 것으로, 박형으로 만곡하는 것이 가능한 반도체 장치를 제작할 수 있다.

<147> 또 본 실시 형태에서는 단층의 섬유체에 유기 수지가 함침된 구조체를 복수 적층시키는 것으로, 상기 구조체(212)를 형성하였지만, 본 발명은 이 구성에 한정되지 않는다. 복수의 적층된 섬유체에 유기 수지를 함침시킨 구조체를 사용하여도 좋다. 또한, 단층의 섬유체에 유기 수지가 함침된 구조체를 복수 적층시킬 때, 각 구조체 간에 다른 층을 사이에 두도록 하여도 좋다.

<148> 구조체(212)는 가열 압착에 의해 유기 수지(214)가 가소화 또는 경화된다. 또, 유기 수지(214)가 가소성 유기 수지인 경우, 이 후, 실온으로 냉각함으로써 가소화한 유기 수지를 경화시킨다. 유기 수지(214)는 가열 및 압착에 의해, 소자층(211)에 밀착하도록 균일하게 확대되어 경화된다. 상기 구조체(212)를 압착하는 공정은 대기압하 또는 감압하에서 행한다.

<149> 또한 박리는 박리층(206)에서 행하여진다. 박리는 물리적인 힘에 의한 처리, 예를 들면 사람의 손이나 파지구로 벗기는 처리나, 롤러를 회전시키면서 분리하는 처리로 행하는 것이 가능하다. 박리층(206)은 모두 제거하지 않고 일부가 잔존한 상태이어도 좋다.

<150> 또 본 실시 형태에서는 박리층에 금속산화막을 사용하여, 물리적수단에 의해 소자층(211)을 박리하는 방법을 사용하였지만, 본 발명에서 사용되는 박리방법은 이것에 한정되지 않는다. 예를 들면, 투광성을 갖는 베이스 기판(204)을 사용하고, 박리층(206)에 수소를 포함하는 비정질규소를 사용하고, 베이스 기판(204)으로부터 박리층(206)에 레이저 빔을 조사하여, 비정질규소에 포함되는 수소를 기화시켜, 베이스 기판(204)을 소자층(211)으로부터 박리하는 방법을 사용하여도 좋다.

<151> 또한 상기 박리는 박리층(206)의 에칭을 사용한 방법으로 행하여도 좋다. 이 경우, 박리층(206)이 일부 노출하도록 홈을 형성한다. 홈은 다이싱, 스크라이빙, UV광을 포함하는 레이저광을 사용한 가공, 포토리소그래피법 등에 의해, 홈을 형성한다. 홈은 박리층(206)이 노출될 정도의 깊이를 갖고 있으면 좋다. 그리고 에칭 가스로서 플루오르화할로겐을 사용하여, 상기 가스를 홈으로부터 도입한다. 본 실시 형태에서는 예를 들면 ClF_3(3플루오르화염소)를 사용하여, 온도 : 350℃, 유량 : 300sccm, 기압 : 800Pa, 시간 : 3h의 조건으로 행한다. 또한, ClF_3 가스에 질소를 섞은 가스를 사용하여도 좋다. ClF_3 등의 플루오르화할로겐을 사용하는 것으로, 박리층(206)이 선택적으로 에칭되어, 베이스 기판(204)을 소자층(211)으로부터 박리할 수 있다. 또 플루오르화할로겐은 기체나 액체 어느 쪽이나 좋다.

<152> 또한, 베이스 기판(204)을 기계적으로 연마하여 제거하는 방법이나, 베이스 기판(204)을 HF 등의 용액을 사용하여 용해하여 기판을 제거하는 방법을 사용하는 것으로, 소자층(211)을 베이스 기판(204)으로부터 박리할 수 있

다. 이 경우, 박리층(206)을 사용할 필요는 없다.

<153> 다음에 도 14b에 도시하는 바와 같이, 소자층(211)의 상기 박리에 의해 노출된 면측에, 섬유체(215)에 유기 수지(216)가 함침된 구조체가 복수 적층된 구조체(217)를 겹친다. 구조체(217)의 두께는 10㎛ 이상 100㎛ 이하, 또 10㎛ 이상 30㎛ 이하가 바람직하다. 이러한 두께의 구조체를 사용하는 것으로, 박형으로 만곡하는 것이 가능한 반도체 장치를 제작할 수 있다.

<154> 또 본 실시 형태에서는 단층의 섬유체에 유기 수지가 함침된 구조체를 복수 적층시키는 것으로, 상기 구조체(217)를 형성하였지만, 본 발명은 이 구성에 한정되지 않는다. 복수의 적층된 섬유체에 유기 수지를 함침시킨 구조체를 사용하여도 좋다. 또한, 단층의 섬유체에 유기 수지가 함침된 구조체를 복수 적층시킬 때, 각 구조체 간에 다른 층을 사이에 두도록 하여도 좋다.

<155> 다음에, 구조체(217)를 가열 압착하여, 구조체(217)의 유기 수지(216)를 가소화 또는 경화시킨다. 또, 유기 수지(216)가 가소성 유기 수지인 경우, 이 후, 실온으로 냉각함으로써 가소화한 유기 수지를 경화시킨다. 유기 수지(216)는 가열 및 압착에 의해, 소자층(211)에 밀착하도록 균일하게 확대되어 경화된다. 상기 구조체(217)를 압착하는 공정은 대기압하 또는 감압하에서 행한다.

<156> 또 구조체(212)와 구조체(217)의 사이에, 복수의 반도체 장치에 대응하는 반도체 소자를 형성하고 있는 경우에는 소자층(211)을 반도체 장치마다 분단한다. 분단은 레이저 조사 장치, 다이싱 장치, 스크라이브 장치, 가위나 나이프 등의 날붙이를 갖는 재단장치 등을 사용할 수 있다. 레이저 조사 장치를 사용하는 경우, 레이저 발진기로서는 KrF, ArF, XeCl 등의 엑시머 레이저 발진기, He, He-Cd, Ar, He-Ne, HF, CO_2 등의 기체 레이저 발진기, YAG, $GdVO_4$, YVO_4, YLF, $YAlO_3$ 등의 결정에 Cr, Nd, Er, Ho, Ce, Co, Ti 또는 Tm을 도프한 결정, 유리, 루비 등의 고체 레이저 발진기, GaN, GaAs, GaAlAs, InGaAsP 등의 반도체 레이저 발진기를 사용할 수 있다. 또, 그 고체 레이저 발진기에 있어서는 기본파 내지 제 5 고조파를 적절하게 적용하는 것이 바람직하다.

<157> 상기 프로세스를 거쳐서, 본 발명의 반도체 장치가 제작된다.

<158> 본 발명에 의해, 외력, 특히 가압이 가해져도 파손되기 어려워 신뢰성이 높은 반도체 장치를 제공할 수 있다.

<159> 본 실시 형태는 상기 실시 형태와 적절하게 조합하여 실시하는 것이 가능하다.

<160> (실시 형태 5)

<161> 본 실시 형태에서는 소자층과 겹치도록 복수의 섬유체를 적층하여, 상기 복수의 섬유체에 유기 수지를 함침시키는 것으로, 소자층에 고착한 구조체를 형성하는 예에 관해서 설명한다.

<162> 우선 도 15a에 도시하는 바와 같이, 기판(400)상에 소자층(401)을 형성한다. 도 15a에서는 소자층(401)과 기판(400)의 사이에, 나중에 소자층(401)을 기판(400)으로부터 박리하기 쉽게 하기 위한 박리층(402)을 형성하였지만, 본 발명은 이 구성에 한정되지 않는다. 박리방법에 따라서는 박리층(402)을 형성하지 않아도 좋고, 적절하게 필요한 층을 추가하여도 좋다.

<163> 그리고 소자층(401)과 겹치도록, 섬유체(403)를 소자층(401)상에 적층한다. 섬유체(403)는 유기 화합물 또는 무기 화합물의 고강도 섬유를 사용한 직포 또는 부직포이고, 소자층(401) 전체면을 덮는다. 고강도 섬유로서는 구체적으로는 인장 탄성율이 높은 섬유이다. 또는 영율이 높은 섬유이다. 고강도 섬유의 대표적인 예로서는 폴리비닐알콜계 섬유, 폴리에스테르계 섬유, 폴리아미드계 섬유, 폴리에틸렌계 섬유, 아라미드계 섬유, 폴리파라페닐렌벤조비스옥사졸섬유, 유리 섬유, 또는 탄소 섬유이다. 유리 섬유로서는 E유리, S유리, D유리, Q유리 등을 사용한 유리 섬유를 사용할 수 있다. 또, 섬유체(403)는 1종류의 상기 고강도 섬유로 형성되어도 좋다. 또한, 복수의 상기 고강도 섬유로 형성되어도 좋다.

<164> 또한, 섬유체(403)는 섬유(단사)의 다발(이하, 사속이라고 함)을 날실 및 씨실에 사용하여 만든 직포, 또는 복수종의 섬유의 사속을 랜덤 또는 1방향으로 퇴적시킨 부직포로 구성되어도 좋다. 직포의 경우, 평직물, 능직물, 수직물 등 적절하게 사용할 수 있다.

<165> 사속의 단면은 원형이어도 좋고 타원형이어도 좋다. 섬유 사속으로서, 고압수류, 액체를 매체로 한 고주파의 진동, 연속 초음파의 진동, 롤에 의한 가압 등에 의해서, 개섬(開纖) 가공을 한 섬유 사속을 사용하여도 좋다. 개섬 가공을 한 섬유 사속은 사속폭이 넓어지고, 두께 방향의 단사수를 삭감하는 것이 가능하고, 사속의 단면이 타원형 또는 평판형이 된다. 또한, 섬유 사속으로서 저연사를 사용하는 것으로, 사속이 편평화되기 쉽고, 사속의 단면 형상이 타원 형상 또는 평판 형상이 된다. 이와 같이, 단면이 타원형 또는 평판형의 사속을 사용하는

것으로, 섬유체(403)의 두께를 얇게 하는 것이 가능하다. 이 때문에, 박형의 반도체 장치를 제작할 수 있다. 섬유의 사속 직경은 4㎛ 이상 400㎛ 이하, 또 4㎛ 이상 200㎛ 이하에서 본 발명의 효과를 확인하였고, 원리상으로는 더욱 얇아도 좋다. 또한, 섬유의 굵기는 4㎛ 이상 20㎛ 이하에서 본 발명의 효과를 확인하였고, 원리상으로는 더욱 가늘어도 좋고, 이들은 섬유의 재료에 의존한다.

<166> 다음에, 도 15b에 도시하는 바와 같이, 섬유체(403)에 유기 수지(404)를 함침시킨다. 그리고, 유기 수지(404)를 가열하여 가소화 또는 경화하는 것으로, 소자층(401)상에 고착된 구조체(405)를 형성한다. 또, 유기 수지가 가소성 유기 수지인 경우, 이 후, 실온으로 냉각함으로써 가소화한 유기 수지를 경화시킨다.

<167> 유기 수지(404)는 에폭시 수지, 불포화폴리에스테르 수지, 폴리이미드 수지, 비스말레이미드트리아진 수지, 또는 시아네이트 수지 등의 열경화성 수지를 사용할 수 있다. 또한, 폴리페닐렌옥사이드 수지, 폴리에테르이미드 수지, 또는 불소 수지 등의 열가소성 수지를 사용할 수 있다. 또한, 상기 열가소성 수지 및 상기 열경화성 수지의 복수를 사용하여도 좋다. 상기 유기 수지를 사용하는 것으로, 열 처리에 의해 섬유체를 소자층에 고착하는 것이 가능하다. 또, 유기 수지(404)는 유리 전이 온도가 높을수록 국소적 가압에 대하여 파괴되기 어렵기 때문에 바람직하다.

<168> 유기 수지(404)를 함침시키는 방법으로서, 인쇄법, 캐스트법, 액적토출법, 딥코트법 등을 사용할 수 있다.

<169> 유기 수지(404) 또는 섬유체(403)의 사속 내에 고열전도성 충전제를 분산시켜도 좋다. 고열전도성 충전제로서는 질화 알루미늄, 질화 붕소, 질화 규소, 알루미나 등이 있다. 또한, 고열전도성 충전제로서는 은, 구리 등의 금속 입자가 있다. 고열전도성 충전제가 유기 수지 또는 섬유 사속 내에 포함됨으로써 소자층에서의 발열을 외부로 방출하기 쉬워지기 때문에, 반도체 장치의 축열을 억제하는 것이 가능하고, 반도체 장치의 불량을 저감할 수 있다.

<170> 다음에 상기 프로세스를 반복하는 것으로, 도 15c에 도시하는 바와 같이 구조체(405) 상에 새롭게, 섬유체(409)를 갖는 구조체(406), 섬유체(410)를 갖는 구조체(407)를 차례로 적층하도록 형성한다. 구조체(405 내지 407)에 의해, 복수의 섬유체(403, 409, 410)가 적층된 구조체(408)를 얻을 수 있다.

<171> 또 본 실시 형태에서는 구조체(408)가 3개의 구조체(405 내지 407)를 갖고 있지만, 본 발명은 이 구성에 한정되지 않는다. 구조체(408)가 2개의 구조체를 갖고 있어도 좋고, 4개 이상의 구조체를 갖고 있어도 좋다. 또한, 본 실시 형태에서는 구조체(405 내지 407)끼리가 직접 고착되어 있지만, 구조체(405 내지 407)간에 다른 층이 형성되고 있어도 좋다.

<172> 다음에, 도 16a에 도시하는 바와 같이, 소자층(401)으로부터 기판(400)을 박리한다. 박리는 박리층(402)에서 행할 수 있다. 또 소자층(401)의 박리방법은 실시 형태 3 또는 실시 형태 4에 기재되어 있는 바와 같은 물리적인 힘을 사용하는 것으로 박리층에 있어서 소자층(401)과 기판(400)을 벽개시키는 방법, 박리층(402)에 수소를 포함하는 비정질규소를 사용하여, 기판(400)으로부터 박리층(402)에 레이저 빔을 조사하여, 비정질규소에 포함되는 수소를 기화시켜 기판(400)을 소자층(401)으로부터 박리하는 방법, 박리층(402)의 에칭을 사용한 방법, 기판(400)을 기계적으로 연마하여 제거하는 방법, 기판(400)을 HF 등의 용액을 사용하여 용해하여 제거하는 방법 등을 사용할 수 있다.

<173> 다음에, 도 16b에 도시하는 바와 같이, 기판(400)의 박리에 의해서 노출된 면에 겹치도록 섬유체(411)를 겹친 후, 섬유체(411)에 유기 수지(412)를 함침시킨다. 그리고, 유기 수지(412)를 가열하여 가소화 또는 경화하는 것으로, 소자층(401)에 고착된 구조체(413)를 형성한다. 구조체(413)는 소자층(401)을 사이에 두고 구조체(408)와 겹쳐 있다. 또, 유기 수지가 가소성 유기 수지인 경우, 이 후, 실온으로 냉각함으로써 가소화한 유기 수지를 경화시킨다.

<174> 다음에 상기 프로세스를 반복하는 것으로, 도 16c에 도시하는 바와 같이 구조체(413)와 겹치도록, 섬유체(416)를 갖는 구조체(414), 섬유체(417)를 갖는 구조체(415)를 차례로 적층하도록 형성한다. 구조체(413 내지 415)에 의해, 복수의 섬유체(411, 416, 417)가 적층된 구조체(418)를 얻을 수 있다.

<175> 또 본 실시 형태에서는 구조체(418)가 3개의 구조체(413 내지 415)를 갖고 있지만, 본 발명은 이 구성에 한정되지 않는다. 구조체(418)가 2개의 구조체를 갖고 있어도 좋고, 4개 이상의 구조체를 갖고 있어도 좋다. 또한, 본 실시 형태에서는 구조체(413 내지 415)끼리가 직접 고착되어 있지만, 구조체(413 내지 415)간에 다른 층이 형성되고 있어도 좋다.

<176> 또한 본 실시 형태에서는 섬유체를 겹치고 나서 유기 수지를 함침시킨다고 하는 프로세스를 복수회 반복하는 것

으로, 복수 적층된 섬유체를 갖는 구조체를 형성하였지만, 본 발명은 이 구성에 한정되지 않는다. 복수 적층된 섬유체를 소자층에 겹친 후, 상기 복수의 섬유체에 유기 수지를 함침시키는 것으로, 복수 적층된 섬유체를 갖는 구조체를 형성할 수도 있다.

<177> 또, 구조체(408)와 구조체(418)의 막 두께를 같은 정도로 하는 것으로, 반도체 장치에 응력을 가하여 구부렸을 때에, 사이에 형성되는 소자층(401)에 국소적으로 압력이 가해지는 것을 막고, 따라서 반도체 장치의 신뢰성을 높일 수 있다.

<178> 본 발명에 의해, 외력, 특히 가압이 가해져도 파손되기 어려워 신뢰성이 높은 반도체 장치를 제공할 수 있다.

<179> 본 실시 형태는 상기 실시 형태와 적절하게 조합하여 실시하는 것이 가능하다.

<180> (실시 형태 6)

<181> 본 실시 형태에서는 IC 카드라고도 불리는 카드형의 RF 태그의 구성에 관해서 설명한다.

<182> 도 17a에, 한 쌍의 구조체(501, 502)와 상기 구조체(501, 502)의 사이에 형성된 소자층(503)이 적층되는 순서로 배열되어 있는 모양을 도시한다. 또한 한 쌍의 구조체(501, 502)와 소자층(503)이 적층되는 것으로 형성되는 RF 태그의 사시도를 도 17b에 도시한다.

<183> 각 구조체(501, 502)는 복수의 적층된 섬유체를 갖고 있다. 구조체(502)상에는 안테나(504)가 형성되어 있고, 소자층(503)이 구조체(502)상에 적층되는 것으로, 소자층(503)과 안테나(504)가 전기적으로 접속된다. 그리고 소자층(503) 및 안테나(504)를 사이에 두도록 구조체(501)와 구조체(502)가 겹쳐 있다.

<184> 또, 구조체(501)와, 구조체(502)의 막 두께를 같은 정도로 하는 것으로, 반도체 장치에 응력을 가하여 구부렸을 때, 사이에 형성되는 소자층(503)에 국소적으로 압력이 가해지는 것을 막고 따라서 반도체 장치의 신뢰성을 높일 수 있다.

<185> 또한 도 17에서는 안테나(504)가 코일형인 경우를 도시하고 있지만, 본 발명에서 사용되는 안태나의 형상은 이것에 한정되지 않는다. 안테나(504)의 형상은 무선으로 신호를 수신할 수 있는 것이면 좋다. 예를 들면 다이폴 안테나, 패치 안테나, 루프 안테나 등을 사용할 수 있다. 안테나의 형상은 캐리어의 파장, 전송 방식에 맞추어 적절하게 선택하면 좋다.

<186> 도 17에서는 구조체(502)상에 안테나(504)가 형성되어 있는 예를 도시하였지만, 구조체(501) 및 구조체(502)와는 다른 기판상에 형성되어 있어도 좋다. 도 18에 한 쌍의 구조체(501, 502)와, 상기 구조체(501, 502)의 사이에 형성된 소자층(503)과, 안테나(504)가 형성된 인렛시트로서 기능하는 기판(505)이, 적층되는 순서로 배열되어 있는 모양을 도시한다.

<187> 도 18에서는 소자층(503)이 기판(505)상에 적층되는 것으로, 소자층(503)과 안테나(504)가 전기적으로 접속된다. 그리고 소자층(503) 및 기판(505)을 사이에 두도록, 구조체(501)와 구조체(502)가 겹쳐 있다.

<188> 본 발명에 의해, 외력, 특히 가압이 가해져도 파손되기 어려워, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

<189> 본 실시 형태는 상기 실시 형태와 적절하게 조합하여 실시하는 것이 가능하다.

<190> (실시 형태 7)

<191> 본 실시 형태에서는 구조체의 형상의 일례에 관해서 설명한다.

<192> 본 발명의 반도체 장치의 하나인 RF 태그는 여러 가지의 분야에서 실용화가 진행되고 있고, 새로운 형태의 통신 정보단말로서 한층 더 시장의 확대가 예상되고 있다. 따라서 RF 태그는 여러 가지의 환경하에서의 사용에 견딜 수 있는 것이 요구되고 있고, 이 때문에 RF 태그가 갖는 구조체는 외력이 가해져도 금, 깨짐 등의 파손이 생기기 어려운 것이 바람직하다. 본 실시 형태에서는 구조체의 각 모서리를 둥그스름한 형상으로 하는 것으로, 구조체의 금, 깨짐 등의 파손이 생기는 것을 막을 수 있다. 또한 본 실시 형태에서는 구조체의 형상을, 모든 외각이 60도 이하가 되는 다각형으로 하는 것으로, 구조체의 금, 깨짐 등의 파손이 생기는 것을 막을 수 있다.

<193> 도 19a는 본 발명의 반도체 장치의 하나인 RF 태그의 상면도이다. 도 19a에 도시하는 RF 태그는 구조체(520)와, 집적 회로를 포함하는 소자층(521)과, 안테나(522)를 갖는다. 소자층(521) 및 안테나(522)는 구조체(520)상에 배치되어 있다. 또 도 19a에서는 RF 태그의 구성을 명확히 하기 위해서, 구조체(520)를 1개만 도시하였지만, 본 발명의 RF 태그는 한 쌍의 구조체를 갖고 있다. 따라서, 실제로는 소자층(521) 및 안테나(522)를 구조체(520)와

의 사이에 두도록, 또 하나 구조체가 형성된다.

<194> 구조체(520)는 직사각형의 네 모서리가 둥그스름한 형상을 갖고 있다. 도 19b를 사용하고, 구조체(520)의 형상에 관해서 자세히 설명한다. 구조체(520)를 직사각형으로 선정하였을 때에, 파선(523)으로 도시하는 상기 직사각형의 마주 보는 2변의 거리를 L로 한다. 단 L은 가장 짧은 값을 채용한다. 또한, 구조체(520)의 각 모서리에서의 곡율반경을 R로 한다. 본 실시 형태에서는 R을 L/5 내지 L/50으로 하는 것으로, 외력이 가해졌을 때, 구조체(520)에 금, 깨짐 등의 파손이 생기는 것을 막을 수 있다.

<195> 또한 도 19c에, 본 발명의 RF 태그가 갖는 구조체의, 도 19b와는 다른 형상을 도시한다. 도 19c에 도시하는 구조체(530)는 직사각형의 네 모서리가 삼각형으로 잘라내진 듯한 형상을 갖고 있다. 구조체(530)가 갖는 각 모서리(531)를 그 외각이 35도 이상 55도 이하로 하는 것으로, 외력이 가하였을 때에, 구조체(530)에 금, 깨짐 등의 파손이 생기는 것을 막을 수 있다.

<196> 또한 도 19c에 도시하는 구조체(530)의 각 모서리를 둥그스름하게 하여도 좋다. 이 경우, 구조체(530)를 직사각형으로 선정하였을 때에, 파선(532)으로 도시하는 상기 직사각형의 마주 보는 2변의 거리를 L로 한다. 단 L은 가장 짧은 값을 채용한다. 또한, 구조체(530)의 각 모서리에서의 곡율반경을 R로 한다. 본 실시 형태에서는 R을 L/5 내지 L/50으로 하는 것으로, 외력이 가하였을 때에, 구조체(530)에 금, 깨짐 등의 파손이 생기는 것을 막을 수 있다.

<197> 또 본 실시 형태에서는 구조체를 직사각형으로 선정하였을 때의 마주 보는 변의 거리를 L로 하였다. 그러나, 서로 평행한 변을 갖지 않고 직사각형으로 선정하는 것이 곤란한 구조체인 경우는 임의의 변의 중점과, 상기 임의의 변의 수직이 등분선이 다른 변에 교차하는 교점과의 거리를 L로 한다. 또, L이 복수 있는 경우는 가장 작은 값을 채용한다.

<198> 상기 구성에 의해, RF 태그의 외력에 대한 신뢰성을 높일 수 있고, 따라서 RF 태그가 사용 가능한 환경의 조건을 확대하고, 나아가서는 RF 태그의 용도의 폭을 확대하는 것이 가능하게 된다.

<199> 본 실시 형태는 상기 실시 형태와 적절하게 조합하여 실시하는 것이 가능하다.

<200> (실시 형태 8)

<201> 본 실시 형태에서는 본 발명의 반도체 장치가 갖는 소자층의, 트랜지스터의 일례에 관해서 설명한다.

<202> 도 20a에, 본 실시 형태의 트랜지스터의 상면도를 도시한다. 도 20a에 도시하는 트랜지스터는 활성층으로서 사용하는 반도체막(601)과, 게이트 절연막과, 게이트 절연막을 사이에 두고 반도체막(601)과 겹치는 전극(602)을 갖고 있다. 또한 반도체막(601) 중, 소스 또는 드레인으로서 기능하는 불순물 영역(606, 607)에, 배선(603)과, 배선(604)이 각각 접속되어 있다. 또 반도체막(601)과 전극(602)의 구성을 명확히 하기 위해서, 도 20a에서는 게이트 절연막을 도시하지 않고, 반도체막(601), 전극(602), 배선(603), 배선(604)만을 도시하고 있다.

<203> 반도체막(601) 중, 불순물 영역(606, 607)의 사이에 있고, 또 게이트 절연막을 사이에 두고 전극(602)과 겹치는 부분이 채널 형성 영역(605)에 상당한다. 도 20a에 도시하는 트랜지스터에서는 반도체막(601)이 서로 분리된 복수의 채널 형성 영역(605)을 갖고 있다.

<204> 도 20a와 같이 서로 분리한 복수의 채널 형성 영역을 갖는 멀티채널 구조의 트랜지스터를 사용하는 것으로, 외력에 의해 채널 형성 영역의 1개가 파괴되어도, 나머지의 채널 형성 영역에서 캐리어의 이동은 가능하다. 따라서, 멀티채널 구조의 트랜지스터를 사용하는 것으로, 반도체 장치의 외력에 대한 신뢰성을 더욱 높일 수 있다.

<205> 또한 도 20a와 같은 멀티채널 구조의 트랜지스터 대신에, 병렬로 접속된 복수의 트랜지스터를 사용하여도 좋다. 도 20b에, 병렬로 접속된 복수의 트랜지스터의 상면도를 도시한다. 도 20b에 도시하는 트랜지스터(611 내지 613)는 활성층으로서 사용하는 반도체막(614 내지 616)과, 게이트 절연막과, 게이트 절연막을 사이에 두고 반도체막(614 내지 616)과 겹치는 전극(617)을 각각 갖고 있다. 또한 반도체막(614 내지 616) 중, 소스로서 기능하는 불순물 영역(618 내지 620)에는 배선(624)이, 드레인으로서 기능하는 불순물 영역(621 내지 623)에는 배선(625)이, 각각 접속되어 있다. 또 반도체막(614 내지 616)의 구성을 명확히 하기 위해서, 도 20b에서는 게이트 절연막을 도시하지 않고, 반도체막(614 내지 616), 전극(617), 배선(624), 배선(625)만을 도시하고 있다.

<206> 트랜지스터(611 내지 613)는 서로 소스가 접속되어 있고, 또한 서로 드레인도 접속되어 있다. 그리고 게이트로서 기능하는 전극(617)을 공유하고 있다. 따라서, 도 20a에 도시한 멀티채널 구조의 트랜지스터와 같이, 반도체막(614 내지 616)의 어느 하나가 외력에 의해 채널 형성 영역에서 파괴되어도, 나머지의 반도체막이 갖는 채널

형성 영역에서 캐리어의 이동은 가능하다. 따라서, 서로 병렬로 접속된 복수의 트랜지스터를 사용하는 것으로, 반도체 장치의 외력에 대한 신뢰성을 더욱 높일 수 있다.

<207> 다음에, 멀티채널 구조를 갖는 트랜지스터를 사용한 각종 회로의 구체적인 구성에 관해서, 인버터를 예로 들어 설명한다. 인버터의 회로도를 도 21a에, 또한 도 21a에 도시하는 인버터의 상면도를 도 21b에, 일례로서 도시한다.

<208> 도 21a에 도시하는 인버터는 p채널형의 트랜지스터(2001)와, n채널형의 트랜지스터(2002)를 갖는다. 트랜지스터(2001)와 트랜지스터(2002)는 직렬로 접속되어 있다. 구체적으로는 트랜지스터(2001)의 드레인과, 트랜지스터(2002)의 드레인이 접속되어 있다. 그리고, 트랜지스터(2001)의 드레인 및 트랜지스터(2002)의 드레인의 전위는 출력 단자 OUT에 주어진다.

<209> 또한 트랜지스터(2001)의 게이트와 트랜지스터(2002)의 게이트는 접속되어 있다. 그리고, 입력 단자 IN에 입력된 신호의 전위는 트랜지스터(2001)의 게이트 및 트랜지스터(2002)의 게이트에 주어진다. 트랜지스터(2001)의 소스에는 하이 레벨의 전압 VDD가 주어지고, 트랜지스터(2002)의 소스에는 로우 레벨의 전압 VSS가 주어진다.

<210> 도 21b에 도시하는 인버터에서는 트랜지스터(2001)의 드레인과, 트랜지스터(2002)의 드레인은 배선(2003)을 통해서 전기적으로 접속되어 있다. 그리고 배선(2003)은 배선(2004)에 접속되어 있다. 따라서, 트랜지스터(2001)의 드레인 및 트랜지스터(2002)의 드레인의 전위는 배선(2003) 및 배선(2004)을 통해서, 출력 단자 OUT의 전위로서 후단의 회로에 주어진다.

<211> 또한 도 21b에 도시하는 인버터에서는 배선(2005)의 일부가 트랜지스터(2001)의 게이트 및 트랜지스터(2002)의 게이트로서 기능하고 있다. 그리고 배선(2005)에 주어진 전위가 입력 단자 IN의 전위로서 트랜지스터(2001)의 게이트 및 트랜지스터(2002)의 게이트에 주어진다. 그리고 트랜지스터(2001)의 소스에는 배선(2006)을 통해서 전압 VDD가 주어지고, 트랜지스터(2002)의 소스에는 배선(2007)을 통해서 전압 VSS가 주어져 있다.

<212> 트랜지스터(2002)가 갖는 반도체막(2008)과, 트랜지스터(2001)가 갖는 반도체막(2010)은 서로 분리한 복수의 채널 형성 영역을 갖고 있다. 반도체막(2008) 및 반도체막(2010)의 형상을 명확히 하기 위해서, 도 21b에 도시하는 인버터 중, 반도체막(2008), 반도체막(2010)만을 도 21c에 도시한다. 도 21c에 도시하는 바와 같이, 반도체막(2008) 및 반도체막(2010)은 서로 분리한 복수의 채널 형성 영역을 갖고 있기 때문에, 외력에 의해 채널 형성 영역의 1개가 파괴되어도, 나머지의 채널 형성 영역에서 캐리어의 이동은 가능하다. 따라서, 멀티채널 구조의 트랜지스터(2001), 트랜지스터(2002)를 사용하는 것으로, 반도체 장치의 외력에 대한 신뢰성을 더욱 높일 수 있다.

<213> 다음에, 멀티채널 구조를 갖는 트랜지스터를 사용한 각종 회로의 구체적인 구성에 관해서, NAND 회로를 예로 들어 설명한다. NAND 회로의 회로도를 도 22a에, 또한 도 22a에 도시하는 NAND 회로의 상면도를 도 22b에, 일례로서 도시한다.

<214> 도 22a에 도시하는 NAND 회로는 p채널형의 트랜지스터(3001)와, p채널형의 트랜지스터(3002)와, n채널형의 트랜지스터(3003)와, n채널형의 트랜지스터(3004)를 갖는다. 트랜지스터(3001)와, 트랜지스터(3003)와, 트랜지스터(3004)는 차례로 직렬로 접속되어 있다. 또한 트랜지스터(3001)와, 트랜지스터(3002)는 병렬로 접속되어 있다.

<215> 구체적으로 트랜지스터(3001)의 소스와 드레인은 한쪽에는 하이 레벨의 전압 VDD가 주어지고, 다른 쪽은 출력 단자 OUT에 접속되어 있다. 트랜지스터(3002)의 소스와 드레인은 한쪽에는 하이 레벨의 전압 VDD가 주어지고, 다른 쪽은 출력 단자 OUT에 접속되어 있다. 트랜지스터(3004)의 소스와 드레인은 한쪽에는 로우 레벨의 전압 VSS가 주어져 있다. 트랜지스터(3003)의 소스와 드레인은 한쪽은 출력 단자 OUT에 접속되어 있다. 그리고, 트랜지스터(3003)의 소스와 드레인의 다른 쪽과, 트랜지스터(3004)의 소스와 드레인의 다른 쪽이 접속되어 있다. 트랜지스터(3001)의 게이트와, 트랜지스터(3003)의 게이트에는 입력 단자 IN1의 전위가 주어진다. 또한 트랜지스터(3002)의 게이트와, 트랜지스터(3004)의 게이트에는 입력 단자 IN2의 전위가 주어진다.

<216> 도 22b에 도시하는 NAND 회로에서는 직렬로 접속되어 있는 트랜지스터(3001)와 트랜지스터(3002)가 반도체막(3005)을 공유하고 있다. 또한 직렬로 접속되어 있는 트랜지스터(3003)와 트랜지스터(3004)가 반도체막(3006)을 공유하고 있다. 또한 배선(3007)의 일부는 트랜지스터(3001)의 게이트 및 트랜지스터(3003)의 게이트로서 기능하고 있다. 그리고 배선(3007)에 주어진 전위가 입력 단자 IN1의 전위로서 트랜지스터(3001)의 게이트 및 트랜지스터(3003)의 게이트에 주어진다. 배선(3008)의 일부는 트랜지스터(3002)의 게이트 및 트랜지스터(3004)의 게이트로서 기능하고 있다. 그리고 배선(3008)에 주어진 전위가 입력 단자 IN2의 전위로서 트랜지스터(3002)의 게

이트 및 트랜지스터(3004)의 게이트에 주어진다.

<217> 하이 레벨의 전압 VDD는 배선(3009)을 통해서 트랜지스터(3001)의 소스와 드레인의 한쪽, 및 트랜지스터(3002)의 소스와 드레인의 한쪽에 주어진다. 또한 로우 레벨의 전압 VSS는 배선(3010)을 통해서 트랜지스터(3004)의 소스와 드레인의 한쪽에 주어진다. 트랜지스터(3001)의 소스와 드레인의 다른 쪽, 트랜지스터(3002)의 소스와 드레인의 다른 쪽, 및 트랜지스터(3003)의 소스와 드레인의 한쪽은 그 전위가 배선(3011) 및 배선(3012)을 통해서 출력 단자 OUT의 전위로서 후단의 회로에 주어진다.

<218> 반도체막(3005) 및 반도체막(3006)은 서로 분리한 복수의 채널 형성 영역을 갖고 있다. 반도체막(3005) 및 반도체막(3006)의 형상을 명확히 하기 위해서, 도 22b에 도시하는 NAND 회로 중, 반도체막(3005), 반도체막(3006)만을 도 22c에 도시한다. 도 22c에 도시하는 바와 같이, 반도체막(3005) 및 반도체막(3006)은 서로 분리한 복수의 채널 형성 영역을 갖고 있기 때문에, 외력에 의해 채널 형성 영역의 1개가 파괴되어도, 나머지의 채널 형성 영역에서 캐리어의 이동은 가능하다. 따라서, 멀티채널 구조의 트랜지스터(3001 내지 3004)를 사용하는 것으로, 반도체 장치의 외력에 대한 신뢰성을 더욱 높일 수 있다.

<219> 본 실시 형태는 상기 실시 형태와 적절하게 조합하여 실시하는 것이 가능하다.

<220> (실시 형태 9)

<221> 본 발명자 등은 카렌다롤로 국소적인 선압을 가하였을 때의, 반도체 장치의 동작율에 관해서 시험해 보았다.

<222> 시험에는 RF 태그를 반도체 장치로서 사용하였다. 모든 샘플에 있어서, RF 태그는 집적 회로와 안테나를 동일한 기판에 형성(일체 형성)하는 온칩 타입이다. 또한, 모든 샘플에 있어서, 집적 회로 및 안테나를 갖는 소자층은 한 쌍의 프리프래그의 사이에 있고, 또 집적 회로 및 안테나와, 한 쌍의 프리프래그는 종이에 걸러져 있다.

<223> 그리고, 시험에는 1층의 섬유체를 갖는 한 쌍의 프리프래그의 사이에 소자층이 있는 RF 태그(샘플 A), 2층의 섬유체를 갖는 한 쌍의 프리프래그의 사이에 소자층이 있는 RF 태그(샘플 B), 1층의 섬유체를 갖는 한 쌍의 프리프래그의 사이에 소자층이 있는 RF 태그(샘플 C), 1층의 섬유체를 갖는 한 쌍의 프리프래그의 사이에 소자층이 있는 RF 태그(샘플 D)를 사용하였다. 샘플 A 내지 샘플 C에서 사용되고 있는 섬유체는 사속 직경이 4㎛인 유리 섬유를 50개 갖고 있다. 샘플 D에서 사용되고 있는 섬유체는 사속 직경이 4㎛인 유리 섬유를 100개 갖고 있다. 모든 샘플에 있어서, 섬유체는 날실 및 씨실에 의해 평직으로 제직되어 있다.

<224> 또, 샘플 A에서는 가열 압착하기 전의 한 쌍의 각 프리프래그의 두께가 15㎛이다. 그리고, 소자층을 사이에 두고 한 쌍의 프리프래그를 가열 압착하는 것으로 형성되는 샘플 A의 토탈 두께는 약 32.7㎛이다. 샘플 B에서는 한 쌍의 각 프리프래그가, 샘플 A에 사용되는 두께 15㎛의 프리프래그를 2층 적층하여 가열 압착함으로써 형성되어 있다. 그리고, 소자층을 사이에 두고 한 쌍의 프리프래그를 가열 압착하는 것으로 형성되는 샘플 B의 토탈 두께는 약 63.0㎛이다. 샘플 C에서는 수지 두께를 2배로 하여, 가열 압착하기 전의 한 쌍의 각 프리프래그의 두께가 30㎛이다. 그리고, 소자층을 사이에 두고 한 쌍의 프리프래그를 가열 압착하는 것으로 형성되는 샘플 C의 토탈 두께는 약 58.0㎛이다. 샘플 D에서는 수지 두께를 2배로 하여, 가열 압착하기 전의 한 쌍의 각 프리프래그의 두께가 30㎛이다. 그리고, 소자층을 사이에 두고 한 쌍의 프리프래그를 가열 압착하는 것으로 형성되는 샘플 D의 토탈 두께는 57.5㎛이다.

<225> 또한, 샘플 A 내지 샘플 D의 모두에 있어서, RF 태그의 면적은 10.5㎜×12.0㎜이다. 또, 샘플 A와 RF 태그의 면적만이 다른 샘플 A′ , 샘플 B와 RF 태그의 면적만이 다른 샘플 B′ , 샘플 C와 RF 태그의 면적만이 다른 샘플 C′ , 샘플 D와 RF 태그의 면적만이 다른 샘플 D′ 에 관해서도, 아울러 시험을 하였다. 샘플 A′ 내지 샘플 D′ 에서의 RF 태그의 면적은 9.0㎜×9.5㎜이다.

<226> 그리고, 샘플 A 내지 샘플 D, 샘플 A′ 내지 샘플 D′ 는 평량 약 150g/㎠가 되도록, 집적 회로 및 안테나와, 한 쌍의 프리프래그가, 종이에 걸러져 있다.

<227> 시험으로서는 카렌다롤을 사용하여 각 샘플에 선압을 가하였다. 카렌다롤에는 금속제의 둥근 통 형상의 제 1 롤과, 우레탄계 고무제의 둥근 통 형상의 제 2 롤을 사용하였다. 제 1 롤의 온도는 100℃, 제 2 롤의 온도는 75℃로 하였다. 그리고, 제 1 롤과 제 2 롤의 사이에 샘플을 삽입하여, 롤 속도7000㎜/min이 되도록 제 1 롤 및 제 2 롤을 회전시키는 것으로, 샘플 전체에 선압을 가하였다. 선압은 제 1 롤과 제 2 롤의 사이에 가해지는 압력을 제 1 롤과 제 2 롤이 접하는 폭으로 나눈 값에 상당한다. 본 시험에서는 선압 100kg/cm과 선압 200kg/cm의 2조건을 사용하였다.

<228> 표 1에, 카렌다롤에 의해 선압을 가하기 전에 정상으로 동작한 각 샘플의 수(처리 전 샘플수)와, 선압이 가해진

후에 정상으로 동작한 각 샘플의 수(처리 후 샘플수)와, 동작율을 선압마다 나타낸다. 또, 정상으로 동작하였는지의 여부의 판단은 올바른 식별번호를 비접촉으로 판독할 수 있는지의 여부로 행하였다. 동작율은 처리 전 샘플수에 대한 처리 후 샘플수의 비율로 산출하였다.

표 1

<229>

선압(kg/cm)	샘플들	처리 전 샘플들의 수	처리 후 샘플들의 수	동작율(%)
100	A	25	14	50.6
	B	27	27	100.0
	C	17	16	94.1
	D	18	17	94.4
	A'	18	7	38.9
	B'	26	25	96.2
	C'	27	23	85.2
	D'	17	13	76.5
200	A	27	1	3.7
	B	26	26	100.0
	C	18	17	94.4
	D	18	15	83.3
	A'	18	0	0.0
	B'	26	17	65.4
	C'	27	11	40.7
	D'	17	9	52.9

<230> 표 1에 나타내는 동작율을 샘플 A 내지 샘플 D로 비교하면, 어느 선압에서나, 샘플 B의 동작율이 가장 높아졌다. 또한, 표 1에 도시하는 동작율을 샘플 A′ 내지 샘플 D′ 로 비교하면, 어느 쪽의 선압에서나, 샘플 B′ 의 동작율이 가장 높아졌다. 따라서, 본 실시 형태에서 나타낸 시험의 결과로부터 같은 정도의 두께를 갖는 프리프래그이어도 적층된 섬유체를 갖는 프리프래그를 사용한 쪽이 선압에 대한 반도체 장치의 신뢰성을 높일 수 있다.

<231> 실시예 1

<232> 본 실시예에서는 본 발명의 반도체 장치의 하나인 RF 태그의 구성에 관해서 설명한다. 도 23은 본 발명의 RF 태그의 1형태를 도시하는 블록도이다. 도 23에 있어서 RF 태그(900)는 안테나(901)와, 집적 회로(902)를 갖고 있다. 집적 회로(902)는 전원 회로(903), 복조 회로(904), 변조 회로(905), 레귤레이터(906), 제어 회로(907), 메모리(909)를 갖고 있다. 본 발명의 정류회로는 전원 회로(903), 복조 회로(904)에서 사용할 수 있다.

<233> 질문기로부터 전파가 보내지면, 안테나(901)에서 상기 전파가 교류 전압으로 변환된다. 전원 회로(903)에서는 안테나(901)로부터의 교류 전압을 정류하여, 전원용 전압을 생성한다. 전원 회로(903)에 있어서 생성된 전원용 전압은 제어 회로(907)와 레귤레이터(906)에 주어진다. 레귤레이터(906)는 전원 회로(903)로부터의 전원용 전압을 안정화시키거나 또는 그 높이를 조정한 후, 집적 회로(902) 내의 복조 회로(904), 변조 회로(905), 제어 회로(907) 또는 메모리(909) 등의 각종 회로에 공급한다.

<234> 복조 회로(904)는 안테나(901)가 수신한 교류 신호를 복조하여, 후단의 제어 회로(907)에 출력한다. 제어 회로(907)는 복조 회로(904)로부터 입력된 신호에 따라서 연산 처리를 하여, 다른 신호를 생성한다. 상기 연산 처리를 할 때에, 메모리(909)는 1차 캐시 메모리 또는 2차 캐시 메모리로서 사용할 수 있다. 또한 제어 회로(907)는 복조 회로(904)로부터 입력된 신호를 해석하여, 질문기로부터 보내진 명령의 내용에 따라서, 메모리(909) 내의 정보의 출력, 또는 메모리(909) 내에서의 명령의 내용의 보존을 한다. 제어 회로(907)로부터 출력되는 신호는 부호화되어, 변조 회로(905)에 보내진다. 변조 회로(905)는 상기 신호에 따라서 안테나(901)가 수신하고 있는 전파를 변조한다. 안테나(901)에 있어서 변조된 전파는 질문기에서 받아들인다. 그리고 RF 태그(900)로부터 출력된 정보를 알 수 있다.

<235> 이와 같이 RF 태그(900)와 질문기의 통신은 캐리어(반송파)로서 사용하는 전파를 변조하는 것으로 행하여진다. 캐리어는 125kHz, 13.56MHz, 950MHz 등 규격에 의해 여러가지이다. 또한 변조 방식도 규격에 의해 진폭 변조, 주파수 변조, 위상 변조 등 여러 가지의 방식이 있지만, 규격에 의거한 변조 방식이면 어떤 변조 방식을 사용하

여도 좋다.

<236> 신호의 전송 방식은 캐리어의 파장에 의해서 전자결합 방식, 전자유도 방식, 마이크로파 방식 등 여러 가지의 종류로 분류할 수 있다. 전자결합 방식이나 전자유도 방식의 경우, 강한 전파에 RF 태그가 노출되는 것으로 안테나에 과도하게 큰 교류 전압이 생겨 버릴 우려가 있다. 본 발명의 정류회로를 사용하는 과도하게 큰 교류 전압에 의해서 집적 회로 내의 반도체 소자가 열화 또는 파괴되는 것을 방지할 수 있기 때문에, 전자결합 방식이나 전자유도 방식인 경우는 특히 유효하다.

<237> 메모리(909)는 불휘발성 메모리나 휘발성 메모리나 어느 쪽이나 좋다. 메모리(909)로서, 예를 들면 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), FeRAM, 마스크 ROM(Read Only Memory), EPROM(Electrically Programmable Read Only Memory), EEPROM(Electrically Erasable and Programmable Read Only Memory), 플래시 메모리, 유기 메모리 등등을 사용할 수 있다.

<238> 본 실시예에서는 안테나(901)를 갖는 RF 태그(900)의 구성에 관해서 설명하였지만, 본 발명의 RF 태그는 반드시 안테나를 갖고 있지 않아도 좋다. 또한 도 23에 도시한 RF 태그에, 발진회로 또는 이차 전지를 형성하여도 좋다.

<239> 또한 도 23에서는 안테나를 1개만 갖는 RF 태그의 구성에 관해서 설명하였지만, 본 발명은 이 구성에 한정되지 않는다. 전력을 수신하기 위한 안테나와, 신호를 수신하기 위한 안테나의, 2개의 안테나를 갖고 있어도 좋다. 안테나가 1개이면, 예를 들면 950MHz의 전파로 전력의 공급과 신호의 전송을 양쪽 행하는 경우, 먼곳까지 대전력이 전송되어, 다른 무선기기의 수신 방해를 일으킬 가능성이 있다. 이 때문에, 전력의 공급은 전파의 주파수를 내려 근거리에서 행하는 것이 바람직하지만, 이 경우 통신거리는 필연적으로 짧게 되어 버린다. 그러나 안테나가 2개 있으면, 전력을 공급하는 전파의 주파수와, 신호를 보내기 위한 전파의 주파수를 구별하여 사용할 수 있다. 예를 들면 전력을 보낼 때는 전파의 주파수를 13.56MHz로 하여 전자유도방식을 사용하고, 신호를 보낼 때는 전파의 주파수를 950MHz로 하여 전파방식을 사용할 수 있다. 이와 같이 기능에 맞추어 안테나를 구별하여 사용함으로써, 전력의 공급은 근거리만의 통신으로 하고, 신호의 전송은 원거리도 가능한 것으로 할 수 있다.

<240> 본 발명의 반도체 장치의 하나인 RF 태그는 외력에 대한 신뢰성이 높기 때문에, RF 태그가 사용 가능한 환경의 조건을 확대하고, 나아가서는 RF 태그의 용도의 폭을 확대하는 것이 가능하게 된다.

<241> 본 실시예는 상기 실시 형태와 적절하게 조합하여 실시하는 것이 가능하다.

<242> 실시예 2

<243> 본 실시예에서는 본 발명의 반도체 장치의 하나인 CPU(central processing unit)의 구성에 관해서 설명한다.

<244> 도 24에, 본 실시예의 CPU의 구성을 블록도로 도시한다. 도 24에 도시하는 CPU는 기판(800)상에, 연산 회로(801; ALU : Arithmetic logic unit), 연산 회로용 제어부(802; ALU Controller), 명령 해석부(803; Instruction Decoder), 인터럽트 제어부(804; Interrupt Controller), 타이밍 제어부(805; Timing Controller), 레지스터(806; Register), 레지스터 제어부(807; Register Controller), 버스 인터페이스(808; Bus I/F), 메모리(809), 메모리용 인터페이스(820)를 주로 갖고 있다. 메모리(809) 및 메모리용 인터페이스(820)는 다른 칩에 형성하여도 좋다. 물론, 도 24에 도시하는 CPU는 그 구성을 간략화하여 도시한 일례에 지나지 않고, 실제의 CPU는 그 용도에 의해서 다종다양한 구성을 갖고 있다.

<245> 버스 인터페이스(808)를 통해서 CPU에 입력된 명령은 명령 해석부(803)에서 디코드된 후, 연산 회로용 제어부(802), 인터럽트 제어부(804), 레지스터 제어부(807), 타이밍 제어부(805)에 입력된다. 연산 회로용 제어부(802), 인터럽트 제어부(804), 레지스터 제어부(807), 타이밍 제어부(805)는 디코드된 명령에 기초하여 각종 제어를 한다. 구체적으로 연산 회로용 제어부(802)는 연산 회로(801)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 제어부(804)는 CPU의 프로그램 실행 중에, 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를 그 우선도나 마스크상태로부터 판단하여 처리한다. 레지스터 제어부(807)는 레지스터(806)의 어드레스를 생성하여, CPU의 상태에 따라서 레지스터(806)의 판독이나 기록을 한다.

<246> 또한 타이밍 제어부(805)는 연산 회로(801), 연산 회로용 제어부(802), 명령 해석부(803), 인터럽트 제어부(804), 레지스터 제어부(807)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들면 타이밍 제어부(805)는 기준 클록 신호를 바탕으로, 내부 클록 신호를 생성하는 내부 클록 생성부를 구비하고 있고, 내부 클록 신호를 상기 각종 회로에 공급한다.

<247> 본 발명의 반도체 장치의 하나인 CPU는 외력에 대한 신뢰성이 높다. 따라서, 본 발명의 CPU를 사용한 전자기기,

특히 사용자가 가지고 다니는 것을 전제로 한 휴대용의 전자기기의 진동, 충격에 대한 기계적 강도를 더욱 높일 수 있다.

<248> 본 실시예는 상기 실시 형태 또는 실시예와 적절하게 조합하여 실시하는 것이 가능하다.

<249> 실시예 3

<250> 본 발명의 반도체 장치의 하나인 RF 태그는 가요성을 갖고 있기 때문에, 가요성을 갖는 대상물, 또는 곡면을 갖는 대상물에 접합하는 데 적합하다. 또한 본 발명의 RF 태그는 진동이나 충격에 강할 뿐만 아니라, 국소적인 가압에 대한 신뢰성도 높기 때문에, 용도의 폭이 넓다.

<251> 본 발명의 RF 태그가 갖는 집적 회로 중에, 데이터의 재기록이 가능한 ROM 등의 메모리를 형성하여 두면, RF 태그가 장착된 대상물의 위조를 방지할 수 있다. 또한 예를 들면, 산지, 생산자 등에 의해서 상품 가치가 크게 좌우되는 식료품에, 본 발명의 RF 태그를 사용하는 산지, 생산자 등의 위장을 방지하는 데 유용하다.

<252> 구체적으로 본 발명의 RF 태그는 예를 들면, 꼬리표, 정찰, 명찰 등, 대상물의 정보를 갖는 태그에 장착하여 사용할 수 있다. 또는 본 발명의 RF 태그 자체를 태그로서 사용하여도 좋다. 또한 예를 들면, 호적등본, 주민표, 여권, 면허증, 신분증, 회원증, 감정서, 크레디트 카드, 캐시 카드, 선불 카드, 진찰권, 정기승차권 등, 사실을 증명하는 문서에 상당하는 증서에 장착하여도 좋다. 또한 예를 들면, 어음, 수표, 화물 교환증, 선화(船貨) 증권, 창고 증권, 주권, 채권, 상품권, 저당증권 등, 사법상의 재산권을 표시하는 증권에 상당하는 유가 증권에 장착하여도 좋다.

<253> 또한 예를 들면, 상품의 라벨에 본 발명의 RF 태그를 붙여 두고, 상기 RF 태그를 사용하여 상품의 유통을 관리하는 이용의 방법도 가능하다.

<254> 도 25a에 도시하는 바와 같이, 이면이 점착성을 갖는 상품의 라벨(1301) 등의 지지체에, 본 발명의 RF 태그(1302)를 장착한다. 그리고, RF 태그(1302)가 장착된 라벨(1301)을, 상품(1303)에 장착한다. 상품(1303)에 관한 식별정보는 라벨(1301)에 접합된 RF 태그(1302)로부터, 무선으로 판독하는 것이 가능하다. 따라서 RF 태그(1302)에 의해, 유통의 과정에서, 상품의 관리가 용이해진다. 본 발명의 RF 태그는 가요성을 갖는 라벨(1301)에 장착되어도, 응력에 의해 파괴되기 어렵다고 하는 메리트를 갖고 있다. 따라서, 본 발명의 RF 태그를 사용한 라벨(1301)은 곡면을 갖는 대상물에 접합하는 데 적합하다. 또한, 본 발명의 RF 태그(1302)는 가압에 대한 신뢰성이 높기 때문에, 유통의 과정에서 RF 태그(1302)가 파괴되기 어렵다.

<255> 예를 들면, RF 태그(1302) 내의 집적 회로가 갖는 메모리로서, 기록이 가능한 불휘발성 메모리를 사용하고 있는 경우, 상품(1303)의 유통의 프로세스를 기록할 수 있다. 또한 상품의 생산단계에서의 프로세스를 기록하여 두는 것으로, 도매업자, 소매업자, 소비자가, 산지, 생산자, 제조연월일, 가공방법 등을 파악하는 것이 용이해진다.

<256> 또한, 서적, DVD, CD 등 내재하고 있는 정보에 가치를 갖는 상품인 경우, 내재하는 정보 모두를 개시할 수 있도록 하면 상품으로서의 가치가 내려가고, 그렇다고 하여 전혀 개시하지 않으면 상품으로서의 가치를 파악하기 어렵다고 하는 문제를 갖고 있다. 상기 상품을, 본 발명의 RF 태그를 장착한 포장재로 포장하여, RF 태그에 상품이 갖는 정보의 일부를 기억시켜 두는 것으로, 상품의 가치를 내리지 않고, 상품의 가치를 손님이 파악할 수 있게 할 수 있다. 도 25b에, 서적(1311)을, 본 발명의 RF 태그(1313)를 장착한 포장재(1312)로 포장하고 있는 모양을 도시한다.

<257> 그리고, 예를 들면 휴대 전화같은 휴대 정보단말에 질문기로서의 기능을 부가하여 두는 것으로, 손님이 서적(1311)의 내용을 일부 파악할 수 있다.

<258> 상기 구성에 의해, 상품에 내재되어 있는 정보를 모두 개시하지 않아도, 손님이 상품의 내용을 파악하는 것이 가능하게 된다.

<259> 도 25c에, 본 발명의 RF 태그(1320)를 장착한 무기명채권류(1321)의 일례를 도시한다. 무기명채권류(1321)에는 우표, 차표, 티켓, 입장권, 상품권, 도서권, 문구권, 맥주권, 쌀상품권, 각종 상품권, 각종 서비스권 등이 포함되지만, 물론 이들에 한정되는 것은 아니다. 또 RF 태그(1320)는 무기명채권류(1321)의 내부에 형성하여도 좋고, 무기명채권류(1321)의 표면에 노출시키도록 형성하여도 좋다. 본 발명의 RF 태그는 가교성을 갖는 무기명채권류(1321)에 장착되어도, 응력에 의해 파괴되기 어렵다고 하는 메리트를 갖고 있다.

<260> 본 실시예는 상기 실시 형태 또는 실시예와 적절하게 조합하여 실시하는 것이 가능하다.

<261> 실시예 4

<262> 본 발명의 반도체 장치를 사용할 수 있는 전자기기로서, 휴대 전화, 휴대형 게임기 또는 전자 서적, 비디오 카메라, 디지털 스틸 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 네비게이션 시스템, 음향 재생 장치(카오디오, 오디오콤보 등), 노트형 퍼스널 컴퓨터, 기록매체를 구비한 화상 재생 장치(대표적으로는 DVD : Digital Versatile Disc 등의 기록매체를 재생하여, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치) 등을 들 수 있다. 이들 전자기기의 구체적인 예를 도 26에 도시한다.

<263> 도 26a는 휴대 전화로, 본체(2101), 표시부(2102), 음성 입력부(2103), 음성 출력부(2104), 조작키(2105)를 갖는다. 표시부(2102) 또는 기타 집적 회로에 본 발명의 반도체 장치를 사용하는 것으로, 외력에 대한 신뢰성이 높은 휴대 전화를 얻을 수 있다.

<264> 도 26b는 비디오 카메라이고, 본체(2601), 표시부(2602), 케이스(2603), 외부접속 포트(2604), 리모콘 수신부(2605), 수상부(2606), 배터리(2607), 음성 입력부(2608), 조작키(2609), 접안부(2610) 등을 갖는다. 표시부(2602) 또는 기타 집적 회로에 본 발명의 반도체 장치를 사용하는 것으로, 외력에 대한 신뢰성이 높은 비디오 카메라를 얻을 수 있다.

<265> 도 26c는 영상 표시 장치로, 케이스(2401), 표시부(2402), 스피커부(2403) 등을 갖는다. 표시부(2402) 또는 기타 집적 회로에 본 발명의 반도체 장치를 사용하는 것으로, 외력에 대한 신뢰성이 높은 영상 표시 장치를 얻을 수 있다. 또, 영상 표시 장치에는 퍼스널 컴퓨터용, TV 방송수신용, 광고 표시용 등의, 영상을 표시하기 위한 모든 영상 표시 장치가 포함된다.

<266> 이상과 같이, 본 발명의 적용범위는 극히 넓어, 모든 분야의 전자기기에 사용하는 것이 가능하다.

<267> 본 실시예는 상기 실시 형태 또는 상기 실시예와 적절하게 조합하여 실시할 수 있다.

도면의 간단한 설명

<268> 도 1은 본 발명의 반도체 장치의 단면도.

<269> 도 2는 가압에 대한 동작율을 도시하는 그래프.

<270> 도 3은 샘플 A 내지 샘플 E의 단면도.

<271> 도 4는 섬유체의 구조를 도시하는 도면.

<272> 도 5는 복수의 섬유체를 차례로 겹쳐 있는 모양을 도시하는 도면과, 응력에 의해 구부린 반도체 장치의 외관도.

<273> 도 6은 본 발명의 반도체 장치의 제작 방법을 도시하는 도면.

<274> 도 7은 본 발명의 반도체 장치의 제작 방법을 도시하는 도면.

<275> 도 8은 본 발명의 반도체 장치의 제작 방법을 도시하는 도면.

<276> 도 9는 본 발명의 반도체 장치의 제작 방법을 도시하는 도면.

<277> 도 10은 본 발명의 반도체 장치의 제작 방법을 도시하는 도면.

<278> 도 11은 한 쌍의 구조체와 소자층이 적층되는 순서로 배열되어 있는 모양을 도시하는 도면과, 반도체 장치의 사시도.

<279> 도 12는 본 발명의 반도체 장치의 제작 방법을 도시하는 도면.

<280> 도 13은 본 발명의 반도체 장치의 제작 방법을 도시하는 도면.

<281> 도 14는 본 발명의 반도체 장치의 제작 방법을 도시하는 도면.

<282> 도 15는 본 발명의 반도체 장치의 제작 방법을 도시하는 도면.

<283> 도 16은 본 발명의 반도체 장치의 제작 방법을 도시하는 도면.

<284> 도 17은 본 발명의 RF 태그의 구성을 도시하는 도면.

<285> 도 18은 본 발명의 RF 태그의 구성을 도시하는 도면.

<286> 도 19는 본 발명의 반도체 장치가 갖는 구조체의 상면도.

<287> 도 20은 본 발명의 반도체 장치가 갖는 트랜지스터의 상면도.

<288> 도 21은 본 발명의 반도체 장치가 갖는 인버터의 구성을 도시하는 도면.

<289> 도 22는 본 발명의 반도체 장치가 갖는 NAND 회로의 회로도와 상면도.

<290> 도 23은 본 발명의 RF 태그의 구성을 도시하는 도면.

<291> 도 24는 본 발명의 CPU의 구성을 도시하는 도면.

<292> 도 25는 본 발명의 RF 태그의 이용 형태를 도시하는 도면.

<293> 도 26은 본 발명의 반도체 장치를 사용한 전자기기의 도면.

<294> * 도면의 주요 부분에 대한 설명 *

<295> 101 : 구조체 102 : 구조체

<296> 103 : 소자층 104 : 유기 수지

<297> 105 : 유기 수지 110 : 날실

<298> 111 : 씨실 112 : 바스켓 홀

<299> 120 : 섬유체 121 : 섬유체

<300> 122 : 섬유체 123 : 반도체 장치

<301> 200 : 본드 기판 201 : 절연막

<302> 202 : 결함층 203 : 절연막

<303> 204 : 베이스 기판 205 : 절연막

<304> 206 : 박리층 207 : 절연막

<305> 208 : 반도체막 209 : 반도체막

<306> 210 : 트랜지스터 211;소자층

<307> 222 : 구조체 213 : 섬유체

<308> 214 : 유기 수지 215 : 섬유체

<309> 215 : 섬유체 216 : 유기 수지

<310> 217 : 구조체 218 : 프리프래그

<311> 302 : 소자층 311 : 프리프래그

<312> 312 : 소자층 321 : 프리프래그

<313> 322 : 소자층 331 : 프리프래그

<314> 332 : 소자층 341 : 프리프래그

<315> 342 : 소자층 400 : 기판

<316> 401 : 소자층 402 : 박리층

<317> 403 : 섬유체 404 : 유기 수지

<318> 405 : 구조체 406 : 구조체

<319> 407 : 구조체 408 : 구조체

<320> 409 : 섬유체 410 : 섬유체

<321> 411 : 섬유체 412 : 유기 수지

<322> 413 : 구조체 414 : 구조체

<323> 415 : 구조체 416 : 섬유체

<324> 417 : 섬유체 418 : 구조체

<325> 419 : 구조체 502 : 구조체

<326> 503 : 소자층 504 : 안테나

<327> 505 : 기판 520 : 구조체

<328> 521 : 소자층 522 : 안테나

<329> 523 : 파선 530 : 구조체

<330> 531 : 각 모서리 532 : 파선

<331> 601 : 반도체막 602 : 전극

<332> 603 : 배선 604 : 배선

<333> 605 : 채널 형성 영역 606 : 불순물 영역

<334> 611 : 트랜지스터 614 : 반도체막

<335> 617 : 전극 618 : 불순물 영역

<336> 621 : 불순물 영역 624 : 배선

<337> 625 : 배선 700 : 기판

<338> 701 : 절연막 702 : 박리층

<339> 703 : 절연막 704 : 반도체막

<340> 705 : 반도체막 709 : TFT

<341> 712 : TFT 713 : 배선

<342> 714 : 배선 715 : 소자층

<343> 720 : 섬유체 721 : 유기 수지

<344> 722 : 구조체 723 : 섬유체

<345> 724 : 유기 수지 725 : 구조체

<346> 730 : 안테나 731 : 접속 단자

<347> 732 : 이방 도전성 필름 733 : 안테나

<348> 734 : 접속 단자 735 : 이방 도전성 필름

<349> 750 : 구조체 751 : 구조체

<350> 752 : 소자층 753 : 단자

<351> 800 : 기판 801 : 연산 회로

<352> 802 : 연산 회로용 제어부 803 : 명령 해석부

<353> 804 : 제어부 805 : 타이밍 제어부

<354> 806 : 레지스터 807 : 레지스터 제어부

<355> 808 : 버스 인터페이스 809 : 메모리

<356> 820 : 메모리용 인터페이스 900 : RF 태그

<357> 901 : 안테나 902 : 집적 회로

<358> 903 : 전원 회로 904 : 복조 회로

<359> 905 : 변조 회로 906 : 레귤레이터

<360> 907 : 제어 회로 909 : 메모리

<361> 101a : 섬유체 101b : 섬유체

<362> 101c : 섬유체 102a : 섬유체

<363> 102b : 섬유체 102c : 섬유체

<364> 1301 : 라벨 1302 : RF 태그

<365> 1303 : 상품 1311 : 서적

<366> 1312 : 포장재 1313 : RF 태그

<367> 1320 : RF 태그 1321 : 무기명 채권류

<368> 2001 : 트랜지스터 2002 : 트랜지스터

<369> 2003 : 배선 2004 : 배선

<370> 2005 : 배선 2006 : 배선

<371> 2007 : 배선 2008 : 반도체막

<372> 2010 : 반도체막 2101 : 본체

<373> 2102 : 표시부 2103 : 음성 입력부

<374> 2104 : 음성 출력부 2105 : 조작키

<375> 2401 : 케이스 2402 : 표시부

<376> 2403 : 스피커부 2601 : 본체

<377> 2602 : 표시부 2603 : 케이스

<378> 2604 : 외부접속 포트 2605 : 리모콘 수신부

<379> 2606 : 수상부 2607 : 배터리

<380> 2608 : 음성 입력부 2609 : 조작키

<381> 2610 : 접안부 3001 : 트랜지스터

<382> 3002 : 트랜지스터 3003 : 트랜지스터

<383> 3004 : 트랜지스터 3005 : 반도체막

<384> 3006 : 반도체막 3007 : 배선

<385> 3008 : 배선 3009 : 배선

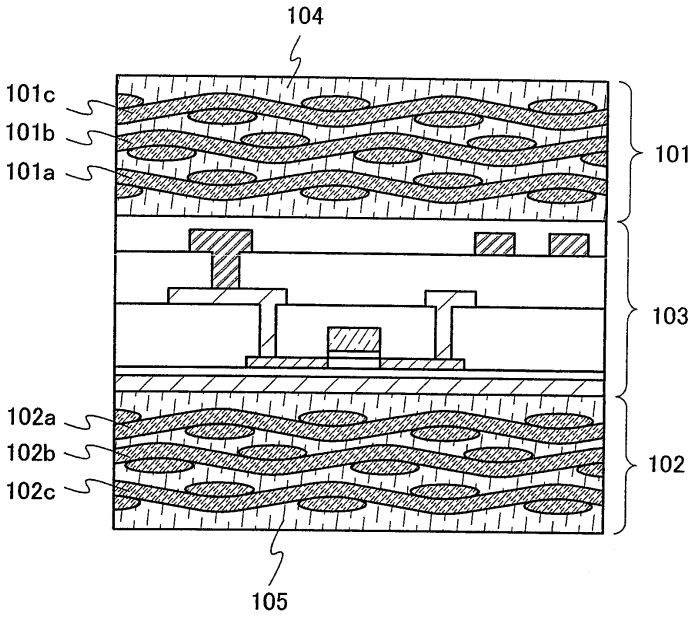
<386> 3010 : 배선 3011 : 배선

<387> 3012 : 배선

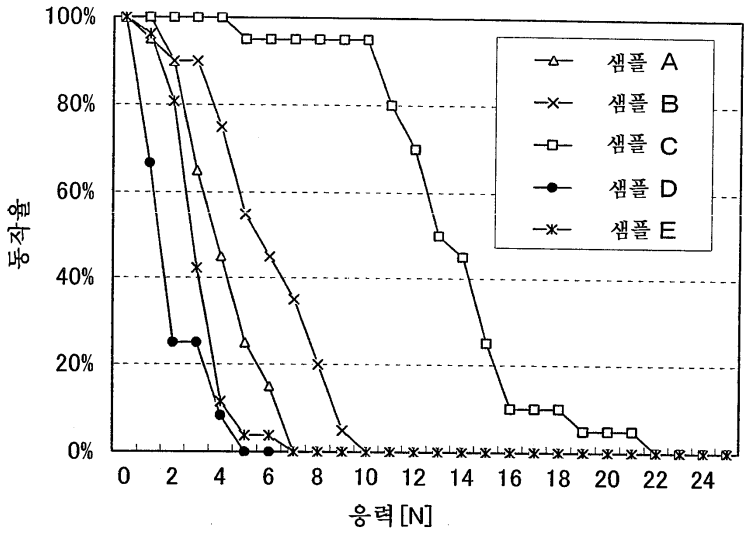
<388>

도면

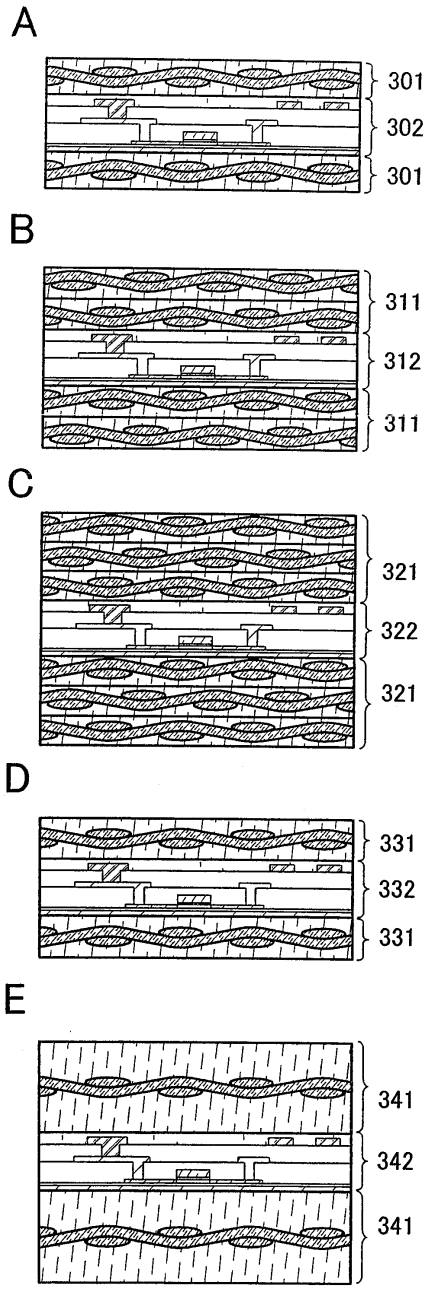
도면1


104
101c
101b
101a
101
103
102a
102b
102c
102
105

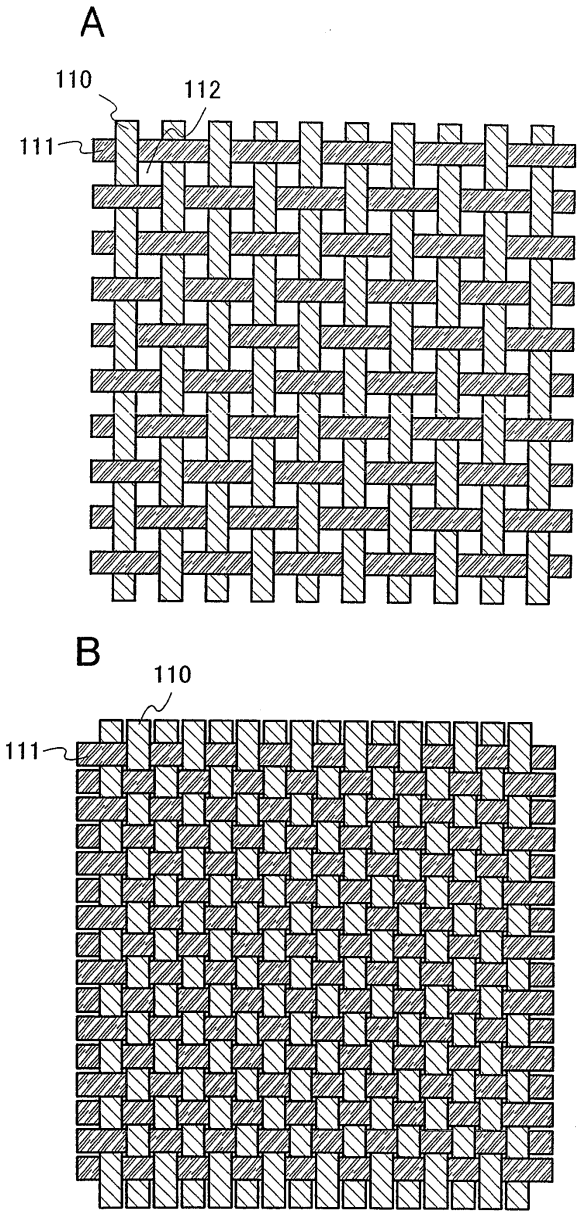
도면2


100%
80%
60%
40%
20%
0%
동작율
0
2
4
6
8
10
12
14
16
18
20
22
24
응력 [N]
샘플 A
샘플 B
샘플 C
샘플 D
샘플 E

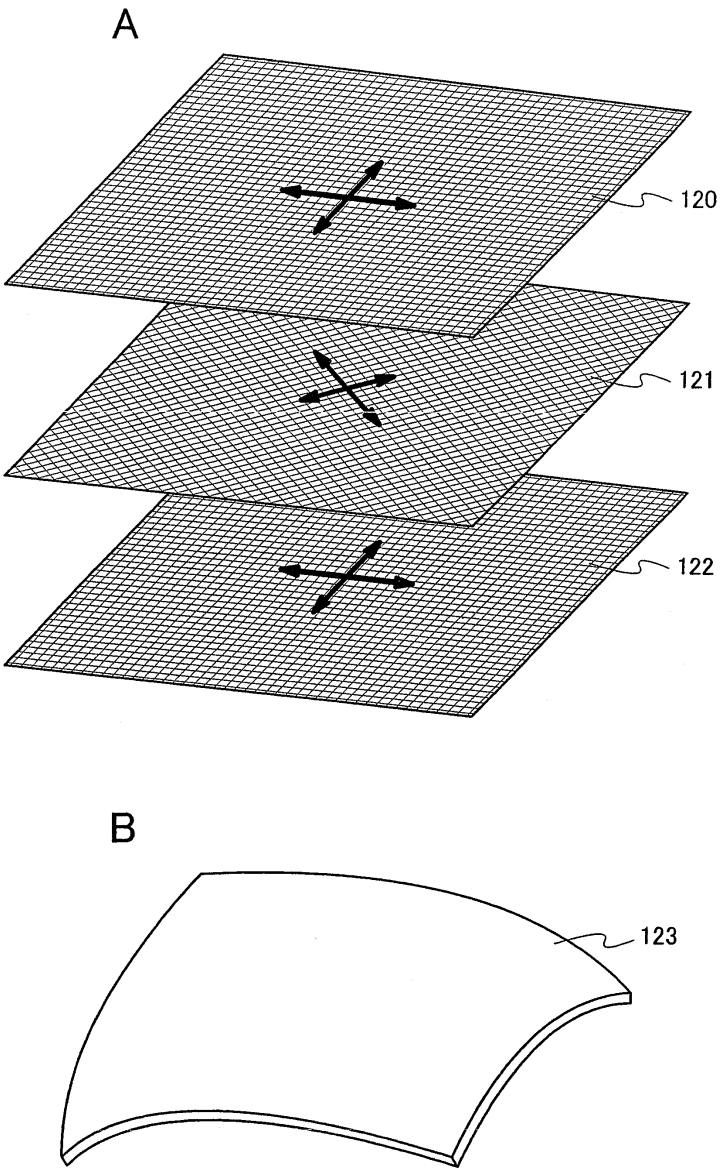
도면3


A
301
302
301
B
311
312
311
C
321
322
321
D
331
332
331
E
341
342
341

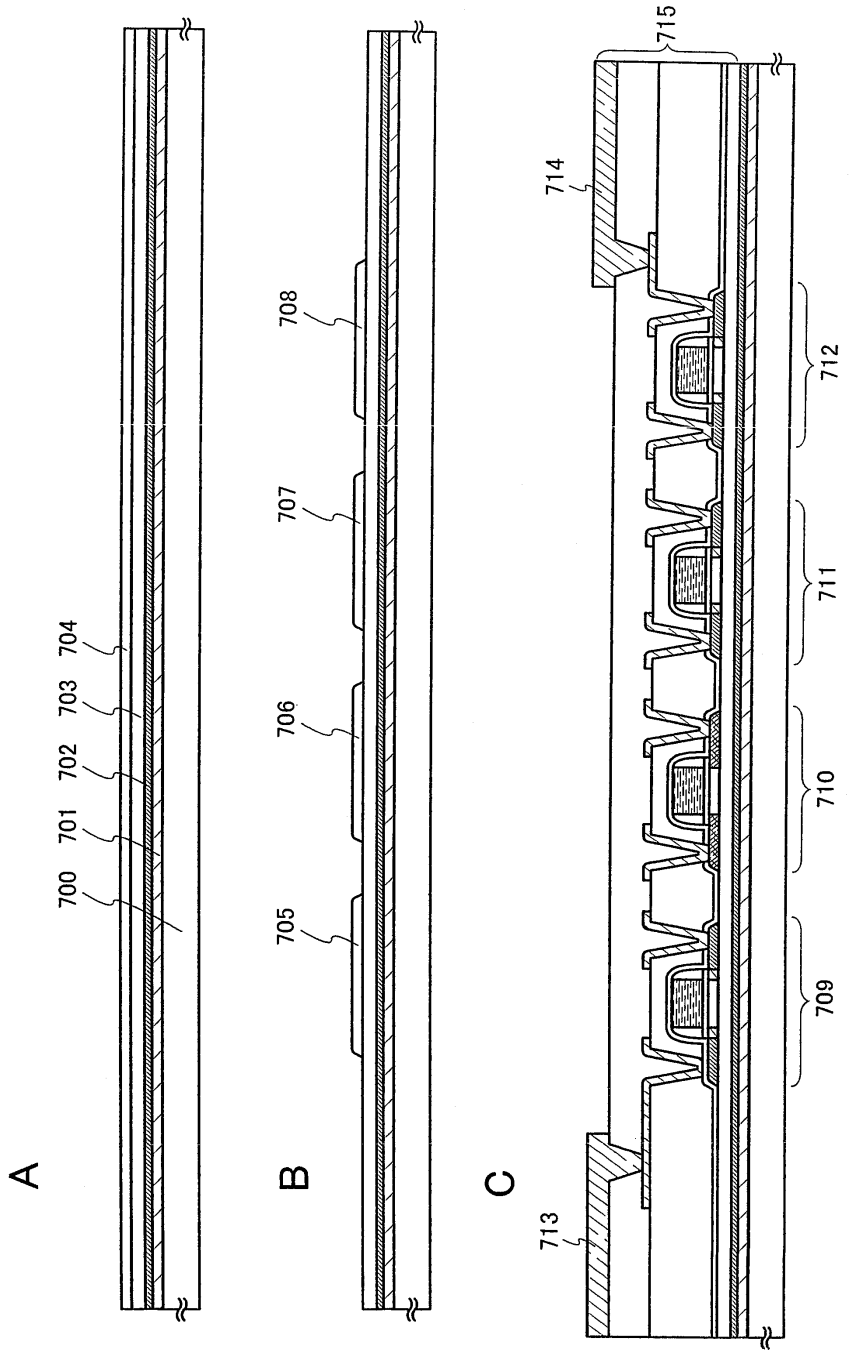
도면4



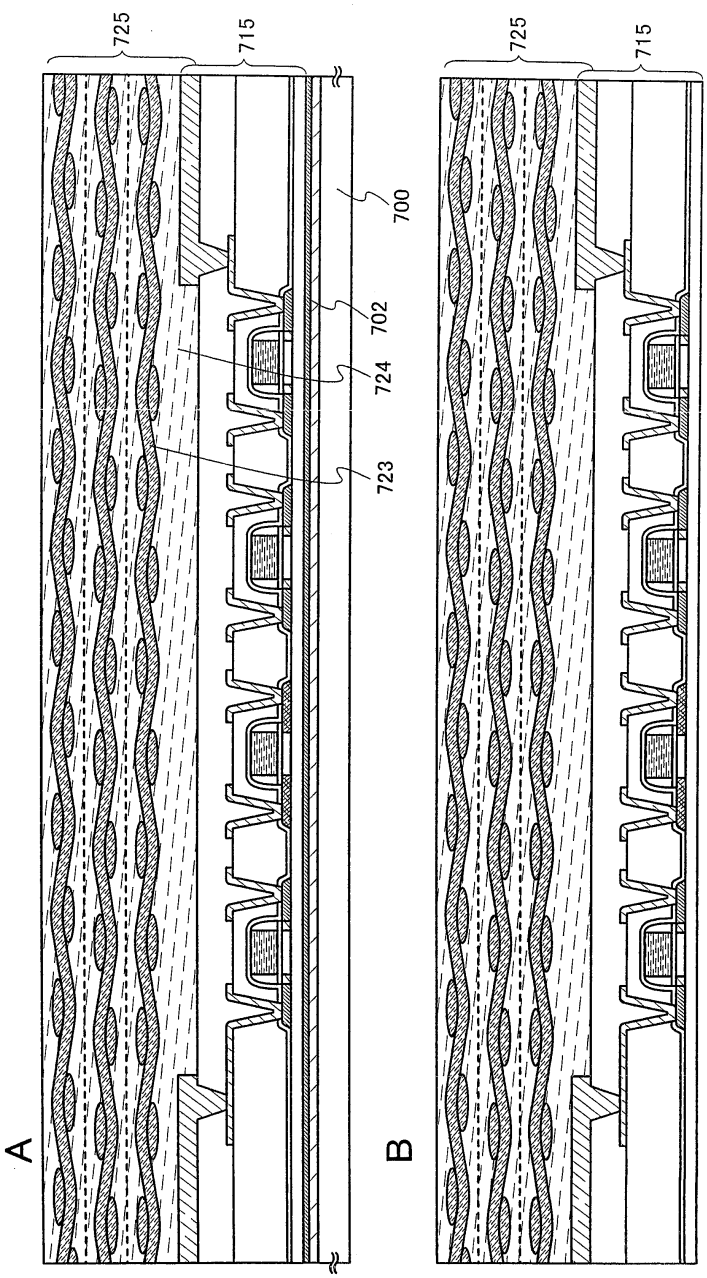
도면5



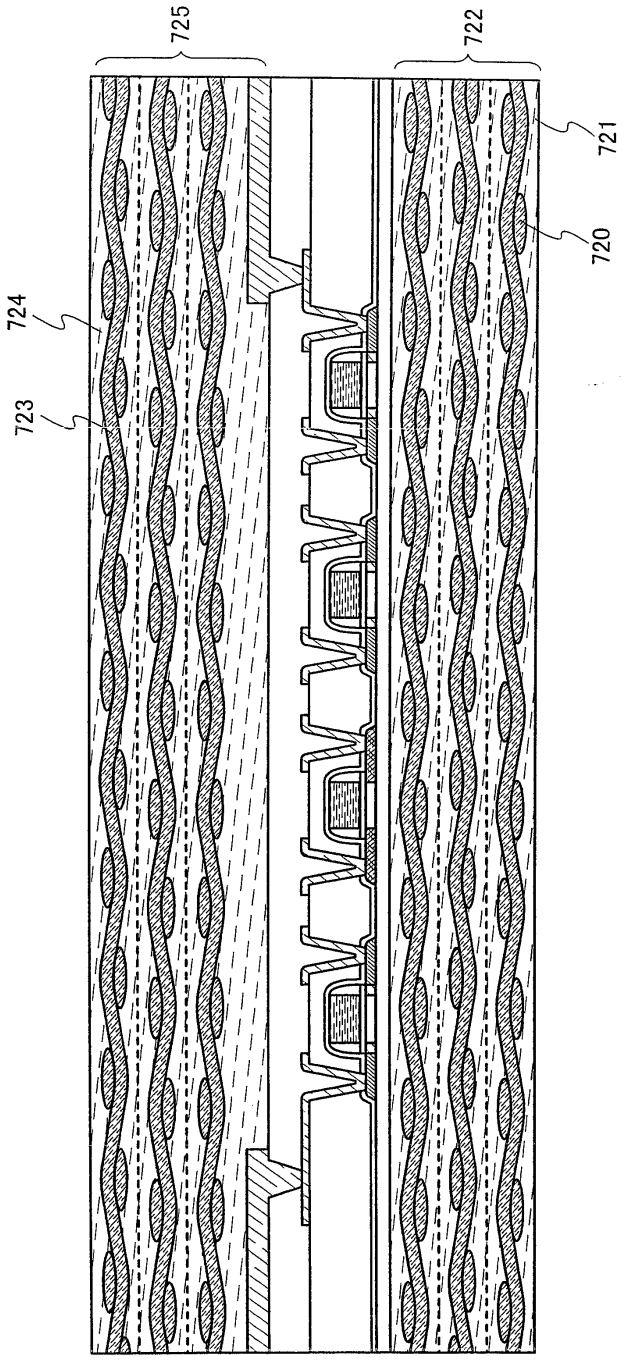
도면6


A
B
C
700
701
702
703
704
705
706
707
708
709
710
711
712
713
714
715

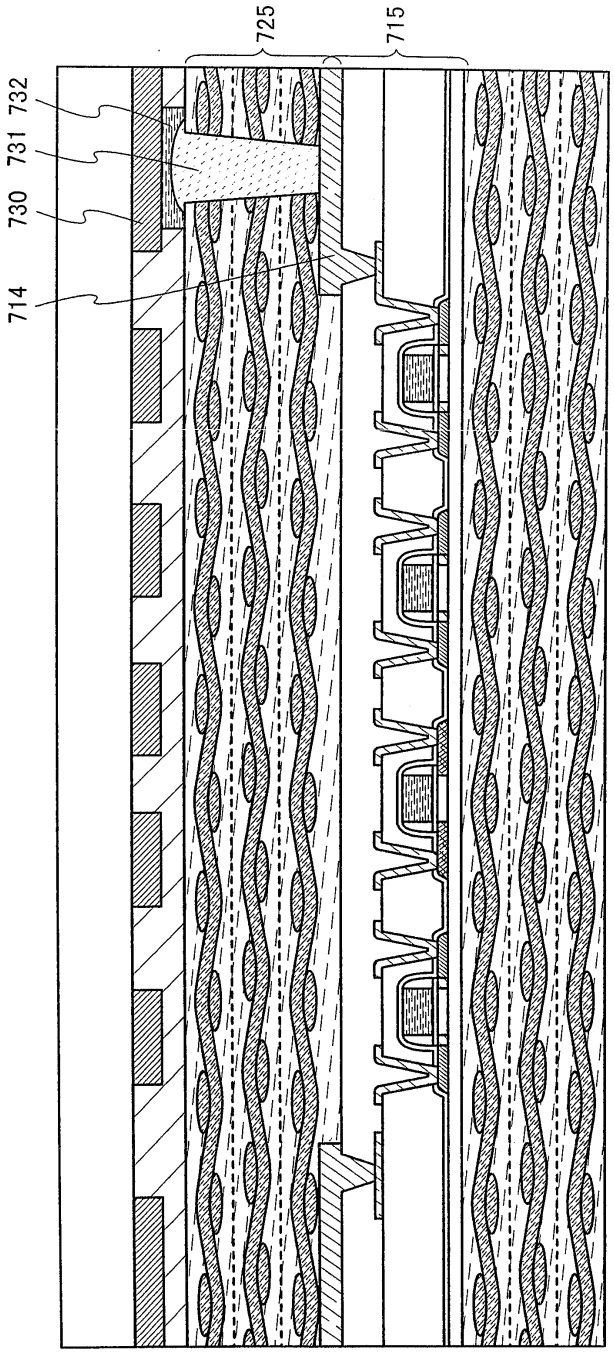
도면7



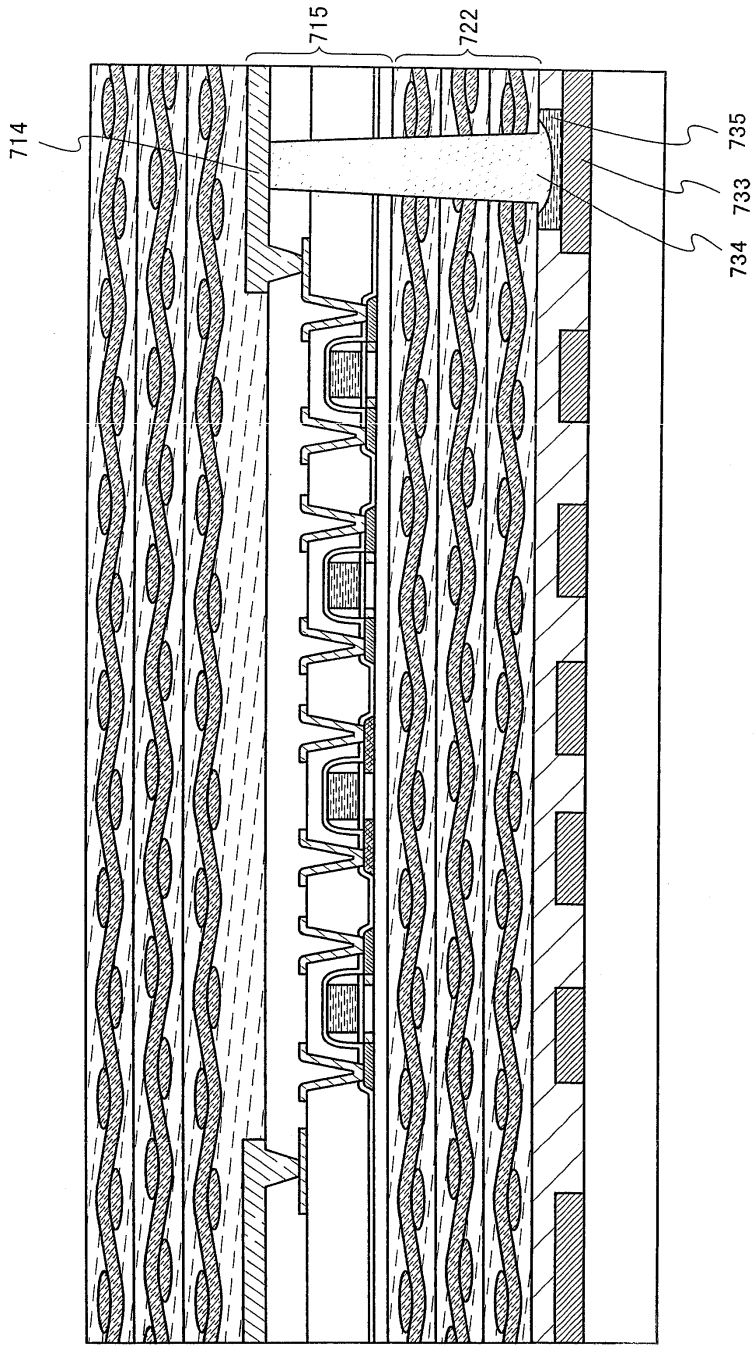
도면8



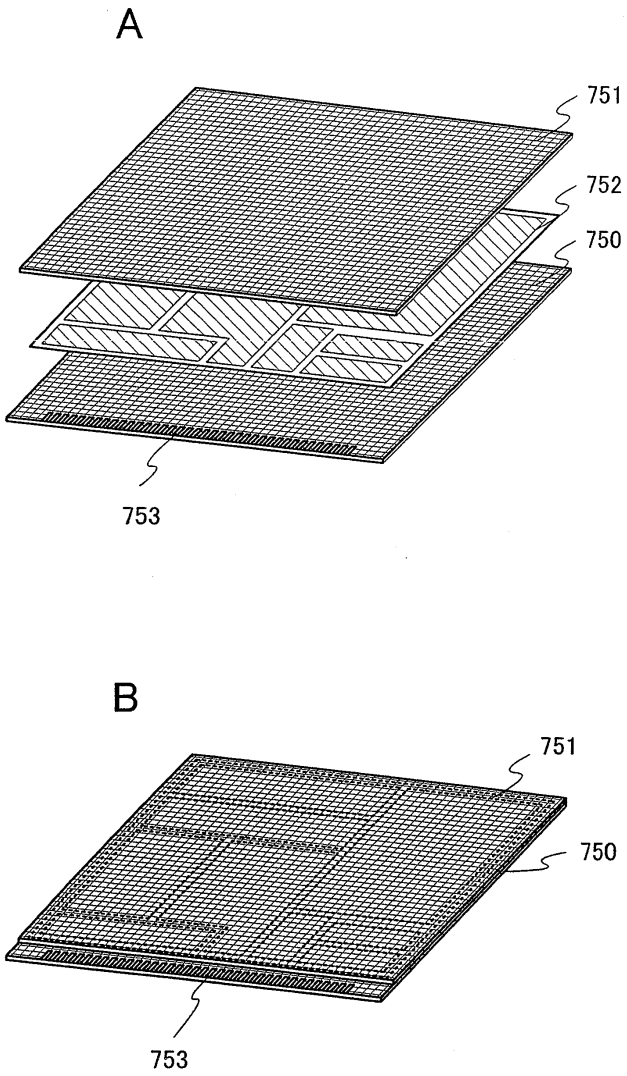
도면9



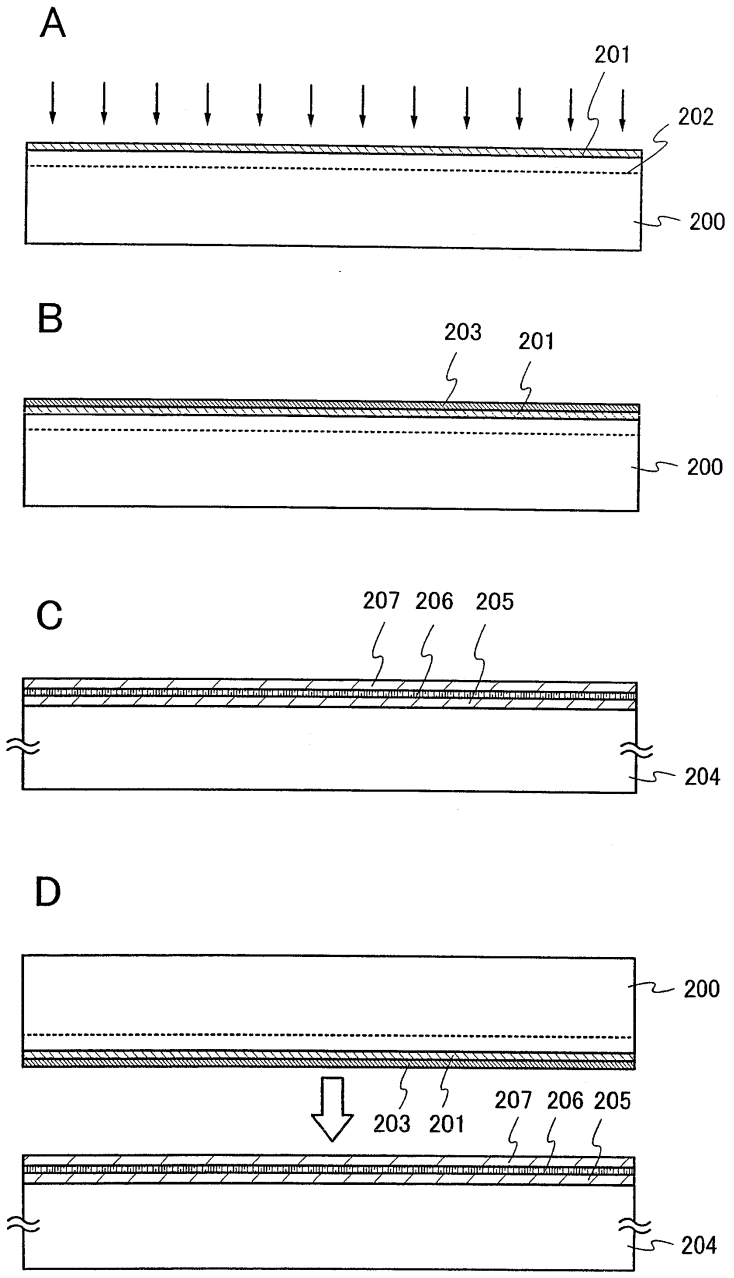
도면10



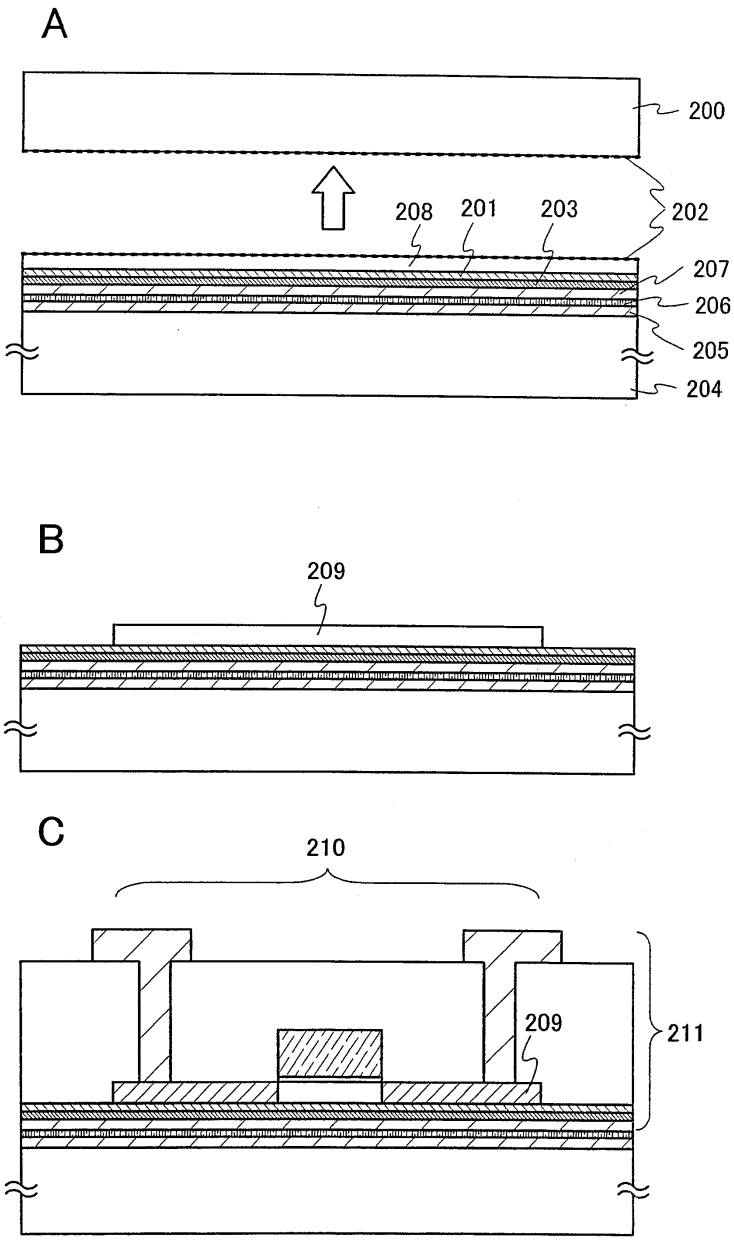
도면11



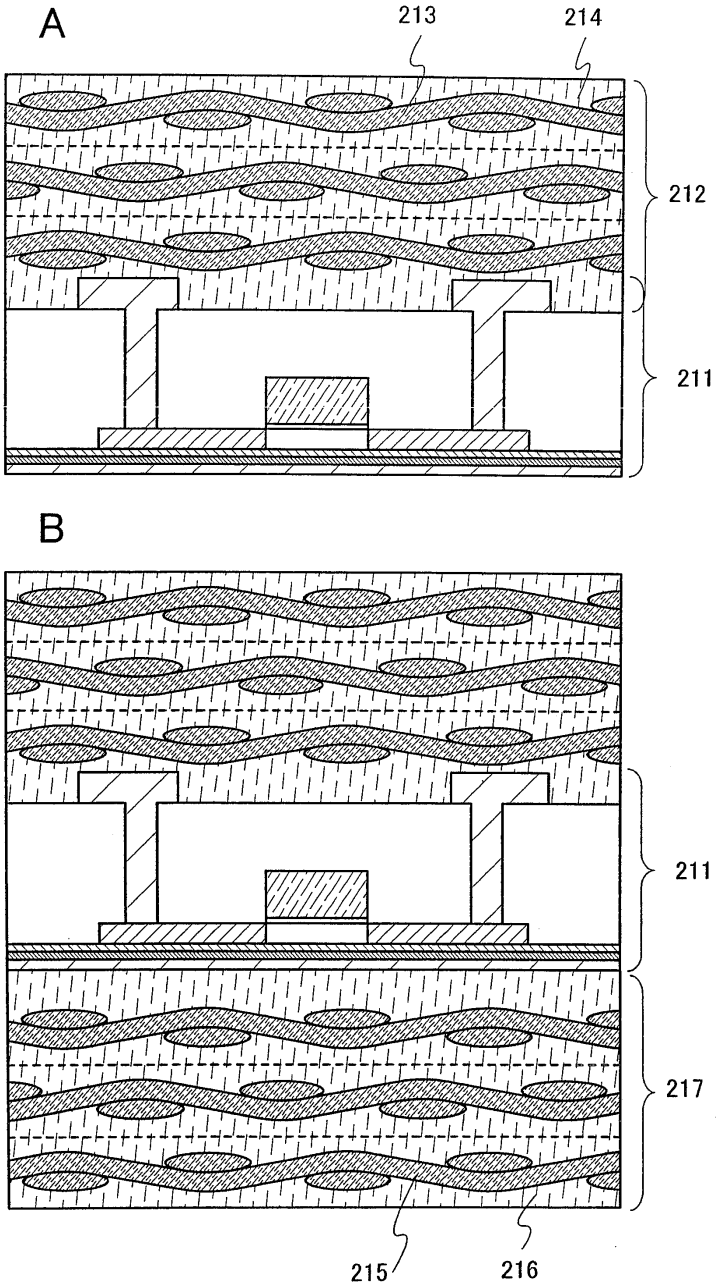
도면12


A
201
202
200
B
203
201
200
C
207
206
205
204
D
200
203
201
207
206
205
204

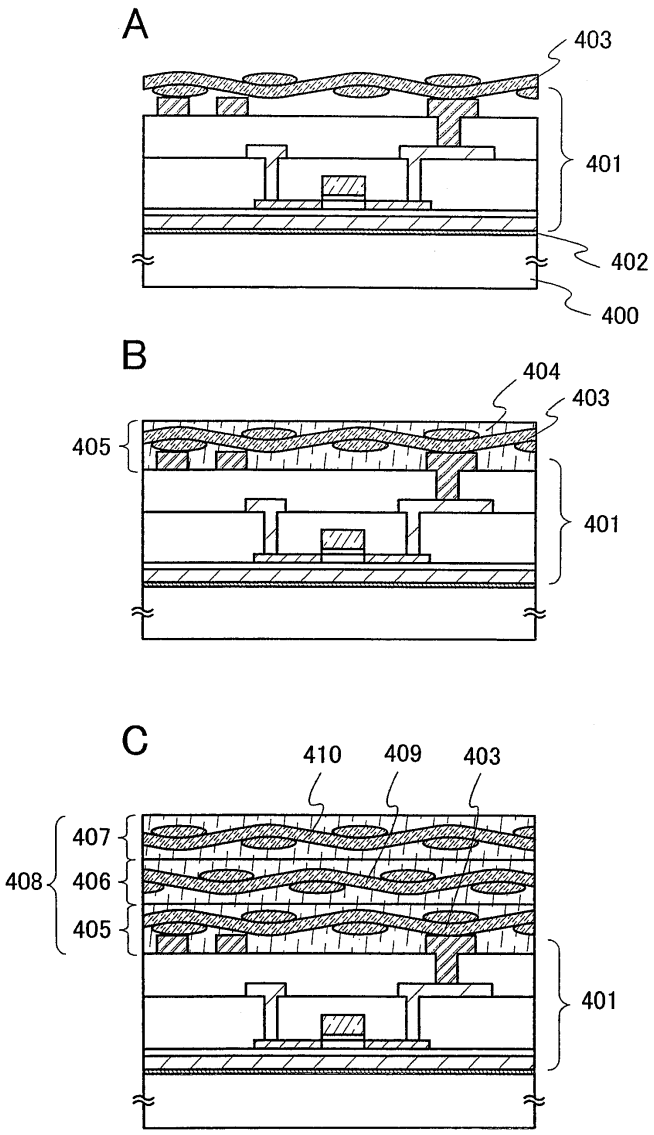
도면13



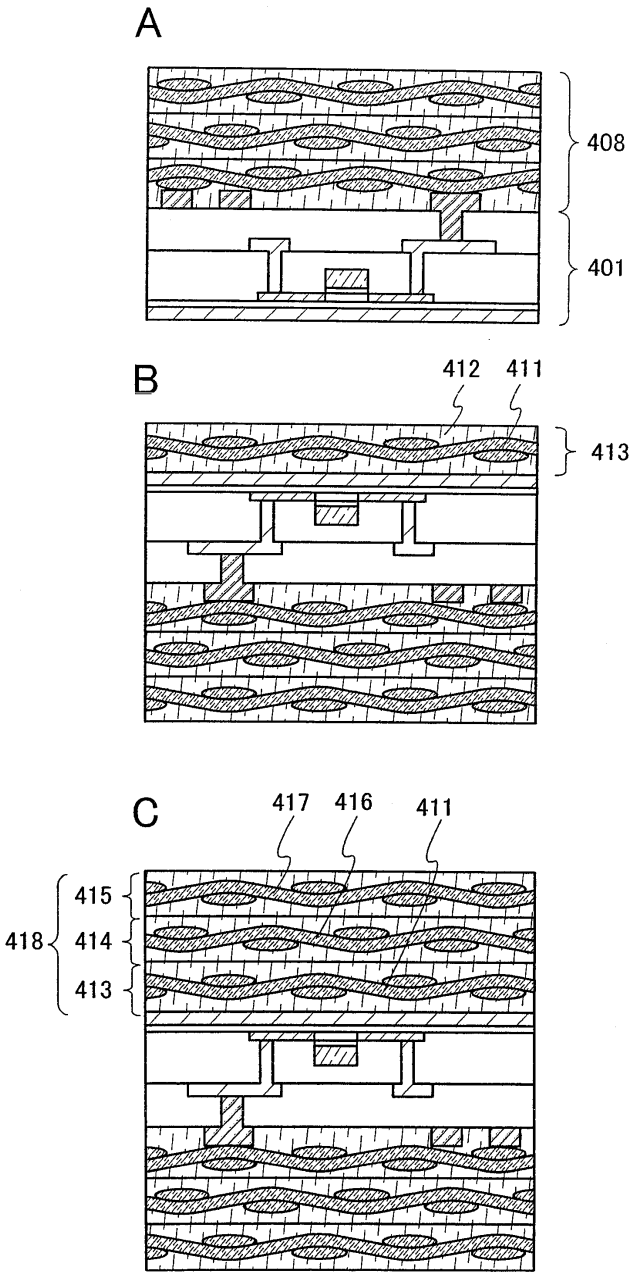
도면14



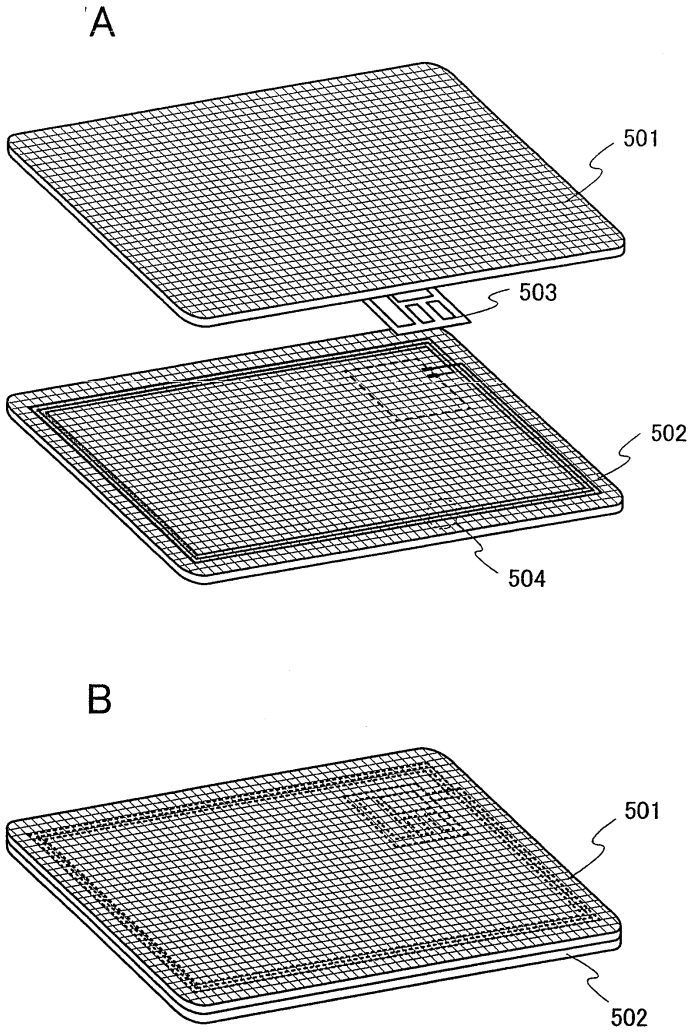
도면15


A
403
401
402
400
B
404
403
405
401
C
410
409
403
407
408
406
405
401

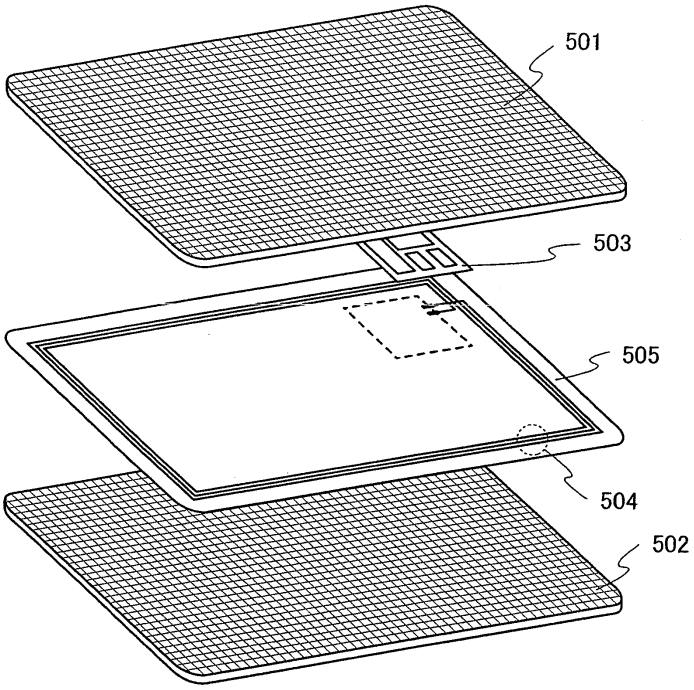
도면16



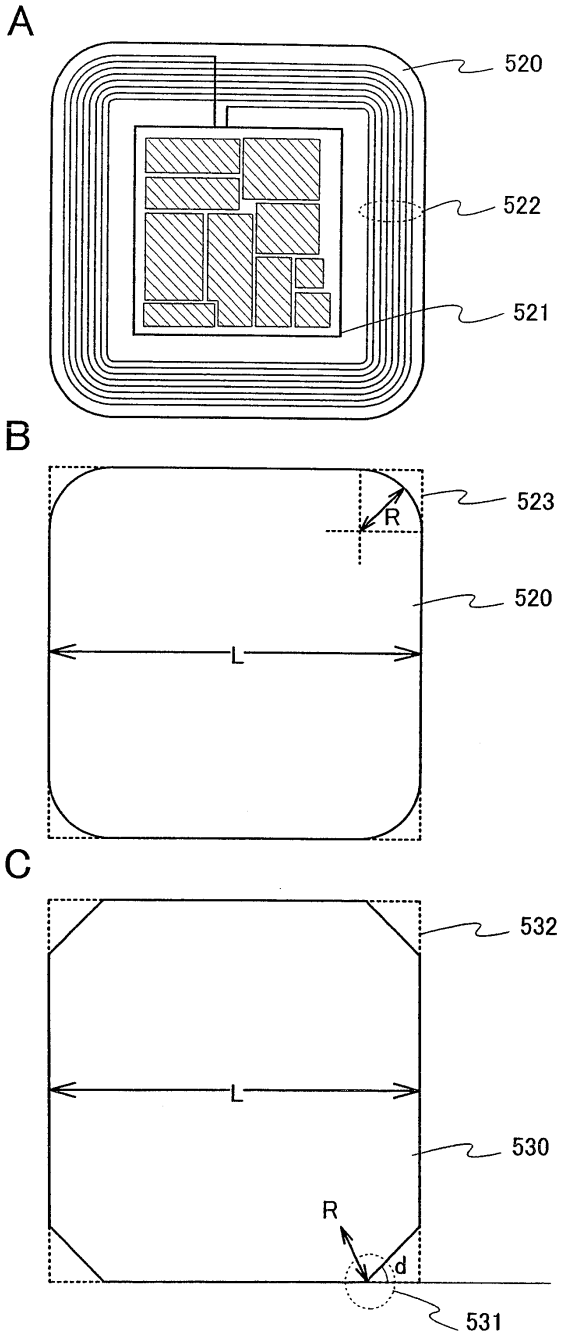
도면17



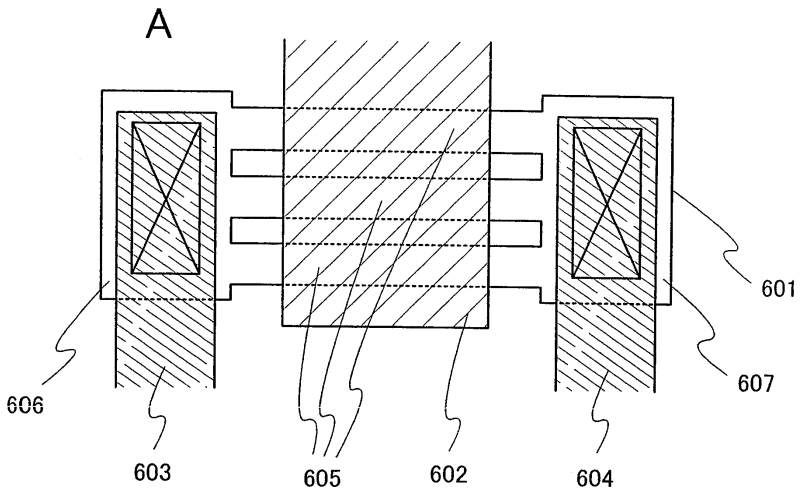
도면18

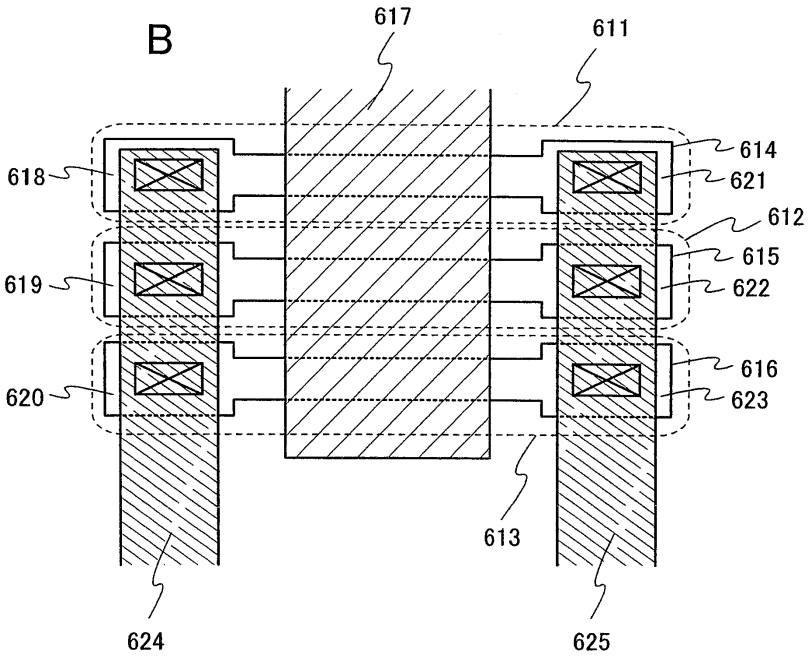


도면19

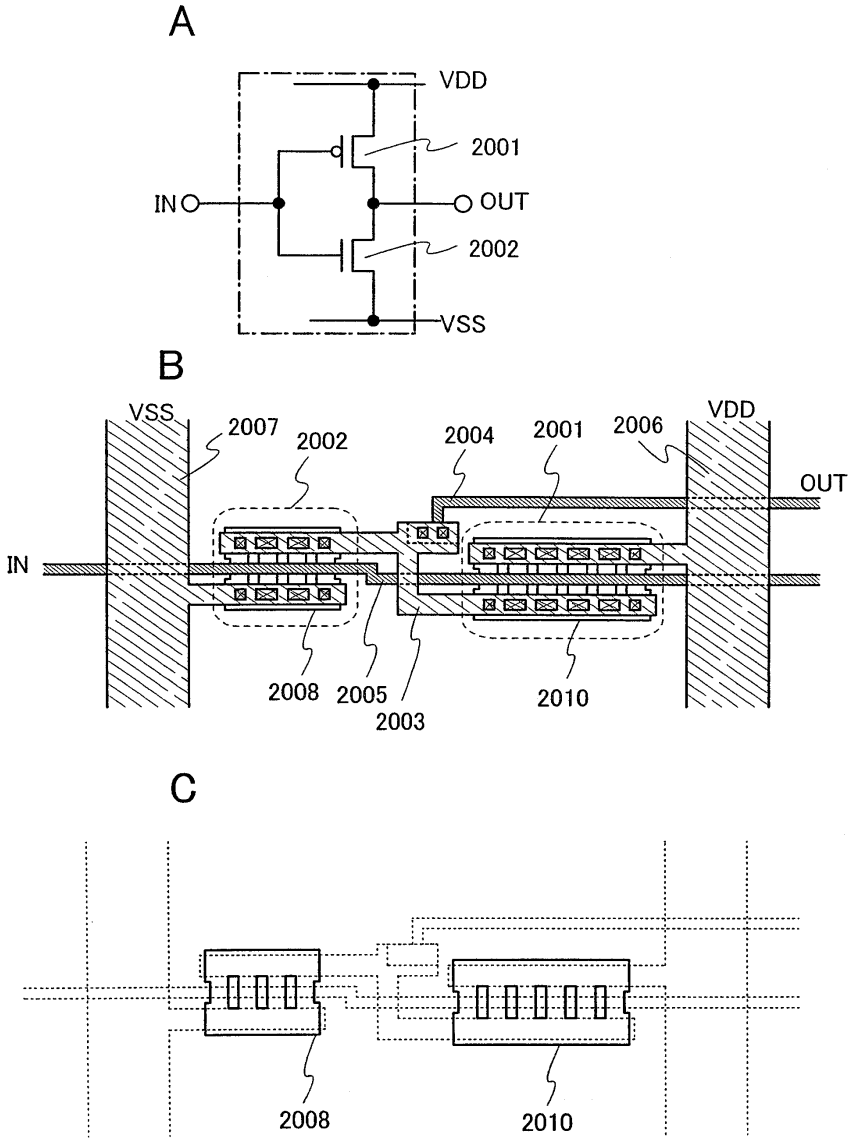


도면20

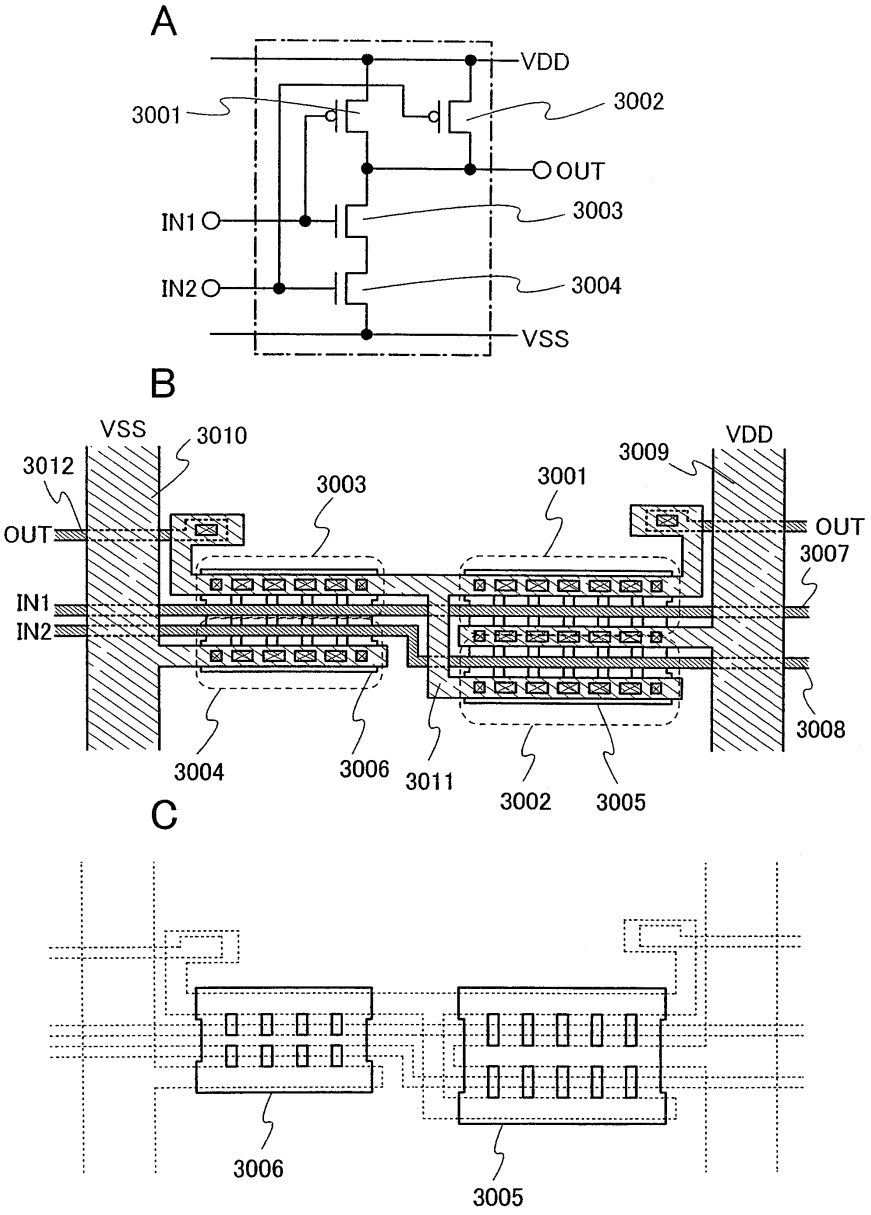

A
601
607
606
603
605
602
604


B
617
611
614
618
621
612
615
619
622
616
620
623
613
624
625

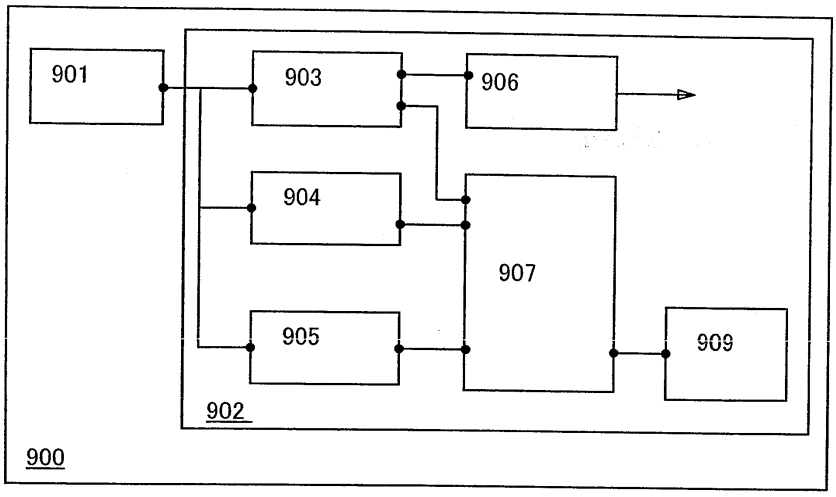
도면21


A
VDD
2001
IN
OUT
2002
VSS
B
VSS
2007
2002
2004
2001
2006
VDD
OUT
IN
2008
2005
2003
2010
C
2008
2010

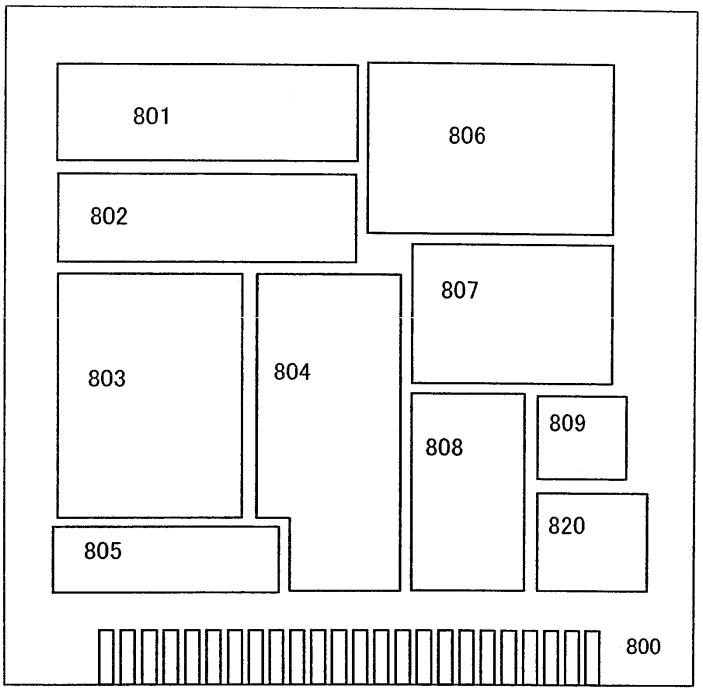
도면22


A
VDD
3001
3002
OUT
IN1
3003
IN2
3004
VSS
B
VSS
3010
3012
3003
3001
3009
VDD
OUT
3007
IN1
IN2
3004
3006
3011
3002
3005
3008
C
3006
3005

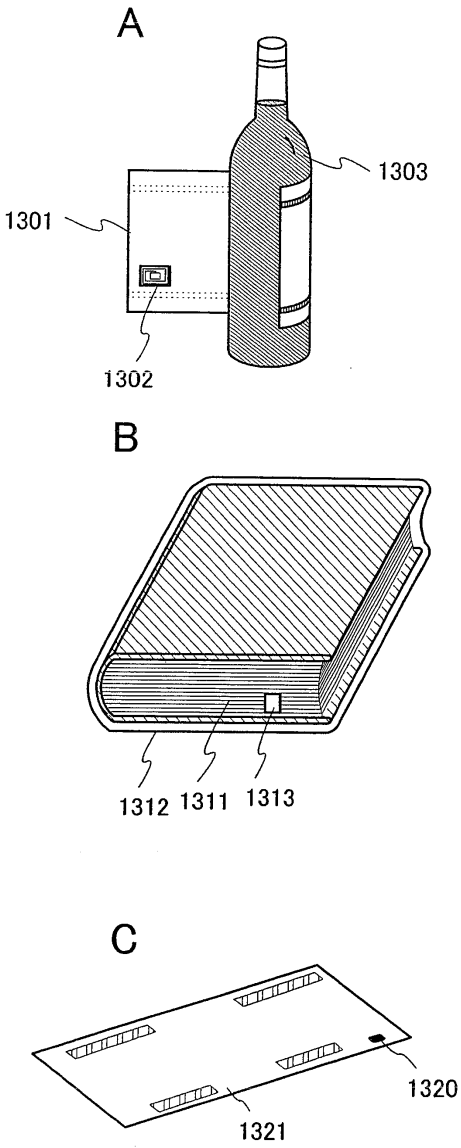
도면23


901
903
906
904
907
905
909
902
900

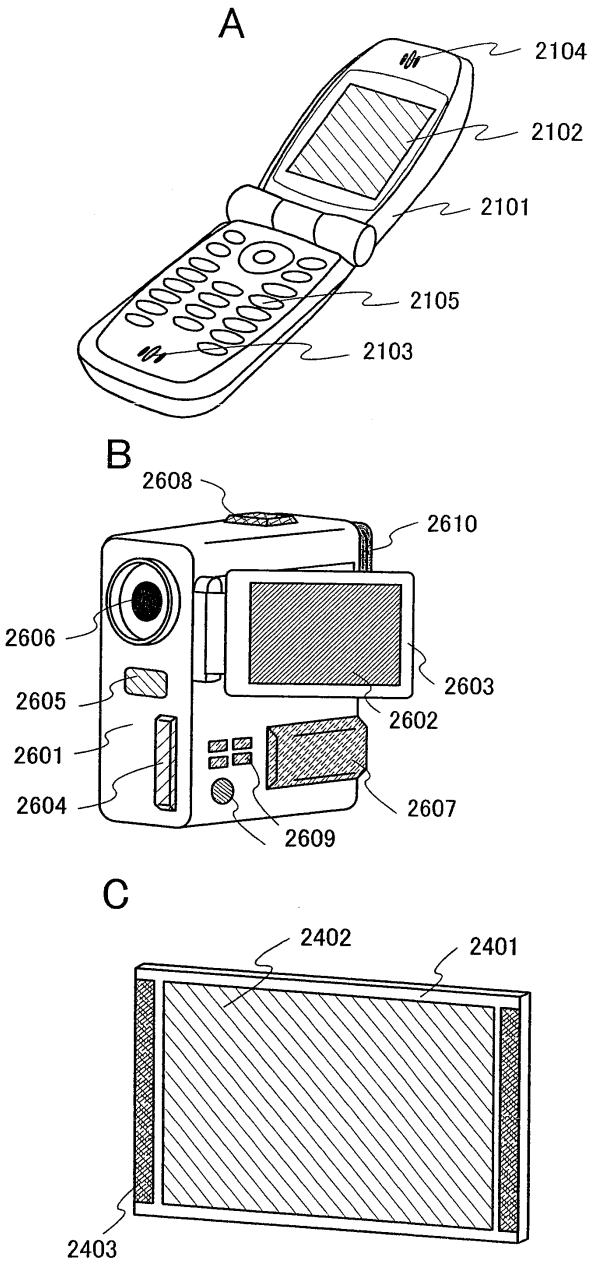
도면24


801
806
802
807
803
804
808
809
820
805
800

도면25



도면26


A
2104
2102
2101
2105
2103
B
2608
2610
2606
2603
2605
2602
2601
2604
2607
2609
C
2402
2401
2403