

公告本

416096

申請日期	87 年 2 月 27 日
案 號	87102920
類 別	1401C 21/00

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		416096
一、發明 新型名稱	中 文	半導體元件、半導體裝置及其製造方法
	英 文	
二、發明 創作人	姓 名	(1) 塚本達彦
	國 籍	(1) 日本
		(1) 日本國神奈川縣横浜市磯子區汐見台二一五一 三 二五一六一一六二二
	住、居所	
三、申請人	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代 表 人 名 姓 名	(1) 西室泰三

裝

訂

線

416096

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 1997 年 3 月 5 日 9-050534 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

五、發明說明(1)

【產業上之利用領域】

本發明係關於一種半導體元件，半導體裝置及其製造方法，特別是有關高頻分量npn電晶體的半導體元件，及接合此半導體元件的半導體裝置，以及製造這些半導體元件與半導體裝置的製造方法。

【先前之技術】

一般，作為放大高頻訊號之用的半導體元件，係例如有高頻分量npn電晶體。當利用此類之npn電晶體來放大高頻訊號時，是將此npn電晶體的射極予以接地而使用。圖11及圖12係表示接合此類之npn電晶體的半導體元件之後的半導體裝置。其中，圖11係表示習知之半導體裝置的剖面概念圖。圖12係表示習知之半導體裝置的上視概念圖。

特別是由圖11中可得知，在npn電晶體的上部設置有射極E，基極B及集極C。並且，這些電極E，B，C係分別經由接合線EW，BW，CW來與導線框ERF，BRF，CRF連接。而且，在此圖11中為了能夠明確得知彼此間連接關係，而省略顯示接合墊片EP，BP，CP。

更詳而言之，由圖12中可得知，射極E係連接於射極接合墊片EP，EP，基極B係連接於基極接合墊片BP，集極C係連接於集極接合墊片CP。並且，射極接合墊片EP，EP係以射極接合線EW，EW來與射極導線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

框 E R F 連接。又，基極接合墊片 B P 係以基極接合線 B W 來與基極導線框 B R F 連接。集極接合墊片 C P 係以集極接合線 C W 來與集極導線框 C R F 連接。又，基極導線框 B R F 與集極導線框 C R F 的一端部，及射極導線框 E R F 的兩端部係分別自外殼 P G 露出，而使得能夠連接於配線基板等。

【發明所欲解決之課題】

在習知之半導體裝置中，如以上所述，n p n 電晶體的各電極 E，B，C 與各導線框 E R F，B R F，C R F 之間，係藉由接合線 E W，B W，C W 來予以連接。但由於這些接合線 E W，B W，C W 本身因磁場的影響而產生電感，因此該電感將會形成多餘的阻抗。而該阻抗將是令 n p n 電晶體的高頻特性，亦即高頻區域的電流放大率降低的主要原因。特別是使用 n p n 電晶體來作為射極接地電路時，在這些接合線 E W，B W，C W 之中，射極接合線 E W 的阻抗影響最大。又，由圖 1 2 中可得知，射極接合墊片 E P 與射極導線框 E R F 之間通常是以 2 條的接線來予以連接，因此射極接合線 E W，E W 的磁場影響遠比其他接合線 B W，C W 來得大。

在此，本發明之目的，係藉由半導體元件（高頻分量 n p n 電晶體等）中之射極接合線 E W，E W 的廢除，而來提升高頻特性。亦即，藉由射極接合線 E W，E W 的廢除，而來消除射極接合線 E W，E W 所產生的阻抗，進而

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(3)

來提高半導體元件的高頻特性。換言之，其目的是在於消除射極接合線 E W，E W 本身因磁場的影響而產生的電感。

【用以解決課題之手段】

為了解決上述課題，本發明之半導體元件，係屬於一種具有複數的電極，且被載置於導線框之半導體元件，其特徵為：在內部形成供以電氣性地連接上述電極中的 1 個電極與上述導線框間的導通部，而藉此來取代用以連接上述 1 個電極與上述導線框之接合線。

【發明之實施形態】

本實施形態之半導體裝置，係於 n p n 電晶體的內部形成射極導通部，並以此射極導通部來電氣性地連接射極與射極導線框，而藉此來廢除射極接合線。

首先，根據圖 1，2 來說明本發明之實施形態之半導體裝置的構造。其中，圖 1 係表示接合本實施形態之半導體元件（高頻分量 n p n 電晶體）後的半導體裝置之剖面概念圖。圖 2 係表示該半導體裝置的上視概念圖。本實施形態之半導體裝置，係於半導體元件的內部形成供以電氣性地連接射極 E 與射極導線框 E R F 的導通部（該導通部係由 p⁺ 型矽基板 10 與 p⁺ 型射極埋入領域 14 與 p⁺ 型射極引出領域 20 所構成），而藉此來廢除射極接合線，因此將能夠消除因接合線而引發的阻抗，進而可以提高半

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

訂

五、發明說明(4)

導體裝置的高頻特性。

具體而言，由圖 1 可明確得知，在高濃度的 p^+ 型矽基板 10 上形成有低濃度的 p^- 型第 1 外延生長層 12。並且在此 p^- 型第 1 外延生長層 12 的圖中左側形成有高濃度的 p^+ 型射極埋入領域 14。而且在此 p^- 型第 1 外延生長層 12 的上面形成有 n 型第 2 外延生長層 16。又，於圖的中央，在這些 p^- 型第 1 外延生長層 12 與 n 型第 2 外延生長層 16 之間形成有高濃度的 n^+ 型集極埋入領域 18。又，在 n 型第 2 外延生長層 16 的左右兩側形成有高濃度的 p^+ 型射極引出領域 20 及高濃度的 p^+ 型擴散層 22。並以上述之 p^+ 型矽基板 10 與 p^+ 型射極埋入領域 14 與 p^+ 型射極引出領域 20 來形成供以電氣性地連接射極 E 與射極導線框 E R F 之間的射極導通部。又，在上述 n 型第 2 外延生長層 16 的表面側形成有場氧化膜 24 a ~ 24 d。又，在這些場氧化膜 24 a ~ 24 d 之中，在場氧化膜 24 c 與 24 d 之間的 n 型第 2 外延生長層 16 中形成集極引出用之高濃度的 n^+ 型集極引出領域 26。並且在場氧化膜 24 c 與 24 d 之間的 n 型第 2 外延生長層 16 係形成具有作為集極領域 16 a 的功能。而且在此 n 型集極領域 16 a 形成 p 型基極領域 28。又，在此 p 型基極領域 28 的表面側形成 n 型射極領域 30。

此外，在上述 n 型第 2 外延生長層 16 的上面形成具有開孔 32 a ~ 32 d 的層間絕緣膜 32。並且在這些開孔 32 a ~ 32 d 之中，在開孔 32 b 的部分形成有多晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

編

五、發明說明(5)

矽層 3 4。而且在此多晶矽層 3 4 的上側形成有配線層 3 6。並且以這些多晶矽層 3 4 與配線層 3 6 來形成射極 E。又，此射極 E 的配線層 3 6 係往圖中左側延伸而出，並經由層間絕緣膜 3 2 的開孔 3 2 a 來連接於 p⁺ 型射極引出領域 2 0。又，在上述 p 型基極領域 2 8 的外周側上形成有多晶矽層 3 8。又，此多晶矽層 3 8 係往圖中右側延伸而出，並經由層間絕緣膜 3 2 的開孔 3 2 c 來與配線層 4 0 連接。並且以這些多晶矽層 3 8 與配線層 4 0 來形成基極 B。又，在圖中右側的 n⁺ 型集極引出領域 2 6 上的開孔 3 2 d 的部分形成有多晶矽層 4 2，並且在此多晶矽層 4 2 的上面形成有配線層 4 4。而且以這些多晶矽層 4 2 與配線層 4 4 來形成集極 C。

上述基極 B 係與基極接合線 B W 的一端連接，且該基極接合線 B W 的另一端係連接於基極導線框 B R F。又，集極 C 係與集極接合線 C W 的一端連接，且該集極接合線 C W 的另一端係連接於集極導線框 C R F。並且在圖 1 中為了明確顯示出這些電極與導線框之間的連接關係而省略接合墊片。

更詳而言之，亦可由圖 2 中得知，基極 B 係連接於基極接合墊片 B P，並經由此基極接合墊片 B P，且藉由基極接合線 B W 來連接於基極導線框 B R F。又，集極 C 係連接於集極接合墊片 C P，並經由此集極接合墊片 C P，且藉由集極接合線 C W 來連接於集極導線框 C R F。又，這些基極導線框 B R F 與集極導線框 C R F 的一端係以能

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

部

五、發明說明(6)

夠自外殼 P G 露出的方式而形成。此外，在基極導線框 B R F 與集極導線框 C R F 之間形成射極導線框 E R F。並且此射極導線框 E R F 的兩端係以能夠自外殼 P G 露出的方式而形成。另外，亦可由圖 1 中得知，在此射極導線框 E R F 上載置有 n p n 電晶體。亦即，在此射極導線框 E R F 上連接有 n p n 電晶體的 p⁺ 型矽基板 1 0。

其次，根據圖 3 ~ 圖 1 0 來說明上述半導體裝置的製造工程。首先，由圖 3 可得知，在 p⁺ 型矽基板 1 0 上藉由外延生長法來形成 p⁻ 型第 1 外延生長層 1 2。其次藉由照相蝕刻法與離子注入法來選擇性地將 A s⁺，P⁺ 等的 n 型雜質注入於 p⁻ 型第 1 外延生長層 1 2 的圖中中央部分，而來形成 n⁺ 型集極埋入領域 1 8。同樣地，藉由照相蝕刻法與離子注入法來選擇性地將 B⁺ 等的 p 型雜質注入於 p⁻ 型第 1 外延生長層 1 2 的圖中左側，而來形成 p⁺ 型射極埋入領域 1 4。其次，藉由熱處理來使這些 p⁺ 型射極埋入領域 1 4 與 n⁺ 型集極埋入領域 1 8 的結晶復元。最後，藉由以上的工程來取得圖 3 所示之中間半導體元件。

其次由圖 4 可得知，在此中間半導體元件上藉由外延生長法來形成 n 型第 2 外延生長層 1 6。並藉由以上的工程來取得圖 4 所示之中間半導體元件。

其次由圖 5 可得知，在 n 型第 2 外延生長層 1 6 的圖中左側，藉由照相蝕刻法與離子注入法來注入 A s⁺，P⁺ 等的 n 型雜質，而來形成 n⁺ 型集極引出領域 2 6。同樣地，在 n 型第 2 外延生長層 1 6 的左右兩端側，藉由照相蝕

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

刻法與離子注入法來注入 B^+ 等的 p 型雜質，而來形成 p^+ 型射極引出領域 20 與 p^+ 型擴散層 22。其次，藉由熱處理來使這些 n^+ 型集極引出領域 26 與 p^+ 型射極引出領域 20 及 p^+ 型擴散層 22 的結晶復元。最後，藉由以上的工程來取得圖 5 所示之中間半導體元件。

其次由圖 6 可得知，藉由 L O C O S 法 (Local Oxidation of Silicon；矽局部氧化) 來形成由 SiO_2 所構成的場氧化膜 24a ~ 24d。藉此，在這些場氧化膜 24b 與 24c 之間的 n 型第 2 外延生長層 16 將會形成 n 型集極領域 16a。接著，在 n 型集極領域 16a 中，藉由照相蝕刻法與離子注入法來注入 B^+ 等的 p 型雜質，而來形成 p 型基極領域 28A。其次，藉由熱處理來使 p 型基極領域 28A 的結晶復元。最後，藉由以上的工程來取得圖 6 所示之中間半導體元件。

其次由圖 7 可得知，在此中間半導體元件上，藉由 L P C V D 法 (Low Pressured Chemical Vapor Deposition；化學氣相沈積) 來注入 B^+ 等的 p 型雜質，而形成多晶矽膜，並利用照相蝕刻法及 R I E 來選擇性地蝕刻此多晶矽膜，而形成多晶矽層 38。此多晶矽層 38 係於中央部近旁形成具有開孔 38A 之環狀。接著，此中間半導體元件上，利用熱氧化來形成由 SiO_2 所構成的層間絕緣膜 32。並且在進行此熱氧化時，被注入至多晶矽層 38 中的 p 型雜質將會熱擴散，而於 p 型基極領域 28A 的外周側形成 p 型擴散領域 28B，亦即形成具有此 p 型擴散領域 28B 的 p 型基極領域 28。又，在上述層間絕緣膜 32 上，利用照相蝕刻法及 R I E 來形成開孔 32b，32d

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

。藉此來分別使 p 型基極領域 2 8 與 n⁺ 型集極引出領域 2 6 露出。最後，藉由以上的工程來取得圖 7 所示之中間半導體元件。此外雖可利用 C V D 法 (Chemical Vapor Deposition; 化學氣相沈積) 來形成層間絕緣膜 3 2，但就此情況而言，爲了形成 p 型基極領域 2 8 的 p 型擴散領域 2 8 B，而必須另行熱處理。

其次由圖 8 可得知，藉由 L P C V D 法來注入 A s 等的 n 型雜質，而形成多晶矽膜，並利用照相蝕刻法及 R I E 來選擇性地蝕刻此多晶矽膜，而於開孔 3 2 b，3 2 d 的部分形成多晶矽層 3 4，4 2。接著對此中間半導體元件進行熱處理，藉此來使注入於多晶矽層 3 4 中的 A s 等雜質能夠熱擴散，而來形成 n 型射極領域 3 0。最後，藉由以上的工程來取得圖 8 所示之中間半導體元件。

其次由圖 9 可得知，在上述層間絕緣膜 3 2 上，利用照相蝕刻法及 R I E 來形成開孔 3 2 a，3 2 c。藉此來分別使 p⁺ 型射極引出領域 2 0 與多晶矽層 3 8 露出。最後，藉由以上的工程來取得圖 9 所示之中間半導體元件。

其次由圖 1 0 可得知，藉由濺射法來形成由 A 1，A u 所構成的配線用膜 W M。接著，利用照相蝕刻法及 R I E 來選擇性地蝕刻此配線用膜 W M，藉此來形成配線層 3 6，4 0，4 4。並於這些配線層中，藉由配線層 3 6 與多晶矽層 3 4 來形成射極 E，且藉由配線層 4 0 與多晶矽層 3 8 來形成基極 B，又，藉由配線層 4 4 與多晶矽層 4 2 來形成集極 C。最後，藉由以上的工程來取得圖 1 0 所示之半導體元件。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

其次由圖 1 及圖 2 可得知，係將此半導體元件載置於射極導線框 E R F 上。亦即，將此半導體元件的 p^+ 型矽基板 10 接合於射極導線框 E R F 上。接著，以基極接合線 B W 來接合基極接合墊片 B P 與基極導線框 B R F，及以集極接合線 C W 來接合集極接合墊片 C P 與集極導線框 C R F。最後，藉由以上的工程來取得圖 1 及圖 2 所示之半導體元件。

如以上所述，在本實施形態之半導體裝置中，係以射極導通部來電氣性地連接射極 E 與射極導線框 E R F。亦即，利用由形成於半導體元件的內部之 p^+ 型射極引出領域 20 與 p^+ 型射極埋入領域 14 及 p^+ 型矽基板 10 所構成的射極導通部來進行電氣性的連接。因此將可取代習知用以連接射極 E 與射極導線框 E R F 之射極接合線 E W。亦即可不需設置射極接合線 E W，因此能夠消除射極接合線 E W 的阻抗。也就說能夠消除因射極接合線 E W 本身的磁場而引發的阻抗。因此而得以提高使用此 n p n 電晶體之半導體裝置的高頻特性，亦即能夠提升高頻區域的電流放大率。

又，由於可以消滅一般由 A u 等的高價貴金屬所構成之接合線的量，因此將能夠大幅度地降低製造成本。又，因為是以高濃度的 p^+ 型矽基板 10 來形成接合於射極導線框 E R F 的半導體元件的底面側，及以此 p^+ 型矽基板 10 來形成射極導通部的一部分，所以能夠明顯地減低此射極導通部的的阻抗。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(10)

又，本發明並非只被限定於上述實施形態，也可以適用於其他種種的變形形態。例如，不儘可以廢除射極接合線 E W，也能夠廢除基極接合線 B W 或集極接合線 C W。亦即，也可將基極導通部形成於半導體元件的內部，而使得能夠電氣性地連接基極 B 與基極導線框 B R F，同樣地也可將集極導通部形成於半導體元件的內部，而使得能夠電氣性地連接集極 C 與集極導線框 C R F。

【發明之效果】

若利用本發明的話，則將可藉由形成於半導體元件的內部之導通部來電氣性地連接半導體元件與導線框，藉此來取代接合線。因此，能夠消除因接合線而引發的阻抗，進而可以提高半導體裝置的高頻特性。

【圖面之簡單的說明】

第 1 圖係表示本發明之實施形態之半導體裝置的剖面概念圖。

第 2 圖係表示本發明之實施形態之半導體裝置的上視概念圖。

第 3 圖係表示本發明之實施形態之部分半導體元件的工程剖面圖。

第 4 圖係表示本發明之實施形態之部分半導體元件的工程剖面圖。

第 5 圖係表示本發明之實施形態之部分半導體元件的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(11)

工程剖面圖。

第6圖係表示本發明之實施形態之部分半導體元件的工程剖面圖。

第7圖係表示本發明之實施形態之部分半導體元件的工程剖面圖。

第8圖係表示本發明之實施形態之部分半導體元件的工程剖面圖。

第9圖係表示本發明之實施形態之部分半導體元件的工程剖面圖。

第10圖係表示本發明之實施形態之半導體元件的剖面圖。

第11圖係表示習知之半導體裝置的剖面概念圖。

第12圖係表示習知之半導體裝置的上視概念圖。

【圖號之簡單的說明】

E 射極

B 基極

C 集極

E R F . . . 射極導線框

B R F . . . 基極導線框

C R F . . . 集極導線框

B W 基極接合線

C W 集極接合線

10 p⁺型矽基板(半導體基板)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(12)

- 1 4 p⁺型射極埋入領域
- 1 6 a n型集極領域
- 1 8 n⁺型集極埋入領域
- 2 0 p⁺型射極引出領域
- 2 8 p型基極領域
- 3 0 n型射極領域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

煩請委員明示 89 年 4 月 15 日所提之修正本有無變更實質內容是否准予修正。

四、中文發明摘要 (發明之名稱: 半導體元件、半導體裝置及其製造方法)

本發明係關於一種半導體元件，半導體裝置及其製造方法。其目的在於提高半導體裝置的高頻特性。亦即，在半導體元件的內部形成由 p^+ 型矽基板 10 與 p^+ 型射極埋入領域 14 與 p^+ 型射極引出領域 20 所構成的導通部。然後將此半導體元件的 p^+ 型矽基板 10 接合於射極導線框 E R F，而得以藉由此射極導通部來電氣性地連接射極 E 與射極導線框 E R F。藉此將可廢除用以連接射極 E 與射極導線框 E R F 的射極接合線，而使得能夠消除因射極接合線而引發的阻抗，進而可以提高半導體裝置的高頻特性。

英文發明摘要 (發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

煩請委員明示 89 年 4 月 15 日所提之修正本有無變更實質內容是否准予修正。

四、中文發明摘要 (發明之名稱: 半導體元件、半導體裝置及其製造方法)

本發明係關於一種半導體元件，半導體裝置及其製造方法。其目的在於提高半導體裝置的高頻特性。亦即，在半導體元件的內部形成由 p^+ 型矽基板 10 與 p^+ 型射極埋入領域 14 與 p^+ 型射極引出領域 20 所構成的導通部。然後將此半導體元件的 p^+ 型矽基板 10 接合於射極導線框 E R F，而得以藉由此射極導通部來電氣性地連接射極 E 與射極導線框 E R F。藉此將可廢除用以連接射極 E 與射極導線框 E R F 的射極接合線，而使得能夠消除因射極接合線而引發的阻抗，進而可以提高半導體裝置的高頻特性。

英文發明摘要 (發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體元件，係屬於一種具有複數的電極，且被載置於導線框之半導體元件，其特徵為：在內部形成供以電氣性地連接上述電極中的1個電極與上述導線框間的導通部，藉此來取代用以連接上述1個電極與上述導線框之接合線。

2. 一種半導體元件，係屬於一種具有射極，集極與基極，且被載置於導線框之半導體元件，其特徵為：在內部形成用以電氣性地連接上述這些電極中的其中一個電極與上述導線框之導通部，而來取代用以連接電極（連接於此導通部的電極）與上述導線框之接合線。

3. 一種半導體元件，係屬於一種被載置於導線框之半導體元件，其特徵係具備有：

第1導電型的半導體基板；及

形成於上述第1導電型的半導體基板上之第1導電型的第1外延生長層；及

形成於上述第1外延生長層上，且將其中的一部分作為集極領域之第2導電型的第2外延生長層；及

形成於上述第2外延生長層上之射極，集極與基極；及

形成於上述第1外延生長層與上述第2外延生長層之間，供以電氣性地引出上述集極領域之高濃度的第2導電型的集極埋入領域；及

形成於上述第2外延生長層內，供以連接上述集極與上述集極埋入領域之高濃度的第2導電型的集極引出領域

六、申請專利範圍

；及

形成於上述 2 外延生長層的表面部分，且與上述基極連接之第 1 導電型的基極領域；及

形成於上述基極領域的表面部分，且與上述射極連接之第 2 導電型的射極領域；及

形成於上述半導體基板與上述第 1 外延生長層與上述第 2 外延生長層的內部，供以電氣性地連接上述集極與上述導線框之射極導通部。

4．如申請專利範圍第 3 項所記載之半導體元件，其中上述射極導通部係由：

高濃度的第 1 導電型的半導體基板；及

形成於上述第 1 外延生長層之高濃度的第 1 導電型的射極埋入領域；及

形成於上述第 2 外延生長層之高濃度的第 1 導電型的射極引出領域而構成者。

5．如申請專利範圍第 3 或 4 項所記載之半導體元件，其中上述射極係具有：

電氣性地導通上述射極領域之多晶矽層；及

覆蓋於此多晶矽層上之配線層；

並且，使該配線層的一端側電氣性地導通上述射極導通部。

6．一種半導體裝置，係屬於一種將具有複數的電極之半導體元件載置於導線框之半導體裝置，其特徵為：將於內部形成供以電氣性地連接上述電極中的 1 個電極與上

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

述導線框間的導通部之半導體元件予以載置於上述導線框上，然後電氣性地導通上述 1 個電極與上述導線框，藉此來取代用以連接上述 1 個電極與上述導線框之接合線。

7. 一種半導體元件的製造方法，其特徵係具備有：

在第 1 導電型的半導體基板上形成第 1 導電型的第 1 外延生長層之工程；及

在上述第 1 外延生長層形成高濃度的第 1 導電型的射極埋入領域之工程；及

在上述第 1 外延生長層形成高濃度的第 2 導電型的集極埋入領域之工程；及

在上述第 1 外延生長層上形成第 2 導電型的第 2 外延生長層之工程；及

在上述第 2 外延生長層形成高濃度的第 2 導電型的集極引出領域之工程；及

在上述第 2 外延生長層形成高濃度的第 1 導電型的射極引出領域之工程；及

在上述第 2 外延生長層形成第 1 導電型的基極領域之工程；及

在上述第 2 外延生長層的上述基極領域中形成第 2 導電型的射極領域之工程；及

形成連接於上述集極引出領域的集極之工程；及

形成連接於上述基極領域的基極之工程；及

形成連接於上述射極領域與上述射極引出領域雙方的射極之工程。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

8. 一種半導體裝置的製造方法，其特徵係具備有：

將申請專利範圍第7項所記載之半導體元件予以接合於射極導線框之工程；及

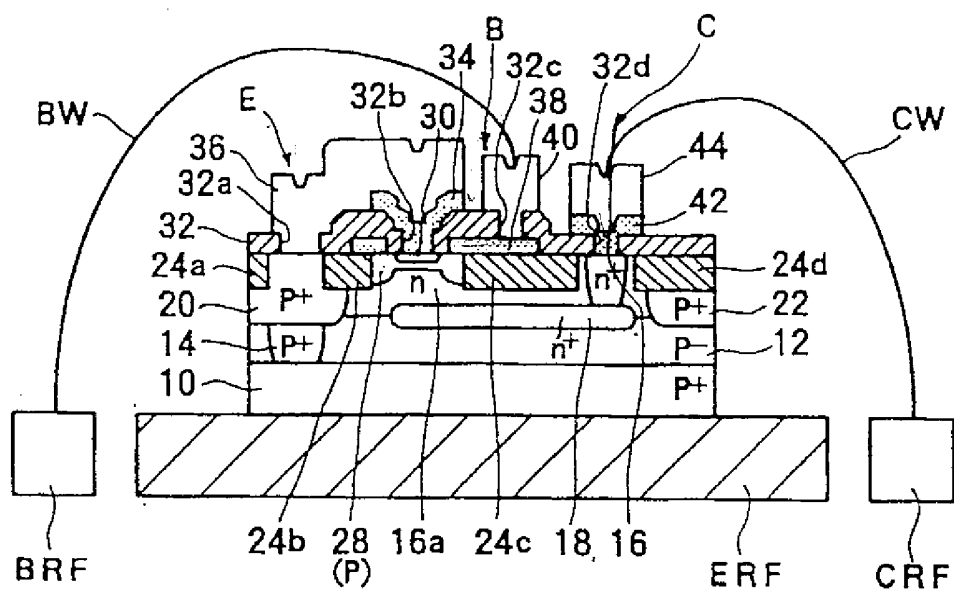
以導線來接合上述基極與基極導線框之工程；及

以導線來接合上述集極與集極導線框之工程。

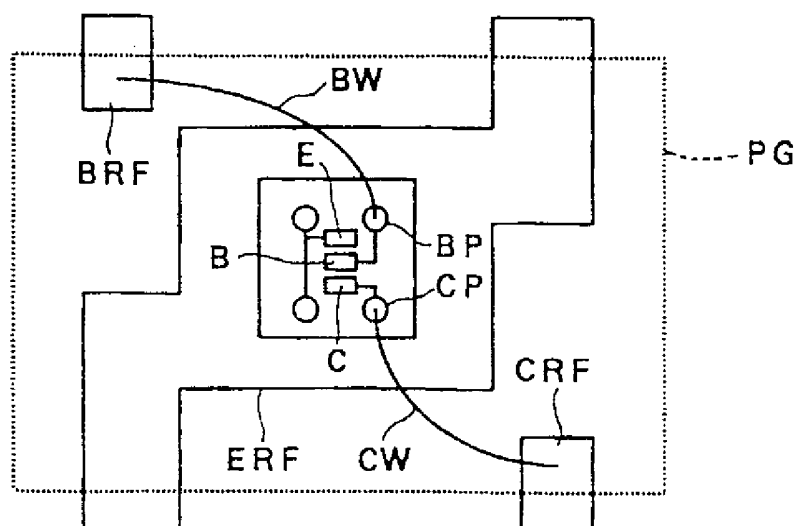
(請先閱讀背面之注意事項再填寫本頁)

裝

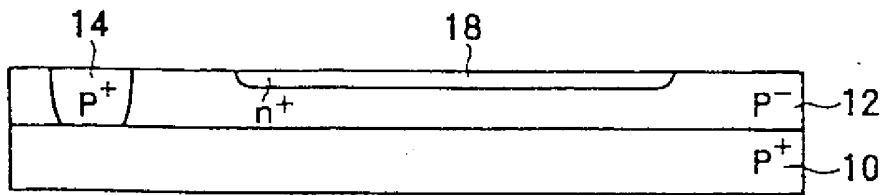
訂



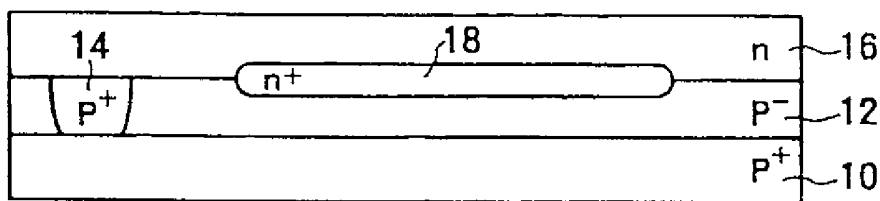
第1圖



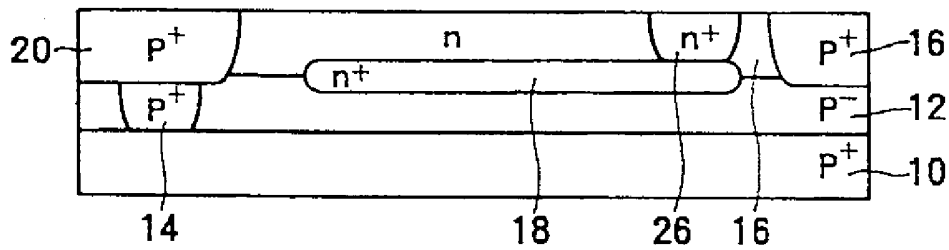
第2圖



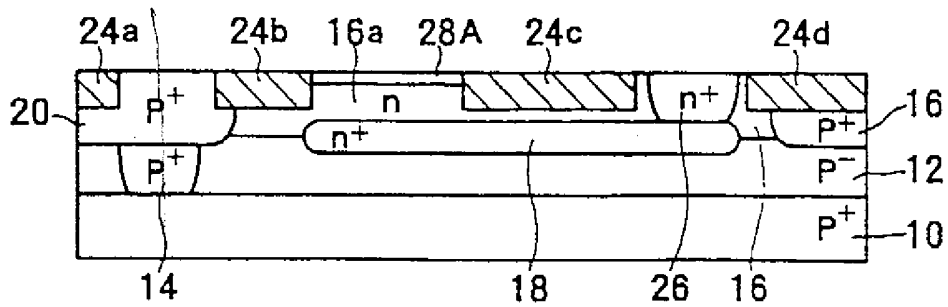
第 3 圖



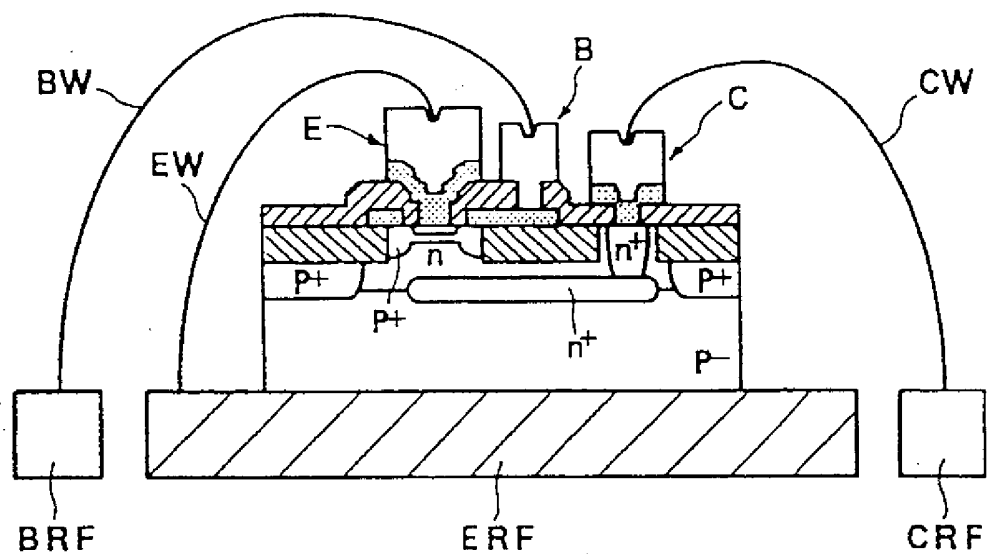
第 4 圖



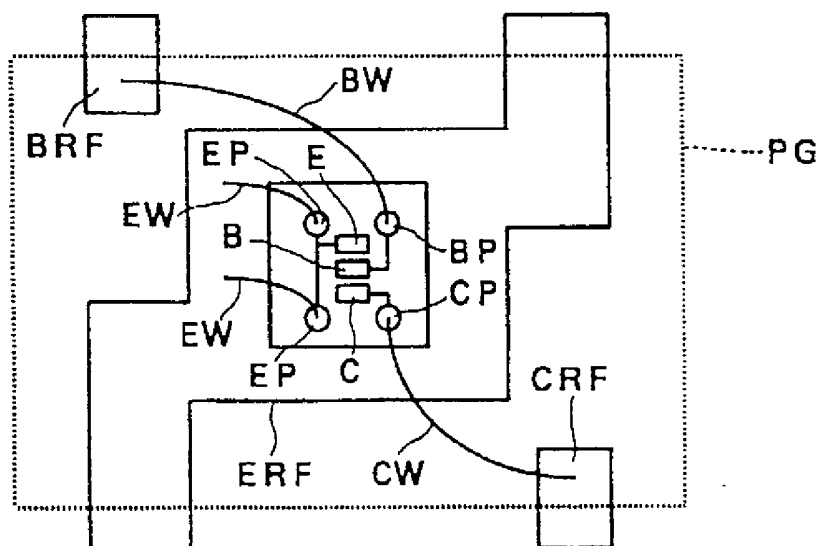
第 5 圖



第 6 圖



第11圖



第12圖