I511461

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I511461 B**

(45)公告日： 中華民國 104 (2015) 年 12 月 01 日

(21)申請案號：101120692 (22)申請日： 中華民國 101 (2012) 年 06 月 08 日

(51)Int. Cl.： *H03K5/13 (2014.01)* *H03K17/16 (2006.01)*

(30)優先權：2011/06/08 美國 13/155,922

2011/06/08 美國 13/155,945

2011/06/08 美國 13/155,971

2011/06/08 美國 13/155,993

(71)申請人：線性科技股份有限公司 (美國) LINEAR TECHNOLOGY CORPORATION (US)
美國

(72)發明人：湯瑪斯大衛M THOMAS, DAVID M. (US)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

US 6414356B1 US 6448615B1

US 7936187B1 US 2003/0052717A1

US 2007/0146018A1

審查人員：劉明諭

申請專利範圍項數：7 項 圖式數：12 共 72 頁

(54)名稱

用於增進以半導體為基礎之取樣系統之效能的系統與方法（一）

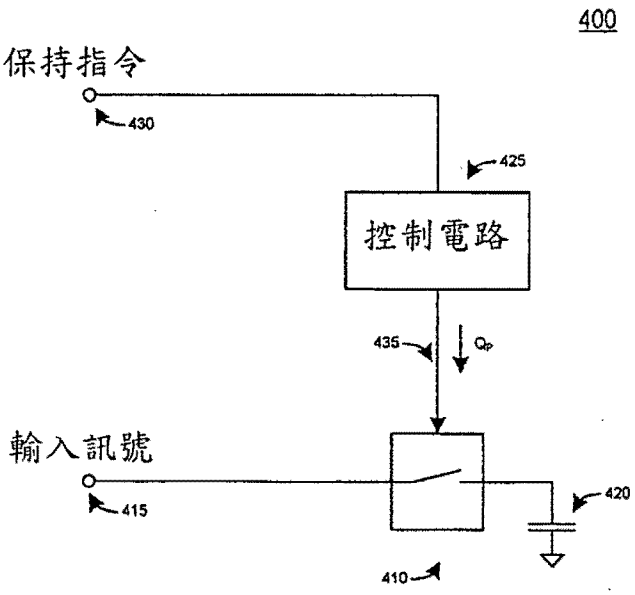
SYSTEM AND METHODS TO IMPROVE THE PERFORMANCE OF SEMICONDUCTOR BASED SAMPLING SYSTEM (1)

(57)摘要

本發明提供增進電子取樣系統效能的電路與方法。相關於取樣半導體開關的阻抗在取樣狀態期間被維持為實質上固定，至少部分藉由補償所遭遇到的輸入訊號變異，以將相關聯於通過取樣開關之所取樣訊號的訊號失真減少或最小化。

Circuits and methods that improve the performance of electronic sampling systems are provided. Impedances associated with sampling semiconductor switches are maintained substantially constant during sample states, at least in part, by compensating for encountered input signal variations in order to reduce or minimize signal distortion associated with sampled signals that pass through the sampling switch.

400・・・取樣電路
410・・・取樣開關
415・・・輸入終端
420・・・儲存部件
425・・・控制電路
430・・・指令節點
435・・・控制終端
Q_P・・・預定電荷



第 4 圖

I511461

公告本

發明專利說明書

（本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫）

※ 申請案號：101120692

※ 申請日期：101 年 6 月 8 日　　※IPC 分類：H03K 5/13 (2014.01)
H03K 17/16 (2006.01)

一、發明名稱：（中文/英文）

用於增進以半導體為基礎之取樣系統之效能的系統與方法（一）/
SYSTEM AND METHODS TO IMPROVE THE PERFORMANCE OF SEMICONDUCTOR BASED SAMPLING SYSTEM (1)

二、中文發明摘要：

本發明提供增進電子取樣系統效能的電路與方法。相關於取樣半導體開關的阻抗在取樣狀態期間被維持為實質上固定，至少部分藉由補償所遭遇到的輸入訊號變異，以將相關聯於通過取樣開關之所取樣訊號的訊號失真減少或最小化。

三、英文發明摘要：

Circuits and methods that improve the performance of electronic sampling systems are provided. Impedances associated with sampling semiconductor switches are maintained substantially constant during sample states, at least in part, by compensating for encountered input signal variations in order to reduce or minimize signal distortion associated with sampled signals that pass through the sampling switch.

四、指定代表圖：

（一）本案指定代表圖為：第（ 4 ）圖。

（二）本代表圖之元件符號簡單說明:

400	取樣電路		
410	取樣開關	415	輸入終端
420	儲存部件	425	控制電路
430	指令節點	435	控制終端
Q_P	預定電荷		

五、本案若有化學式時，請揭示最能顯示發明特性的化學式：

無

六、發明說明：

對相關申請案的交叉引用

本申請案係相關於與本申請案共同申請的美國專利申請案第 13/155,993 號、第 13/155,922 號與第 13/155,945 號，該等申請案具有共同的發明名稱、申請人且共同轉讓。

【發明所屬之技術領域】

本發明係關於電子取樣系統。更特定言之，本發明係關於藉由減少訊號失真來增進電子取樣系統之效能的電路與方法，訊號失真常見地相關聯於此種系統的電子實施。

【先前技術】

取樣系統被廣泛地應用於電子應用中。例如，取樣系統常見於流行的電子裝置中，諸如 MP3 撥放器、DVD 撥放器以及蜂巢式電話。其他流行的取樣系統用途，包含相關於資料獲取、測試與量測，以及控制系統應用的用途。更特定言之，取樣系統以及以取樣為基礎的科技，可見於用以建置此種裝置的電子部件中，電子部件包含類比數位轉換器、切換電容網路、訊號獲取電路系統、比較器以及其他者。

在一些應用中，取樣系統採用取樣保持（sample and

hold）電路，取樣保持電路取樣電壓，並將電壓維持在儲存裝置中，而使另一電路可量測或觀察所獲取的電壓。然而，如已知於本發明領域中，僅僅是取樣所感興趣之訊號的步驟，即會給予一些失真量至所取樣的訊號。

由取樣電路系統中的部件所產生的訊號失真，傾向於限制輸入訊號的可用電壓與頻率範圍。此種失真可由各種因素產生，諸如取樣保持電路中的開關的非線性電阻值特性、與關斷（turnoff）臨限值相關聯的效應、體效應（bulk effect）、開關比例匹配變異與製程變異等等。失真亦可由取樣電路中開關的寄生電容、取樣電路中開關所造成的訊號相依電荷注入（charge injection）、流過輸入源電阻的非線性負載電流等等造成。

第 1 圖圖示典型的先前技術取樣保持電路 100。取樣保持電路 100 一般而言包含開關 110（諸如電晶體或傳輸閘），開關 110 耦合在輸入終端 115 與儲存裝置（諸如取樣電容器 120）之間。開關 110 的阻抗可透過開關阻抗控制終端 135 來控制，在「關閉」訊號施加至終端 135 時，終端 135 允許開關 110 操作為「開路」（亦即具有非常大的阻抗），或者在「開啟」訊號施加至終端 135 時，終端 135 允許開關 110 操作為「短路」（亦即具有非常小的阻抗）。

在開關 110（例如）被實施為 N 通道 MOS 電晶體時，在高於開關 110 的傳導臨限值的電壓被施加於開關 110 的控制節點（諸如閘極）時開關 110 為開啟，而在低於

開關 110 的傳導臨限值的電壓被施加於開關 110 的閘極時開關 110 為關閉。如已知於本發明領域，開關 110 被開啟或關閉的程度，係相依於施加於開關 110 控制節點的訊號的量值。因此（例如），可施加恰於傳導臨限值之上的訊號至開關 110 的控制節點而開啟開關 110，但可藉由施加較大的電壓來更完整地開啟開關 110 而增進傳導性特性。相反的，若控制電壓降至傳導性臨限值以下，則開關 110 可被關閉。

在作業中，時變輸入訊號被施加至輸入終端 115。控制電路 125 耦合於指令終端 130 與控制終端 135 之間。控制電路 125 回應於施加於指令節點 130 的外部保持指令訊號，將開關阻抗調變於高（關閉）與低（開啟）之間。

取樣保持電路 100 具有兩個個別的狀態，該兩個個別的狀態通常稱為取樣狀態與保持狀態。在取樣狀態中，開關 110 為開啟（亦即，在輸入終端 115 與取樣電容器 120 之間呈現低阻抗），因此強迫取樣電容器 120 上的訊號跟隨輸入訊號。在保持狀態中，開關 110 為「關閉」（亦即，在輸入終端 115 與取樣電容器 120 之間呈現高阻抗），因此在電容器 120 上的訊號被維持在訊號的先前位準，且在電容器 120 上的訊號實質上不相依於輸入訊號。

如已知於本發明領域，可使用各種電子與機電部件來實施開關 110，包含（但不限於）繼電器、電樞開關，

以及各種形式的電晶體（包含雙極性接面電晶體（BJT）、場效電晶體（FET）等等）。

然而，已知的取樣保持電路（類似於上文所說明者），受到各種缺點與缺陷的不良影響。例如，因為相關聯於實體部件實施的一些性質，取樣狀態的開關阻抗時常不夠低而無法達成最佳的訊號傳輸，或開關阻抗可隨著輸入訊號的量值變化。此可（至少部分地）因為施加至開關 110 控制節點的訊號不夠完整地開啟電晶體，或由於輸入訊號量值的改變，訊號相對於裝置傳導臨限值的關係變化而發生。

所產生的在取樣狀態中的不良影響，為儲存於電容器 120 上的電壓訊號將不同於施加於輸入終端 115 的輸入訊號。再者，儲存於電容器 120 上的電壓訊號與輸入訊之間的差異，可為對於輸入訊號瞬時值的函數。因此，在保持狀態期間所獲取的訊號將為不精確的輸入訊號代表，且任何隨後的訊號處理方塊將被該等不精確度影響。隨著輸入訊號的最大頻率提昇，此種訊號失真變得越來越顯著，且此種訊號失真的量值變得與可用的電力供應範圍相當。

高速取樣資料系統（諸如類比數位轉換器）的效能，係敏感於在循序的取樣作業的時間區間之間的變異。此變異可稱為取樣抖動（jitter）。取樣抖動的成分為時間延遲的變異，該時間延遲從外部保持指令確立於指令終端 130 之時刻，至開關 110 進入保持狀態（亦即關閉）

之時刻。控制電路 125 通常需要有限的時間區間來產生控制訊號，控制訊號將把開關阻抗從取樣值調變成保持值。若發生此轉變的臨限值相依於輸入訊號，則會產生取樣抖動。因此，一般而言希望將輸入訊號對開關控制訊號轉變臨限值的影響最小化。

在克服取樣抖動缺點的一種方式中，使用 CMOS 傳輸閘來建置取樣開關。然而，使用其中輸入訊號範圍相當於可用電力供應的此實施，讓在取樣狀態期間內的等效開關阻抗變異變得顯著，並隨著輸入訊號頻率提昇而引入提昇的失真量。

de Wit 於美國專利第 5,170,075 號中說明嘗試解決此問題的一種早期作法。如第 2 圖所圖示（為 de Wit 所提出之電路的一般代表），輸入訊號 215 被直接連接至控制電路 225 並且輸入訊號 215 透過開關 210 耦合至取樣電容器 220。該開關 210 係使用 MOSFET 裝置來建置。控制電路 225 回應於外部保持訊號 230 經由控制終端 235 控制開關阻抗，並且控制電路 225 使用一組推升電容器（未圖示），推升電容器經耦合以產生預選定電壓 V_P，在取樣狀態中預選定電壓 V_P 被疊加至輸入電壓上。所產生的複合電壓被用以在取樣狀態中控制開關阻抗。因此，在取樣狀態中，開關 210 被使用固定的閘極對通道電壓來控制，此舉減少了相依於輸入訊號的開關阻抗變異。此外，在取樣狀態與保持狀態之間的轉變臨限值係由 V_P 的量值決定，且該轉變臨限值係實質上獨立於輸入

電壓。

美國專利第 5,500,612 號與第 6,118,326 號呈現其他克服與已知取樣電路相關聯之缺陷的嘗試。此兩專利案所說明的電路包含透過額外開關耦合至敏感輸入終端的大量電路系統。所提出的該等配置的一種不良結果，為在輸入處的訊號相依負載的提昇，以及在取樣狀態與保持狀態之間轉變期間內的不良反沖（kick-back）訊號。由於外部輸入訊號驅動器的有限阻抗，額外的訊號相依負載，可轉譯成提昇的訊號失真。

再者，反沖訊號在預選定 V_P 電壓疊加至輸入訊號上時出現（部分因為在真實實施中呈現的各種阻抗）。該等訊號對外部輸入訊號驅動器呈現更為困難的安定時間需求，因此提昇了電力消耗與成本。此外，在閘極對通道電壓特性稍微增進的同時，通道對體極的電位仍隨著變化的輸入訊號而改變。因此，因為開關裝置的體效應，在取樣狀態期間的開關阻抗持續變化。類似的，轉變臨限值亦相依於開關裝置體效應。

Maes 等人在美國專利第 6,329,848 號中呈現另一克服與已知取樣電路相關聯之缺陷的作法，此作法採用一些已知的隔離技術以減少輸入處的負載。更特定言之，如圖示於第 3 圖（為 Maes 等人所提出之電路的一般代表），使用專屬緩衝放大器 345 來隔離控制電路 325 與輸入終端 315。使用 MOSFET 裝置來實施開關 310，開關 310 的源極與汲極終端耦合至輸入終端 315 與取樣電容

器 320。閘極終端 335 與體極終端 340 皆由控制電路 325 驅動。

第 3 圖的電路以作為由緩衝器 345 重製之輸入訊號的函數，來個別地控制閘極對通道電壓與通道對體極電壓，以減少在取樣狀態期間內的開關阻抗變異。此外，緩衝放大器 345 傾向於減少輸入終端的不良負載。然而，此作法持續受到各種缺點的不良影響。例如，儘管與其他實施相較之下減少了負載，但此實施仍在輸入終端加入一些負載，而給予一些失真量至輸入訊號。再者，此作法需要使用專屬緩衝放大器，此專屬緩衝放大器具有良好安定時間特性與可忽略之群組延遲，此放大器的製造是相當昂貴的。

因此，由上文可知，想要提供藉由減少訊號失真來增進電子取樣系統之效能的電路系統與方法，訊號失真常見地相關聯於此種系統的實體實施。

【發明內容】

本發明相關於操作於至少一取樣狀態與一保持狀態的取樣電路，包含：輸入終端，該輸入終端接收時變輸入訊號；以及半導體開關，該半導體開關如由施加至控制終端的電荷量所指示，而操作於至少一非傳導模式與一傳導模式中，該半導體開關係耦合於該輸入終端與輸出終端之間，可在體極偏壓終端存取該半導體開關的體

極；控制電路，該控制電路耦合至該控制終端，並可操作以選定該半導體開關的操作模式；以及體極偏壓電路，該體極偏壓電路耦合於該體極偏壓終端與該輸入終端或該輸出終端之間，在取樣狀態與保持狀態兩者中，該體極偏壓電路在該等終端之間維持經預定且實質上固定的體極偏壓電壓差。

【實施方式】

第 4 圖圖示根據本發明之原則來建置的取樣電路 400。如第 3 圖，第 4 圖的取樣電路一般而言包含控制電路 425、取樣開關 410、電容器或其他適合的儲存部件 420、指令節點 430、開關控制終端 435 以及輸入終端 415。在此範例中，儲存部件 420 為電容器（雖然亦可依所需使用其他適合的儲存部件）。

與第 1 圖至第 3 圖所圖示的取樣電路相較之下，取樣電路 400 所增進的一個方面，為大量地減少或消除了所有連接至敏感輸入終端 415 的額外電路系統。在一些具體實施例中，耦合至輸入終端的此種剩餘電路系統在取樣模式期間（剩餘電路系統的存在在此時最為不良）可被斷開（於下文更進一步討論）。如第 4 圖所圖示，控制電路 425 係耦合於指令節點 430 與取樣開關 410 的控制終端 435 之間。

第 4 圖亦圖示取樣開關 410 為耦合於輸入終端 415 與

電容器 420 之間。開關 410 的阻抗係由控制電路 425 控制，如由施加至指令節點 430 的外部保持訊號決定。

類似於圖示說明於第 1 圖至第 3 圖中的先前技術電路，電路 400 可操作於至少兩個不同的模式：取樣模式與保持模式。在取樣模式中，取樣開關 410 的阻抗為低，且因此在節點 415 的輸入訊號被典型地施加至電容器 420。在取樣模式中，電路 400 可操作如下。輸入訊號可被施加至輸入終端 415。諸如保持訊號的指令訊號隨後可被施加（或切換）於指令節點 430，使控制終端 435 上的訊號開啟取樣開關 410。

一般而言，控制電路 425 產生預定電荷 Q_P，並將 Q_P 施加至取樣開關 410。此預定電荷對取樣開關 410 產生實質上固定的閘極對源極控制電壓，而使取樣開關的阻抗被維持在實質上固定的位準，此位準可基於開關 410 的開啟特性來預先決定。為了圖示說明之目的，假定 Q_P 被選定為使取樣開關 410 中的傳輸路徑的阻抗相對於輸入訊號保持為最小化（亦即實質上固定）。此設置允許終端 415 的輸入訊號將電容器 420 充電至輸入訊號的值，而不會受到與開關阻抗變化相關聯的失真的不良影響。

在一些具體實施例中，可提供保持指令，而使電路 400 被維持在取樣狀態或保持狀態，並僅在此兩狀態中切換。例如，保持指令可為來自內部或外部源的邏輯高或邏輯低訊號，而將電路 400 置於此兩模式中的一者。此可被完成以防止指令節點 430 為「浮接」，浮接可將電路

400 置於不確定狀態。

再者，在一些具體實施例中，可考慮取樣開關 410 的開啟特性來選定預定電荷 Q_P，而能實質上達成並維持電路設計者所需的開關阻抗，即使相對於變化的輸入訊號。例如，可考慮輸入訊號選定 Q_P 值，以在取樣模式中的同時將開關阻抗最小化，並藉以將在所獲取輸入訊號上的失真最小化或消除。

在其他具體實施例中，控制電路 425 亦可包含已知電路系統（未圖示）以調整 Q_P 來處理開關特性中的生產變異，或處理由於部件老化、溫度變異、電力供應變異等等所造成的改變。

在取樣開關 410 被開啟時，在輸入終端 415 的訊號被施加至電容器 420，電容器 420 儲存代表訊號量值的值。在傳統取樣保持電路中，電容器 420 以集成於電容器上板之電荷的形式，來儲存任何輸入訊號的量值。儲存在電容器 420 上的電壓隨後可被量測，或該電壓隨後可依所需被觀察並處理。

在較佳的具體實施例中，取樣週期的持續時間足以讓輸入訊號安定，並確保正確地獲取輸入訊號。然而，如將從上文中瞭解，取樣開關 410 可保持開啟，只要保持訊號如此指示取樣開關 410。在此種具體實施例中，取樣週期的持續時間可由保持訊號控制。在其他具體實施例中，取樣狀態可由電壓維持，該電壓儲存在與開關 410 相關聯之特定電容上，直到在轉變至保持狀態時控制終

端 435 被放電。

如圖所示，較佳的是輸入終端不被連接至任何負責在取樣模式期間切換取樣開關 410 開啟與關閉的電路系統。如此，節點 415 處的輸入訊號不經歷任何與電路 400 中電路系統相關聯的不良的負載（除了與電容器 420 與開關 410 相關聯的負載以外），藉以減少訊號失真。再者，取樣開關 410 的通道阻抗被由預定電荷 Q_P 維持為實質上固定，允許輸入訊號實質上不被改變而傳送，進一步增進了電容器 420 所獲得取樣的品質。

在已獲得取樣之後，電路 400 可從取樣模式切換至保持模式。達成此舉的一種方式為將施加於指令節點 430 的保持訊號反相。此可涉及將保持訊號從邏輯高改變成邏輯低（或相反），取決於電路 400 中電路部件的特定實施。

選擇一種慣例以供圖示說明目的，假定保持訊號從邏輯低（取樣模式）改變成邏輯高（保持模式）。當此發生時，開關 410 被關閉，而使輸入訊號與電容器 420 斷開。當此發生時，控制電路 425 可將開關 410 的閘極放電，並且控制電路 425 可將閘極連接至地或其他適合的關閉狀態控制位準。此將開關 410 關閉，將開關 410 與在節點 415 的輸入訊號斷開，且因此將電容器 420 與輸入訊號隔離，將電路 400 置於保持模式中。

現將參照第 5 圖，第 5 圖圖示根據本發明原則所建置的一種可能的實施 500。電路 500 在一些方面類似於第 4

圖所說明的電路，且電路 500 一般地包含已被類似地編號以標註類似的功能性與一般對應性的部件與功能方塊。例如，電路 500 包含儲存電容器 520（第 4 圖中的電容器 420）、輸入終端 515（第 4 圖中的輸入終端 415）、取樣開關 510（第 4 圖中的取樣開關 410）、控制電路 525（第 4 圖中的控制電路 425）以及指令節點 530（第 4 圖中的指令節點 430）。

如圖所示，若必要，電路 500 可包含如下文所討論的電荷幫浦（charge pump）570。控制電路 525 可包含經控制電流源 554、開關 528 與時序電路 551。在此實例中，開關 528 可為 MOSFET 電晶體、傳輸閘或其他適合的半導體裝置。亦圖示於此具體實施例中的是，時序電路 551 可為單擊（one-shot）電路，然而可依所需使用其他適合的時序電路，諸如閂鎖器、正反器、比較器、暫態網路、時脈，或以上之組合。時序電路 551 在時序電路 551 的控制輸入處由高至低的訊號轉變觸發。

類似於第 4 圖的電路 400，電路 500 可操作於至少兩個模式：取樣模式與保持模式。因此，電路 500 可依下文所述操作。邏輯高訊號可被施加至指令節點 530。此訊號開啟開關 528，因此將控制節點 535 放電並關閉開關 510。此舉將在節點 515 的輸入訊號與電容器 520 斷開，隔離電容器 520 並將電路 500 置於保持狀態中。

為了從保持狀態轉變成取樣狀態，在指令節點 530 處的保持訊號被從邏輯高切換成邏輯低。此舉關閉開關

528，並且此舉使單擊電路 551 產生時序脈衝（例如於在觸發輸入處偵測到邏輯高至低轉變時，所產生之相當短持續時間的邏輯高或邏輯低訊號），將電流源 554 開啟持續時間 T_p。在開啟時，經控制電流源 554 產生輸出電流 I_p。

因此，預定電荷 $Q_p=I_p*T_p$ 被施加至開關 510 的閘極。此舉使在閘極處的電壓上升，傾向於開啟開關 510，將電路 500 從保持狀態轉變成取樣狀態。

如已知於本發明領域，在開關 510 閘極處的電壓上升至超過開關 510 的開啟臨限值時（相對於通道電位），與 MOSFET 開關 510 相關聯的閘極對通道電容 511（以虛線繪製的電容器）開始產生。一般而言，在操作於此區域的同時，MOSFET 開關 510 的閘極作為非線性電容器，同時閘極對通道電容 511 隨著閘極與通道之間的電壓差增加而提昇。電容 512（代表亦可存在於控制節點 535 處的寄生電容）吸收由電流源 554 提供的電荷的一些，此舉不良地使開關 510 的阻抗變化。

然而，可基於諸如製造材料與製程類型、大小與形狀等等的因素，來決定與 MOSFET 開關 510 相關聯的閘極對通道電容 511 的量，並依此選擇時間週期 T_p 或輸出電流 I_p 的值（或兩者）。因此，MOSFET 開關 510 完全開啟所需的電荷量，可被計算為在開關 510 閘極與源極之間產生完全開啟電壓 V_{ON} 所必需的電荷值 Q_p。在一些具體實施例中，亦可在計算中包含任何寄生電容 512 以獲

得非常精確的 V_{ON} 值。在特定的實施中，寄生值可基於一些因素而變化，該等因素包含電路佈局、材料特異性以及任何輔助電容性接面。

藉由在開啟 MOSFET 開關 510 時提供適當的電荷量以控制路徑 535，係可能大量地減少或消除在電路 500 於取樣模式中的同時所遭遇到之與變化開關阻抗相關聯的訊號失真。可藉由確保在 MOSFET 開關 510 閘極與源極間產生電壓 V_{ON} 時，由電流源 554 所傳遞的電荷量實質上等於由閘極對通道電容 511(稱為 Q_p)與寄生電容 512 所吸收的電荷，來達成此目標。

因此，可達成此的一種方式為決定由電流源 554 (I_p) 產生的瞬時電流的量，並將彼值乘上由時序電路 551 產生之脈衝的時間週期 (T_p)，以獲得總和電荷值 (Q_p)。一旦已獲得電荷值，則可調整脈衝的時間週期 (T_p) 或電流源 554 的值(或兩者)，來確保 Q_p 被施加至 MOSFET 開關 510 的閘極，以在取樣狀態期間獲得實質上固定的開關阻抗。此調整可在設計時考慮所需的開關 510 性質與寄生電容 512 值來做成，或此調整可在製造時做成(使用已知的修整技術)，或此調整可在電路 500 作業期間內做成(使用已知的追蹤技術，諸如複製及/或比例控制電路監視器)，或由任何以上方式的結合來做成。例如，時序電路 551 可藉由監視裝置(實質上複製了開關 510 及/或控制終端 585 的性質) 的閘極電容與寄生電容，來調整時序脈衝持續期間 T_p。

一般而言，時常需盡量快地將 Q_P 施加至開關 511，以加速存在輸入節點 515 處之輸入訊號的獲取。此舉可被完成以（例如）增進電路 500 的取樣率。因此在一些具體實施例中，可需配置電流源 554 以提供適當位準的電流，而相當快地（或盡量快地）獲得實質上固定的阻抗。例如，如已知於本發明領域中，可藉由監視裝置（實質上複製開關 510 及/或控制終端 585 之性質）的閘極電容與寄生電容，來選擇由電流源 554 產生的電流。

一旦電流源 554 關閉，給予控制終端 535 的電壓將相對於輸入訊號保持為實質上固定（直到保持訊號再次切換，而所儲存的能量透過開關 528 散逸）。

再者，在一些情況中，在取樣週期期間內施加至電晶體 510 閘極的相關聯電壓，可需要大於軌電壓 V_{DD}，以容納較寬範圍的輸入訊號。可完成此的一種方式為採用電荷幫浦或其他已知於本發明領域中的電壓倍增電路，以將電路 500 中的一些能量儲存元件充電。例如，如圖示於第 5 圖，電荷幫浦 570 可耦合至電流源 528。在一些具體實施例中，電荷幫浦 570（可包含充電至適合電壓，並以循序的串聯與並聯配置來連接而提升總和電壓的一或多個電容器）可耦合至指令節點 530。因此，在來自時序電路 551 的脈衝被電流源 554 接收時，電流源 554 可開啟，建立通過電流源 554（及/或電荷幫浦 570）的電流路徑，電流路徑將所儲存的能量傳導至開關 510 閘極，使開關 510 開啟。此設置允許開關 510 快速地被

開啟，且對於廣泛的輸入訊號位準範圍具有足夠的能量以將 MOSFET 開關 511 的阻抗維持在所需位準（例如實質上固定）。

在此實施內，在電荷幫浦 570 中的能量儲存裝置的大小與容量可被計算，以提供至少適當的 Q_P 值以實質上瞬時地完全開啟 MOSFET 開關 510，而使開關阻抗被維持為實質上固定，在一些具體實施例中開關阻抗可為最小開關阻抗，增進取樣電路 500 的精確度。

將瞭解到，取決於所需輸入訊號範圍的量值、可用電力供應 VDD 的量值、所利用的半導體裝置的特性、所需的取樣頻率與取樣安定時間（與其他類似的因素），電荷幫浦 570 可或不可必需存在於取樣電路 500 中。再者，在存在時，電荷幫浦 570 可持續地操作，獨立於取樣電路 500 的狀態（取樣或保持）或依所需操作，如由保持指令訊號 530 導引（且由第 5 圖的虛線連結指示）。

現參照第 6 圖，圖示根據本發明原則所建置的另一可能的特定實施 600。類似電路 400，電路 600 亦在一些方面類似於第 4 圖所說明的電路，並且電路 600 一般地包含已被類似地編號以標註類似的功能性與一般對應性的部件與功能方塊。例如，電路 600 包含指令節點 630（第 4 圖中的指令節點 430）、控制節點 635（第 4 圖中的控制節點 435）、取樣開關 610（第 4 圖中的取樣開關 410）、控制電路 625（第 4 圖中的控制電路 425）以及電容器 620（第 4 圖中的電容器 420）等等。

如圖所示，控制電路 625 可包含電荷轉移開關 631、放電開關 628 與電荷產生器 650。額外的裝置 629 與 632 各別限制跨開關 628 與 631 的電壓且額外的裝置 629 與 632 可或不可被包含，取決於該等裝置（628 與 631）的操作範圍。電荷產生器電路 650 可包含電晶體 656、657、658 與 659、反相器 652 以及時序電路 651。在此實例中，時序電路 651 可為單擊電路，但可依所需使用其他已知的電路，諸如正反器、邏輯閘、電晶體等等來實施下文所說明的時序順序。時序電路 651 由在時序電路 651 控制輸入處的高至低訊號轉變觸發。可由另一電源或（如圖示於第 6 圖中）由電荷幫浦 670 來提供呈現在軌 671 上的電壓位準 V_{CP}，電荷幫浦 670 的功能性類似於第 5 圖的電荷幫浦 570。

如上文所述，電路 600 操作於至少兩個模式：取樣模式與保持模式，並且電路 600 可操作如下文所述。可施加邏輯高訊號至指令節點 630 的輸入處。此訊號較佳地具有足夠的量值以開啟電晶體 628，而將控制節點 635 與開關 610 的閘極放電，關閉開關 610。此將節點 615 的輸入訊號與電容器 620 斷開，隔離電容器 620 並將電路 600 置於保持狀態中。

單擊電路 651 在保持模式中的輸出為邏輯低（接近地），此輸出使反相器 652 的輸出為邏輯高（接近 VDD），將開關 657 的閘極驅動為高（透過連接成電容器的電晶體 659）。此舉開啟開關 657，允許連接成電容器的電晶

體 656 被充電到接近軌 671 的電位 V_{CP}。跨裝置 631 的汲極對閘極電壓為接近零，將開關 631 維持在關閉狀態中。

為了從保持狀態轉變成取樣狀態，在指令節點 630 處的保持訊號可被從邏輯高切換至邏輯低。此舉關閉電晶體 628，並且此舉使時序電路 651 產生短邏輯高脈衝（例如於在觸發輸入處偵測到邏輯高至低轉變時，所產生之具有相當短持續時間的邏輯高訊號），在反相器 652 輸出處產生短邏輯低脈衝。此允許連接成電容器的電晶體 656 透過開關 631 與電晶體 632 放電，因此將電晶體 656 所儲存的電荷經由控制終端 635 提供給開關 610，開啟開關 610。

提供給開關 610 的電荷量，可由電路設計者藉由控制連接成電容器的電晶體 656 與開關 610 的大小比例來指定。例如，可需提供經計算的電荷值 Q_P 給開關 610 的閘極，電荷值 Q_P 考慮開關 610 的閘極對通道電容（在第 6 圖中圖示為電容器 611）與任何寄生電容（在第 6 圖中圖示為電容器 612），該寄生電容由從電容器 656 行進至開關 610 閘極的電荷所遭遇。在傳送給控制終端 635 時，電荷 Q_P 產生自取樣開關 610 閘極至源極的開啟電壓 V_{ON}，因此設定取樣開關 610 的取樣模式阻抗。一旦所需提供給開關 610 的 Q_P 值被計算出，連接成電容器的裝置 656 的大小可經選定以提供 Q_P，而使開關 610 的阻抗被最小化並被維持為實質上固定。例如，裝置 656 的實

體實施可複製裝置 610、指令節點 635 以及相關聯的寄生電路元件的實體實施（或與該實體實施成比例）。

將瞭解到，雖然取樣電路 600 可使用將開關 610 阻抗最小化的 Q_P 值，但可使用其他值以獲得所需之任何適合的實質上固定阻抗（無論是否被最小化）。由電路 651 所產生的時序脈衝應被選定為允許將所需的電荷 Q_P 傳送至控制終端 635。

因為由連接成電容器之電晶體 656 所提供的電流脈衝的量值或持續期間（且代表電荷量值）不受輸入終端 615 處的電壓影響，取樣開關 610 的閘極將獲得閘極電荷，該閘極電荷實質上獨立於在輸入終端 615 處的電壓，而因此增進由電容器 620 所獲取之取樣的精確度。

再者，在電流脈衝關閉時，在時序電路 651 脈衝的終端處，在取樣開關 610 閘極處的電壓相對於訊號路徑將保持實質上固定，並且該電壓將獨立於輸入電壓。因此，開關 610 被控制，而不需增加在取樣模式期間連接至敏感輸入終端的任何額外的電路系統。

在電路 600 的一些實施中，相關聯於控制終端 635 的寄生電容 612 可使 MOSFET 610 的開啟阻抗輕微地變化，如對於施加至輸入節點 610 之輸入訊號的函數。此變化通常發生在 MOSFET 610 被開啟的當下。在控制終端 635 如需般安定於在輸入電壓（施加於輸入終端 615）之上的電壓 V_{ON} 處時，寄生電容 612 必需被充電至直接相依於輸入電壓的相同位準。因此，寄生電容 612 吸收

一小部分的電荷 Q_P，此小部分電荷隨著輸入電壓變化，而導致 V_{ON} 的最終值變化。例如，若初始地在開啟 MOSFET 610 之前施加兩伏特的輸入訊號至輸入節點 615（亦即 MOSFET 610 的源極），則在 MOSFET 610 閘極處的電荷將被偏移兩伏特源極電位。此偏移改變 MOSFET 610 的開啟位準（藉由被寄生電容器 612 吸收的電荷量），且因此此偏移改變 MOSFET 610 的阻抗，此舉可不佳地給予失真至任何被取樣的訊號。因為此偏移將如對輸入訊號之函數而變化，MOSFET 610 的阻抗亦可相對於輸入訊號來變化。

處理此問題的一種方式，為在透過開關 631 提供開啟電荷之前，提供預設閘極對源極初始化電壓給 MOSFET 610（且隱含地提供給寄生電容器 612）。此種初始化電壓可從輸入訊號導出，並且此種初始化電壓可在取樣模式開始時（但在訊號獲取之前，因此不影響獲取期間的輸入訊號）施加至 MOSFET 610 閘極。此允許 MOSFET 610 的閘極包含類似於（或相同於）隨後所取樣之訊號的電壓的初始化電壓，以完整或部分地偏移任何閘極對源極電壓差，並將瞬時阻抗變化最小化，藉以增進所取樣訊號的精確度。

第 7 圖圖示此種電路的一個較佳的具體實施例為電路 700。電路 700 在許多方面類似於第 6 圖所說明的電路，並且電路 700 一般地包含已被類似地編號以標註類似的功能性與一般對應性的部件與功能方塊。例如，電路 700

包含控制電路 725（第 6 圖中的控制電路 625）、電荷產生器電路 750（第 6 圖中的電荷產生器電路 650）、取樣開關 710（第 6 圖中的取樣開關 610）與電容器 720（第 6 圖中的電容器 620）、電荷幫浦電路 770（第 6 圖中的電荷幫浦電路 670）等等。

然而，電路 700 進一步包含閘極初始化電晶體 716 與 717，閘極初始化電晶體 716 與 717 由初始化控制電路 726 與初始化電荷產生器電路 780 控制（於下文詳細描述）。

如圖所示，控制電路 725 可包含電荷傳送開關 731、放電開關 728 以及電荷產生器 750。額外裝置 729 與 732 各別限制跨開關 728 與 731 的電壓，且額外裝置 729 與 732 可（或不可）被包含，取決於該等裝置（728 與 731）的操作範圍。電荷產生器電路 750 可包含電晶體 756、757、758 與 759、反相器 752 與時序電路 751。時序電路 751 係由低至高訊號轉變在時序電路 751 的控制輸入處被觸發。控制電路 725 與脈衝產生電路 750 的操作可相同於（或類似於）上文所說明的電路 625 與 650。

電路 700 進一步包含初始化控制電路 726 與初始化電荷產生器電路 780。如圖所示，初始化控制電路 726 可包含電荷傳送開關 741、放電開關 738 與電荷產生器 780。額外裝置 739 與 742 各別限制跨開關 738 與 741 的電壓，且額外裝置 739 與 742 可（或不可）被包含，取決於該等裝置（738 與 741）的操作範圍。初始化電荷

產生器電路 780 可包含電晶體 787 與 788、耦合為電容器的電晶體 786 與 789、反相器 782 以及時序電路 781。時序電路 781 係由高至低訊號轉變在時序電路 781 的控制輸入處被觸發。電路 726 與 780 的操作可相同於（或類似於）上文所說明的電路 725 與 750，除了電路 726 與 780 在不同的時間產生訊號以外（例如，電路 725 與 750 在取樣模式期間在輸入訊號正被取樣電容器 720 獲取時提供開啟訊號至 MOSFET 710，而電路 726 與 780 在獲取輸入訊號之前提供初始化訊號給電晶體 716 與 717，以將上文所說明的瞬時阻抗變化最小化或消除）。在一些具體實施例中，初始化訊號可被提供為如下文所述之取樣模式的起始部分，或者初始化訊號可作為替代地提供於保持模式期間。

如上文所述，電路 700 操作於至少兩個模式：取樣模式與保持模式，並且電路 700 可操作如下文。可施加邏輯高訊號至指令節點 730 的輸入。此訊號較佳地具有足夠的量值以開啟電晶體 728，電晶體 728 將控制節點 735 與開關 710 的閘極放電，關閉開關 710。此將節點 715 處的輸入訊號與電容器 720 斷開，隔離電容器 720，並將電路 700 置於保持狀態中。

單擊電路 781 在保持模式中的輸出為邏輯低（接近地），邏輯低輸出使反相器 782 的輸出為邏輯高（接近 VDD），將開關 787 的閘極驅動為高（透過連接成電容器的電晶體 789）。此開啟電晶體 787，允許連接成電容器

的電晶體 786 與電晶體 766 的源極被充電至軌 771 的電位 V_{CP}（軌 771 的電位 V_{CP} 可為由電荷幫浦 770 產生的提昇電壓）。

類似地，在電路 750 中，單擊 751 在保持模式中的輸出為邏輯低（接近地），邏輯低輸出使反相器 752 的輸出為邏輯高（接近 VDD），將開關 757 的閘極驅動為高（透過連接成電容器的電晶體 759）。此開啟開關 757，允許連接成電容器的電晶體 756 被充電至軌 771 的電位 V_{CP}（為由電荷幫浦 770 產生的提昇電壓）。由反相器 742 在保持模式中產生的邏輯高訊號開啟開關 738，將初始化電晶體 716 與 717 的閘極放電並關閉電晶體 716 與 717。

在電路 700 從保持狀態轉變至取樣狀態時，在指令節點 730 處的保持訊號可從邏輯高切換成邏輯低。此舉關閉電晶體 728，並且此舉觸發初始化控制電路 726 於取樣狀態的初始部分中。此使時序電路 781 產生短邏輯高脈衝（例如在偵測到於觸發輸入處的邏輯高至低轉變時所產生之具有相當短持續期間的邏輯高訊號），短邏輯高脈衝使反相器 782 輸出處產生短邏輯低脈衝。此允許連接成電容器的電晶體 786 透過開關 741 與電晶體 742 放電，因此將電晶體 786 所儲存的電荷提供給初始化電晶體 716 與 717 的閘極，並開啟電晶體 716 與 717。所以，MOSFET 710 的閘極被充電至追蹤節點 715 處輸入訊號的值。初始化裝置 716 與 717 的阻抗可由選擇該初始化

裝置 716 與 717 與耦合成電容器的裝置 786 之間的比例來控制。

在預定時間週期之後，單擊 781 的輸出返回邏輯低並開啟電晶體 738（透過反相器 782）。此舉將初始化電晶體 716 與 717 的閘極放電，並關閉電晶體 716 與 717，但此舉維持 MOSFET 710 閘極處的初始化電荷。

因此，在訊號獲取程序中的此時刻，MOSFET 710 的閘極包含初始化電荷，初始化電荷部分地或完整地偏移任何閘極對源極電壓差，將任何瞬時阻抗變化最小化（或實質上消除），藉以增進所獲取訊號的精確度。

在完成初始化電路 726 作業時，反相器 782 的輸出返回邏輯高狀態，對電路 751 產生上升邊緣觸發輸入，指示單擊電路 751 產生短邏輯高脈衝（例如在偵測到於觸發輸入處的邏輯低至高轉變時所產生之具有相當短持續期間的邏輯高訊號），短邏輯高脈衝在反相器 752 輸出處產生短邏輯低脈衝。此允許連接成電容器的電晶體 756 透過開關 731 與電晶體 732 放電，因此將電晶體 756 所儲存的電荷經由路徑 735 提供給開關 710（除了已提供的初始化電荷之外），因此開啟開關 710 並允許電容器 720 獲取輸入訊號。

連接成電容器的裝置 756 的大小，可連同於裝置 710 的大小來選擇，以建立在取樣狀態中所需的取樣開關阻抗。再者，如已知於本發明領域，裝置 756 的實體實施可複製裝置 710、指令節點 735 以及相關聯的寄生電路

元件的實體實施（或與該實體實施成比例），以供甚至較高層級的阻抗控制與追蹤。

此設置允許電路 700 補償相關於瞬時閘極對源極差的阻抗變化。再者，因為在節點 715 處的輸入訊號在訊號獲取期間內未被加載（例如驅動開關 710），在訊號取樣期間內的訊號失真被進一步減少。

第 8 圖圖示電路 700 的另一具體實施例為電路 800。此具體實施例藉由提供允許流動預定時間量的預定電流而產生預定電荷量，來產生所需的電荷量。電路 800 在許多方面類似於第 7 圖所說明的電路，並且電路 800 一般地包含已被類似地編號以標註類似的功能性與一般對應性的部件與功能方塊。例如，電路 800 包含控制電路 825（第 7 圖中的控制電路 725）、電荷產生器電路 850（第 7 圖中的電荷產生器電路 750）、初始化控制電路 826（第 7 圖中的初始化控制電路 726）、初始化電荷產生器電路 880（第 7 圖中的初始化脈衝產生電路 780）、取樣開關 810（第 7 圖中的取樣開關 710）、閘極初始化電晶體 816 與 817（第 7 圖中的閘極初始化電晶體 716 與 717）、取樣電容器 820（第 7 圖中的取樣電容器 720）、電荷幫浦電路 870（第 7 圖中的電荷幫浦電路 770）等等。

如圖所示，控制電路 825 可包含電流鏡電晶體 833 與 853，以及放電開關 828。額外裝置 829 與 832 各別限制跨開關 828 與電流鏡裝置 833 的電壓，且額外裝置 829 與 832 可或不可被包含，取決於該等裝置（828 與 833）

的操作範圍。電荷產生器電路 850 可包含經控制電流源，經控制電流源包含 MOSFET 電晶體 854 與電阻器 855 與時序電路 851。時序電路 851 係由在時序電路 851 控制輸入處的低至高訊號轉變來觸發。初始化控制電路 826 可包含電流鏡電晶體 843 與 883 以及放電開關 838。額外裝置 839 與 842 各別限制跨開關 838 與電流鏡裝置 843 的電壓，且額外裝置 839 與 842 可或不可被包含，取決於該等裝置（838 與 843）的操作範圍。電荷產生器電路 880 可包含經控制電流源，經控制電流源包含 MOSFET 電晶體 884 與電阻器 885、時序電路 881 以及反相器 882。時序電路 881 係由在時序電路 881 控制輸入處的高至低訊號轉變來觸發。控制電路 825 與初始化控制電路 826 的操作可相同於（或類似於）上文所說明的電路 725 與 726。

然而，電路 800 與電路 700 不同之處在於，電荷產生器電路 850 與初始化電荷產生器電路 880 將具有預定持續期間的電流脈衝作為電荷傳遞給電晶體 810、816 以及 817，而非來自電容器所儲存能量的放電。可藉由選定由電流源所提供之電流的量值，或由時序電路所產生的脈衝的寬度，或同時選定以上兩者，來界定所傳遞的電荷量（考量類似於先前連同第 5 圖電路 500 所說明者）。如上文所述，電路 800 可操作於至少兩個模式中：取樣模式與保持模式。

在作業中，可施加邏輯高訊號至指令節點 830。此訊

號較佳地具有足夠的量值以開啟電晶體 828，而將控制節點 835 與電晶體 810 閘極放電，以關閉開關 810。此將於節點 815 的輸入訊號與電容器 820 斷開，隔離電容器 820，並將電路 800 置於保持狀態中。

單擊電路 881 在保持模式中的輸出為邏輯低（接近地），邏輯低輸出使反相器 882 的輸出為邏輯高（接近 VDD），將開關 838 的閘極驅動為高。此開啟電晶體 838，將初始化電晶體 816 與 817 的閘極放電，而關閉初始化電晶體 816 與 817。在保持模式中，時序電路 881 與 851 的邏輯低輸出各別將電流源 884 與 854 的閘極放電，防止任何電荷被各別傳遞給控制終端 835 與初始化控制終端 836。

在電路 800 從保持狀態轉變至取樣狀態時，在指令節點 830 處的保持訊號可從邏輯高切換成邏輯低。此舉關閉電晶體 828 並且此舉觸發初始化控制電路 826 於取樣狀態的初始部分中。此使時序電路 881 產生短邏輯高脈衝（例如，在於觸發輸入處偵測到邏輯高至低轉變時所產生之具有相當短持續期間的邏輯高訊號），短邏輯高脈衝在反相器 882 輸出處產生短邏輯低脈衝，短邏輯低脈衝關閉電晶體 838。在時序電路 881 輸出處的邏輯高脈衝開啟電流源 884，電流源 884 允許電流透過由裝置 883 與 843 組成的電流鏡流入初始化電晶體 816 與 817 的閘極。因此，預定的電荷量被傳遞至初始化控制終端 836，開啟初始化電晶體 816 與 817。因此，MOSFET 810 的閘

極被充電至追蹤在節點 815 處之輸入訊號的值。

在預定時間週期之後，單擊 881 的輸出返回邏輯低，而關閉電流源 884 並開啟電晶體 838(透過反相器 882)。此舉將初始化電晶體 816 與 817 的閘極放電，而關閉電晶體 816 與 817，但此舉在 MOSFET 810 的閘極處維持初始化電荷。所傳遞給電晶體 816 與 817 閘極的電荷量，因此相依於由電晶體 884 產生的電流，連同於電阻器 885 與單擊 881 的時間常數，以上各者可由電路設計者選定以對電晶體 816 與 817 確保所需的開啟狀態阻抗。

因此，在訊號獲取程序中的此時刻，MOSFET 810 的閘極包含初始化電荷，初始化電荷部分地或完整地偏移任何閘極對源極電壓差，將任何瞬時阻抗變化最小化(或實質上消除)，藉以增進所獲取訊號的精確度。

在完成初始化電路 826 作業時，反相器 882 的輸出返回邏輯高狀態，對時序電路 851 產生上升邊緣觸發輸入，指示單擊電路 851 產生短邏輯高脈衝（例如在偵測到於觸發輸入處的邏輯低至高轉變時所產生之具有相當短持續期間的邏輯高訊號)。此脈衝開啟包含電晶體 854 與電阻器 855 的電流源，並且此脈衝允許電流透過由電晶體 853 與 833 組成的電流鏡，經由路徑 835 流入開關 810 的閘極。此電荷（除了已提供的初始化電荷之外）開啟開關 810，允許電容器 820 獲取輸入訊號。

如上文所述，傳遞至電晶體 810 閘極的電荷量，係取決於由電晶體 854 產生的電流，連同於電阻器 855 與單

擊 851 的時間常數，以上各者可由電路設計者選定，以對電晶體 810 確保所需的開啟狀態阻抗。再者，在一些具體實施例中，單擊 851（及/或單擊 881）的時間常數可由終端使用者使用已知的技術來選定（例如，藉由耦合具有電阻器及/或電容器的外部網路）。在替代性具體實施例中，單擊 851（及/或單擊 881）的時間常數可被決定為適應性地追蹤半導體製程參數及/或環境參數（諸如溫度、電力供應電壓等等），藉由使用已知的複製與比例控制電路技術。再者，在一些具體實施例中，可移除單擊 881（與第 7 圖中的 781）。

第 9 圖圖示具有在取樣期間增進之阻抗特性的取樣電路的另一具體實施例為電路 900。電路 900 在許多方面類似於第 8 圖所說明的電路，並且電路 900 一般地包含已被類似地編號以標註類似的功能性與一般對應性的部件與功能方塊。例如，電路 900 包含控制電路 925（第 8 圖中的控制電路 825）、電荷產生器電路 950（第 8 圖中的電荷產生器電路 850）、初始化控制電路 926（第 8 圖中的初始化控制電路 826）、初始化電荷產生器電路 980（第 8 圖中的初始化電荷產生電路 880）、取樣開關 910（第 8 圖中的取樣開關 810）、閘極初始化電晶體 916 與 917（第 8 圖中的閘極初始化電晶體 816 與 817）、電容器 920（第 8 圖中的電容器 820）、電荷幫浦電路 970（第 8 圖中的電荷幫浦電路 870）等等。

如圖所示，控制電路 925 可包含放電開關 928。初始

化控制電路 926 可包含放電開關 938。控制電路 925 與初始化控制電路 926 的操作可類似於上文所說明的電路 825 與 826。

再者，電路 900 係類似於電路 800，類似之處在於控制電路 925 與初始化控制電路 926 各別傳遞電荷至電晶體 910 以及電晶體 916 與 917，作為具有預定時間週期的預定電流脈衝。電流值係由跨被適合地調整尺寸的 MOS 電晶體上施加經界定電壓來建立，同時時間週期係由修整（trimming）電路來決定。如與連同電路 500 所討論者類似的考量，可被應用至電流值與時段週期的選擇上。如上文所述，電路 900 可操作於至少兩個模式中：取樣模式與保持模式。

電路 900 進一步包含充電電路 940，充電電路 940 在保持模式期間跨位準移位（level shifting）電容器 955 與 985 回復電壓，該電壓約等於在電荷幫浦輸出電壓 V_{CP} 與電力供應電壓 VDD 之間的電壓差，如將於下文說明。充電電路 940 可包含反相器 941、位準移位電容器 942、943 與電晶體 944、945 與充電開關 946 與 947。

例如，在作業中，可施加邏輯高訊號至指令節點 930。此訊號較佳地具有足夠的量值以開啟電晶體 928，電晶體 928 將控制路徑 935 與 MOSFET 910 的閘極放電，而關閉開關 910。此將在節點 915 處的輸入訊號與電容器 920 斷開，隔離電容器 920 並將電路 900 置於保持狀態中。

單擊電路 981 在保持模式中的輸出為邏輯低（接近地），邏輯低輸出使反相器 982 的輸出為邏輯高（接近 VDD），而將開關 938 的閘極驅動為高。此開啟電晶體 938，將初始化電晶體 916 與 917 的閘極放電，而關閉初始化電晶體 916 與 917。在保持模式中，反相器 982 與 952 的邏輯高輸出各別將電流源 984 與 954 的閘極放電（透過各別的位準移位電容器 985 與 955），防止任何電荷被各別傳遞至控制終端 935 與初始化控制終端 936。

在保持狀態期間，反相器 941 輸入位於邏輯高位準，且反相器的輸出位於邏輯低位準。該等位準，透過位準移位電容器 942 與 943 開啟電晶體 944，並關閉電晶體 945。因此，跨位準移位電容器 942 的電壓被回復至約 V_{CP} - VDD（因為在反相器 941 輸入處的電壓為接近 VDD），同時電晶體 945 的汲極被維持於約為電壓 V_{CP} - VDD。因此，充電開關 946 與 947 為開啟。因此，跨位準移位電容器 985 與 955 的電壓被回復至約 V_{CP} - VDD（因為在反相器 982 與 952 輸出處的電壓為接近 VDD）。

隨著保持訊號從邏輯高切換至低，電路 900 轉變至取樣模式，使反相器 941 的輸入位於邏輯低位準，同時反相器 941 的輸出位於邏輯高。該等位準，透過位準移位電容器 942 與 943，關閉電晶體 944 並開啟電晶體 945。因此，跨位準移位電容器 943 的電壓被回復至約 V_{CP} - VDD（因為在反相器 941 輸出處的電壓為接近 VDD），同時電晶體 945 的汲極被維持於約為電壓 V_{CP}，且充電

開關 946 與 947 被關閉。

在電路 900 從保持狀態轉變成取樣狀態，在指令節點 930 處的保持訊號可從邏輯高被切換至邏輯低。此舉關閉電晶體 928，並且此舉觸發初始化控制電路 926 於取樣狀態的初始部分中。此使時序電路 981 產生短邏輯高脈衝（例如在偵測到於觸發輸入處的邏輯高至低轉變時所產生之具有相當短持續期間的邏輯高訊號），短邏輯高脈衝在反相器 982 輸出處產生短邏輯低脈衝，短邏輯低脈衝關閉電晶體 938。在反相器 982 輸出處的邏輯低脈衝亦透過位準移位電容器 985 開啟電流源 984，電流源 984 允許電流透過初始化控制節點 936 流入初始化電晶體 916 與 917 的閘極。因此，預定電荷量被傳遞至初始化控制終端 936，開啟初始化電晶體 916 與 917。因此，MOSFET 910 的閘極被充電至追蹤在節點 915 的輸入訊號的值。

在預定時間週期之後，單擊 981 的輸出返回邏輯低，因此將反相器 982 的輸出返回邏輯高。透過位準移位電容器 985，反相器 982 的輸出關閉電流源 984，並開啟電晶體 938。此舉將初始化電晶體 916 與 917 的閘極放電，關閉電晶體 916 與 917，但此舉在 MOSFET 910 閘極處維持初始化電荷。傳遞至電晶體 916 與 917 閘極的電荷量，因此相依於由電晶體 984 產生的電流（在約等於 VDD 的電壓被施加於電晶體 984 源極與閘極之間時）以及單擊 981 的時間常數，以上各者可由電路設計者選定，以

對電晶體 916 與 917 確保所需的開啟狀態阻抗。

因此，在訊號獲取程序中的此時刻，MOSFET 910 的閘極包含初始化電荷，初始化電荷部分地或完整地偏移任何閘極對源極電壓差，將任何瞬時阻抗變化最小化(或實質上消除)，藉以增進所獲取訊號的精準度。

在初始化電路 926 作業完成時，反相器 982 的輸出返回邏輯高狀態，對時序電路 951 產生上升邊緣觸發輸入，指示單擊電路 951 產生短邏輯高脈衝（例如在偵測到於觸發輸入處的邏輯低至高轉變時所產生之具有相當短持續期間的邏輯高訊號)，短邏輯高脈衝在反相器 952 輸出處產生短邏輯低脈衝。此脈衝透過位準移位電容器 955 開啟電流源電晶體 954，並且此脈衝允許電流經由路徑 935 流入開關 910 的閘極。此電荷（與已提供的初始化電荷一起）開啟開關 910 並允許電容器 920 獲取輸入訊號。

如上文所述，傳遞至電晶體 910 閘極的電荷量，係取決於由電晶體 954 產生的電流(在約等於 VDD 的電壓被施加於電晶體 954 源極與閘極之間時）以及單擊 951 的時間常數，以上各者可由電路設計者選定，以對電晶體 910 確保所需的開啟狀態阻抗。再者，在一些具體實施例中，單擊 951（及/或單擊 981）的時間常數可由終端使用者使用已知技術來選定（例如藉由耦合具有電阻器及/或電容器的外部網路）。在替代性具體實施例中，單擊 951（及/或單擊 981）的時間常數可被決定為適應性

地追蹤半導體製程參數及/或環境參數（諸如溫度、電力供應電壓等等），藉由使用已知的複製與比例控制電路技術。再者，在一些具體實施例中，可移除單擊 981。

藉由控制電路 925 注入開關 910（或第 8 圖中開關 810，或第 7 圖中開關 710 等等）閘極的電荷，開啟開關 910 並致能輸入訊號 915 對電容器 920 的取樣，亦注入相依於訊號的電荷量於此訊號路徑中。此產生非常小、相依於輸入訊號的擾動，但在非常高線性度的應用中，此擾動轉譯成不可忽視的非線性度。因此，需要引入能夠減少（或實質上消除）此效應的電路。作為實例，取樣電路 900 可如第 10 圖圖示般被修改以建置電路 1000。

電路 1000 在許多方面類似於第 9 圖所說明的電路，並且電路 1000 一般地包含已被類似地編號以標註類似的功能性與一般對應性的部件與功能方塊。例如，電路 1000 包含控制電路 1025（第 9 圖中的控制電路 925）、電荷產生器電路 1050（第 9 圖中的電荷產生器電路 950）、初始化控制電路 1026（第 9 圖中的初始化控制電路 926）、初始化電荷產生器電路 1080（第 9 圖中的初始化電荷產生電路 980）、充電電路 1040（在第 9 圖中的充電電路 940）、取樣開關 1010（第 9 圖中的取樣開關 910）、閘極初始化電晶體 1016 與 1017（第 9 圖中的閘極初始化電晶體 916 與 917）、電容器 1020（第 9 圖中的電容器 920）、電荷幫浦電路 1070（第 9 圖中的電荷幫浦電路 970）等等。

如圖所示，控制電路 1025 可包含放電開關 1028。初始化控制電路 1026 可包含放電開關 1038。控制電路 1025、初始化控制電路 1026 與充電電路 1040 的操作可類似於上文所述的電路 925、926 與 940。

再者，電路 1000 包含校正電路 1090，校正電路 1090 連同控制電路 1025 與初始化控制電路 1026，實質上消除在開啟主開關 1010 時注入訊號路徑之電荷對於輸入訊號的變化。校正電路 1090 包含連接成電容器的裝置 1091 與 1092，裝置 1091 與 1092 用以將校正電荷注入主開關 1010 兩側上的訊號路徑。跨該等裝置（1091 與 1092）的閘極對源極電壓係由初始化電晶體 1096 與 1097 各別設定。校正電荷由電流源 1094 開啟而產生，如由時序電路 1051 所指示，並且校正電荷由平方律裝置 1095（亦即所通過的電流約隨著施加至閘極之控制電壓的平方來變化的裝置）連同耦合電容器 1093 來塑型。在保持狀態期間，重置裝置 1098 施加偏壓電壓 V_{bias} 至裝置 1095 的體極與源極終端，V_{bias} 經選定以將裝置 1095 維持為接近裝置 1095 的開啟臨限。此外，在保持狀態期間，裝置 1099 將連接成電容器的電晶體 1091 與 1092 的閘極放電，而關閉電晶體 1091 與 1092。如上文所述，電路 1000 可操作於至少兩個模式：取樣模式與保持模式。

例如，在作業中，可施加邏輯高訊號至指令節點 1030。此訊號較佳地具有足夠的量值以開啟電晶體 1028、1099 與 1098。電晶體 1028 將控制路徑 1035 與

MOSFET 1010 的閘極放電，關閉開關 1010。此將在節點 1015 處的輸入訊號與電容器 1020 斷開，隔離電容器 1020 並將電路 1000 置於保持狀態中。電晶體 1099 將電晶體 1091 與 1092 的閘極放電，關閉電晶體 1091 與 1092。電晶體 1098 將裝置 1095 的體極與源極電位維持為接近 V_{bias}，且電晶體 1098 連同放電電晶體 1099 設定跨耦合電容器 1093 的電壓。

單擊電路 1081 的輸出在保持模式中為邏輯低（接近地），邏輯低輸出使反相器 1082 的輸出為邏輯高（接近 VDD），將開關 1038 的閘極驅動為高。此開啟電晶體 1038，將初始化電晶體 1016、1017、1096 與 1097 的閘極放電，關閉初始化電晶體 1016、1017、1096 與 1097。在保持模式中，反相器 1082 與 1052 的邏輯高輸出各別將電流源 1084 與 1054 的閘極放電（透過各別的位準移位電容器 1085 與 1055），防止任何電荷被各別傳遞至控制終端 1035 與初始化控制終端 1036。再者，反相器 1052 的輸出位於邏輯高位準，將校正塑型平方律裝置 1095 維持於關閉狀態中。

在保持狀態期間，反相器 1041 的輸入位於邏輯高位準，且反相器 1041 的輸出位於邏輯低位準。該等位準透過位準移位電容器 1042 與 1043 開啟電晶體 1044，並關閉電晶體 1045。因此，跨位準移位電容器 1042 的電壓被回復至約 V_{CP} - VDD（因為反相器 1041 輸入處的電壓為接近 VDD），同時電晶體 1045 汲極的電壓被維持於約

V_{CP} - VDD。因此，充電開關 1046 與 1047 為開啟。因此，跨位準移位電容器 1085 與 1055 的電壓被回復至約 V_{CP} - VDD（因為反相器 1082 與 1052 輸出處的電壓為接近 VDD）。

隨著保持訊號從邏輯高切換至低，電路 1000 轉變至取樣模式，使反相器 1041 的輸入位於邏輯低位準，同時反相器 1041 的輸出位於邏輯高。該等位準，透過位準移位電容器 1042 與 1043 關閉電晶體 1044，並開啟電晶體 1045。因此，跨位準移位電容器 1043 的電壓被回復至約 V_{CP} - VDD（因為反相器 1041 輸出處的電壓為接近 VDD），同時電晶體 1045 汲極的電壓被維持於約 V_{CP}，且充電開關 1046 與 1047 被關閉。

在電路 1000 從保持狀態轉變成取樣狀態時，在指令節點 1030 處的保持訊號可從邏輯高切換成邏輯低。此舉關閉重置裝置 1098，關閉放電電晶體 1028 與 1099，並且此舉觸發初始化控制電路 1026 於取樣狀態的初始部分中。此使時序電路 1081 產生短邏輯高脈衝（例如在偵測到於觸發輸入處的邏輯高至低轉變時所產生之具有相當短持續期間的邏輯高訊號），短邏輯高脈衝在反相器 1082 輸出處產生短邏輯低脈衝，短邏輯低脈衝關閉電晶體 1038。在反相器 1082 輸出處的邏輯低脈衝亦透過位準移位電容器 1085 開啟電流源 1084，電流源 1084 允許電流透過初始化控制節點 1036 流入初始化電晶體 1016、1017、1096 與 1097 的閘極。因此，預定電荷量

被傳遞至初始化控制終端 1036，開啟初始化電晶體 1016、1017、1096 與 1097。因此，主開關 1010 的閘極與連接成電容器的裝置 1091 與 1092 的閘極，被充電至追蹤呈現在節點 1015 處的輸入訊號的值。

在預定時間週期之後，單擊 1081 的輸出返回邏輯低，因此反相器 1082 的輸出返回邏輯高。透過位準移位電容器 1085，反相器 1082 的輸出關閉電流源 1084 並開啟電晶體 1038。此舉將初始化電晶體 1016、1017、1096 與 1097 的閘極放電，並關閉電晶體 1016、1017、1096 與 1097，但此舉在 MOSFET 1010 閘極處以及連接成電容器的電晶體 1091 與 1092 閘極處維持初始化電荷。傳遞至電晶體 1016、1017、1096 與 1097 閘極的電荷量，因此相依於由電晶體 1084 產生的電流（在約等於 VDD 的電壓被施加於電晶體 1084 的源極與閘極之間時）以及單擊 1081 的時間常數，以上各者可由電路設計者選定以對電晶體 1016、1017、1096 與 1097 確保所需的開啟狀態阻抗。

因此，在訊號獲取程序中的此時刻，MOSFET 1010 的閘極包含初始化電荷，初始化電荷部分地或完整地偏移任何閘極對源極電壓差，將任何瞬時阻抗變化最小化（或實質上消除），藉以增進所獲取訊號的精確度。

在初始化電路 1026 作業完成時，反相器 1082 的輸出返回邏輯高狀態，對時序電路 1051 產生上升邊緣觸發輸入，指示單擊電路 1051 產生短邏輯高脈衝（例如在偵測

到於觸發輸入處的邏輯低至高轉變時所產生之具有相當短持續期間的邏輯高訊號），在反相器 1052 輸出處產生短邏輯低脈衝。此脈衝將平方律裝置 1095 的閘極帶到接近地，且此脈衝透過位準移位電容器 1055 相伴地開啟並聯連接的電流源電晶體 1054 與 1094。因此，此允許電流經由路徑 1035 各別流入開關 1010 閘極，透過耦合電容器 1093 流入校正塑型平方律裝置 1095，並流入連接成電容器的校正注入裝置 1091 與 1092 的閘極。經由路徑 1035 流動的電荷被加入已提供的初始化電荷，開啟開關 1010 並允許電容器 1020 獲取輸入訊號。透過連接成電容器的裝置 1091 與 1092 注入訊號路徑（訊號路徑建立於輸入終端 1015 與取樣電容器 1020 之間）的校正電荷，係由平方律裝置 1095 連同先前設定之跨耦合電容器 1093 的電壓來塑型（在此期間平方律裝置 1095 的閘極被維持為接近地）。

如上文所述，傳遞至電晶體 1010 閘極的電荷量係相依於由電晶體 1054 產生的電流（在約等於 VDD 的電壓被施加於電晶體 1054 的源極與閘極之間時）以及單擊 1051 的時間常數，以上各者可由電路設計者選定以對電晶體 1010 確保所需的開啟狀態阻抗。

類似的，由電路 1090 注入訊號路徑的電荷量，係相依於由電晶體 1094 產生的電流（在約等於 VDD 的電壓被施加於電晶體 1094 的源極與閘極之間時），連接成電容器的裝置 1091 與 1092 的大小，以及單擊 1051 的時間常

數，以上各者可由電路設計者選定以確保所需校正程度。訊號相依電荷注入的消去程度，係進一步藉由選定耦合電容器 1093 大小與平方律裝置 1095 特性來調整。

再者，在一些具體實施例中，單擊 1051（及/或單擊 1081）的時間常數可由終端使用者使用已知技術來選擇（例如藉由耦合具有電阻器及/或電容器的外部網路）。在替代性具體實施例中，單擊 1051（及/或單擊 1081）的時間常數可使用已知的複製與比例控制電路技術，被決定為適應性地追蹤半導體製程參數及/或環境參數（諸如溫度、電力供應電壓等等）。再者，在一些具體實施例中可移除單擊 1081。

第 10 圖中的電路 1000 圖示說明連同取樣系統實施（類似於第 9 圖之電路 900）來使用的補償電路 1090。在本發明領域中具有通常知識者將認知到，此補償方案可類似地連同其他取樣系統實施（例如第 7 圖中的電路 700、第 8 圖中的電路 800 等等）來使用，以大量地減少或消除訊號相依電荷，該訊號相依電荷在電路從保持狀態轉變至取樣狀態時注入訊號路徑。

在該等電路大大地增進取樣系統效能的同時，在由主取樣開關所經歷的體極偏壓改變中，存在小型但不能被忽略的訊號相依失真來源。作為實例，參照第 6 圖，主取樣開關（MOSFET 610）的體極係隱含地連接至地電位。在終端 615 處的輸入訊號變化的同時，MOSFET 610 的源極對體極電位與汲極對體極電位亦變化。在上文所

說明的電荷驅動取樣系統大大地緩和臨限電壓的改變的同時，MOSFET 610 特性對於輸入訊號的變異（例如，源極對體極與汲極對體極電容等等的變異），持續轉譯成訊號相依的失真。

若可在主取樣開關體極與源極或汲極終端之間維持相對固定的電壓差，則該等訊號失真可被實質上消除。若在取樣與保持狀態兩者期間維持固定的體極偏壓電壓，而因此避免不良的電荷注入（以及特定而言，不良的輸入訊號相依電荷注入），則可獲得進一步的優點。

可在主取樣開關的體極終端可被獨立地控制時考慮此種作法（例如，主取樣開關被建構入被隔離的井）。為了清晰起見，此討論使用 n 通道 MOSFET 裝置作為主取樣開關來作為實例，但在本發明領域中具有通常知識者將認知到該等考量可被直接延伸至所有的場效裝置範圍。

第 11 圖圖示說明此作法的一般化示意圖為電路 1100A 與 1100B。電路 1100A 與 1100B 在許多方面類似於第 4 圖所說明的電路 400，且電路 1100A 與 1100B 一般地包含已被類似地編號以標註類似的功能性與一般對應性的部件與功能方塊。例如，電路 1100A 與 1100B 包含控制電路 1125（第 4 圖中的控制電路 425）、取樣開關 1110（第 4 圖中的取樣開關 410）、電容器 1120（第 4 圖中的電容器 420）等等。

取樣開關 1110 經圖示說明為具有明確地可用的體極終端 1109 的 n 通道 MOSFET 裝置。電路 1100A 與 1100B

進一步包含體極偏壓電路 1160，體極偏壓電路 1160 相對於開關 1110 的源極或汲極終端在開關 1110 的體極終端上維持實質上固定的偏壓電壓。此偏壓電壓必需被選擇以對整個所需的輸入訊號範圍，確保電晶體 1110 的源極與汲極接面保持為正確地被偏壓。偏壓電壓被維持在跨偏壓電容器 1162 上，偏壓電容器 1162 可代表相關聯於裝置 1110 的本徵體極電容，或在不足以應付特定的應用時，偏壓電容器 1162 可從電晶體 1110 體極電容與額外明確電容的並聯來建置。

隨著時間，跨偏壓電容器 1162 的電壓必需被更新，且此係由更新操作於雙相位更新週期中的電容器 1165 與開關 1163、1164、1166 與 1167 來完成。在第一相位中，開關 1163 與 1164 被開啟，同時開關 1166 與 1167 被關閉，且施加電壓 V_{BIAS} 於跨電容器 1165 上。在第二相位中，開關 1166 與 1167 被開啟，同時開關 1163 與 1164 被關閉，且電容器 1165 被與電容器 1162 並聯連接。控制開關對 1163、1164 與 1166、1167 的訊號，需維持非重疊的時序關係，而使開關對 1166、1167 僅在開關對 1163、1164 關閉之後開啟，且類似地，僅在開關對 1166、1167 關閉之後開啟開關對 1163、1164。在足夠長的由循序更新週期所組成的啟動序列之後，跨偏壓電容器 1162 的電壓將約到達偏壓電壓 V_{BIAS}，而在達到該偏壓電壓 V_{BIAS} 後該跨偏壓電容器 1162 將實質上維持固定。

有益的是更新週期的第一與第二相位被與取樣系統的

取樣與保持狀態同步，以最小化可被開關 1163 與 1164 注入訊號路徑（輸入終端及/或取樣電容器）的電荷。開關對 1163、1164 的控制訊號需被適當地對齊，相對於取樣系統從取樣狀態至保持狀態的轉變。此時序關係係由源自控制電路 1125 控制開關對 1163、1164 與 1166、1167 的虛線來指示。例如，可使用已知的邏輯、時序與延遲電路，來從保持訊號直接導出該等控制訊號，如將於下文說明。在一種可能的實施中，第一相位可在保持狀態期間發生，而第二相位可在取樣狀態期間發生。

儘管非常類似，電路 1100A 與 1100B 仍具有特定的優點與缺點。在電路 1100A 中，較不關注由開關對 1163、1164 潛在地注入的電荷，因為此電荷流入相對低阻抗的輸入終端。此對開關 1163、1164 之控制訊號與施加至節點 1135 的取樣開關之控制訊號之間的時序關係，產生較不迫切的要求。如將於下文說明，該等控制訊號可為同時的。在同時，在電路 1100A 中體極終端 1109 經歷電壓變化，此電壓變化接近地跟隨施加至輸入終端 1115 的訊號。在保持狀態期間，此訊號可部分地洩漏入取樣電容器 1120 中，透過相關聯於取樣開關 1110 的擴散電容，產生不良的錯誤。

在電路 1100B 中，在保持狀態期間在體極終端 1109 上的電壓為實質上固定，而避免任何顯著之透過擴散電容的電荷重分配。在同時，由開關對 1163、1164 注入的電荷流入取樣電容器，且因此在保持狀態期間由開關對

1163、1164 注入的電荷可毀壞所獲取的取樣。因此需允許在對開關對 1163、1164 的控制訊號轉變之時刻，至取樣系統進入保持狀態之時刻之間，有足夠的安定時間。

在本發明領域中具有通常知識者將認知到，第 11 圖所說明的固定體極偏壓方案，可被有益地連同從第 5 圖至第 10 圖所圖示的此種新穎的取樣系統，以及其他已知的取樣配置來實施。

在諸如從第 5 圖至第 10 圖所圖示的實施中，在取樣系統轉變於取樣狀態與保持狀態間的期間內，主取樣開關的閘極終端經歷約為追蹤輸入訊號的電壓擺幅。此電壓轉變，在流過固有地呈現於主取樣開關閘極終端與訊號路徑之間的本徵電容時，可給予失真至取樣系統所獲取的訊號上。如先前所提及，此變異亦可轉譯成取樣抖動，該取樣抖動進一步讓取樣作業的結果失真。因此需在施加至主取樣開關閘極的電壓擺幅中，大量地減少或消除與輸入訊號相關的變異。

第 7 圖至第 10 圖所圖示的電路試圖透過使用初始化步驟來緩解此效應，在初始化步驟中主取樣開關的閘極被初始地偏壓於追蹤輸入訊號的位準。第 11 圖所說明的體極偏壓電路提供了增進配置的機會。在保持狀態期間，為了將輸入終端與取樣電容器解耦合（decouple），主取樣開關的閘極可被放電至約為主取樣開關體極電位的電位（而非如第 5 圖至第 10 圖所圖示的固定地電位）。因此，藉由較佳地使用如電路 1100A 所圖示的體極偏壓方

案，使主取樣開關閘極上的電壓擺幅實質上獨立於輸入訊號。

現參照第 12 圖，第 12 圖圖示根據本發明原則所建置之可能的特定實施 1200。電路 1200 一般地包含已被類似地編號以標註類似的功能性與一般對應性的部件與功能方塊。例如，電路 1200 包含輸入節點 1215、指令節點 1230、控制節點 1235、取樣開關 1210、取樣電容器 1220、控制電路 1225、電荷幫浦電路 1270、電荷幫浦電壓軌 1271 以及體極偏壓電路 1260 等等。

如圖示，控制電路 1225 可包含電流鏡電晶體 1233 與 1253 以及放電開關 1228。額外裝置 1232 限制跨電流鏡裝置 1233 的電壓，且額外裝置 1232 可或不可被包含，取決於裝置 1233 的操作範圍。電荷產生電路 1250 可包含經控制的電流源，電流源包含 MOSFET 電晶體 1254 與電阻器 1255 以及時序電路 1251。時序電路 1251 在時序電路 1251 的控制輸入處被高至低訊號轉變觸發。如先前所說明，藉由大量地減少或消除施加至取樣開關控制節點 1235 之電壓擺幅的輸入訊號相依性，來進一步減少訊號失真。此係由透過放電開關 1228 將控制終端 1235 放電至開關體極終端 1209 來達成。

電路 1200 可進一步包含放電控制電路 2226，放電控制電路 2226 可包含電流鏡電晶體 2243 與 2283 以及放電開關 2238。額外裝置 2242 限制跨電流鏡裝置 2243 的電壓，且額外裝置 2242 可或不可被包含，取決於裝置 2243

的操作範圍。放電控制電荷產生器電路 2280 可包含經控制的電流源，電流源包含 MOSFET 電晶體 2284 與電阻器 2285 以及時序電路 2281。時序電路 2281 在時序電路 2281 的控制輸入處由低至高訊號轉變來觸發。

類似於第 10 圖所圖示之電路 1100A 的電路 1200，亦可包含體極偏壓電路 1260，該體極偏壓電路 1260 耦合在取樣開關體極終端 1209 與取樣系統輸入終端 1215 之間。電路 1260 可由電容 1262、更新電容器 1265、更新開關 1263、1264、1266 與 1267 以及邏輯反相器 1261 組成。

電荷幫浦電路 1270 可或不可被包含，取決於供應電壓 V_{CP} 的有效性，供應電壓 V_{CP} 自身可由特定的實施細節來決定（例如所需的輸入訊號範圍、取樣開關 1210 的電氣參數等等）。類似於先前所討論的電路，電荷幫浦電路 1270 之操作可或不可被與呈現在指令節點 1230 處的保持訊號同步（或甚至被此保持訊號直接控制）。

如上文所述，電路 1200 操作於至少兩個模式：取樣模式與保持模式，並且電路 1200 可操作如下文。可施加邏輯高訊號至指令節點 1230 的輸入。此訊號較佳地具有足夠的量值以直接開啟電晶體 1267，且亦透過反相器 1261 開啟電晶體 1266。因此，操作於更新週期的第一階段的體極偏壓電路 1260，在電容器 1265 上建立約等於 V_{BIAS} 的電壓，V_{BIAS} 經選定以對取樣開關 1210 確保在全輸入訊號範圍中的偏壓條件為正確。

在進入保持狀態時，受施加至指令終端 1230 的低至高轉變影響，放電控制電路 2226 被觸發並且放電控制電路 2226 提供經界定的電荷量至放電開關 1228 的閘極，而開啟放電開關 1228。此允許主取樣開關 1210 與更新開關對 1263 與 1264 的閘極被放電至主取樣開關體極終端 1209 的位準。因此，MOSFET 1210 關閉，並且 MOSFET 1210 將節點 1215 處的輸入訊號與電容器 1220 斷開，隔離電容器 1220，並將電路 1200 置於保持狀態中。同時，開關對 1263 與 1264 關閉，將偏壓電容 1262 與更新電容器 1265 隔離。需使開關對 1263 與 1264 在裝置 1266 與 1267 開啟之前關閉。此舉可由隱含地存在於實體實施中（且未明確地於第 12 圖中指示）的延遲來達成，並（若為必要）由在裝置 1265 與 1266 的控制路徑中引入已知的時序延遲裝置（例如 RC 電路、邏輯穿越閘等等）來達成。

在保持狀態開始時，在指令節點 1230 處的低至高轉變觸發，使時序電路 2281 產生短邏輯高脈衝（例如在偵測到於觸發輸入處的邏輯低至高轉變時所產生之具有相當短持續期間的邏輯高訊號），短邏輯高脈衝開啟包含電晶體 2284 與電阻器 2285 的電流源，並且短邏輯高脈衝允許電流透過由裝置 2283 與 2243 形成的電流鏡流入放電電晶體 1228 的閘極。在預定時間週期之後，單擊 2281 的輸出返回邏輯低並關閉電流源 2284。因此，由電流源裝置 2284 連同電阻器 2285 界定，以及由單擊電路 2281

的時間常數界定的預定電荷量，被傳遞至裝置 1228 的閘極。該等元件的每一者可由電路設計者選定，以對電晶體 1228 確保有所需的開啟狀態阻抗，且因此確保主取樣開關 1210 與更新開關對 1263、1264 被適當快速關閉。

裝置 2238 被選定而使得在約等於 V_{BIAS} 的電壓被施加於裝置 2238 閘極與源極終端之間時，裝置 2238 允許由放電控制電荷產生器電路 2280 所提供的電荷開啟電晶體 1228 並適當地將控制節點 1235 放電。在同時，裝置 2238 需能夠在保持狀態結束之前，從裝置 1228 的閘極移除恰於先前被注入的電荷。

為了從保持狀態轉變成取樣狀態，在指令節點 1230 處的保持訊號可從邏輯高被切換至邏輯低。此直接關閉電晶體 1267，並透過反相器 1261 關閉電晶體 1266。此亦使時序電路 1251 產生短邏輯高脈衝(例如在偵測到於觸發輸入處的邏輯高至低轉變時所產生之具有相當短持續期間的邏輯高訊號)。此脈衝開啟包含電晶體 1254 與電阻器 1255 的電流源，並且此脈衝允許電流透過由電晶體 1253 與 1233 形成的電流鏡，經由路徑 1235 流入開關 1210 的閘極。此電荷開啟開關 1210，允許電容器 1220 獲取輸入訊號。

經界定的電荷量亦流入更新開關對 1263、1264 的閘極，開啟更新開關對 1263、1264 並將更新電容器 1265 耦合至偏壓電容 1262。

如上文所述，傳遞至電晶體 1210、1263 與 1264 閘極

的電荷量，係相依於由電晶體1254連同電阻器1255與單擊1251之時間常數所產生的電流，以上之每一者可由電路設計者選定，以對電晶體120與更新開關對1263、1264確保所需的開啟狀態阻抗。再者，在一些具體實施例中，單擊1251（及/或單擊2281）的時間常數，可由終端使用者使用已知的技術來選定（例如藉由耦合具有電阻器及/或電容器的外部網路）。在替代性具體實施例中，單擊1251（及/或單擊2281）的時間常數可被使用已知的複製與比例控制電路技術選定，以適應性地追蹤半導體製程參數及/或環境參數（諸如溫度、電力供應電壓等等）。

電路1200使用時序電路（1251與2281）與流過電流鏡（1253、1233與2283、2243）之以電阻性為基礎的電流源（1254、1255與2284、2285），來產生用以控制取樣開關1210、更新開關對1263、1264與放電開關1228的預定電荷。在本發明領域中具有通常知識者將認知到，取決於特定的應用，可使用其他電荷產生方案以作為電路600與900所採用的方案(作為實例而不為限制)。

雖然已由連接至其他電路的各種電路揭示了本發明的較佳具體實施例，在本發明領域中具有通常知識者將瞭解此種連接並不需為直接的，且額外電路可交互連接於所圖示的所連接電路之間，而不脫離如圖示之本發明的精神。在本發明領域中具有通常知識者亦將瞭解，本發明可由除了所特定說明之具體實施例以外的具體實施例

來實現。所說明的具體實施例係用於圖示說明之目的而呈現，並非做為限制，而本發明係僅由下列申請專利範圍來限制。

【圖式簡單說明】

本發明之上述與其他的目標與優點，將隨著連同附加圖式考量前述實施方式而顯然，在附加圖式中類似的元件符號代表所有圖式中類似的零件，且其中：

第 1 圖為先前技術取樣保持電路的示意圖；

第 2 圖為另一先前技術取樣保持電路的示意圖；

第 3 圖為另一先前技術取樣保持電路的示意圖；

第 4 圖為根據本發明原則所建置之取樣保持電路的一個具體實施例的概括示意圖；

第 5 圖為根據本發明原則所建置之取樣保持電路的另一具體實施例的示意圖；

第 6 圖為根據本發明原則所建置之取樣保持電路的另一具體實施例的較詳細示意圖；

第 7 圖為根據本發明原則所建置之取樣保持電路的另一具體實施例的較詳細示意圖；

第 8 圖為根據本發明原則所建置之取樣保持電路的另一具體實施例的較詳細示意圖；

第 9 圖為根據本發明原則所建置之取樣保持電路的另一具體實施例的較詳細示意圖；

第 10 圖為根據本發明原則所建置之取樣保持電路的另一具體實施例的較詳細示意圖；

第 11 圖為根據本發明原則所建置之取樣保持電路的另一具體實施例的概括示意圖；且

第 12 圖為根據本發明原則所建置之取樣保持電路的另一具體實施例的較詳細示意圖。

【主要元件符號說明】

100	先前技術取樣保持電路	110	開關
115	輸入終端	120	取樣電容器
125	控制電路	130	指令終端
135	控制終端		
210	開關	215	輸入訊號
220	取樣電容器	225	控制電路
230	外部保持訊號	235	控制終端
		310	開關
315	輸入終端	320	取樣電容器
325	控制電路	528	開關
335	閘極終端	340	體極終端
345	緩衝器	400	取樣電路
410	取樣開關	415	輸入終端
420	儲存部件	425	控制電路
430	指令節點	435	控制終端

500	取樣電路	510	取樣開關
511	閘極對通道電容	512	寄生電容
515	輸入終端	520	儲存電容器
525	控制電路	530	指令節點
535	控制節點	551	時序電路
554	經控制電流源	570	電荷幫浦電路
651	時序電路	600	取樣電路
610	取樣開關	611	閘極對通道電容
612	寄生電容	615	輸入終端
620	電容器	625	控制電路
628	放電開關	629	額外裝置
630	指令節點	631	電荷轉移開關
632	額外裝置	635	控制節點
650	電荷產生器	656	連接成電容器的電晶體
657	開關	658	開關
659	連接成電容器的電晶體	670	電荷幫浦電路
671	電壓軌	700	取樣電路
710	取樣開關	715	輸入訊號節點
716	初始化電晶體	717	初始化電晶體
720	電容器	725	控制電路
726	初始化控制電路	728	放電開關
729	額外裝置	730	指令節點
731	電荷傳送開關	732	額外裝置
741	電荷傳送開關	742	放電開關

750 電荷產生器電路　751 時序電路

752 反相器　756 連接成電容器的電晶體

757 開關　758 開關

759 連接成電容器的電晶體　770 電荷幫浦電路

771 電壓軌　780 初始化電荷產生器電路

781 單擊電路　782 反相器

786 連接成電容器的電晶體　787 開關

788 開關　789 連接成電容器的電晶體

800 取樣電路　810 取樣開關

815 輸入訊號節點　816 閘極初始化電晶體

817 閘極初始化電晶體　820 電容器

826 初始化控制電路　828 放電開關

829 額外裝置　830 指令節點

832 額外裝置　833 電流鏡電晶體

835 控制終端　836 初始化控制終端

838 開關　839 額外裝置

842 額外裝置　843 電流鏡電晶體

850 電荷產生器電路　851 時序電路

853 電流鏡電晶體　854 電流源

855 電阻器　870 電荷幫浦電路

825 控制電路　880 初始化脈衝產生電路

881 時序電路　882 反相器

883 電流鏡電晶體　884 電流源

885 電阻器　900 取樣電路

910 取樣開關

915 輸入訊號節點

916 閘極初始化電晶體

917 閘極初始化電晶體

920 取樣電容器

925 控制電路

928 放電開關

926 初始化控制電路

930 指令節點

935 控制路徑

936 初始化控制終端

938 放電開關

940 充電電路

941 反相器

942 位準移位電容器

943 位準移位電容器

944 電晶體

945 電晶體

946 充電開關

947 充電開關

950 電荷產生器電路

951 單擊電路

952 反相器

954 電流源電晶體

955 位準移位電容器

970 電荷幫浦電路

1070 電荷幫浦電路

980 初始化電荷產生電路

981 單擊電路

982 反相器

984 電流源電晶體

985 位準移位電容器

1000 取樣電路

1010 取樣開關

1015 輸入訊號節點

1016 閘極初始化電晶體

1017 閘極初始化電晶體

1020 取樣電容器

1028 放電電晶體

1030 指令節點

1036 初始化控制節點

1038 電晶體

1026 初始化控制電路

1035 控制路徑

1025 控制電路

1040 充電電路

1041 反相器

1042 位準移位電容器

1043 位準移位電容器　1044 電晶體

1045 電晶體　1046 充電開關

1047 充電開關　1050 電荷產生器電路

1051 時序電路　1052 反相器

1054 電流源電晶體　1055 位準移位電容器

1080 初始化電荷產生器電路　1081 單擊

1082 反相器　1084 電流源

1085 位準移位電容器　1090 補償電路

1091 連接成電容器的裝置　1092 連接成電容器的裝置

1093 耦合電容器　1094 電流源電晶體

1095 平方律裝置　1096 初始化電晶體

1097 初始化電晶體　1098 重置裝置

1099 放電電晶體　1100A 取樣電路

1109 體極終端　1110 取樣開關

1115 輸入終端　1120 取樣電容器

1125 控制電路

1135 控制訊號節點　1160 體極偏壓電路

1162 電容器　1163 開關

1164 開關　1165 電容器

1166 開關　1167 開關

1100B 取樣電路　1200 取樣電路

1209 開關體極終端　1210 取樣開關

1215 輸入節點　1220 取樣電容器

1225 控制電路　1228 放電開關

1230 指令節點	1232 額外裝置
1233 電流鏡電晶體	1235 控制節點
1250 電荷產生電路	1251 時序電路
1253 電流鏡電晶體	1254 MOSFET 電晶體
1255 電阻器	1260 體極偏壓電路
1261 反相器	1262 偏壓電容
1263 開關	1264 開關
1265 更新電容器	1266 電晶體
1267 電晶體	1270 電荷幫浦電路
1271 電壓軌	2226 放電控制電路
2285 電阻器	2238 放電開關
2242 額外裝置	2243 電流鏡電晶體
2280 放電控制電荷產生器電路	2281 時序電路
2283 電流鏡電晶體	2284 MOSFET 電晶體
Q_P 預定電荷	VDD 電力供應電壓
V_{CP} 供應電壓	V_{BIAS} 偏壓電壓
I_P 輸出電流	T_P 持續時間

104年9月7日修正替換頁(本)

七、申請專利範圍：

1. 一種取樣電路，該取樣電路操作於至少一取樣狀態與一保持狀態中並且該取樣電路包含：

一輸入終端，該輸入終端接收一時變輸入訊號；及

一半導體開關，該半導體開關如由施加至一控制終端的一電荷量所指示，而操作於至少一非傳導模式與一傳導模式中，該半導體開關係耦合於該輸入終端與一輸出終端之間，可在一體極偏壓終端存取該半導體開關的體極；

一控制電路，該控制電路未耦合至該輸入終端而耦合至該控制終端，並且該控制電路可操作以選定該半導體開關的操作模式；及

一體極偏壓電路，該體極偏壓電路耦合於該體極偏壓終端與該輸入終端或該體極偏壓終端與該輸出終端之間而分別在取樣狀態與保持狀態中維持一經預定且實質上固定的體極偏壓電壓差，該體極偏壓電壓差在該體極偏壓終端與(i)該輸入終端或(ii)該輸出終端之一者之間，

其中該體極偏壓電路包含一電荷更新電路以及一第一體極偏壓電容，該電荷更新電路選擇性地操作於一第一階段與一第二階段的一者或另一者中，且該第一體極偏壓電容耦接於該體極偏壓終端與該輸入終端之間或該體極偏壓終端與該輸出終端之間。

2. 如請求項 1 所述之取樣電路，其中該電荷更新電路的操作階段係與該取樣電路的取樣與保持狀態同步。

3. 如請求項 1 所述之取樣電路，其中係至少部分基於在該輸入終端處接收到的該訊號的量值，來選定該體極偏壓電壓。

4. 如請求項 1 所述之取樣電路，其中在該保持狀態期間，該控制電路係可操作以在該控制終端與該體極偏壓終端之間建立一實質上為零的電壓差。

5. 如請求項 1 所述之取樣電路，其中使該取樣電路從一保持狀態轉變為一取樣狀態之在該控制終端處擺動的一控制電壓的振幅，為實質上固定。

6. 如請求項 1 所述之取樣電路，其中使該取樣電路從一取樣狀態轉變為一保持狀態之在該控制終端處擺動的一控制電壓的振幅，為實質上固定。

7. 如請求項 1 所述之取樣電路，其中該第一體極偏壓電容具有一第一終端與一第二終端，且該第一體極偏壓電容耦接於該輸入終端與該體極偏壓終端之間，且該體極偏壓電路進一步包含：

一第二體極偏壓電容，該第二體極偏壓電容具有一第一終端與一第二終端，且該第二體極偏壓電容並聯地耦接於該第一體極偏壓電容；

一第一體極偏壓開關，該第一偏壓體極偏壓開關耦接於該第一體極偏壓電容的該第二終端與該第二體極偏壓電容的該第二終端之間；

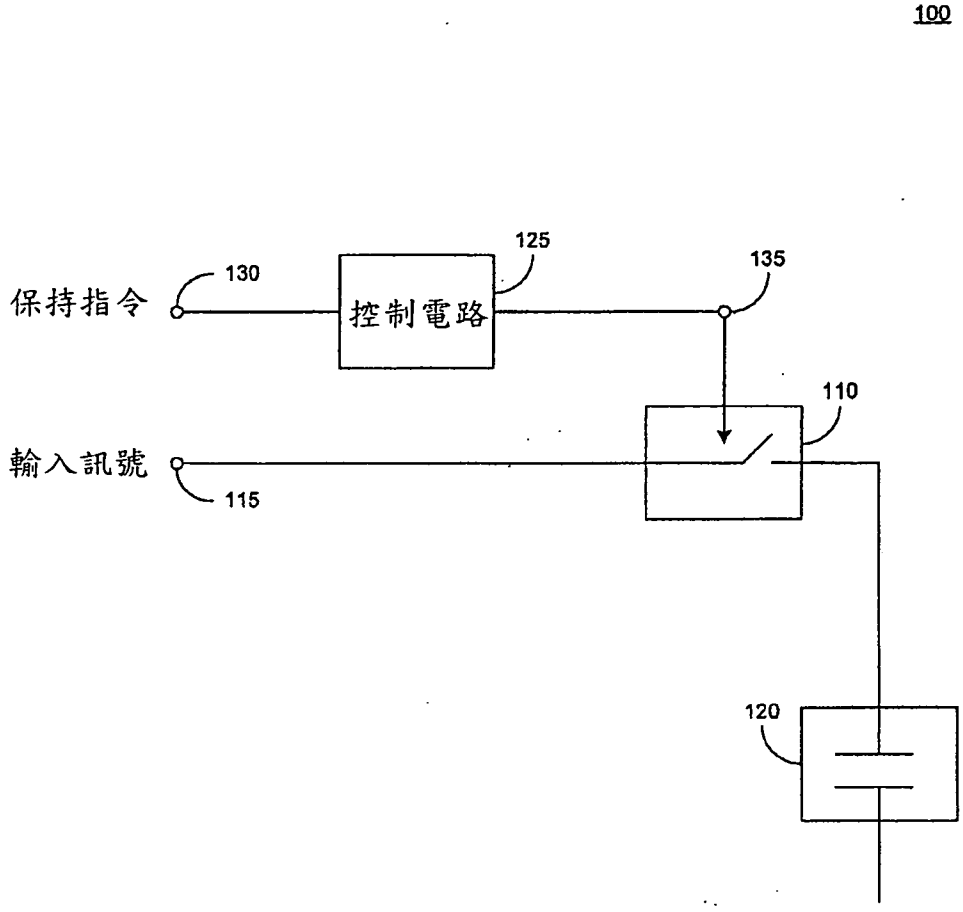
一第二體極偏壓開關，該第二體極偏壓開關耦接於該第一體極偏壓電容的該第一終端與該第二體極偏壓電容的該第一終端之間；

一第三體極偏壓開關，該第三體極偏壓開關耦接於該第二體極偏壓電容的該第二終端與一接地端之間；

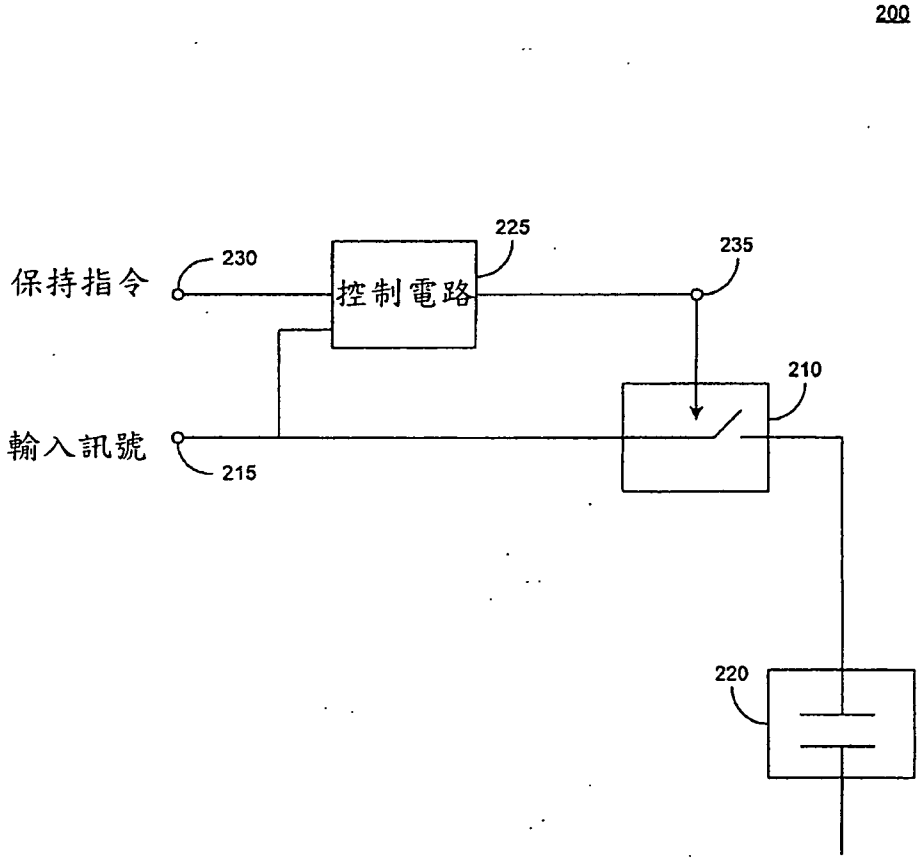
一第四體極偏壓開關，該第四體極偏壓開關耦接於該第二體極偏壓電容的該第一終端與一偏壓節點之間；以及

該控制電路適於控制該第一體極偏壓開關、第二體極偏壓開關、第三體極偏壓開關，以及第四體極偏壓開關。

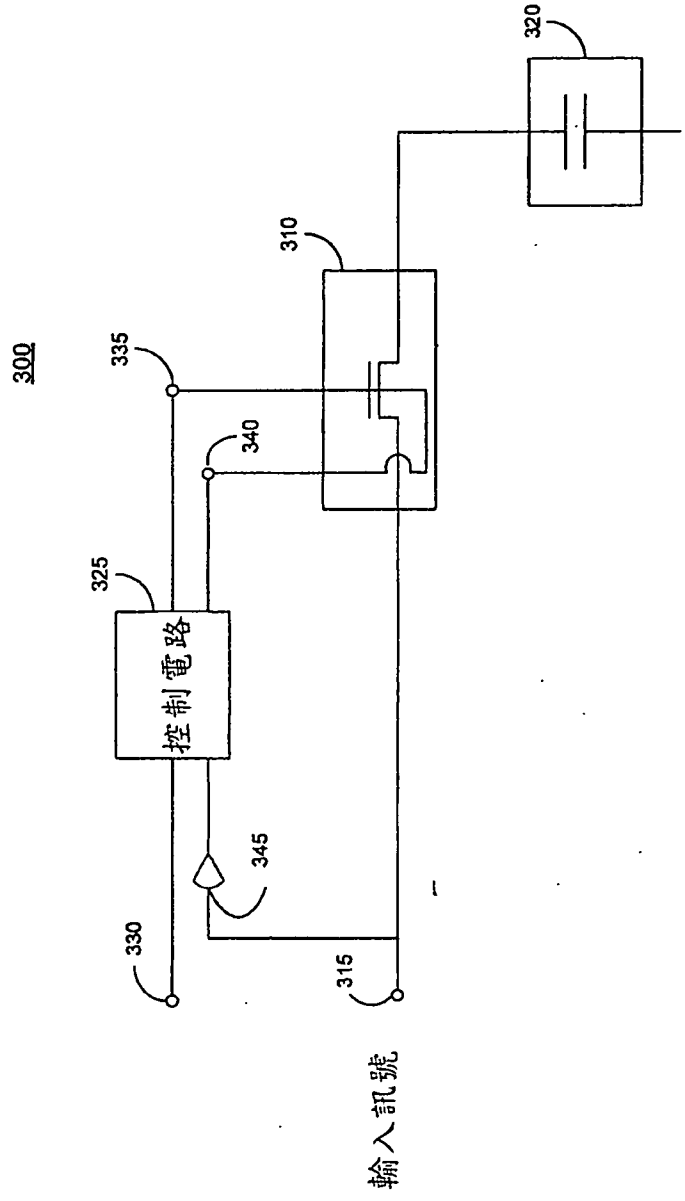
八、圖式：



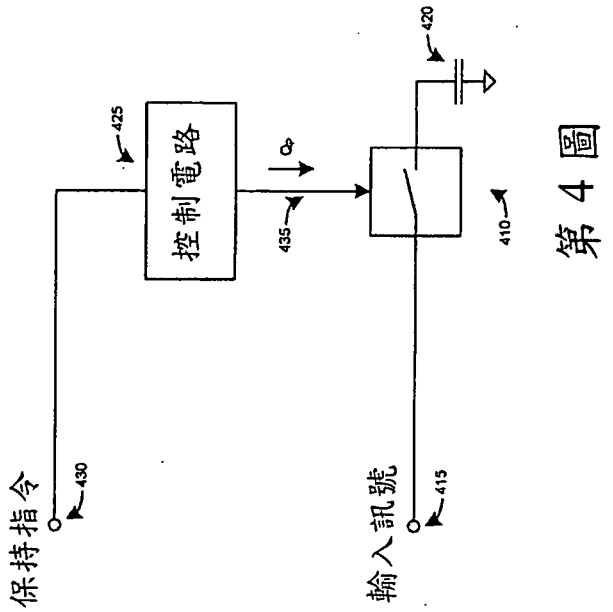
第 1 圖
（先前技術）



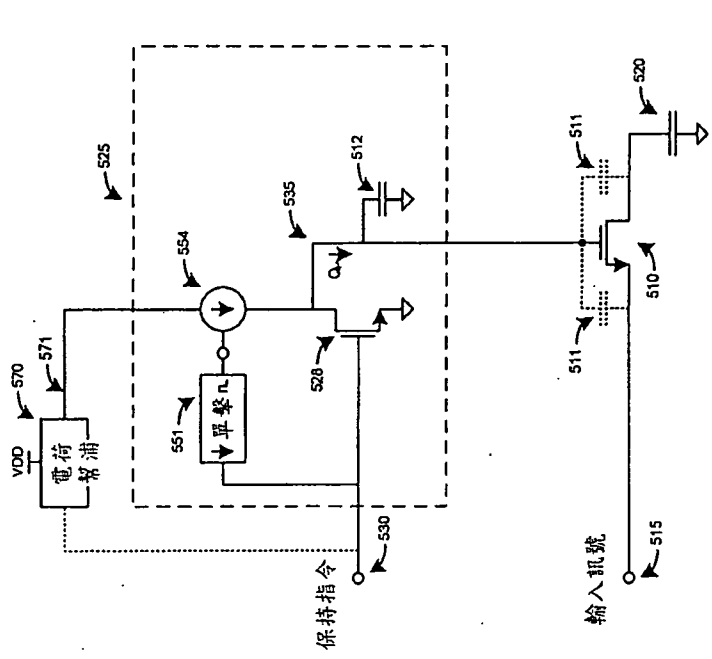
第 2 圖
（先前技術）



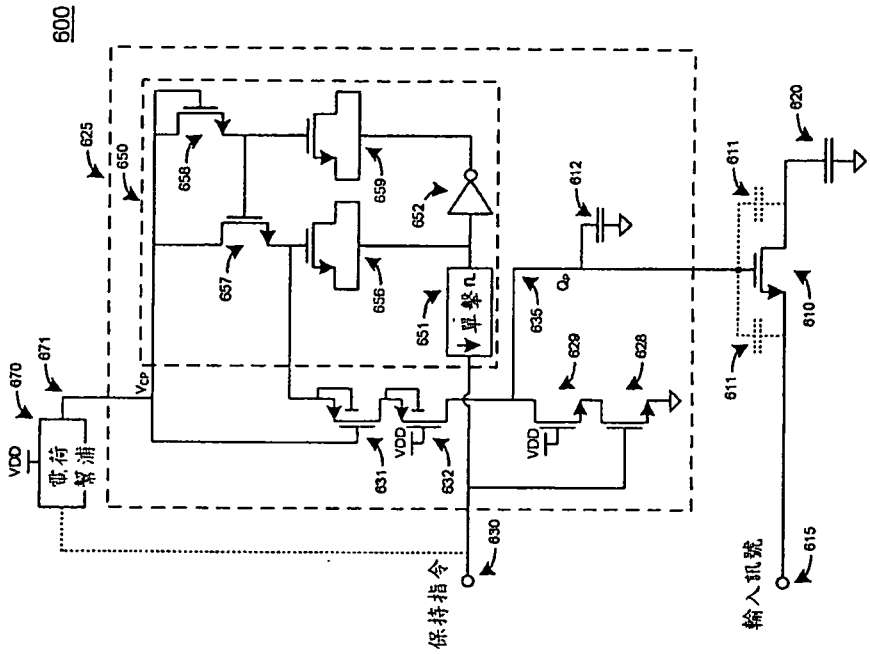
第 3 圖
（先前技術）



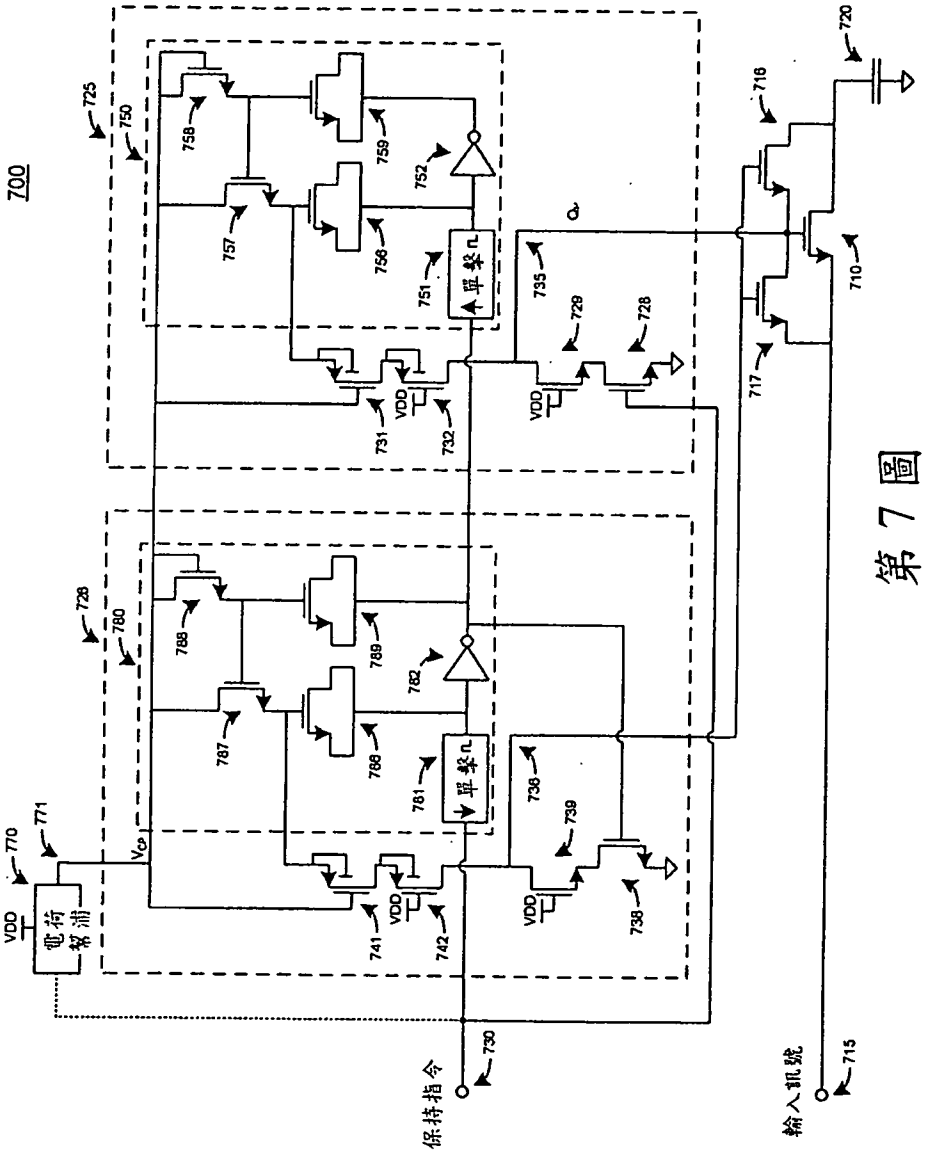
第 4 圖


500
525
512
535
554
520
511
510
528
551
570
571
VDD
電荷補償
單擊n
530
保持指令
515
輸入訊號

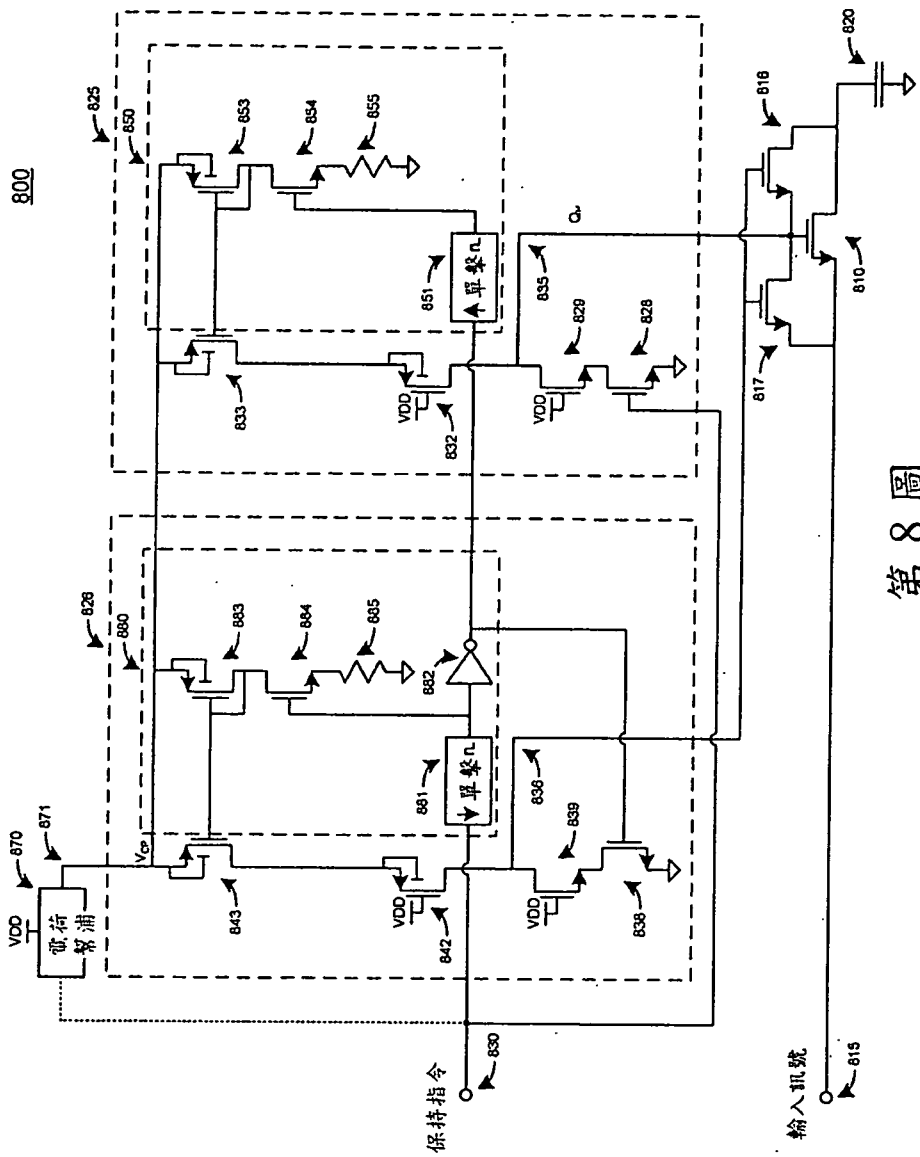
第 5 圖


600
625
650
658
659
652
657
656
651
單發n
612
620
611
635
Qp
610
629
628
611
670
671
VDD
電荷幫浦
VCP
631
632
VDD
VDD
630
615
保持指令
輸入訊號

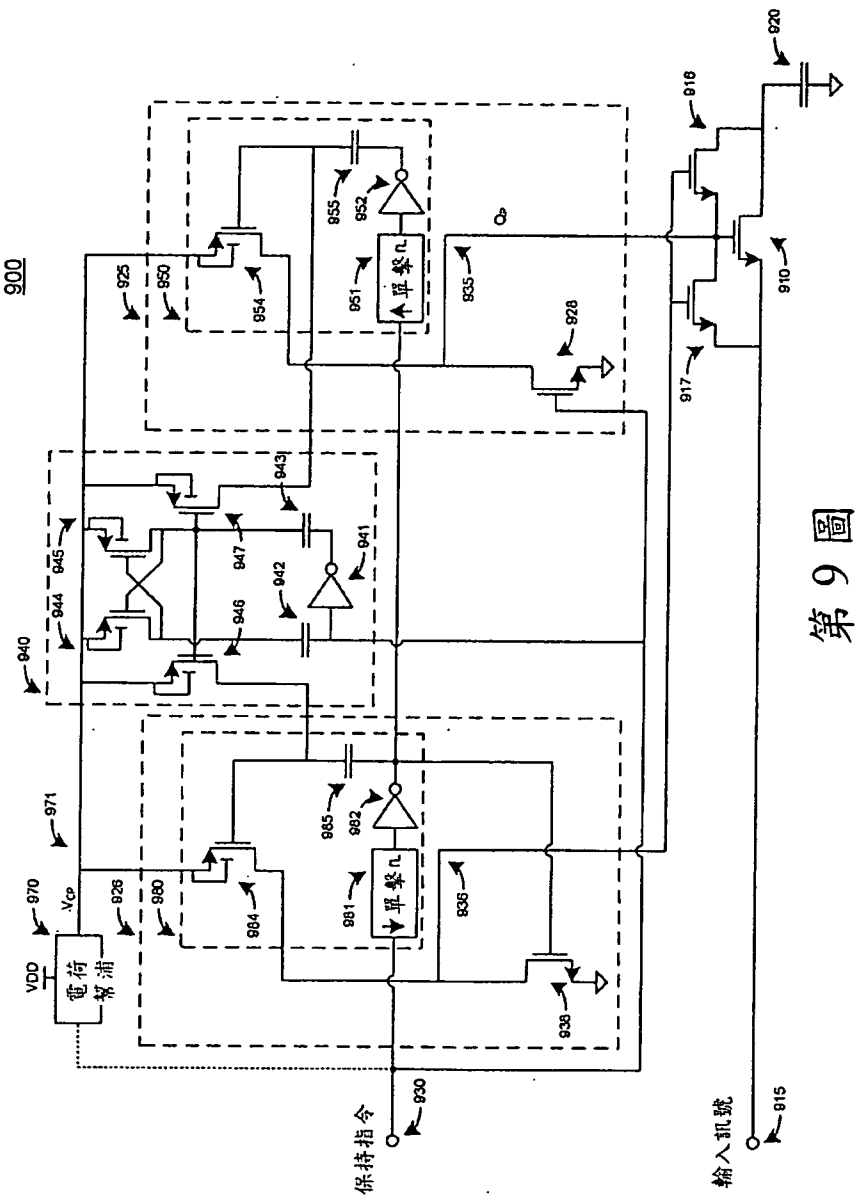
第6圖


700
725
750
758
759
752
757
756
751
單拴扣
735
729
728
731
732
VDD
716
720
710
717
728
780
788
789
782
787
786
781
單拴扣
736
739
738
741
742
770
771
電荷幫浦
保持指令
730
輸入訊號
715

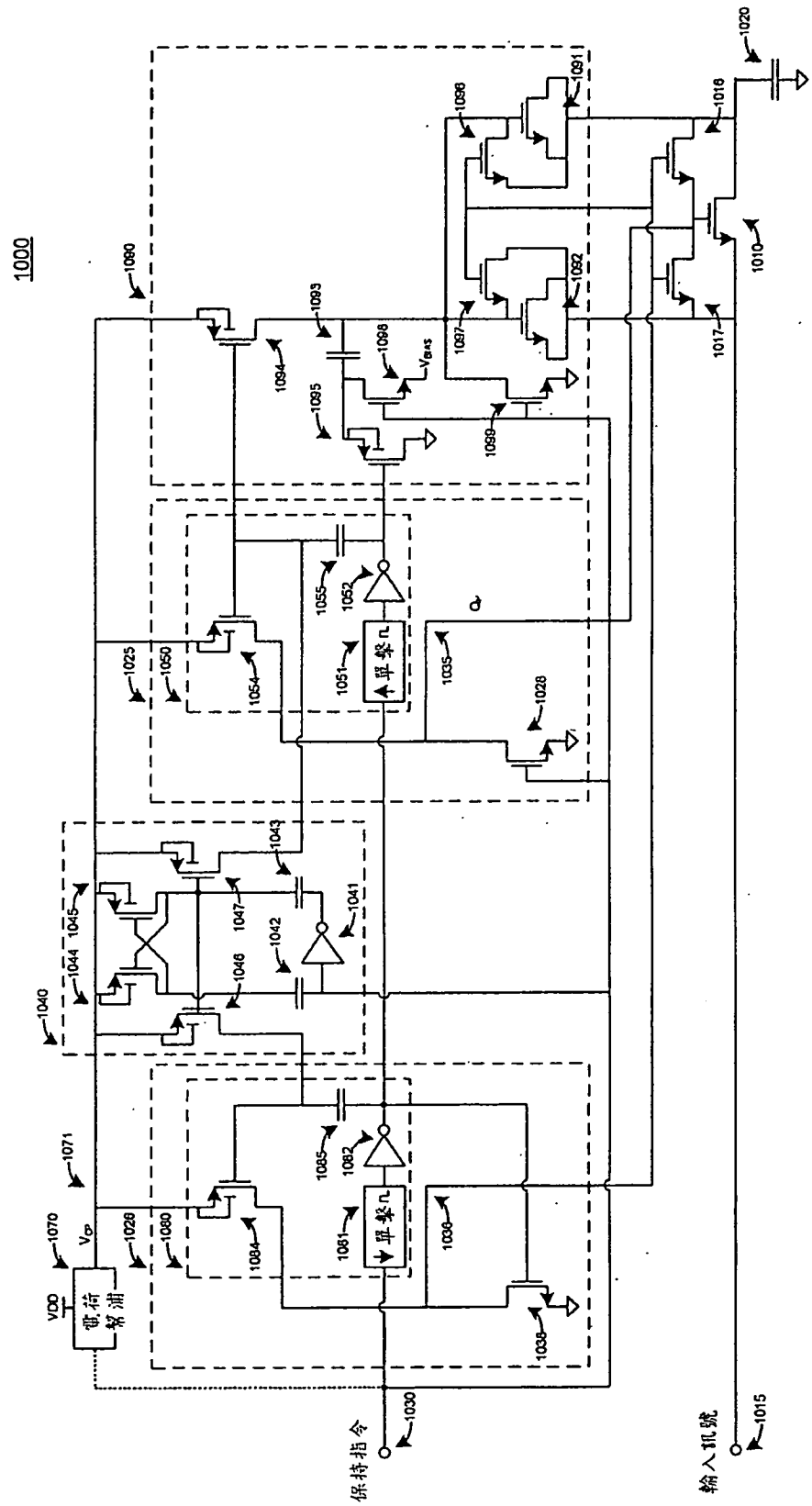
第 7 圖


800
825
850
853
854
855
851
單穩n
833
832
VDD
835
829
828
820
816
810
817
826
860
883
884
885
882
881
836
839
838
842
843
870
871
電荷幫浦
保持指令
830
輸入訊號
815

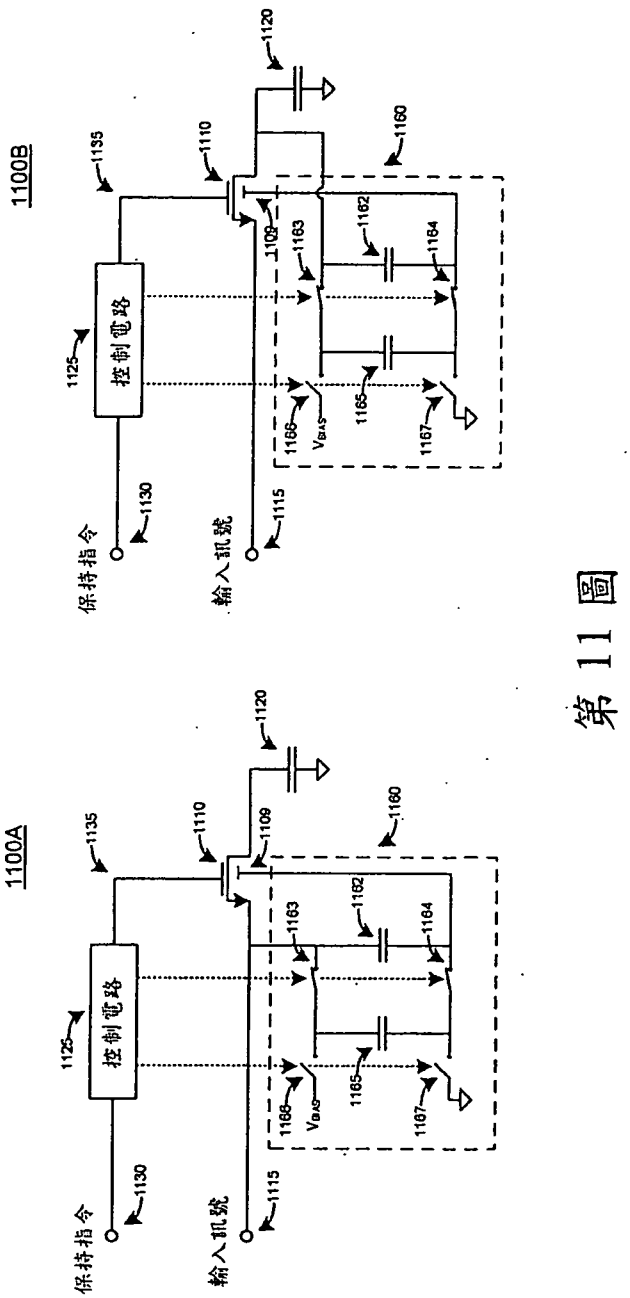
第 8 圖


900
920
916
910
917
928
925
950
954
955
952
951
單擊n
935
940
945
944
943
947
942
941
946
971
970
Vcp
VDD
電荷幫浦
926
980
984
985
982
981
936
938
930
保持指令
915
輸入訊號

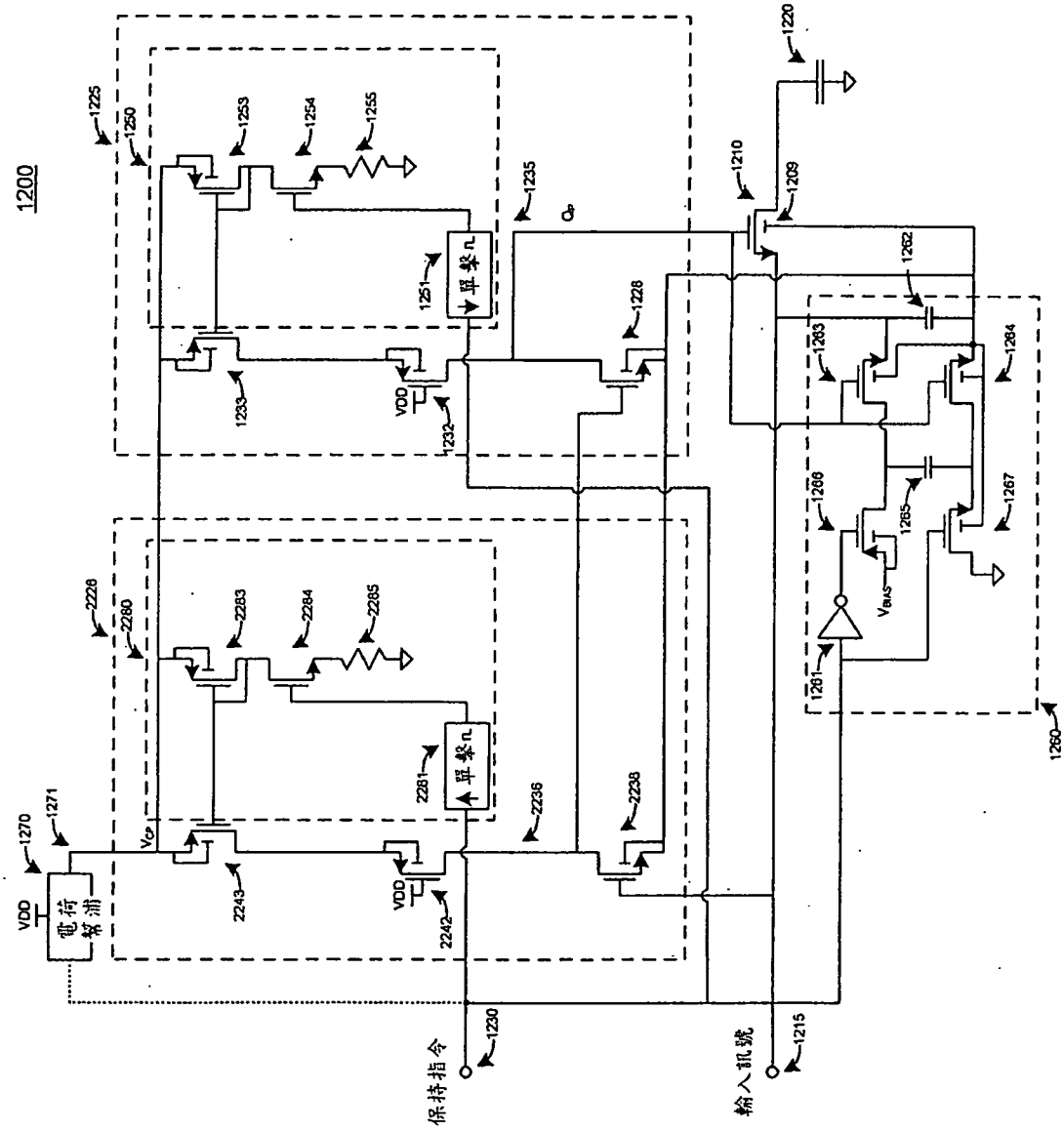
第 9 圖


1000
1060
1093
1094
1095
1096
1097
1098
1099
1091
1092
1020
1018
1010
1017
1055
1052
1051
單擊
1025
1050
1054
1035
1028
1043
1041
1042
1047
1045
1044
1046
1040
1071
1085
1082
1081
1084
1080
1070
1030
1038
VDD
電荷幫浦
保持指令
輸入訊號
1015

第 10 圖


1100B
1135
1110
1120
1160
1109
1162
1163
1164
1125
控制電路
1165
1166
V_{BIAS}
1167
1130
保持指令
1115
輸入訊號
1100A
1135
1110
1120
1160
1109
1162
1163
1164
1125
控制電路
1165
1168
V_{BIAS}
1167
1130
保持指令
1115
輸入訊號

第 11 圖


1200
1225
1250
1253
1254
1255
1251
單擊n
1235
1210
1209
1220
1262
1228
1263
1264
1233
VDD
1232
1266
1265
1267
VBIAS
1261
1260
2226
2280
2283
2284
2285
2281
單擊n
2236
2238
1270
1271
VDD
電荷幫浦
Vcp
2243
VDD
2242
保持指令
1230
輸入訊號
1215

第 12 圖