

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5198770号  
(P5198770)

(45) 発行日 平成25年5月15日 (2013.5.15)

(24) 登録日 平成25年2月15日 (2013.2.15)

(51) Int. Cl.	F I
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 D
HO 1 L 27/092 (2006.01)	HO 1 L 27/06 1 0 2 C
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78 3 0 1 G
HO 1 L 27/06 (2006.01)	
HO 1 L 21/336 (2006.01)	

請求項の数 8 (全 21 頁) 最終頁に続く

(21) 出願番号	特願2006-526207 (P2006-526207)	(73) 特許権者	390009531
(86) (22) 出願日	平成16年9月7日 (2004.9.7)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公表番号	特表2007-531982 (P2007-531982A)		INTERNATIONAL BUSINESS MACHINES CORPORATION
(43) 公表日	平成19年11月8日 (2007.11.8)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
(86) 国際出願番号	PCT/US2004/028878	(74) 代理人	100108501
(87) 国際公開番号	W02005/036641		弁理士 上野 剛史
(87) 国際公開日	平成17年4月21日 (2005.4.21)	(74) 代理人	100112690
審査請求日	平成19年8月31日 (2007.8.31)		弁理士 太佐 種一
審査番号	不服2012-1339 (P2012-1339/J1)	(74) 代理人	100091568
審査請求日	平成24年1月24日 (2012.1.24)		弁理士 市位 嘉宏
(31) 優先権主張番号	10/605,110		
(32) 優先日	平成15年9月9日 (2003.9.9)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 同じ半導体チップ内のPMOSおよびNMOSトランジスタの薄いゲート誘電体を個々に最適化する方法、およびそれによって製造されたデバイス

(57) 【特許請求の範囲】

【請求項1】

半導体基板に形成されたPFET領域およびNFET領域を有するCMOS半導体材料を形成する方法であって、前記PFET領域はPFETゲート誘電体層で覆われ、前記NFET領域はNFETゲート誘電体層で覆われ、そのPFETゲート誘電体層およびNFETゲート誘電体層は異なる窒化の程度を有するシリコン酸化物で構成されたものであり、

シリコン基板にPFET領域およびNFET領域を準備するステップと、

前記PFET領域の上にPFETゲート酸化物層を、さらに前記NFET領域の上にNFETゲート酸化物層を形成するステップと、

前記PFET領域の上の前記PFETゲート酸化物層の窒化を15 ~ 100 の低温プラズマにより行って、前記PFET領域の上の前記PFETゲート誘電体層中に第1の濃度レベルの窒素原子を有する、前記PFET領域の上の前記PFETゲート誘電体層を形成するステップと、

前記NFETゲート酸化物層の窒化を15 ~ 100 の低温プラズマにより行って、前記NFET領域の上の前記NFETゲート誘電体層を形成するステップであって、それによって、前記NFETゲート誘電体層中のNFETの窒素原子濃度レベルが、前記PFETゲート誘電体層中のPFETの窒素原子濃度レベルと異なっているステップと、

を含み、

前記PFETゲート酸化物層の前記窒化と、前記NFETゲート酸化物層の前記窒化と

が別個に行われ、同じ厚さであって、前記 N F E T 領域の上の前記 N F E T ゲート誘電体層中の前記窒素濃度より、前記 P F E T 領域の上の前記 P F E T ゲート誘電体層中の前記窒素濃度が高い前記 P F E T ゲート誘電体層と前記 N F E T ゲート誘電体層とが形成される、方法。

【請求項 2】

前記 P F E T ゲート酸化物層の窒化を始める前に前記 N F E T 領域の上に N F E T マスクを形成し、次に、前記 P F E T ゲート酸化物層の P F E T ゲート誘電体の窒化を行い、その直後に前記 N F E T マスクを除去するステップと、

前記 N F E T ゲート酸化物層の窒化を始める前に前記 P F E T 領域の上に P F E T マスクを形成し、次に、前記 N F E T ゲート酸化物層の N F E T ゲート誘電体の窒化を行い、その直後に前記 P F E T マスクを除去するステップとを、一方が他方に先行する状態で行うことを含む、請求項 1 に記載の方法。

10

【請求項 3】

キャパシタ領域上の酸化物層の窒化を始める前に前記 N F E T 領域および前記 P F E T 領域の上にキャパシタ誘電体マスクを形成し、次に、前記キャパシタ領域上の酸化物層の窒化を行い、その直後に、前記キャパシタ誘電体マスクを除去するステップと、

前記 N F E T 領域および前記 P F E T 領域のゲート酸化物層の窒化を始める前に前記キャパシタ領域の酸化物層の上に F E T マスクを形成し、次に、前記ゲート酸化物層の窒化を行い、その直後に、前記 F E T マスクを除去するステップとを、一方が他方に先行する状態で行うことを含む、請求項 1 に記載の方法。

20

【請求項 4】

半導体基板に形成された P F E T 領域および N F E T 領域を有する C M O S 半導体材料を形成する方法であって、前記 P F E T 領域は P F E T ゲート誘電体層で覆われ、前記 N F E T 領域は N F E T ゲート誘電体層で覆われ、その P F E T ゲート誘電体層および N F E T ゲート誘電体層はシリコン酸化物およびその異なる程度の窒化で構成されたものであり、

シリコン基板に P F E T 領域および N F E T 領域を準備するステップと、

前記 P F E T 領域の上に P F E T ゲート酸化物層を、さらに前記 N F E T 領域の上に N F E T ゲート酸化物層を形成するステップと、

前記 P F E T 領域の上の前記 P F E T ゲート酸化物層の窒化を 15 ~ 100 の低温プラズマにより行って、前記 P F E T 領域の上の前記 P F E T ゲート誘電体層中に第 1 の濃度レベルの窒素原子を有する、前記 P F E T 領域の上の前記 P F E T ゲート誘電体層を形成するステップと、

30

前記 P F E T ゲート酸化物層の前記窒化とは別個に前記 N F E T ゲート酸化物層の窒化を 15 ~ 100 の低温プラズマにより行って、前記 N F E T 領域の上の前記 N F E T ゲート誘電体層を形成するステップであって、それによって、前記 N F E T ゲート誘電体層中の N F E T の窒素原子濃度レベルが、前記 P F E T ゲート誘電体層中の窒素原子の前記第 1 の濃度レベルよりも小さく、同じ厚さの前記 N F E T ゲート誘電体層および前記 P F E T ゲート誘電体層を生じるステップと、

を含む方法。

40

【請求項 5】

キャパシタ領域上の酸化物層の窒化を始める前に前記 N F E T 領域および前記 P F E T 領域の上にキャパシタ誘電体マスクを形成し、次に、前記キャパシタ領域上の酸化物層の窒化を行い、その直後に、前記キャパシタ誘電体マスクを除去するステップと、

前記 N F E T 領域および前記 P F E T 領域のゲート酸化物層の前記窒化を始める前に前記キャパシタ領域の酸化物層上に F E T マスクを形成し、次に、前記ゲート酸化物層の窒化を行い、その直後に、前記 F E T マスクを除去するステップとを、一方が他方に先行する状態で行うことを含む、請求項 4 に記載の方法。

【請求項 6】

前記 N F E T 領域の上の前記 N F E T ゲート誘電体層中の窒素濃度より、前記 P F E T

50

領域の上の前記 P F E T ゲート誘電体層中の窒素濃度が高い、請求項 4 に記載の方法。

【請求項 7】

前記窒化の工程が、マスクング材料が耐えることができる最高温度よりも下の温度で行われる、請求項 1 に記載の方法。

【請求項 8】

半導体基板に形成された P F E T 領域および N F E T 領域を有する C M O S 半導体デバイスであって、前記 P F E T 領域は P F E T ゲート誘電体層で覆われ、前記 N F E T 領域は N F E T ゲート誘電体層で覆われ、その P F E T ゲート誘電体層および N F E T ゲート誘電体層は異なる窒化の程度を有するシリコン酸化物で構成され、

前記 P F E T 領域および前記 N F E T 領域を有するシリコン基板と、

前記 P F E T 領域の上の前記 P F E T ゲート誘電体層および前記 N F E T 領域の上の N F E T ゲート誘電体層と、を備え、

前記 P F E T ゲート誘電体層および前記 N F E T ゲート誘電体層が 15 ~ 100 の低温プラズマによる別個に行われる異なるレベルの窒化により形成され、それによって、前記 P F E T 領域の上の前記 P F E T ゲート誘電体層中の P F E T の窒素原子濃度レベルが、前記 N F E T 領域の上の前記 N F E T ゲート誘電体層中の前記窒素濃度より、前記 P F E T 領域の上の前記 P F E T ゲート誘電体層中の前記窒素濃度が高く、同じ厚さの前記 P F E T ゲート誘電体層および前記 N F E T ゲート誘電体層を生じる、C M O S 半導体デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、M O S F E T デバイスの製造方法に関し、より詳細には、高性能 M O S F E T デバイス用の薄いゲート誘電体層の製造方法に関する。

【背景技術】

【0002】

ゲート誘電体層のより小さな厚さへの縮小は、より高い性能レベルに向けてのシリコン C M O S 技術の絶えざる縮小を可能にする重要な要素の 1 つである。より薄いゲート誘電体層は、より多くの反転電荷 ( inversion charge ) を生成して、トランジスタの駆動電流を増大し、また、チャンネルのゲート制御を高めることによって短チャンネル効果を改善する。ゲート誘電体層は、反転層が形成されトランジスタ電流が伝導される界面に形成されるので、界面は非常に高品質の界面でなければならない。

【0003】

酸窒化物 ( S i O x N y ) は、現在、半導体産業でゲート誘電体膜として広く使用されている。ゲート誘電体の望ましい特性は、低ゲート漏れ電流、キャパシタンス ( 容量 ) を増加させる高誘電率、高移動度、高信頼性、および優れた拡散障壁特性である。初期の集積回路以来、純粋な S i O 2 は選択のゲート誘電体であったが、近年ゲート誘電体が 20 以下の厚さ範囲に縮小されるにつれて、高性能 C M O S 工程では酸窒化物がますます使用されている。

【0004】

シリコン酸窒化物 ( S i O x N y ) は、2 つの一般的な技術、熱窒化およびプラズマ窒化 ( nitridation ) によって生成される。酸窒化物の熱窒化は、一酸化二窒素 ( N 2 O ) 、アンモニア ( N H 3 ) 、または酸化窒素 ( N O ) のような反応性窒素含有ガスにシリコン表面または二酸化シリコン ( S i O 2 ) 表面を高温 ( 650 ~ 1000 ) に曝すことによって行われる。熱エネルギーは、窒化反応を推進するために使用される。酸窒化物のプラズマ窒化は、シリコン表面または S i O 2 表面を活性窒素含有プラズマに曝すことによって行われる。窒素は、プラズマによって活性化されるので、熱窒化よりも低い温度 ( 室温から 800 までのどこでも ) で酸窒化物に取り込まれるように反応することができる。プラズマ窒化工程が低温 ( 例えば、 < 100 ) で行われる場合、プラズマ窒化工程は、フォトレジスト・ソフトマスク工程と共存することができる。このタイプの低温工

10

20

30

40

50

程では、フォトレジストは、露出領域が望ましい窒素取込みを受けている間に、窒化を被覆領域から選択的に阻止（ブロック）するように使用することができる。高温プラズマ工程だけでなく熱工程も、フォトレジストと適合できない。熱工程は、高温に耐えることができるハードマスクを必要とする。ゲート酸化物と適合可能な化学物質（例えば、硫酸／過酸化水素（ $H_2O_2$ ）混合物）を使用してレジストを剥離することができるので、フォトレジスト・ソフトマスキングは特に魅力的である。

#### 【0005】

適切に最適化された酸窒化物は、純粋な  $SiO_2$  に比べて、誘電率を高め、ゲート漏れ電流を下げ、そして拡散障壁特性を改善した。図1は、酸窒化物形成の遠隔プラズマ窒化（RPN）工程を使用するとき、処理時間の増加と共にゲート漏れ電流がどのように減少するかを示す。多くの場合、これらの改善は、トランジスタ・デバイス電流に影響を及ぼし得る移動度の変化に対して注意深く釣り合わせなければならない。さらに、この最適化は、同じ半導体チップ上にあるNFETデバイスとPFETデバイスで異なることがある。図1に、1.2ボルトでの（アンペア/ $cm^2$ ）単位のゲート漏れを、 $T_{inv}$ （ $\mu s$ ）の関数として示す。パラメータ  $T_{inv}$  は反転厚さであり、反転厚さは、トランジスタが反転モードで測定される時、実効酸化物厚さの測定値（measure）である。単位は、オングストローム（ $\text{\AA}$ ）またはナノメートル（nm）のような厚さである。

#### 【0006】

図2～5は、プラズマ窒化がPFETデバイスおよびNFETデバイスの駆動電流にどのように違った影響を及ぼすかの例を示す。これらの例は、ゲート誘電体中の最適窒素濃度はNFETデバイスとPFETデバイスで異なることを明らかにしているが、このことは一般に知られていない。縦軸は  $J_{off}$  であり、水平軸は  $J_{odlin}$  であり、ここで  $J_{odlin}$  は、トランジスタ・ドレイン電流密度（アンペア/ $\mu m$ ）、すなわちソースとドレインの間のトランジスタの単位幅当たりのトランジスタ・ドレイン電流、を表す。任意の閾値電圧差を規準化するのを役立つのは、 $V_t$ （閾値電圧）より一定量上の  $V_g$ （ゲート電圧）で測定されたトランジスタ電流である。 $J_{off}$  は、0ボルトがゲート電極に加えられている状態でのトランジスタの単位幅（ソースとドレインの間）当たりのオフ状態の漏れの測定値である。

#### 【0007】

図6～9は模式的な概念図であり、図6～9は、図24の断面線A-A'に沿ったNFET領域14および関連した構造体（feature）、および図24の断面線B-B'に沿ったPFET領域16および関連した構造体の図である。図6～9は、従来技術の工程の4つのステップでシリコン基板12に形成された半導体デバイス10の並置にされたPFET領域およびNFET領域を示し、これは、どのようにしてゲート誘電体の集積化の標準的な一連の処理ステップが、最も薄いゲート誘電体層を有する高性能トランジスタに、同じPFETおよびNFET酸窒化物ゲート誘電体層18N/18Pを生じさせるかを図示している。これは、薄いゲート誘電体層18N/18Pが成長されるとき、基板12のNFET領域14およびPFET領域16の両方が同じ工程にさらされるからである。工程が熱をベースあるいはプラズマをベースとしていてもこのことは言えることであるが、プラズマ工程を説明のために示す。

#### 【0008】

図6において、デバイス10は、シリコン半導体基板12を備える、デバイス製造の初期段階が示されており、この基板12は、P型ドーブ（P-doped）NFET領域14およびN型ドーブ（N-doped）PFET領域16を基板12に含むように処理される。

#### 【0009】

図7において、ゲート酸化物層18NがNFET領域14の上面の上に形成され、かつゲート酸化物層18PがPFET領域16の上面の上に形成された後の図6のデバイス10が示されている。

#### 【0010】

図8において、NFET領域14およびP型ドーブPFET領域16の上面の上のゲー

10

20

30

40

50

ト酸化物層 18N / 19P 中に窒素を押し込むことによって、ゲート酸化物層 18N / 18P が一様なプラズマ窒化で処理された後の図 7 のデバイス 10 が示されている。熱窒化について、同じことが言える。

#### 【0011】

図 9 において、図 8 のデバイス 10 は、同一ゲート誘電体層 18A がゲート酸化物層 18N および 18P の代わりにある状態で示されている。NFET 領域 14 および PFET 領域 16 の上面の上の図 8 のゲート誘電体層 18N / 18P の一様な窒化の結果として、ゲート酸化物層 18N / 18P の同一ゲート誘電体層 18A への変換を示すために、同一ゲート誘電体層 18A は水平の破線で陰影付けされている。図 9 は図 24 の線 A - A' および B - B' に沿った断面で構成されていることに留意すべきである。

10

#### 【0012】

最適酸窒化物は NFET デバイスと PFET デバイスで異なるので、この 2 つを個々に最適化することが非常に望ましい。その理由は、全体的な CMOS 集積回路性能は NFET と PFET の両方のデバイス性能で決定されるからである。同じゲート誘電体層 18N / 18P が NFET 領域 14 および PFET 領域 16 の上に同時に成長されると、一方のデバイスは最適化されるが、他方は半最適 (sub-optimum) である。半最適デバイスがあるということは、製品の全体的な CMOS 回路性能を制限することがある。

#### 【0013】

「Integrated Circuitry And Semiconductor Processing Method of Forming Field Effect Transistors」という名称の Trivedi 等の米国特許第 6,093,661 号は、デバイスのゲート誘電体層の任意の高さ位置で、好ましくはゲート誘電体層と単結晶シリコン半導体基板の P および N 型ドープ領域との間の下の界面近くのゲート誘電体層中の位置で、ピークに達する窒素原子濃度を教示している。好ましくは、窒素原子濃度は、ゲート誘電体層中のピーク高さ (elevation) 領域で 0.1% から 10.0%、好ましくは 0.5% から 5.0% であり、ピーク高さ領域の厚さは 30 から 60 である。ゲート誘電体層中への窒素の導入は、大気圧で、750 から 950 理想的には 850 の温度の熱処理炉中で、窒素が約 100 から 10,000 sccm (0.169 ~ 16.9 Pa m<sup>3</sup> / s) 理想的には 1,000 sccm (1.69 Pa m<sup>3</sup> / s) で供給された状態で、5分から2時間理想的には30分、行うことができる。窒素原子の好ましい供給源は、窒素結合の破壊の容易さのために、N-O結合を有している。しかし、酸化窒素 (NO)、一酸化二窒素 (N<sub>2</sub>O)、アンモニア (NH<sub>3</sub>)、および窒素ガス (N<sub>2</sub>) のような他の供給源を使用することができる。そうでなければ、温度が毎秒約 10 から毎秒 200 の割合で上昇し 10 秒から 2 分の時間範囲でピークに達する速度で、大気圧で、約 800 から 1200 に加熱された反応炉中で、上述の窒素ベースの化合物の 1 つを使用して、急速熱処理 (RTP: rapid thermal processing) で窒素原子をゲート誘電体層中に導入する。代わりに、窒素プラズマ処理または窒素イオン注入を使用して、窒素原子がゲート誘電体層に添加される。Trivedi 等の目標は、少なくとも部分的に下の界面に沿って Si-N 結合を生成することである。下の界面領域についての Trivedi 等の好ましい目的は、PFET トランジスタ・ゲート層 (ホウ素で P 型ドープされる) から トランジスタ・チャンネル中への p 型材料の後の外方拡散を防止することである。Trivedi 等の他の目的は、半導体基板の後の処理中におけるゲート誘電体層のさらなる酸化を制限することである。Trivedi 等は、ゲート誘電体層を再酸化するために窒素領域を形成した後で行われる半導体基板の随意的さらなる熱処理を述べている。そのような再酸化工程の例は、1,000 sccm (1.69 Pa m<sup>3</sup> / s) の純粋 N<sub>2</sub>、6,000 sccm (10.14 Pa m<sup>3</sup> / s) の O<sub>2</sub>、50 sccm (0.0845 Pa m<sup>3</sup> / s) の N<sub>2</sub> 中で 900 であり、塩素ソース・ガスを 50 sccm (0.0845 Pa m<sup>3</sup> / s) で 50 分間使用する。関連特許に、「P-Type FET in a CMOS with Nitrogen Atoms in the Gate Dielectric」という名称の Trivedi 等の米国特許第 6,417,546 号、および「Semiconductor Processing Method of Forming Field Effect Transistors」という名称の Trivedi 等の米国特許第 6,541,395 号がある。

20

30

40

50

## 【 0 0 1 4 】

「Method For Improved Plasma Nitridation of Ultra Thin Gate Dielectrics」という名称の、2002年9月19日に公開されたKhare等の米国公開特許第20020130377A1号は、「基板材料に初期酸窒化物層を形成して．．．集積回路デバイスのゲート誘電体を形成し、酸窒化物層は初期物理厚さを有する。次に、初期酸窒化物層は、プラズマ窒化にかけられ、プラズマ窒化は、最終物理厚さを有する最終酸窒化物層をもたらす。」と記載している。「窒素ドーピング、特に遠隔プラズマ窒化(RPN: remote plasma nitridation)は、シリコン酸化物誘電体の誘電率(したがって、単位キャパシタンス)を増大させるための知られた技術である。ゲート酸化物層を窒化する知られた工程が説明される。」と述べている。さらに、「シリコン基板は．．．酸素添加環境中で．．．基板を加熱することのような酸化にかけられ、それによって、．．．SiO<sub>2</sub>の．．．絶縁性酸化物層を形成し、．．．酸化物層の誘電体性能は、．．．ゲート厚さがディーブ・サブミクロン寸法に縮小するとき、ますます重要になる。酸化物層の誘電率を改善して．．．単位キャパシタンス当たりのより小さな漏れ電流を実現するために、遠隔プラズマ窒化(RPN)として知られている工程によって、励起窒素原子が酸化物層に導入され．．．。RPN工程の結果として、酸化物層は．．．一般的な化学組成SiO<sub>x</sub>N<sub>y</sub>を有する．．．シリコン酸窒化物層に変換される．．．」と述べている。

10

## 【 0 0 1 5 】

RPN工程は、温度敏感材料を使用するとき問題を引き起こす高温工程である。

## 【 0 0 1 6 】

「SOI Device With Reduced Junction Capacitance」という名称の、2002年12月12日に公開されたFurukawaの米国公開特許第20020185675A1号は、「熱酸化の後に続く遠隔プラズマ窒化(RPN)またはデカップルド(分離)プラズマ窒化(DPN: decoupled plasma nitridation)による酸化物の窒化によって形成されたシリコン酸窒化物である」ゲート誘電体の形成の例を記載している。

20

## 【 0 0 1 7 】

「Method for Fabricating Semiconductor Devices Having Dual Gate Oxide Layers」という名称の、2003年5月29日に公開されたLim等の米国公開特許第20030100155A1号は、「a)半導体基板にゲート酸化物層を形成するステップ、およびb)デカップルド・プラズマ処理を行うことによってゲート酸化物層の一部の厚さを増加させるステップを含んだ二重ゲート酸化物を形成する方法」を備える選択DPN「分離処理」工程を記載している。さらに、「二重ゲート酸化物層はデカップルド・プラズマで形成されるので、追加の熱工程は必要でない。また、シリコン基板は損傷を受けないので、半導体デバイスのチャンネル特性を保証することができる。さらに、追加のチャンネル・イオン注入なしに、セル領域の閾値電圧は高められるので、半導体デバイスの電気特性を高めることができる。」と記載している。DPN処理は、「セル領域I」に使用されるが、「周辺回路領域II」では使用されない。セル領域Iおよび周辺回路領域IIは区別されるが、Lim等は、CMOSNFET領域およびPFET領域を区別するという概念を考えていない。Lim等は、チップのセル領域対周辺領域で異なったゲート誘電体厚さを生成する方法を開示し、この方法は、それぞれの領域の各々の中のNFETおよびPFETに同じゲート誘電体を生成するが、本発明の方法は、NFETとPFET(これらは、同じ厚さを有するようになる)を分離する。単一チップの複数のゲート誘電体厚さは、当産業ではまったく一般的なことである。例えば、単一チップに15、30、70のゲート誘電体があるかもしれない。しかし、各誘電体厚さの範囲内で、ゲート誘電体組成および厚さは、NFETおよびPFETの誘電体層で同じであり、このことが業界標準である。

30

40

## 【 0 0 1 8 】

DPN工程は低温工程であり、温度敏感材料を使用するときの問題を防止する。

## 【 0 0 1 9 】

Trivedi特許'395号において、窒素(N)は、ホウ素浸透の低減のためにPFETゲート誘電体層に加えられ、窒素(N)はNFETゲート誘電体層に加えられない。ゲ-

50

ト誘電体層の電気特性は、5 ~ 20 (本発明の好ましい範囲)と30 ~ 50 (Trivedi等の好ましい範囲)とでは非常に異なる。窒素濃度の増加による漏れ減少は、一般に、シリコン酸化物が約20よりも下のときだけ観察される。Trivedi等の特許は、本発明よりも遥かに厚い酸化物を対象にしているようである。Trivedi等がNをPFETのゲート酸化物中に入れる理由は、ゲート酸化物にNを加えることで酸窒化物を形成することであり、酸窒化物はホウ素拡散を阻止する傾向がある。そのことは、P+ポリシリコン・ゲート電極からPFETのチャンネル中へのホウ素浸透を減少させるという利点を有する。20以下の厚さ範囲では、NFETデバイスとPFETデバイスの両方で、純粋SiO<sub>2</sub>に比べて、酸窒化物によってゲート漏れ(leakage)が減少する。したがって、本発明は、NFETとPFETの両方のゲート誘電体層にNを入れる。

10

【特許文献1】米国特許第6,093,661号

【特許文献2】米国特許第6,417,546号

【特許文献3】米国特許第6,541,395号

【特許文献4】米国公開特許第20020130377A1号

【特許文献5】米国公開特許第20020185675A1号

【特許文献6】米国公開特許第20030100155A1号

【発明の開示】

【発明が解決しようとする課題】

【0020】

Trivedi等の特許は、最初に窒化シリコン酸化物の成長、レジスト・マス킹とHFエッチング、それから第2の(窒素がない)シリコン酸化物の成長を使用する。最初のシリコン酸化物は、第2の(窒素がない)酸化物にさらされるので、常により厚い。Trivedi等の特許は、比較的高温の熱工程に関するもので、そこに記載された工程は、常に、結果として比較的厚い第2のシリコン酸化物(PFET用のより薄い酸窒化物およびNFET用のより厚いSiO<sub>2</sub>)を生じさせる。NFETのより厚い酸化物は、トランジスタ駆動電流を減少させるマイナスの効果をもたらし、本発明は、Trivedi等の特許によって開示されたような高温酸化で見られる物理厚さの増加をなくすることができる低温プラズマを使用して、酸化物を生成する手段を提供する。したがって、本発明は、CMOSデバイスの2つの異なる領域、すなわちNFETゲート誘電体層とPFETゲート誘電体層に、異なるレベルの窒素濃度を実現しながら、NFETとPFETの両方のゲート誘電体層に同じ物理厚さを実現することができる(物理厚さの増加がトランジスタ電流を減少させるというところで生じるトランジスタ電流減少の問題を起こさないようにする)。

20

30

【課題を解決するための手段】

【0021】

Lim等を参照して、第1の非常に重要な差は、NFETゲート誘電体層の最適組成がPFETゲート誘電体層の最適組成と異なっているという我々の発見に本発明が基づいていることである。このことは一般に知られておらず、多くの実験を通して初めて我々はそれを発見した。第2に、上述の事実を知るとすぐに、CMOS性能を完全に最適化するために異なる酸窒化物濃度のNFETおよびPFETゲート誘電体層を生成することが非常に望ましいことに、我々は気付いた。本発明は、この向上した結果を実現するために、ソフト・フォトレジスト・マスクの組合せと共にDPNのような低温工程の使用を採用する。

40

【0022】

本発明の顕著な特徴は次の通りである。

室温プラズマによって、窒化で処理される領域のパターン形成においてフォトレジスト・ソフトマスクを使用することが可能になる。

PFET領域とNFET領域の両方に窒素が導入される(他の領域には、強い窒化にさらされたキャパシタ誘電体層を有する減結合(decoupling)キャパシタを含み得る)。

NFETの窒素は、ゲート漏れの減少に有利であるが、N濃度が余りにも高いとき移動度を劣化させる。

PFETの窒素は、ゲート漏れ/ホウ素浸透を減少させ、移動度を改善する。前の2つ

50

の事実（一般に知られていない）を組み合わせることで、P F E TおよびN F E Tのゲート酸化物を個々に最適化しようと導かれる。

【 0 0 2 3 】

同じ基礎酸化物がN F E T領域とP F E T領域の両方に使用され、窒素は個々に最適化される。サンプル：N F E T用の領域Nドーズ量 =  $0.8 \times 10^{15}$  から  $1.2 \times 10^{15} \text{ cm}^{-2}$ 、P F E T用のNドーズ量 =  $1.5 \times 10^{15}$  から  $2.5 \times 10^{15} \text{ cm}^{-2}$ 。この構成は、用途および所望の結果に依存して逆にすることができる。これは、単に、我々の発明に従った製造方法およびこの方法の製品に特に有利でかつ好ましいと分かった例に過ぎない。

【 0 0 2 4 】

本発明の前述およびその他の態様および有利な点は、添付の図面を参照して以下で説明し、また記述する。

【発明を実施するための最良の形態】

【 0 0 2 5 】

A) N F E TデバイスおよびP F E Tデバイスの酸窒化物ゲート誘電体の最適化は、デバイスごとに異なる。

B) 最適酸窒化物組成はN F E TデバイスとP F E Tデバイスで異なるので、N F E TデバイスおよびP F E Tデバイスのために酸窒化物組成を個々に最適化することが、全体的なC M O S性能（N F E TとP F E Tの組合せ）にとって有利である。

C) 本発明の方法は、単一半導體チップ内のN F E TデバイスとP F E Tデバイスのゲート酸窒化物の個々の最適化を実現するのに適応している。

【 0 0 2 6 】

前に説明したように、N F E TデバイスとP F E Tデバイスの両方の全体的な性能を最適化することができるように、N F E TデバイスおよびP F E Tデバイスのゲート誘電体層1 8 N / 1 8 Pの個々の最適化を行うことが望ましい。本発明のいくつかの実施形態を以下で説明する。

【実施例1】

【 0 0 2 7 】

図1 0 ~ 1 5の実施形態において、基板1 2のP型ドープN F E T領域1 4の上の低濃度窒化（lightly nitrided）N F E Tゲート誘電体層1 8 CおよびN型ドープP F E T領域1 6の上のより高濃度窒化（heavily nitrided）P F E Tゲート誘電体層1 8 Bの形成工程は、2つの別個のリソグラフィ・マスキング・ステップを使用して完全に分離されている。図1 0 ~ 1 5において、同様な要素には、図6 ~ 9に示した要素と同様な参照数字がついている。

【 0 0 2 8 】

図1 0は、製造の初期段階における、本発明にしたがって製造されるデバイス1 0を示す。デバイス1 0は、シリコン半導体基板1 2を含み、この基板1 2は、P型ドープN F E T領域1 4とN型ドープP F E T領域1 6の両方を基板1 2に含むように処理されている。

【 0 0 2 9 】

図1 1の工程ステップ

( 1 a a ) 図1 1は、N F E T領域1 4およびP F E T領域1 6の上にゲート酸化物層1 8 N / 1 8 Pをそれぞれ形成した後（図1 2に示すようにレジスト・マスクP R 1を形成する前）の図1 0のデバイス1 0を示す。ゲート酸化物層1 8 N / 1 8 Pを形成するために、好ましくは、薄い基礎（base）ゲート酸化物層1 8 N / 1 8 P（ $\text{SiO}_2$ または $\text{SiO}_x\text{Ny}$ ）を成長する次のステップが行われた。

【 0 0 3 0 】

望ましい膜特性

薄い基礎ゲート酸化物層1 8 N / 1 8 Pの物理厚さの望ましい範囲は、5 ~ 1 0 0 の範囲内であり、この好ましい厚さは特定の用途に依存している。窒素の取込みによるゲート漏れ減少のために好ましい厚さは5 ~ 2 0 である。

10

20

30

40

50

## 【 0 0 3 1 】

組成は、シリコン酸化物 ( $\text{SiO}_2$ ) から 0% ~ 30% の範囲の窒素のパーセンテージ (N%) を有するあるレベルの酸窒化物に及び、好ましい範囲は 3 ~ 10% である。

## 【 0 0 3 2 】

炉 (バッチ工程)

ガス:  $\text{O}_2$ 、 $\text{NO}$ 、 $\text{N}_2\text{O}$ 、 $\text{NH}_3$  または組合せ

温度範囲: 600 ~ 1000、700 ~ 850 が好ましい

圧力: 10 トル ~ 760 トル (1330 Pa ~ 101080 Pa)

時間は 5 分から 3 時間であるが、好ましくは 20 ~ 60 分、

または、(1a a) の代わりとして、以下で (1a b) のステップを行う。

10

## 【 0 0 3 3 】

(1a b) 単一ウェハ急速加熱処理装置 (RTP)

ガス:  $\text{O}_2$ 、 $\text{NO}$ 、 $\text{N}_2\text{O}$ 、 $\text{NH}_3$  または組合せ

温度範囲: 700 ~ 1100、800 ~ 950 が好ましい

圧力: 10 トル ~ 760 トル (1330 Pa ~ 101080 Pa)

時間は 5 秒から 400 秒であるが、好ましくは 15 ~ 30 秒。

## 【 0 0 3 4 】

第 1 のフォトリソグラフィ・ステップ - PFET または NFET のゲート酸化物層を遮蔽するマスクを形成:

(1b) 図 12 (図 8 の修正である) は、ゲート酸化物領域 18N を覆うが PFET 領域 16 の上のゲート酸化物 18P を露出させるように、標準的な遮蔽フォトレジスト (レジスト)・マスク PR1 を形成する工程の第 2 のステップを行った後の図 11 のデバイス 10 を示す。言い換えると、マスク PR1 は、NFET 領域 14 の上の酸化物を覆うが、PFET 領域 16 の上の酸化物 18P を露出させる。すなわち、遮蔽レジスト・マスク PR1 は、NFET 領域 14 の上のゲート酸化物層 18N を覆い、PFET 領域 16 の上のゲート酸化物 18P の部分を露出されたままにしておく。

20

## 【 0 0 3 5 】

第 1 のゲート酸化物領域の窒化

(1c) 図 12 は、また、ウェハ表面が露出されている PFET 領域 16 の上の図 11 のゲート酸化物層 18P の、窒素含有プラズマ 19P によるプラズマ窒化の窒化中における図 11 のデバイス 10 を示す。他方で、レジスト・マスク層 PR1 は窒素プラズマ 19P が NFET 領域 14 の上の酸化物表面 18N に到達するのを妨げるので、プラズマ 19P は、NFET 領域 14 の上のゲート酸化物層 18N の窒化を生じさせない。ステップ (1c) の処理パラメータは、次に説明する。

30

## 【 0 0 3 6 】

最初に低温プラズマ窒化を行う (フォトレジスト PR1 を保護するために、高温工程を使用できない)。

## 【 0 0 3 7 】

望ましい膜特性

物理厚さ 5 ~ 100、好ましい厚さは特定の用途に依存する。酸窒化物組成は、特定の用途に依存して、1 ~ 30% の N% の範囲にあり、5 ~ 15% が好ましい。

40

## 【 0 0 3 8 】

低温プラズマ窒化

プラズマ源: 標準プラズマ発生器、しかし、好ましくは、RF (高周波)

窒素供給源ガス: 好ましくは  $\text{N}_2$ 、しかし、 $\text{NO}$ 、 $\text{N}_2\text{O}$ 、 $\text{NH}_3$  が可能

キャリア・ガス: 好ましくは He または Ar、しかし Kr も可能

温度: 15 ~ 100、好ましくは 25

圧力: 1 ミリトルから 1 トル (0.133 Pa ~ 133 Pa)、好ましくは 10 ミリトルから 200 ミリトル (1.33 Pa ~ 26.6 Pa)

50 W から 1000 W のパワー、しかし、好ましくは 100 W から 200 W

50

時間は5～400秒、しかし、好ましくは15～30秒

【0039】

(1d) 図12の工程の結果が図13に示され、ここで、ゲート酸化物層18Pは、上述した上のステップ(1c)で窒化されてゲート誘電体層18Bに変換され、水平破線で陰影付けされたゲート誘電体層18BはN型ドープPFET領域16の上面の上のゲート酸化物層18の比較的高濃度窒化によるゲート誘電体領域18Bの形成を示しており、一方で、ゲート酸化物層18Nは、図11の終りの以前の状態のまま残っている。言い換えると、マスクPR1を通して露出されている(例えば、PFET)SiO<sub>2</sub>領域18Bは、プラズマ19Pによって窒化されたが、一方で、レジスト・マスクPR1で覆われた(例えば、NFET)層18Nは窒化から保護された。

10

【0040】

第1のマスクを剥離

図13は、また、レジスト・マスクPR1が標準的なフォトリソグラフィ剥離でデバイス10から剥離された後の図12のデバイス10を示す。

【0041】

第2のフォトリソグラフィ・ステップ - NFETまたはPFETのゲート酸化物層を遮蔽するマスクを形成

(1e) 図14は、今度は反対側の領域を覆って(例えば、PFETゲート誘電体層18Bを覆い、NFETゲート酸化物層18Nを露出させる)、ゲート誘電体領域18Bの上に遮蔽レジスト・マスクPR2を形成し、残りのNFETゲート酸化物領域18NをNFET領域14の上に露出されたままするように、第2のフォトリソグラフィ・ステップを行った後の図13のデバイス10を示す。

20

【0042】

第2のプラズマ窒化

(1f) 再び図14を参照して、次のステップは、別のプラズマ窒化(プラズマ19Nを含んだ窒素がNFET領域14の上のNFETゲート酸化物層18Nの窒化を行って、それをゲート誘電体層18C(図15)に変換する第2のプラズマ窒化)を行うことであるが、工程中のこのステップは、遮蔽レジスト・マスクPR2のために、PFETゲート誘電体層18Bの窒化を行わない。

【0043】

図15は、デバイス10のNFET/PFET領域14/16のNFETゲート誘電体層18CおよびPFETゲート誘電体層18Bのために、窒素濃度および工程を個々に最適化することができるように、デバイス10のNFET領域およびPFET領域を完全に分離する上述のシーケンスを使用した後の図14のデバイス10を示す。

30

【0044】

2つのマスクング・ステップ(PR1/PR2)があり、順序は逆にすることができるので、高濃度窒化か低濃度窒化かどちらでも最初に行うことができる。

【0045】

所望の膜特性

物理厚さ5～100の好ましい厚さは、特定の用途に依存し、ゲート漏れ電流減少が望ましい場合には、5～20が望ましい。

40

酸窒化物組成は、特定の用途に依存して、1～30%のN%の範囲にあり、5～15%が好ましい。

【0046】

低温プラズマ窒化

プラズマ源：標準プラズマ発生器、しかし、好ましくは、RF(高周波)

窒素供給源ガス：好ましくはN<sub>2</sub>、しかし、NO、N<sub>2</sub>O、NH<sub>3</sub>が可能

キャリア・ガス：好ましくはHeまたはAr、しかしKrも可能

温度：15～100、好ましくは25

圧力：1ミリトルから1トル(0.133Pa～133Pa)、好ましくは10ミリト

50

ルから200ミリトル(1.33Pa~26.6Pa)

50Wから1000Wのパワー、しかし、好ましくは100から200W

時間は5~400秒、しかし、好ましくは15~30秒。

【0047】

この特定の例では、PFEET領域への最初のプラズマ窒化19Pの、ゲート酸化物層で表された工程条件は、ゲート酸化物層で表されたNFET工程19Nよりも多くの窒素を導入するようなものである。ゲート酸化物層の窒化19Pの工程のより高い窒素濃度は、より長い時間、より高いパワー、またはより低い圧力のような様々なパラメータによって実現することができる。

【0048】

第2のマスクを剥離

(1g)図15に示すようにマスクPR2を除去するレジスト剥離工程を行う。ここで、ゲート誘電体層18Cは、上で説明したように以前により高濃度窒化されたN型ドープPFEET領域16の上でなく、P型ドープNFET領域14の上面の上の低濃度窒化されたゲート酸化物層18Nのゲート誘電体領域18Cの窒化の結果を示すように点(ドット)で薄く陰影付けされた。

【0049】

(1h)トランジスタを形成するための通常の工程流れを続ける。例えば、図26で示すようにポリシリコン・ゲート堆積を行う。

【0050】

以下に見出される第2および第3の実施形態の説明は、基礎(ベース)酸化物およびプラズマ窒化の範囲は第1の実施形態と変わらないので、これらの比較的詳細でない説明を含む。

【実施例2】

【0051】

図16~19を参照して説明する場合には、図10~15で示すような第1の実施形態の二重マスクング・ステップとは対照的に、単一リソグラフィ・マスクング・ステップを使用して、図19に示すようにNFETおよびPFEETの誘電体領域18Dと18Eが分離されている。

【0052】

(2a)図16を参照すると、第1の実施形態のステップ(1aa)またはステップ(1ab)を参照して上で説明したように、薄い基礎ゲート酸化物層18N/18P(SiO<sub>2</sub>またはSiO<sub>x</sub>N<sub>y</sub>)が成長されている。

【0053】

(2b)NFETゲート酸化物18Nである左部分を覆うフォトレジスト・マスクPR3を使用し、ここで、図19のゲート誘電体デバイス領域18Dはより低濃度に窒化されるようになる(例えば、NFET領域14の上のゲート酸化物層18Nを覆い、PFEET領域16の上のゲート酸化物層18Pを露出させる)。

【0054】

(2c)図16を参照すると、図19のより高濃度に窒化されたゲート誘電体18EがPFEET領域16の上に形成されるために必要な窒素濃度の大部分および工程を含む、プラズマ19Pによるマスクされた第1のプラズマ窒化が行われる。工程の詳細については上記を参照されたい。

【0055】

(2d)レジスト・マスクPR3を剥離する。図17は、マスクPR3を除去した後の図16のデバイス10を示し、さらにゲート酸化物層18PがPFEET領域16の上で高濃度に窒化されたゲート誘電体層18Bを示す。

【0056】

(2e)図18を参照すると、ゲート酸化物層18Nと部分的に窒化されたPFEETゲート誘電体層18Bの両方の中に窒化物を導入するように、プラズマ19N'による追加

10

20

30

40

50

(第2)のより低濃度のプラズマ窒化が行われる。このマスクされない第2のプラズマ窒化は、図19に示すように、すでに低濃度に窒化されている窒化ゲート誘電体層18B中の窒素濃度を高めて、PFEETゲート誘電体層18Eを最適化しかつNFET領域14の上にNFETゲート誘電体層18Dを実現するのに必要なレベルに達する高濃度ドーピングPFEETゲート誘電体層18Eを形成する。

【0057】

もしくは、最初にマスクなしでより低濃度の窒化を行い、それから、NFETゲート誘電体層18Dがマスクされている状態で、第2の窒化を行うことができる。

【0058】

(2f)トランジスタを形成するために工程流れの残りを続ける(例えば、ポリシリコン堆積)。

10

【0059】

このシーケンスを使用することで、デバイス10のNFET領域とPFEET領域は分離されるが、より高濃度に窒化されたNFETゲート誘電体層18Eの窒素濃度は2つの窒化ステップの和であるので、完全とは言えない。このシーケンスは、第1の実施形態に比べてマスクング・ステップを節約する。

【実施例3】

【0060】

図20から23は、PFEET領域16(またはNFET領域14、説明の便宜上PFEET領域16だけを示す)であり得る領域の窒化と組み合わせて、キャパシタ領域24の上のキャパシタ誘電体層18F(図9で示すように)に有用な高濃度窒化シリコン酸化物のための窒化を実現する工程を示す。キャパシタ誘電体層の望ましい特性は、単位面積当たりの高いキャパシタンス、低い漏れ、および高信頼性である。キャパシタは、トランジスタ伝導電流がないので、高移動度を必要としない。したがって、キャパシタが洩れ難くなり、かつ単位面積当たりにより高い容量密度を有するようになるように、膜の誘電率を最適化するのに必要なだけの窒素を添加することが望ましい。

20

【0061】

工程シーケンスは次の通りである。

【0062】

3a)上記で説明した実施形態のように、トランジスタ用の基礎酸化物18P/18N(NFET領域およびPFEET領域14/16)およびキャパシタ領域24の基礎酸化物18Kを成長する。これらの基礎酸化物18Kおよび18P/18Nは、必要であれば、異なる酸化物厚さを有することができ、図20および21で示すように標準的な酸化および集積化シーケンスによって生成される。ここで、マスクPR5で保護された左のキャパシタ領域24の上のシリコン酸化物層18Kの上にマスクPR5がある状態で、プラズマ19Pを用いたPFEET領域16の上の窒化は、窒化ゲート誘電体18B(PFEET領域16の上)を実現している。したがって、シリコン酸化物層18Kは、この点で窒化のない状態のままになっている。

30

【0063】

3b)次に、図22で示すように、トランジスタ領域の窒化ゲート誘電体層18B、その他をマスクPR6で覆うように、フォトリソグラフィ・マスクング・ステップが図21のデバイスに対して行われる。保護された領域には、PFEET領域16のゲート誘電体層18BおよびNFET領域14のゲート誘電体層18C(この図には示されていない)がある。マスクPR6は、酸化シリコン層18Kがキャパシタ領域24の上に露出されたままにする。

40

【0064】

3c)図23は、図22の開口したキャパシタ領域をプラズマ19N'にさらした後の図22のデバイス10を示し、このプラズマ19N'は、図23のキャパシタ誘電体層18Fを適切な窒素濃度に窒化する。移動度は問題でなく、漏れとキャパシタンスだけが最適化されればよいので、一般に、この濃度は、トランジスタ(NFETおよびPFEET)

50

領域よりも高濃度である。

【0065】

NFETデバイスまたはPFETデバイスのような様々なデバイス領域で選択的最適化プラズマ窒化を必要とするか、または選択的最適化プラズマ窒化から恩恵を受ける、どんな高Kゲート誘電体(HfO<sub>2</sub>、HfSiO<sub>2</sub>、ZrO<sub>2</sub>、その他)の集積化にも、これらの実施形態のどれでも応用することができる。

【0066】

図24(a)は、本発明および従来技術に従ったインバータ回路(図示のように接続されたNFETおよびPFETデバイス)の平面図を示す。

【0067】

図24(b)は、図24の陰影付け部分の凡例を示す。

【0068】

図24(c)は、図24のデバイスの概略回路図である。

【0069】

図24(a)を参照すると、そのような回路(インバータはすべてのCMOS回路の構成要素である)のデバイスのゲート酸化物の組成を調べることによって、当業者にはよく知られている分析技術を使用してNFET領域14の上のゲート誘電体層の窒素濃度がPFET領域16の上のゲート誘電体層の窒素濃度と同じであるかどうかを容易に決定することができる。

【0070】

標準のゲート誘電体集積化シーケンスは、結果として、NFET領域およびPFET領域に同じ窒素濃度を生じさせる。

【0071】

本発明は、NFETおよびPFETのゲート誘電体層のゲート誘電体に異なる窒素濃度を与え、このことは有利であり、また本発明はそのような構成を実現する方法を提供する。

【0072】

図25は、NFET領域14およびPFET領域16の各々のゲート誘電体層18Aの上にゲート電極30/32を形成し、それに続いてデバイス10のNFET領域14およびPFET領域16の各々に自己整合ソース領域Sおよびドレイン領域Dを形成した後の、Khare等の公開特許出願の教示に似ている図9のデバイス10を示す。Khare等の公開出願によって教示された内容の重要な特徴は、ゲート誘電体厚さおよび窒素濃度はNFETとPFETの両方のデバイス領域で同じであり、したがって2つのデバイスのうちの一方にとっては最適でないということである。

【0073】

図26は、NFET領域14のNFETゲート誘電体層18Dの上のゲート電極40およびPFET領域16を覆うPFETゲート誘電体層18Eの上のゲート電極42を形成し、それに続いて、デバイス10のNFET領域14およびPFET領域16の各々に自己整合ソース領域Sおよびドレイン領域Dを形成した後の、本発明に従った図19のデバイスを示す。ゲート誘電体厚さは両方の領域で実質的に同じであるが、物理厚さが異なっている米国特許第6,541,395号のTrivediのデバイスと対照的に、窒素濃度は、NFETとPFETとで異なっている。

【0074】

図27は、CMOS集積回路を共に形成するNFETデバイスとPFETデバイスを最適化する際のトレードオフをまとめて示す表である。窒素濃度の縦列(カラム)は、NFETおよびPFETのゲート誘電体の設計、ゲート漏れへの影響、およびNFETおよびPFETの移動度の組合せを実証する試料領域の窒素濃度である。ゲート漏れは、集積回路の電力損失の重要な部分である。NFETおよびPFETの移動度の組合せは、全体的なCMOS集積回路性能を評価するために使用することができる尺度である。ゲート漏れは重要であるが、最適化すべき優先パラメータは最後の列であり、その最後の列は、NF

10

20

30

40

50

E TおよびP F E Tの移動度の組合せでおおかた決定される全体的なC M O S回路性能である。

【 0 0 7 5 】

行Aは、N F E TとP F E Tの両方について、純粋S i O <sub>2</sub>ゲート誘電体である。窒素はないので、ゲート漏れは許容できないほどに高い(-)。純粋S i O <sub>2</sub>は、C M O S技術の初めからゲート誘電体として使用されているので、参照標準として扱われている(○)。

【 0 0 7 6 】

行BおよびCは、従来技術方法で実現された異なるレベルの窒素濃度を表す。N F E TおよびP F E Tのゲート誘電体の窒素濃度は、両方が同時に生成されるので、同じである。N F E TデバイスとP F E Tデバイスの両方の窒素濃度を行BからCに増加すると、ゲート漏れが減少するが、N F E T移動度を劣化させるという不利益がある。

【 0 0 7 7 】

行Dは、本発明を使用して実現されたデバイス構成を表す。ここで説明したようにN F E TおよびP F E Tのゲート誘電体を個々に窒化することによって、両方のデバイスの移動度を別々に最適化し、かつ行Dの最後の列に+で示される最高の可能な全体的C M O Sデバイス性能を実現することが可能である。これは、行BおよびCの従来技術では実現されない。

【 0 0 7 8 】

本発明は、上の特定の実施形態の点から説明したが、本発明は、添付の特許請求の範囲の精神および範囲内で、修正物で実施することができること、すなわち、本発明の精神および範囲から逸脱することなしに、形態および細部の変化物を作ることができることを、当業者は認めるであろう。例えば、好ましい作業モードとして上で説明した低温プラズマ窒化およびフォトレジスト・ソフトマスクの代わりに、ハードマスクの適切な選択と共により高温の熱窒化を使用することができる。したがって、すべてのそのような変化物は、本発明の範囲内に入り、本発明は、特許請求の範囲の内容を含む。

【 図面の簡単な説明 】

【 0 0 7 9 】

【 図 1 】酸窒化物を形成する遠隔プラズマ窒化(R P N)工程を使用するとき、処理の継続時間の増加と共にゲート漏れ電流がどのように減少するかを示す図である。

【 図 2 】プラズマ窒化がP F E TデバイスおよびN F E Tデバイスの駆動電流にどのように異なった影響を及ぼすかの例を示す図である。

【 図 3 】プラズマ窒化がP F E TデバイスおよびN F E Tデバイスの駆動電流にどのように異なった影響を及ぼすかの例を示す図である。

【 図 4 】プラズマ窒化がP F E TデバイスおよびN F E Tデバイスの駆動電流にどのように異なった影響を及ぼすかの他の例を示す図である。

【 図 5 】プラズマ窒化がP F E TデバイスおよびN F E Tデバイスの駆動電流にどのように異なった影響を及ぼすかの他の例を示す図である。

【 図 6 】概略概念図であり、図9に示すように、図24の線A - A'およびB - B'に沿った、シリコン基板に形成された半導体デバイスのP F E TおよびN F E T領域である2つの並置された断面が示されており、ゲート誘電体集積化の標準的な一連の処理ステップが、最も薄いゲート誘電体層を有する高性能トランジスタに同じP F E TおよびN F E T酸窒化物ゲート誘電体をもたらす方法を示す従来技術工程の1つのステップを示している。

【 図 7 】概略概念図であり、図9に示すように、図24の線A - A'およびB - B'に沿った、シリコン基板に形成された半導体デバイスのP F E TおよびN F E T領域である2つの並置された断面が示されており、ゲート誘電体集積化の標準的な一連の処理ステップが、最も薄いゲート誘電体層を有する高性能トランジスタに同じP F E TおよびN F E T酸窒化物ゲート誘電体をもたらす方法を示す従来技術工程の1つのステップを示している。

10

20

30

40

50

【図 8】概略概念図であり、図 9 に示すように、図 24 の線 A - A' および B - B' に沿った、シリコン基板に形成された半導体デバイスの P F E T および N F E T 領域である 2 つの並置された断面が示されており、ゲート誘電体集積化の標準的な一連の処理ステップが、最も薄いゲート誘電体層を有する高性能トランジスタと同じ P F E T および N F E T 酸窒化物ゲート誘電体をもたらす方法を示す従来技術工程の 1 つのステップを示している。

【図 9】概略概念図であり、図 24 の線 A - A' および B - B' に沿った、シリコン基板に形成された半導体デバイスの P F E T および N F E T 領域である 2 つの並置された断面が示されており、ゲート誘電体集積化の標準的な一連の処理ステップが、最も薄いゲート誘電体層を有する高性能トランジスタと同じ P F E T および N F E T 酸窒化物ゲート誘電体をもたらす方法を示す従来技術工程の 1 つのステップを示している。

10

【図 10】本発明の第 1 の実施形態に従った工程を示す図であり、一方で N F E T ゲート誘電体層を、他方で P F E T ゲート誘電体層を形成するステップは、2 つの別個のリソグラフィ・マスクング・ステップを使用して完全に分離される。

【図 11】本発明の第 1 の実施形態に従った工程を示す図であり、一方で N F E T ゲート誘電体層を、他方で P F E T ゲート誘電体層を形成するステップは、2 つの別個のリソグラフィ・マスクング・ステップを使用して完全に分離される。

【図 12】本発明の第 1 の実施形態に従った工程を示す図であり、一方で N F E T ゲート誘電体層を、他方で P F E T ゲート誘電体層を形成するステップは、2 つの別個のリソグラフィ・マスクング・ステップを使用して完全に分離される。

20

【図 13】本発明の第 1 の実施形態に従った工程を示す図であり、一方で N F E T ゲート誘電体層を、他方で P F E T ゲート誘電体層を形成するステップは、2 つの別個のリソグラフィ・マスクング・ステップを使用して完全に分離される。

【図 14】本発明の第 1 の実施形態に従った工程を示す図であり、一方で N F E T ゲート誘電体層を、他方で P F E T ゲート誘電体層を形成するステップは、2 つの別個のリソグラフィ・マスクング・ステップを使用して完全に分離される。

【図 15】本発明の第 1 の実施形態に従った工程を示す図であり、一方で N F E T ゲート誘電体層を、他方で P F E T ゲート誘電体層を形成するステップは、2 つの別個のリソグラフィ・マスクング・ステップを使用して完全に分離される。

【図 16】本発明の第 2 の実施形態に従った工程を示す図である。

30

【図 17】本発明の第 2 の実施形態に従った工程を示す図である。

【図 18】本発明の第 2 の実施形態に従った工程を示す図である。

【図 19】本発明の第 2 の実施形態に従った工程を示す図であり、図 10 ~ 15 で示すような第 1 の実施形態の二重マスクング・ステップと対照的に、単一リソグラフィ・マスクング・ステップを使用する工程で形成された、分離された N F E T と P F E T のゲート誘電体領域がある。

【図 20】本発明の第 3 の実施形態に従った工程を示す図であり、デバイスのキャパシタ領域のキャパシタ誘電体層として有用な高窒化シリコン酸化物の層を生成する窒化を行う工程が、図示の便宜のために 1 つだけが示されている P F E T 領域または N F E T 領域であり得るデバイスの他の領域の窒化と組み合わせられている。

40

【図 21】本発明の第 3 の実施形態に従った工程を示す図であり、デバイスのキャパシタ領域のキャパシタ誘電体層として有用な高窒化シリコン酸化物の層を生成する窒化を行う工程が、図示の便宜のために 1 つだけが示されている P F E T 領域または N F E T 領域であり得るデバイスの他の領域の窒化と組み合わせられている。

【図 22】本発明の第 3 の実施形態に従った工程を示す図であり、デバイスのキャパシタ領域のキャパシタ誘電体層として有用な高窒化シリコン酸化物の層を生成する窒化を行う工程が、図示の便宜のために 1 つだけが示されている P F E T 領域または N F E T 領域であり得るデバイスの他の領域の窒化と組み合わせられている。

【図 23】本発明の第 3 の実施形態に従った工程を示す図であり、デバイスのキャパシタ領域のキャパシタ誘電体層として有用な高窒化シリコン酸化物の層を生成する窒化を行う

50

工程が、図示の便宜のために１つだけが示されている P F E T 領域または N F E T 領域であり得るデバイスの他の領域の窒化と組み合わせられている。

【図 2 4】本発明および従来技術に従ったインバータ回路（図示のように接続された N F E T および P F E T のデバイス）を示す平面図および概略回路図である。

【図 2 5】N F E T 領域および P F E T 領域の各々のゲート誘電体層の上にゲート電極を形成し、それに続いて、デバイスの N F E T 領域および P F E T 領域の各々に自己整合ソース領域およびドレイン領域を形成した後の、図 1 3 の従来技術デバイスに沿った断面図である。

【図 2 6】N F E T 領域および P F E T 領域の各々のゲート誘電体層の上にゲート電極を形成し、それに続いて、デバイスの N F E T 領域および P F E T 領域の各々に自己整合ソース領域およびドレイン領域を形成した後の、本発明に従った図 1 9 のデバイスを示す図である。

10

【図 2 7】C M O S デバイスの N F E T 領域対 P F E T 領域に対するゲート誘電体層の異なる程度の窒化の効果をまとめて示す表である。

【符号の説明】

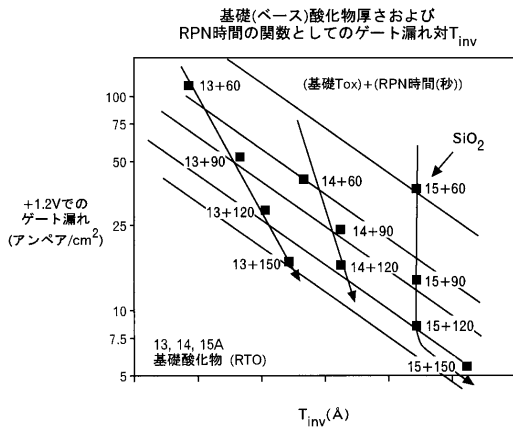
【 0 0 8 0 】

- 1 0 デバイス
- 1 2 基板
- 1 4 P 型ドーブ N F E T 領域
- 1 6 N 型ドーブ P F E T 領域
- 1 8 N N F E T のゲート酸化物層
- 1 8 P P F E T のゲート酸化物層
- P R 1 遮蔽レジスト・マスク
- P R 2 遮蔽レジスト・マスク
- P R 3 遮蔽レジスト・マスク
- P R 5 遮蔽レジスト・マスク
- P R 6 遮蔽レジスト・マスク
- 1 9 P 窒素含有プラズマ
- 1 9 N ' 窒素含有プラズマ
- 1 8 B 窒化 P F E T ゲート誘電体層
- 1 8 D 窒化 N F E T ゲート誘電体層
- 1 8 E 高濃度ドーブ P F E T ゲート誘電体
- 1 8 C 低濃度窒化 N F E T ゲート誘電体層
- 1 8 K シリコン酸化物層
- 1 8 F キャパシタ誘電体
- S ソース
- D ドレイン
- 4 0 ゲート電極
- 4 2 ゲート電極

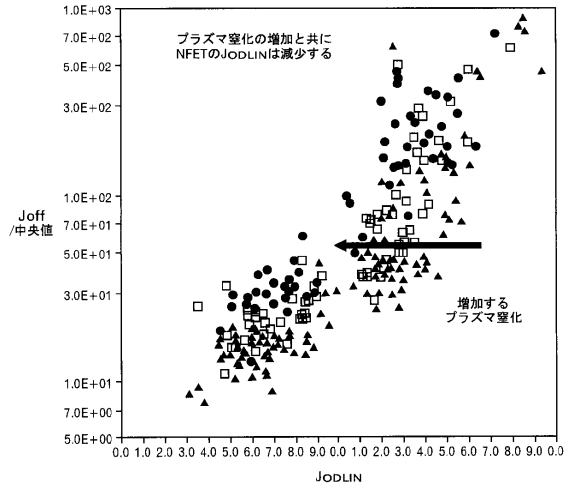
20

30

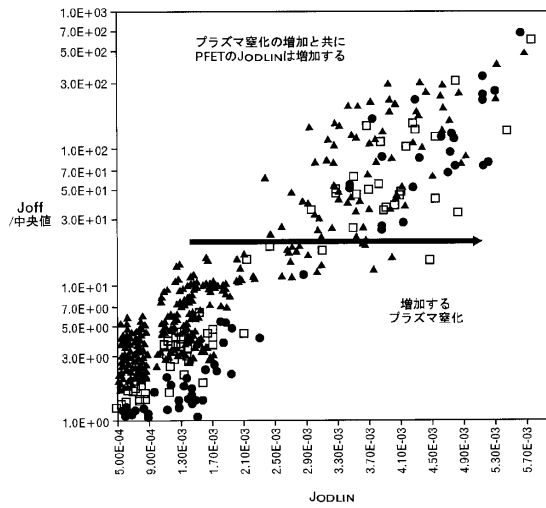
【 図 1 】



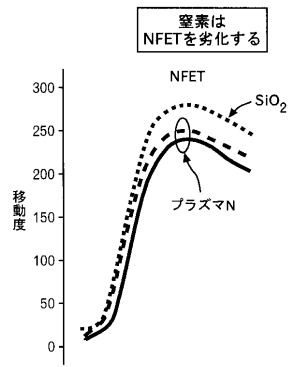
【 図 2 】



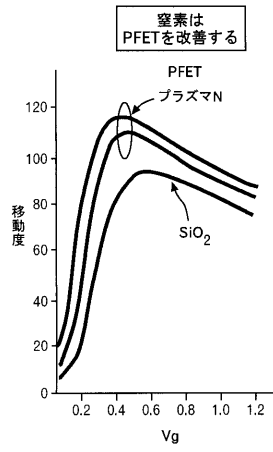
【 図 3 】



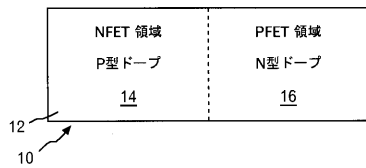
【 図 4 】



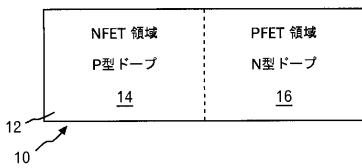
【図5】



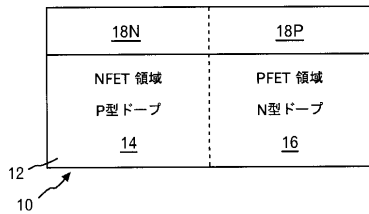
【図6】



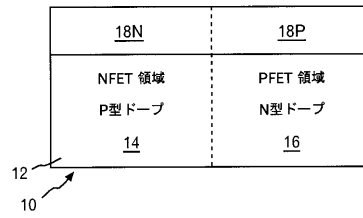
【図10】



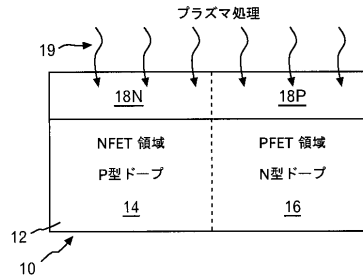
【図11】



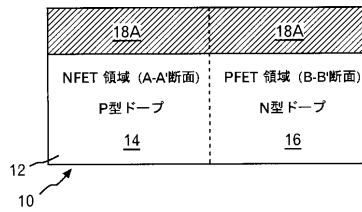
【図7】



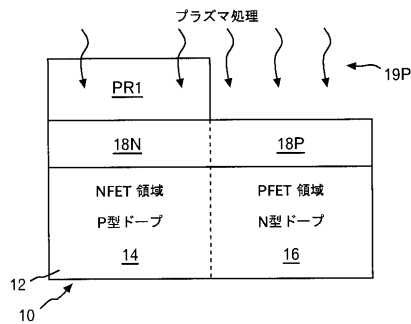
【図8】



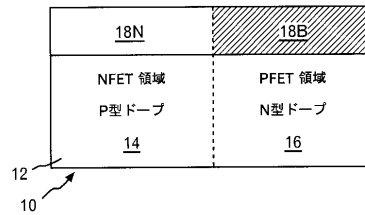
【図9】



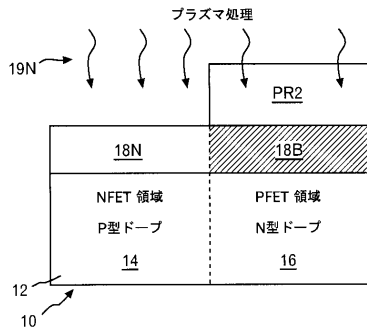
【図12】



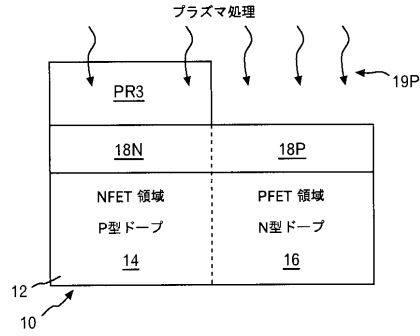
【図13】



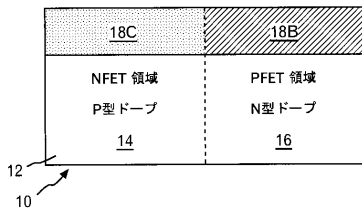
【図14】



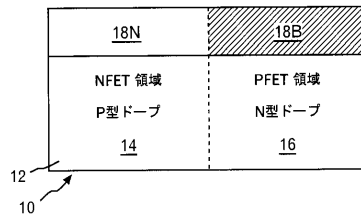
【図16】



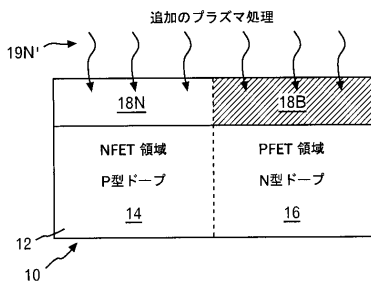
【図15】



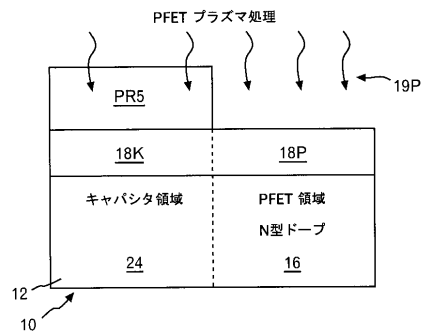
【図17】



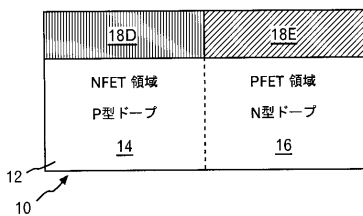
【図18】



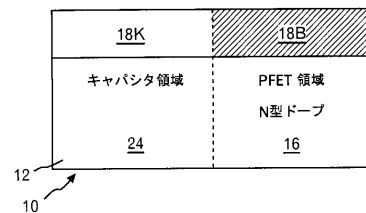
【図20】



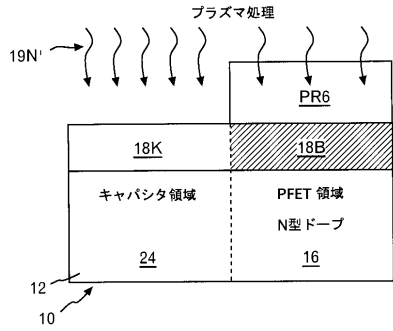
【図19】



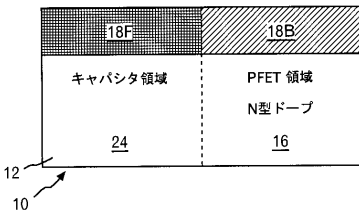
【図21】



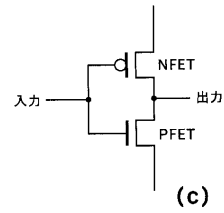
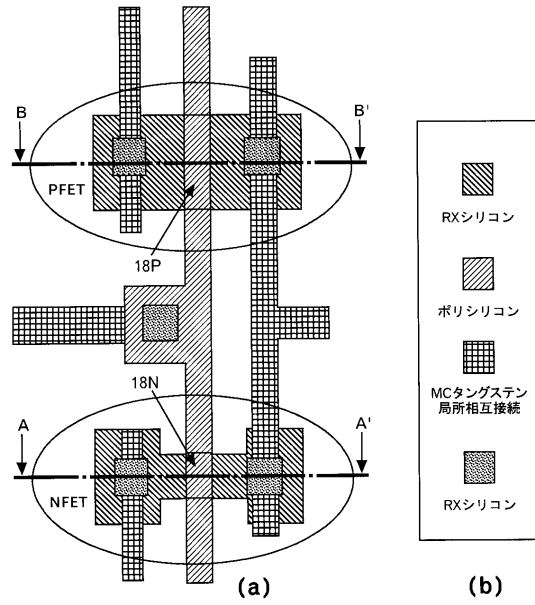
【図22】



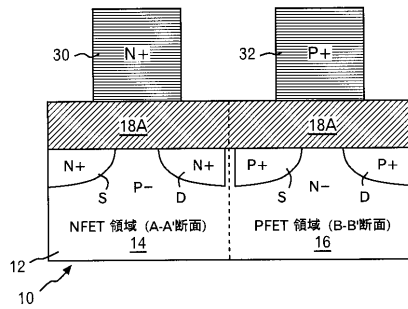
【図23】



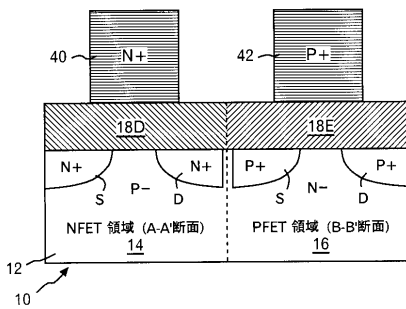
【図24】



【図25】



【図26】



【図27】

	窒化濃度		ゲート漏れ		移動度		性能 CMOS 性能尺度 (NFET+PFET)
	PFET 窒化ドーパ 量 ( $\text{cm}^{-2}$ )	NFET 窒化ドーパ 量 ( $\text{cm}^{-2}$ )	PFET ゲート漏れ	NFET ゲート漏れ	PFET 移動度	NFET 移動度	
A	0E15	0E15	-	-	○	○	○
B	1E15	1E15	○	○	○	○	○
C	2E15	2E15	+	+	+	-	○
D	2E15	1E15	+	○	+	○	+

凡例： - =劣る    ○ =許容可能    + =改善された

フロントページの続き

(51)Int.Cl. F I

**H 0 1 L 29/78 (2006.01)**

- (72)発明者 チョウ、アンソニー、アイ  
アメリカ合衆国 1 2 5 2 4 ニューヨーク州フィッシュキル アパート 4 0 C グリーンヒルドラ  
イブ 8
- (72)発明者 フルカワ、トシハル  
アメリカ合衆国 0 5 4 5 2 バーモント州エセックスジャンクション オークウッドレーン 9
- (72)発明者 バレカンブ、パトリック、アール  
アメリカ合衆国 1 0 5 2 0 ニューヨーク州クロトンオンハドソン ビークマンアベニュー 1 3
- (72)発明者 スリート、ジェフリー、ダブリュー  
アメリカ合衆国 0 6 8 7 7 コネチカット州リッジフィールド キーロードドライブ 1 2 9
- (72)発明者 セキグチ、アキヒサ  
アメリカ合衆国 1 0 5 1 0 ニューヨーク州ブライアークリフマナー ハードスクラブルロード  
2 5 0

合議体

審判長 池淵 立

審判官 西脇 博志

審判官 近藤 幸浩

- (56)参考文献 特開 2 0 0 2 - 3 3 4 9 3 9 ( J P , A )  
特開 2 0 0 3 - 1 9 7 7 6 7 ( J P , A )  
特開 2 0 0 3 - 1 3 3 5 5 0 ( J P , A )  
特開平 1 1 - 1 6 2 9 7 1 ( J P , A )  
特開平 0 9 - 1 1 5 8 4 4 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H01L27/092

H01L21/8236