



(12) 发明专利

(10) 授权公告号 CN 103514834 B

(45) 授权公告日 2016. 06. 08

(21) 申请号 201310116389. 1

(22) 申请日 2013. 04. 03

(30) 优先权数据

13/539, 181 2012. 06. 29 US

(73) 专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 黄琮靖 陈建宏 钟道文 黄明杰

林志昌

(74) 专利代理机构 北京德恒律治知识产权代理

有限公司 11409

代理人 章社呆 孙征

(51) Int. Cl.

G09G 3/3233(2016. 01)

G09G 5/10(2006. 01)

(56) 对比文件

CN 101903936 A, 2010. 12. 01, 全文 .

CN 101329837 A, 2008. 12. 24, 全文 .

US 2009225014 A1, 2009. 09. 10, 全文 .

Tsung-Ching Huang, et al. A Floating-Gate

OTFT-Driven AMOLED Pixel Circuit for Variation and Degradation Compensation in Large-Sized Flexible Displays. <SID Symposium Digest of Technical Papers>. 2011, 第 42 卷 (第 1 期), 149-152.

审查员 贺轶

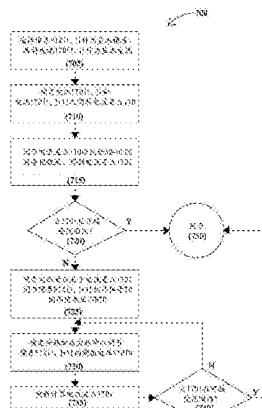
权利要求书5页 说明书12页 附图5页

(54) 发明名称

用于显示器的像素

(57) 摘要

本发明涉及用于显示器的像素，调节显示器的第一像素的电流值和 / 或第二像素的电流值，直到电流差值可接受为止。第一像素的电流值对应于第一像素的亮度级。第二像素的电流值对应于第二像素的亮度级。调节第一像素的电流值涉及调节第一像素的晶体管的阈值电压值。调节第二像素的电流值涉及调节第二像素的晶体管的阈值电压值。



1. 一种增加显示器中的第一像素和第二像素之间的亮度均匀性的方法,包括:

确定所述第一像素的电流值;

确定所述第二像素的电流值;以及

调节所述第一像素的电流值和所述第二像素的电流值中的至少一个,如果所述第一像素的电流值和所述第二像素的电流值之间的电流差值超出预定范围,则基于所述电流差值来确定所述第一像素的晶体管的阈值电压和所述第二像素的晶体管的阈值电压中的至少一个的电压调节量,确定且施加应力脉冲以调节所述第一像素的晶体管的阈值电压和所述第二像素的晶体管的阈值电压中的至少一个,重新计算所述第一像素的电流值和所述第二像素的电流值之间的电流差值,直到所述第一像素的电流值和所述第二像素的电流值之间的电流差值在所述预定范围内,

其中,

所述第一像素的电流值对应于所述第一像素的发光二级管(LED)的亮度级并且由所述第一像素的晶体管提供;

所述第二像素的电流值对应于所述第二像素的LED的亮度级并且由所述第二像素的晶体管提供;

调节所述第一像素的电流值包括调节所述第一像素的晶体管的阈值电压值;以及

调节所述第二像素的电流值包括调节所述第二像素的晶体管的阈值电压值。

2. 根据权利要求1所述的方法,进一步包括以下条件中的至少一个:

所述第一像素的晶体管具有影响所述第一像素的晶体管的阈值电压值的浮棚存储电荷;和

所述第二像素的晶体管具有影响所述第二像素的晶体管的阈值电压值的浮棚存储电荷。

3. 根据权利要求1所述的方法,进一步包括以下条件中的至少一个:

调节所述第一像素的晶体管的阈值电压值包括调节所述第一像素的晶体管的浮棚中的电荷;和

调节所述第二像素的晶体管的阈值电压值包括调节所述第二像素的晶体管的浮棚中的电荷。

4. 根据权利要求1所述的方法,进一步包括以下条件中的至少一个:

调节所述第一像素的电流值进一步包括:在第一时间段内将第一电压施加至所述第一像素的晶体管的第一端子,同时将第二电压值施加至所述第一像素的晶体管的第二端子并且将第三电压值施加至所述第一像素的晶体管的第三端子;和

调节所述第二像素的电流值进一步包括:在第二时间段内将第四电压施加至所述第二像素的晶体管的第一端子,同时将第五电压值施加至所述第二像素的晶体管的第二端子并且将第六电压值施加至所述第二像素的晶体管的第三端子。

5. 根据权利要求1所述的方法,进一步包括以下条件中的至少一个:

通过与所述第一像素的晶体管的第一端子耦合的第一开关,将第一电压施加至所述第一像素的晶体管的第一端子;以及通过与所述第一像素的晶体管的第二端子耦合的第二开关,将第二电压施加至所述第一像素的晶体管的第二端子;和

通过与所述第二像素的晶体管的第一端子耦合的第三开关,将第三电压施加至所述第

二像素的晶体管的第一端子；以及通过与所述第二像素的晶体管的第二端子耦合的第四开关，将第四电压施加至所述第二像素的晶体管的第二端子。

6. 根据权利要求1所述的方法，进一步包括以下条件中的至少一个：

调节所述第一像素的电流值包括补偿所述第一像素的LED的劣化；和

调节所述第二像素的电流值包括补偿所述第二像素的LED的劣化。

7. 根据权利要求6所述的方法，进一步包括以下条件中的至少一个：

基于通过第一开关施加到所述第一像素的第一晶体管的第一端子的第一电压，截止所述第一像素的第一晶体管；

基于流过第二开关和所述第一像素的LED的电流，确定所述第二开关的端子处的第二电压；以及

所述第二开关与所述第一像素的LED和所述第一像素的第一晶体管耦合；

基于通过第三开关施加至所述第二像素的第一晶体管的第一端子的第一电压，截止所述第二像素的第一晶体管；

基于流过第四开关和所述第二像素的LED的电流，确定所述第四开关的端子处的第二电压；以及所述第四开关与所述第二像素的LED和所述第二像素的第一晶体管耦合。

8. 一种显示器的像素电路，包括基本像素和第一像素，其中，所述基本像素和所述第一像素均包括：

第一晶体管，具有第一端子、第二端子和第三端子；

第一开关；

第二开关；以及

发光二极管，

其中，

所述第一晶体管的第一端子与所述第一开关耦合；

所述像素电路被配置成满足以下条件中的至少一个：

所述LED的第一端与所述第二开关和所述第一晶体管的第三端子耦合；和

所述LED的第二端与所述第二开关和所述第一晶体管的第二端子耦合；

其中，确定所述基本像素的电流值和所述第一像素的电流值之间的电流差值，如果所述电流差值超出预定范围，则基于所述电流差值来确定所述第一像素的第一晶体管的阈值电压的电压调节量，确定且施加应力脉冲以调节所述第一像素的第一晶体管的阈值电压，重新计算所述第一像素的电流值和所述基本像素的电流值之间的电流差值，直到所述电流差值在所述预定范围内。

9. 根据权利要求8所述的像素电路，其中，

所述像素电路被配置成满足第一组条件、第二组条件、第三组条件和第四组条件中的至少一个；

所述第一组条件包括：

所述第一晶体管是第一PMOS晶体管，所述第一开关包括第二PMOS晶体管，并且所述第二开关包括第三PMOS晶体管；

所述第一PMOS晶体管的栅极与所述第二PMOS晶体管耦合；以及

所述第一PMOS晶体管的漏极与所述LED的正端子和所述第三PMOS晶体管耦合；

所述第二组条件包括：

所述第一晶体管是所述第一PMOS晶体管，所述第一开关包括所述第二PMOS晶体管，并且所述第二开关包括所述第三PMOS晶体管；

所述第一PMOS晶体管的栅极与所述第二PMOS晶体管耦合；以及

所述第一PMOS晶体管的源极与所述LED的负端子和所述第三PMOS晶体管耦合；

所述第三组条件包括：

所述第一晶体管是第一NMOS晶体管，所述第一开关包括第二NMOS晶体管，并且所述第二开关包括第三NMOS晶体管；

所述第一NMOS晶体管的栅极与所述第二NMOS晶体管耦合；以及

所述第一NMOS晶体管的漏极与所述LED的负端子和所述第三NMOS晶体管耦合；以及

所述第四组条件包括：

所述第一晶体管是所述第一NMOS晶体管，所述第一开关包括所述第二NMOS晶体管，并且所述第二开关包括所述第三NMOS晶体管；

所述第一NMOS晶体管的栅极与所述第二NMOS晶体管耦合；以及

所述第一NMOS晶体管的源极与所述LED的正端子和所述第三NMOS晶体管耦合。

10. 根据权利要求8所述的像素电路，其中，

所述第一晶体管选自由薄膜晶体管、低温多晶硅晶体管、金属氧化物晶体管、氢化非晶硅(a-Si:H)晶体管、微晶硅晶体管和有机晶体管所组成的组。

11. 根据权利要求8所述的像素电路，其中，

所述第一晶体管包括：浮栅，被配置成存储影响所述第一晶体管的阈值电压的电压值的电荷。

12. 根据权利要求8所述的像素电路，进一步包括：稳定电路，与所述第一晶体管的第一端子耦合并且被配置成稳定所述第一晶体管的第一端子处的电压。

13. 根据权利要求12所述的像素电路，其中，

所述稳定电路包括电容器件；

所述电容器件的第一端与所述第一晶体管的第一端子耦合；以及

所述电容器件的第二端与所述第一晶体管的第二端子耦合或者被配置成接收电压。

14. 根据权利要求8所述的像素电路，其中，

所述第一开关被配置成将信号传送到所述第一晶体管的第一端子；以及

基于从所述第一开关传送的信号的电压，调节所述第一晶体管的阈值电压。

15. 根据权利要求8所述的像素电路，其中，

所述第二开关被配置为用于从所述第一晶体管生成并且流过所述第二开关的电流的电流路径；以及

基于所述电流调节所述第一晶体管的阈值电压。

16. 根据权利要求8所述的像素电路，其中，

所述第二开关被配置为用于流过所述第二开关和所述LED的电流的电流路径。

17. 根据权利要求8所述的像素电路，其中，

所述LED是有机LED。

18. 根据权利要求17所述的像素电路，其中，所述LED是有源矩阵有机LED。

19. 一种显示器的像素电路，包括基本像素和第一像素，其中，所述基本像素和所述第一像素均包括：

第一晶体管；

第一开关；

第二开关；以及

发光二极管，

其中，

所述第一晶体管被配置成提供用于所述LED的电流；

所述LED的亮度级基于由所述第一晶体管提供的电流的电流值；

所述第一开关被配置成将信号提供给所述第一晶体管的浮栅；

由所述第一开关提供的信号用于调节所述第一晶体管的浮栅中的电荷；

所述第二开关被配置为第一电流路径和/或第二电流路径；

所述第一电流路径被配置用于由所述第一晶体管提供并且流过所述第二开关的电流使用；以及

所述第二电流路径被配置用于由流过所述第二开关和所述LED的电流使用，

其中，确定所述基本像素的用于所述LED的电流值和所述第一像素的用于所述LED的电流值之间的电流差值，如果所述电流差值超出预定范围，则基于所述电流差值来确定所述第一像素的第一晶体管的阈值电压的电压调节量，确定且施加应力脉冲以调节所述第一像素的第一晶体管的阈值电压，重新计算所述第一像素的用于所述LED的电流值和所述基本像素的用于所述LED的电流值之间的电流差值，直到所述电流差值在所述预定范围内。

20. 根据权利要求19所述的像素电路，其中，

所述像素电路被配置成满足第一组条件、第二组条件、第三组条件和第四组条件中的至少一个；

所述第一组条件包括：

所述第一晶体管是第一PMOS晶体管，所述第一开关包括第二PMOS晶体管，以及所述第二开关包括第三PMOS晶体管；

所述第一PMOS晶体管的栅极与所述第二PMOS晶体管耦合；以及

所述第一PMOS晶体管的漏极与所述LED的正端子和所述第三PMOS晶体管耦合；

所述第二组条件包括：

所述第一晶体管是所述第一PMOS晶体管，所述第一开关包括所述第二PMOS晶体管，以及所述第二开关包括所述第三PMOS晶体管；

所述第一PMOS晶体管的栅极与所述第二PMOS晶体管耦合；以及

所述第一PMOS晶体管的源极与所述LED的负端子和所述第三PMOS晶体管耦合；

所述第三组条件包括：

所述第一晶体管是第一NMOS晶体管，所述第一开关包括第二NMOS晶体管，以及所述第二开关包括第三NMOS晶体管；

所述第一NMOS晶体管的栅极与所述第二NMOS晶体管耦合；以及

所述第一NMOS晶体管的漏极与所述LED的负端子和所述第三NMOS晶体管耦合；以及

所述第四组条件包括：

所述第一晶体管是所述第一NMOS晶体管，所述第一开关包括所述第二NMOS晶体管，并且所述第二开关包括所述第三NMOS晶体管；

所述第一NMOS晶体管的所述栅极与所述第二NMOS晶体管耦合；以及

所述第一NMOS晶体管的源极与所述LED的正端子和所述第三NMOS晶体管耦合。

21. 根据权利要求19所述的像素电路，进一步包括：稳定电路，与所述第一晶体管的第一端子耦合并且被配置成稳定所述第一晶体管的第一端子处的电压。

22. 根据权利要求21所述的像素电路，其中，

所述稳定电路包括电容器件；

所述电容器件的第一端与所述第一晶体管的第一端子耦合；以及

所述电容器件的第二端与所述第一晶体管的第二端子耦合或者被配置成接收电压。

23. 根据权利要求19所述的像素电路，其中，

所述第一晶体管选自薄膜晶体管。

24. 根据权利要求23所述的像素电路，其中，所述第一晶体管选自由低温多晶硅晶体管、金属氧化物晶体管、氢化非晶硅(a-Si:H)晶体管、微晶硅晶体管和有机晶体管所组成的组。

25. 根据权利要求19所述的像素电路，其中，所述LED是有机LED。

26. 根据权利要求25所述的像素电路，其中，所述LED是有源矩阵有机LED。

用于显示器的像素

技术领域

[0001] 本公开涉及用于显示器的像素。

背景技术

[0002] 在包括柔性显示器的显示器中使用的有源矩阵有机发光二极管(AM-OLED)丰富了电视观众的数字内容的体验。通常,与诸如薄膜晶体管液晶(TFT-LCD)显示器的其他显示器相比,AM-OLED显示器更薄、更亮、具有更宽视角以及消耗更低功率。然而,AM-OLED更加昂贵,要求良好的像素均匀性,并且更难制造。

[0003] 包括多晶硅TFT和金属氧化物TFT的薄膜晶体管(TFT)是用于AM-OLED TFT显示器的像素电路的良好候选者。然而,用于显示器的TFT基板通常由玻璃或塑料制成,其通常不耐高温(诸如用于结晶处理的600°C)。

[0004] 显示器包括布置为行和列的多个像素。现有像素电路包括多个TFT,从而导致较大的像素尺寸、较低的分辨率以及较高的功耗。

发明内容

[0005] 根据本发明的一个方面,提供了一种增加显示器中的第一像素和第二像素之间的亮度均匀性的方法,包括:确定第一像素的电流值;确定第二像素的电流值;以及调节第一像素的电流值或第二像素的电流值中的至少一个,直到第一像素的电流值和第二像素的电流值之间的电流差值在预定范围内,其中,第一像素的电流值对应于第一像素的发光二级管(LED)的亮度级并且由第一像素的晶体管提供;第二像素的电流值对应于第二像素的LED的亮度级并且由第二像素的晶体管提供;调节第一像素的电流值包括调节第一像素的晶体管的阈值电压值;以及调节第二像素的电流值包括调节第二像素的晶体管的阈值电压值。

[0006] 优选地,该方法进一步包括以下条件中的至少一个:第一像素的晶体管具有影响第一像素的晶体管的阈值电压值的浮栅存储电荷;或者第二像素的晶体管具有影响第二像素的晶体管的阈值电压值的浮栅存储电荷。

[0007] 优选地,该方法进一步包括以下条件中的至少一个:调节第一像素的晶体管的阈值电压值包括调节第一像素的晶体管的浮栅中的电荷;或者调节第二像素的晶体管的阈值电压值包括调节第二像素的晶体管的浮栅中的电荷。

[0008] 优选地,该方法进一步包括以下条件中的至少一个:调节第一像素的电流值进一步包括:在第一时间段内将第一电压施加至第一晶体管的第一端子,同时将第二电压值施加至第一晶体管的第二端子并且将第三电压值施加至第一晶体管的第三端子;或者调节第二像素的电流值进一步包括:在第二时间段内将第四电压施加至第二晶体管的第一端子,同时将第五电压值施加至第二晶体管的第二端子并且将第六电压值施加至第二晶体管的第三端子。

[0009] 优选地,该方法进一步包括以下条件中的至少一个:通过与第一晶体管的第一端子耦合的第一开关,将第一电压施加至第一晶体管的第一端子;以及通过与第一晶体管的

第二端子耦合的第二开关，将第二电压施加至第一晶体管的第二端子；或者通过与第二晶体管的第一端子耦合的第三开关，将第三电压施加至第二晶体管的第一端子；以及通过与第二晶体管的第二端子耦合的第四开关，将第四电压施加至第二晶体管的第二端子。

[0010] 优选地，该方法进一步包括以下条件中的至少一个：调节第一像素的电流值包括补偿第一像素的LED的劣化；或者调节第二像素的电流值包括补偿第二像素的LED的劣化。

[0011] 优选地，该方法进一步包括以下条件中的至少一个：基于通过第一开关施加到第一像素的第一晶体管的第一端子的第一电压，截止第一像素的第一晶体管；基于流过第二开关和第一像素的LED的电流，确定第二开关的端子处的第二电压；以及第二开关与所述第一像素的LED和第一像素的第一晶体管耦合；或者基于通过第三开关施加至第一像素的第一晶体管的第一端子的第一电压，截止第二像素的第一晶体管；基于流过第四开关和第二像素的LED的电流，确定第四开关的端子处的第二电压；以及第四开关与第二像素的LED和第二像素的第一晶体管耦合。

[0012] 根据本发明的另一方面，提供了一种显示器的像素电路，包括：第一晶体管，具有第一端子、第二端子和第三端子；第一开关；第二开关；以及发光二极管，其中，第一晶体管的阈值电压可调节；第一晶体管的第一端子与第一开关耦合；像素电路被配置成满足以下条件中的至少一个：LED的第一端与第二开关和第一晶体管的第三端子耦合；或者LED的第二端与第二开关和第一晶体管的第二端子耦合。

[0013] 优选地，像素电路被配置成满足第一组条件、第二组条件、第三组条件和第四组条件中的至少一个。第一组条件包括：第一晶体管是第一PMOS晶体管，第一开关包括第二PMOS晶体管，并且第二开关包括第三PMOS晶体管；第一PMOS晶体管的栅极与第二PMOS晶体管耦合；以及第一PMOS晶体管的漏极与LED的正端子和第三PMOS晶体管耦合。第二组条件包括：第一晶体管是第一PMOS晶体管，第一开关包括第二PMOS晶体管，并且第二开关包括第三PMOS晶体管；第一PMOS晶体管的栅极与第二PMOS晶体管耦合；以及第一PMOS晶体管的源极与LED的负端子和第三PMOS晶体管耦合。第三组条件包括：第一晶体管是第一NMOS晶体管，第一开关包括第二NMOS晶体管，并且第二开关包括第三NMOS晶体管；第一NMOS晶体管的栅极与第二NMOS晶体管耦合；以及第一NMOS晶体管的漏极与LED的负端子和第三NMOS晶体管耦合。第四组条件包括：第一晶体管是第一NMOS晶体管，第一开关包括第二NMOS晶体管，并且第二开关包括所述第三NMOS晶体管；第一NMOS晶体管的栅极与第二NMOS晶体管耦合；以及第一NMOS晶体管的源极与LED的正端子和第三NMOS晶体管耦合。

[0014] 优选地，第一晶体管选自由薄膜晶体管、低温多晶硅晶体管、金属氧化物晶体管、氢化非晶硅(a-Si:H)晶体管、微晶硅晶体管和有机晶体管所组成的组。

[0015] 优选地，第一晶体管包括：浮栅，被配置成存储影响第一晶体管的阈值电压的电压值的电荷。

[0016] 优选地，像素电路进一步包括：稳定电路，与第一晶体管的第一端子耦合并且被配置成稳定第一晶体管的第一端子处的电压。

[0017] 优选地，稳定电路包括电容器件；电容器件的第一端与第一晶体管的第一端子耦合；以及电容器件的第二端与第一器件的第二端子耦合或者被配置成接收电压。

[0018] 优选地，第一开关被配置成将信号传送到第一晶体管的第一端子；以及基于从第一开关传送的信号的电压，调节第一晶体管的阈值电压。

[0019] 优选地，第二开关被配置为用于从第一晶体管生成并且流过第二开关的电流的电流路径；以及基于电流调节所述第一晶体管的阈值电压。

[0020] 优选地，第二开关被配置为用于流过第二开关和所述LED的电流的电流路径。

[0021] 优选地，LED是有机LED或有源矩阵有机LED。

[0022] 根据本发明的另一方面，提供了一种显示器的像素电路，包括：第一晶体管；第一开关；第二开关；以及发光二极管，其中，第一晶体管被配置成提供用于LED的电流；LED的亮度级基于由第一晶体管提供的电流的电流值；第一开关被配置成将信号提供给第一晶体管的浮栅；由第一开关提供的信号用于调节第一晶体管的浮栅中的电荷；第二开关被配置为第一电流路径和/或第二电流路径；第一电流路径被配置用于由第一晶体管提供并且流过第二开关的电流使用；以及第二电流路径被配置用于由流过第二开关和LED的电流使用。

[0023] 优选地，像素电路被配置成满足第一组条件、第二组条件、第三组条件和第四组条件中的至少一个。第一组条件包括：第一晶体管是第一PMOS晶体管，第一开关包括第二PMOS晶体管，以及第二开关包括第三PMOS晶体管；第一PMOS晶体管的栅极与第二PMOS晶体管耦合；以及第一PMOS晶体管的漏极与LED的正端子和第三PMOS晶体管耦合。第二组条件包括：第一晶体管是第一PMOS晶体管，第一开关包括第二PMOS晶体管，以及第二开关包括第三PMOS晶体管；第一PMOS晶体管的栅极与第二PMOS晶体管耦合；以及第一PMOS晶体管的源极与LED的负端子和所述第三PMOS晶体管耦合。第三组条件包括：第一晶体管是第一NMOS晶体管，第一开关包括第二NMOS晶体管，以及第二开关包括第三NMOS晶体管；第一NMOS晶体管的栅极与第二NMOS晶体管耦合；以及第一NMOS晶体管的漏极与LED的负端子和第三NMOS晶体管耦合。第四组条件包括：第一晶体管是第一NMOS晶体管，第一开关包括第二NMOS晶体管，并且第二开关包括所述第三NMOS晶体管；第一NMOS晶体管的栅极与第二NMOS晶体管耦合；以及第一NMOS晶体管的源极与LED的正端子和第三NMOS晶体管耦合。

[0024] 优选地，该像素电路进一步包括：稳定电路，与第一晶体管的第一端子耦合并且被配置成稳定第一晶体管的第一端子处的电压。

[0025] 优选地，稳定电路包括电容器件；电容器件的第一端与第一晶体管的第一端子耦合；以及电容器件的第二端与第一器件的第二端子耦合或者被配置成接收电压。

[0026] 优选地，第一晶体管选自由薄膜晶体管、低温多晶硅晶体管、金属氧化物晶体管、氢化非晶硅(a-Si:H)晶体管、微晶硅晶体管和有机晶体管所组成的组。

[0027] 优选地，LED是有机LED或者有源矩阵有机LED。

附图说明

[0028] 本公开的一个或多个实施例的详情在附图和以下说明中阐明。其他特征和优点将从说明书、附图和权利要求变得明显。

[0029] 图1是根据一些实施例的像素阵列电路的示意图。

[0030] 图2是根据一些实施例的像素电路或像素的示意图。

[0031] 图3至图5是根据不同实施例的不同像素的示意图。

[0032] 图6是示出根据一些实施例的基于两个像素的电流电压(I-V)关系的两个像素的亮度的曲线图。

[0033] 图7是根据一些实施例的增加两个像素的亮度均匀性的方法的流程图。

[0034] 多个图中的类似参考符号指示类似元件。

具体实施方式

[0035] 以下使用特定语言公开图中示出的实施例或实例。然而,将理解,实施例和实例不用于限制。所公开的实施例中的任何更改和修改以及本文中公开的原理的任何进一步应用都认为是对本领域普通技术人员显而易见。

[0036] 一些实施例具有以下特征和/或优点中的一个或结合。像素中的薄膜晶体管(TFT)的电流被用于控制相同像素中的相应LED的亮度。晶体管的阈值电压(VTH)可调节。从而,基于阈值电压VTH由晶体管生成的电流可调节。在一些实施例中,两个像素中的两个晶体管的阈值电压VTH的值被调节为相互更接近。有效地,两个像素中的两个晶体管的电流相互更接近。结果,两个像素的亮度相互更接近。换句话说,两个像素的亮度更加均匀,从而像素显示器的亮度更加均匀。与一些现有方法相比,在本公开的多种实施例中,在像素中使用较少数量的晶体管,从而得到用于像素的较小管芯面积和用于显示器的较高分辨率。例如,在一些实施例中,与另一种方法中使用四个晶体管和两个电容器相比,在像素中使用具有电容器的三个晶体管。不使用能量补偿方案,从而获得较低的功耗。

[0037] 像素阵列电路

[0038] 图1是根据一些实施例的像素阵列电路100的示意图。像素阵列电路100表示显示器,并且包括布置为行和列的多个像素。为了说明,示出四个像素。两个像素在第i行和第i+1行中的每一行中,并且两个像素在第j列和第j+1列中的每一列中。因此,四个像素被识别为像素PIX[i, j]、PIX[i+1, j]、PIX[i, j+1]和PIX[i+1, j+1]。在一些实施例中,在行中存在约700-800个像素PIX并且在列中存在约768个像素PIX。行和/或列中的其他数量的像素PIX也在各个实施例的范围内。

[0039] 在一些实施例中,一行或一排的像素PIX被逐行接通。换句话说,由像素阵列电路100表示的显示器被逐行扫描。扫描驱动器110接通和断开每行像素。当行被扫描时,扫描驱动器110向相应信号SEL提供逻辑高,这接通接收相应信号SEL的行上的像素PIX。例如,当行i被扫描时,扫描驱动器110提供逻辑高值给信号SEL[i],这接通接收包括像素pix[i, j]和pix[i, j+1]的信号SEL[i]的第i行上的像素PIX。

[0040] 扫描驱动器110包括监控控制器115,其确定一行像素以测量电流并且提供相应控制信号。例如,监控控制器115提供信号MONITOR以开启像素PIX的监控能力。对于另一个实例,当信号MONITOR[i]被激活时,接收信号MONITOR[i]的第i行中的晶体管TM(图2中示出)被导通,使得测量晶体管TM的端子处的电压。在一些实施例中,扫描频率是60赫兹(Hz),其中,行一秒钟被扫描60次。扫描驱动器100中所示的监控控制器115用于说明。本公开的多种实施例不受监控控制器115的位置限制。

[0041] 数据驱动器120提供视频信号VDATA给正被扫描的每个像素PIX。例如,如果第i行和第j列中的像素PIX[i, j]被扫描,则数据驱动器120提供信号VDATA[j]给像素PIX[i, j]。但是如果第i行和第j+1列中的像素PIX[i, j+1]被扫描,则数据驱动器120提供信号VDATA[j+1]给像素PIX[i, j+1]等。信号VDATA还被用于将电荷传送至相应像素PIX。数据驱动器120的像素监控器和编程器125监控来自像素PIX中的晶体管的电流,并且基于该电流,调节或编程相应晶体管的阈值电压。数据驱动器120中所示的像素监控器和编程器125用于说明。

像素监控器和编程器125的其他位置也在多个实施例的范围内。

[0042] 信号VMON被用于确定相应像素PIX中的各种有关电的值。例如，基于信号VMON[j]的电压值，确定第j列中的晶体管TD的电流ITD(图2中示出)。

[0043] 定时控制器130同步由扫描驱动器110和数据驱动器120提供的信号。

[0044] 像素电路

[0045] 图2是根据一些实施例的像素电路或像素PIX200的示意图。像素PIX200是图1中的像素PIX的实现。在一些实施例中，用于像素PIX200的晶体管TM、TD和TS中的每一个的操作电压值VDD约为20V。使用其他操作电压值的晶体管也在多个实施例的范围内。

[0046] 在一些实施例中，像素PIX200具有红(R)、绿(G)和蓝(B)分量，由此三个不同电路用于三种相应颜色。像素PIX200中的每个OLED L都基于OLED L的亮度提供不同颜色。像素PIX200中具有三种不同颜色的三个OLED L的亮度提供用于像素PIX200的唯一颜色。为了说明，示出具有用于一种颜色的电路和相应OLED L的像素PIX200。用于其他颜色的电路类似。除RGB之外的颜色也在多个实施例的范围内。

[0047] OLED L的正端子与PMOS晶体管TD的漏极耦合，而OLED L的负端子接收参考电压VSS，其在一些实施例中接地。有效地，OLED L用作用于电流ITD从PMOS晶体管TD流向地的电流路径。换句话说，晶体管TD用作用于OLED L的电流源，同时OLED L用作用于晶体管TD的电流宿(current sink)。例如，当晶体管TD和OLED被激活时，电流ITD从操作电压VDD通过晶体管TD和OLED L流到地。

[0048] PMOS晶体管TD驱动OLED L。例如，晶体管TD提供从晶体管TD的源极流到漏极的驱动电流ITD并且通过OLED L以点亮OLED L。OLEDL的亮度与电流ITD的绝对值成比例。例如，电流ITD的绝对值越高，OLEDL就越亮。相反，电流ITD的绝对值越低，OLED L越不亮。

[0049] 晶体管TD具有浮栅FG以存储电荷，并且在一些实施例中，浮栅FG由金(Au)制成。用于浮栅FG的其他材料也在多个实施例的范围内。晶体管TD的阈值电压VTHTD(未标记)基于存储在浮栅FG中的电荷量可调节。在一些实施例中，为了增加阈值电压VTHTD的绝对值|VTHTD|，附加电荷被注入浮栅FG。当阈值电压VTHTD增加时，电流ITD的绝对值|ITD|减小，其减小OLED L的亮度。在一些实施例中，晶体管TD是薄膜晶体管(TFT)。此外，因为晶体管TD具有浮栅FG，所以晶体管TD被称为浮栅TFT。在一些实施例中，诸如150°C的较低温度被用于在用于显示器的玻璃和/或塑料基板上制造TFT。晶体管TD被选择为薄膜晶体管，这是因为薄膜晶体管TD能够适于玻璃和/或塑料的低温规范。然而，其他类型的晶体管也在多个实施例的范围内。示例性晶体管包括低温多晶硅(LTPS)晶体管、金属氧化物晶体管、加氢非晶硅(a-Si:H)晶体管、微晶体硅晶体管、有机晶体管等。

[0050] 为了说明，电压VGSTD(未标记)是晶体管TD的栅极和源极两端的电压。在一些实施例中，晶体管TD的浮栅FG中的电荷被控制，使得电压VGSTD基本上是恒定值或者电压VGSTD在可接受范围内改变。因为电流ITD的值取决于电压VGSTD，所以当电压VGSTD恒定时，电流ITD恒定。结果，OLED L的亮度处于稳定等级。

[0051] 信号VDATA被用于改变电压VGSTD的电压值，以改变OLED L的亮度。例如，当信号VDATA被传送至晶体管TD的栅极时，电荷被添加至浮栅FG。结果，阈值电压VTHTD的绝对值|VTHTD|增加，其导致电流ITD的绝对值|ITD|减小并且OLED L的亮度减小。

[0052] PMOS晶体管TS用作将信号VDATA传输至晶体管TD的开关。晶体管TS的栅极处的信

号SEL被用于导通和截止晶体管TS。晶体管TS的源极接收信号VDATA，而晶体管TS的漏极与晶体管TD的栅极和电容器CS的一端耦合。在一些情况下，当电荷被注入晶体管TD时，晶体管TS的栅极处的信号SEL施加低逻辑值以导通PMOS晶体管TS。结果，晶体管TS的源极处的信号VDATA被传输至晶体管TS的漏极(其与晶体管TD的栅极耦合)。有效地，信号VDATA被传输至晶体管TD的栅极，以将电荷提供给晶体管TD的浮棚FG。相反地，当信号SEL是逻辑高时，PMOS晶体管TS被截止并且与晶体管TD的栅极截止电连接。结果，电压VGSTD保持在由电容器CS支持的相同电平。

[0053] 电容器CS被用于稳定晶体管TD的栅极处的电压VGTD(未标记)。电容器CS的第一端与晶体管TD的栅极耦合，并且第二端与晶体管TD的源极耦合。结果，电压VGTD并且从而晶体管TD的电压VSGTD和电流ITD稳定，将OLED L的亮度保持在稳定等级。图2中示出的电容器CS的连接用于说明。稳定晶体管TD的栅极处的电压VGTD的其他连接也在多个实施例的范围内。例如，电容器CS的第二端被配置成接收稳定电压或地。代替电容器CS以稳定晶体管TD的栅极处的电压VGTD的其他电路也在多个实施例的范围内。在一些实施例中，晶体管TD的栅极处的寄生电容足以稳定电压VGTD。从而不使用电容器CS。

[0054] PMOS晶体管TM用作开关，使得测量晶体管TD和OLED L的电特性。根据应用，晶体管TM的源极或漏极与晶体管TD的漏极耦合。例如，当电流ITDTM(未标记)从晶体管TD流过晶体管TM时，与晶体管TD的漏极耦合的晶体管TM的端子被配置为晶体管TM的源极。但是当电流ITMLED(未标记)从晶体管TM流过OLED L时，与晶体管TD的漏极耦合的晶体管TM的端子被配置为晶体管TM的漏极。为了说明，术语源极/漏极和漏极/源极被用于指示晶体管TM的端子被配置为源极或漏极。

[0055] PMOS晶体管TM的源极/漏极耦合至PMOS晶体管TD的漏极和OLEDL的正节点，同时PMOS晶体管TM的漏极/源极被配置成接收电压VMON。当晶体管TM的栅极处的电压MONITOR是逻辑低时，晶体管TM被导通，电流ITDTM从晶体管TD流过晶体管TM，并且基于晶体管TM的漏极/源极处的电压VMON被测量。根据电流ITDTM、电流ITM、电流ITMLED和电压VMON中的一个或结合计算电流ITD。对于另一个实例，当晶体管TD截止并且晶体管TM导通时，从晶体管TM流过OLED L的电流ITMLED被测量以确定OLED L的老化或劣化效果。有效地，基于电压VMON的电压值，确定OLED L的劣化效果。

[0056] 在一些实施例中，当显示器的任何一对两个像素PIX200的亮度差在可接受范围内时，显示器的亮度就被认为是均匀的。相反，如果任何一对两个像素的亮度差在可接受范围之外，则显示器的亮度是不均匀的。在一些实施例中，两个像素PIX200之间的亮度差反映在两个像素PIX200中的两个相应两个晶体管TD的两个电压VGSTD之间的电压差和/或两个像素PIX200的两个电流ITD之间的电流差。在一些实施例中，当两个电流ITD之间的电流差的值小于两个电流ITD的电流值的5%时，两个像素之间的亮度被认为是均匀的。在一些实施例中，基于显示器中的所有像素的电流ITD的电流值的分配确定亮度均匀性。例如，如果显示器中的所有像素的电流值的统计分布小于5%，则显示器的亮度被认为是均匀的。决定两个像素和/或显示器的亮度均匀性的其他值和/或方法也在多个实施例的范围内。

[0057] 为了说明，基于诸如图1中的两个像素PIX[i, j]和PIX[i, j+1]的两个相邻像素确定显示器的亮度均匀性。为了说明，图1中的两个像素PIX[i, j]和PIX[i, j+1]被实现为标为像素PIX200[i, j]和PIX200[i, j+1]的两个像素PIX200。此外，当像素PIX200[i, j]的电压

VGSTD[j]和PIX200[i,j+1]的电压VGSTD[j+1]之间的差在可接受范围内时,或者当像素PIX200[i,j]的电流ITD[i,j]和像素PIX200[i,j+1]的电流ITD[i,j+1]之间的差在可接受范围内时,亮度是均匀的。在一些实施例中,晶体管TD的电流ITD的绝对值|ITD|与晶体管TD的阈值电压VTHTD的绝对值|VTHTD|成比例。有效地,在多个实施例中,通过使像素PIX200[i,j]的阈值电压值VTHTD[i,j]和像素PIX200[i,j+1]的阈值电压值VTHTD[i,j+1]之间的差在预定且可接受的范围内,实现亮度均匀性。当差接近零时,像素PIX200[i,j]的阈值电压值VTHTD[i,j]基本接近像素PIX200[i,j+1]的阈值电压值VTHTD[i,j+1]。

[0058] 多个进一步实施例中的像素电路

[0059] 图3是根据一些实施例的像素PIX300的示意图。像素PIX300是图1中的像素PIX的另一个实施例。

[0060] 与图2中的像素PIX200相比,OLED L300对应于图2中的OLED L,并且PMOS晶体管TM300对应于图2中的PMOS晶体管TM。OLED L300的位置不同于像素PIX200中的OLED L的位置。例如,OLED L300的正节点接收操作电压VDD,同时OLED L300的负节点耦合至晶体管TD的源极。有效地,OLED用作晶体管TD的电流源,并且晶体管TD用作OLED L300的电流宿。例如,当OLED L300和晶体管TD被激活时,电流ITD从操作电压VDD流过OLED L300和晶体管TD到地。相反地,在像素PIX200中,晶体管TD用作OLED L的电流源,同时OLED用作晶体管TD的电流宿。

[0061] PMOS晶体管TM300的位置也不同于图2中的PMOS晶体管TM的位置。例如,PMOS晶体管TM300的源极/漏极耦合至OLED L300的负节点和晶体管TD的源极,同时PMOS晶体管TM300的漏极/源极接收电压VMON。

[0062] 考虑OLED300和晶体管TM300的不同位置,像素PIX300的操作类似于像素PIX200的操作。

[0063] 图4是根据一些实施例的像素PIX400的示意图。像素PIX400是图1中的像素PIX的另一个实施例。

[0064] 与图2中的像素PIX200相比,NMOS晶体管TSN、TDN和TMN分别对应于图2中的PMOS晶体管TS、TD和TM。电容器CSN对应于电容器CS,同时OLED L400对应于OLED L。

[0065] NMOS晶体管TSN、TDN和TMN、电容器CSN、以及OLED L400的连接也不同。例如,晶体管TSN的漏极接收信号VDATA,晶体管TSN的源极与晶体管TDN的栅极耦合。晶体管TDN的漏极接收操作电压VDD。晶体管TDN的源极与OLED L400的正端并且与晶体管TMN的漏极/源极耦合。有效地,晶体管TDN用作OLED L400的电流源,同时OLED L400用作晶体管TDN的电流宿。晶体管TMN的源极/漏极接收电压VMON。电容器CSN的第一端与晶体管TDN的栅极耦合,并且电容器CSN的第二端与晶体管TDN的源极耦合。图4所示的电容器CSN的连接用于说明。其他连接也在多个实施例的范围内。例如,电容器CSN的第二端代替地与提供稳定电压(诸如操作电压VDD或参考电压VSS等)的另一个电压源耦合。代替电容器CSN的用于稳定晶体管TDN的栅极处的电压的其他电路也在多个实施例的范围内。

[0066] 图5是根据一些实施例的像素PIX500的示意图。像素PIX500是图1中的像素PIX的另一个实施例。

[0067] 与图4中的像素PIX400相比,OLED L500对应于图4中的OLED L400,并且NMOS晶体管TMN500对应于图4中的NMOS晶体管TMN。OLED L50的位置不同于像素PIX400中的OLED

L400的位置。例如,OLED L500的正节点接收操作电压VDD,同时OLED L500的负节点与晶体管TDN的漏极耦合。有效地,OLED L500用作晶体管TDN的电流源,同时晶体管TDN用作OLED 500的电流宿。相反地,在图4中,晶体管TDN用作OLED L400的电流源,同时OLED L400用作晶体管TDN的电流宿。

[0068] NMOS晶体管TMN500的位置也不同于图4中的NMOS晶体管TMN的位置。例如,NMOS晶体管TMN500的漏极/源极与OLED L500的负节点并且与晶体管TD的漏极耦合,同时NMOS晶体管TMN500的源极/漏极接收电压VMON。

[0069] 考虑从像素PIX400到像素PIX500的改变,像素PIX500的操作类似于像素PIX400的操作。

[0070] 在包括NMOS晶体管TSN、TDN、TMN和TMN500的图4和图5的实施例中,与包括PMOS晶体管的图2和图3的实施例相比,导通和截止相应晶体管的逻辑值相应地改变。例如,在晶体管的栅极处,PMOS晶体管由低逻辑值导通,并且由高逻辑值截止。相反地,在晶体管的栅极处,NMOS晶体管由高逻辑值导通,并且由低逻辑值截止。

[0071] 基于I-V曲线关系的亮度均匀性

[0072] 图6是根据一些实施例的图2中的两个晶体管TD的电流-电压(I-V)关系的曲线图。x轴指示像素的晶体管TD的电压VSGTD,y轴指示相同像素的晶体管TD的电流ITD。曲线610表示像素PIX200[i,j]的晶体管TD的电压VSGTD[i,j]和电流ITD[i,j]之间的关系,而曲线620表示像素PIX200[i,j+1]的晶体管TD的电压VSGTD[i,j+1]和电流ITD[i,j+1]之间的关系。曲线610和620用于基于两个电流ITD[i,j]和ITD[i,j+1]示出两个像素PIX200[i,j]和PIX200[i,j+1]之间的亮度均匀性。

[0073] 在x轴上的特定电压VSGTDO处,存在电流ITD[i,j]和电流ITD[i,j+1]之间的电流差 ΔITD 。在一些实施例中,基于诸如信号VDATA的电压值的一半的信号VDATA的电压值,确定电压VSGTDO。对于另一个实例,晶体管TD的源极处的电压VDD是20V。信号VDATA的电压值是15V。从而信号VDATA的电压值的一半是7.5V。结果,电压VSGTDO是7.5V-20V或者-12.5V。用于电压VSGTDO的其他值也在多个实施例的范围内。

[0074] 在一些实施例中,像素PIX200[i,j]的阈值电压VTHTD[i,j+1]的值和/或像素PIX200[i,j+1]的阈值电压VTHTD[i,j+1]的值被调节,使得电流差 ΔITD 在预定范围内。结果,像素PIX200[i,j]和像素PIX200[i,j+1]的两个OLED L之间的亮度差在可接受等级内。换句话说,像素PIX200[i,j]和像素PIX200[i,j+1]的亮度是均匀的。在一些实施例中,行中的像素PIX200被选择作为具有基本电流的基本像素。例如,在行中的像素中具有最小值的电流ITD的像素PIX200被选择作为基本像素PIX200。相同行中的其他像素PIX200的阈值电压ITD被调节,使得基本像素PIX200的电流ITD和相同行中的每个其他像素PIX200的电流ITD之间的电流差ITD在可接受范围内。结果,基本像素PIX200和相同行中的其他像素PIX200中的每个之间的亮度是均匀的。

[0075] 以类似方式实现另一行中的像素的亮度均匀性。在一些实施例中,一旦行的亮度均匀性被确定,行中的电流ITD的值就被用作用于下一行的基本电流值。例如,电流ITD的平均值或行的电流ITD的最小值被用作基本电流值。在一些其他实施例中,从下一行中的电流值中选择的电流值被用作基本电流值。在一些实施例中,像素阵列或显示器中的所有电流值中的一个电流值被用作基本电流值。确定像素阵列电路100中的不同像素之间的电流差

ITD的不同方式也在多个实施例的范围内。换句话说，基于两个不同像素的电流ITD确定像素阵列100的亮度均匀性的不同方式也在多个实施例的范围内。

[0076] 调节阈值电压的电荷注入

[0077] 在一些实施例中，通过将相应电荷注入到相同晶体管TD的浮棚FG中，调节像素PIX200的晶体管TD的阈值电压VTHTD。在一些实施例中，晶体管TD(例如，如图2所示)的漏极和源极接收0V的电压值，并且晶体管TD的栅极被施加有电脉冲。在一些实施例中，脉冲的幅度约为由晶体管TD的栅极正常接收的电压的三倍。例如，晶体管TD的栅极正常接收约-20V的电压。从而，脉冲的幅度约为-60V。脉冲的时间周期约为50ms。为了说明，时间周期被称为应力(stress)时间，并且脉冲的幅度被称为应力电压。在一些实施例中，PMOS晶体管TS的栅极被施加有-40V的电压值以导通晶体管TS。晶体管TS的源极处的信号VDATA被提供有脉冲，其然后被传输至晶体管TS的漏极或晶体管TD的栅极。

[0078] 应力电压和/或应力时间基于不同标准被选择，诸如调节像素阵列电路100中的每个特定像素和所有像素的阈值电压VTHTD的时间、可损害晶体管TD的应力电压和/或应力周期。例如，当使用约为电压VDD的两倍的-40V的应力电压时，晶体管TD存在被损害的较小风险，但是将电荷注入到浮棚FG中的时间更长，从而调节阈值电压VTHTD的时间更长。约为操作电压VDD的四倍的约-80V的应力电压导致对晶体管TD的不可逆损害，从而不被使用。在一些实施例中，-40V的应力电压和50mS的应力时间被使用并且通过仿真实现。

[0079] 为了说明，当晶体管TD被完全导通并且在饱和模式下操作时，传导电流ITDON表示电流ITD，并且当晶体管TD经受电荷注入时，ITDINJECT表示电流ITD。在一些实施例中，当电压VDSTD是0V时，晶体管TD经受电荷注入。此外，当电压VDSTD是0V时，电流ITDON减小六阶(order)。换句话说，电流ITDON减小六阶的幅度到电流ITDINJECT。数学上表达为，当电压VDSTD是0V时， $ITDINJECT = ITDON \cdot 10^{-6}$ 或更少。在一些实施例中，电流ITDINJECT小于1nA。

[0080] 在一些实施例中，晶体管TD的阈值电压VTHTD与应力时间和应力电压的绝对值成比例。例如，当应力时间增加和/或应力电压的绝对值增加时，阈值电压VTHTD的绝对值|VTHTD|增加。

[0081] 为了说明，数学上表示为， ΔVTH 是阈值电压VTHTD的电压变化， $|VSTRESS|$ 是应力电压的绝对值，TSTRESS是应力时间， α 是VSTRESS的阶数，并且 β 是log函数的阶数。

$$VTH = |VSTRESS|^{\alpha} \log \beta(TSTRESS)$$

[0083] 在一些实施例中，|VTH|还受特定应力脉冲被施加给晶体管TD的栅极的次数影响。例如，在选择应力脉冲之后，诸如以-60V和50mS，每当应力脉冲被再次施加给晶体管TD的栅极时绝对值|VTH|保持增加。在诸如约5-10次的次数之后，|VTH|不再改变而是保持在恒定值。换句话说，继续将应力脉冲施加至晶体管TD的栅极不导致晶体管TD的阈值电压VTHTD的任何附加改变。在一些实施例中，继续导致阈值电压VTHTD改变的应力脉冲被施加至晶体管TD的栅极的次数通过仿真实现。

[0084] 测量电流ITD

[0085] 在一些实施例中，使用超速传动技术测量电流ITD，其中，所测量的电流受晶体管TD而不是晶体管TM控制，这是因为来自操作电压VDD的大多数压降都通过晶体管TD而不是晶体管TM。例如，当测量电流ITD时，晶体管TS的栅极被施加有-40V的电压值，以导通晶体管TS。信号VDATA的电压值被配置成接近晶体管TD的阈值电压VTHTD，以确保所测量的电流ITD

不受晶体管TM的阈值电压VTHTM的改变影响。晶体管TD的源极处的电压VDD被设置为0V，并且OLED L的一端处的电压VSS被设置为0V。不同电压值在多个实施例的范围内。例如，晶体管TD的源极和OLED的一端被设置为相同电压值。结果，OLED L被截止。晶体管TM的栅极还被施加有-40V的电压值以导通晶体管TM。电压VMON被设置为约-13V，使得晶体管TD和TM被导通，而OLED L被截止。电流ITDTM被测量，在一些实施例中，其是电流ITD，这是因为大多数压降都通过晶体管TD。

[0086] 在一些实施例中，电流ITD的精度受到晶体管TS的栅极电压影响。例如，当信号SEL被设置为-20V时，电流IDT的误差比信号SEL在-40V时更高。执行仿真以确定导致测量电流ITD的可接受误差的信号SEL的电压值。

[0087] OLED劣化

[0088] 在一些实施例中，OLED L在使用一段时间之后劣化。时间周期和劣化等级根据特定OLED和技术而改变。由于劣化效果，OLED L采用更大量电流以具有与劣化前相同的亮度等级。在一些实施例中，考虑OLED L的劣化以确定阵列像素电路100中的像素的亮度的均匀性。例如，确定使OLED L达到劣化之前的亮度等级的附加电流量。电流ITD增加相同量以补偿劣化效果。为了说明，附加电流被称为劣化补偿电流。

[0089] 在一些实施例中，为了测量劣化补偿电流，晶体管TD被截止。例如，晶体管TS的栅极(例如，如图2所示)被施加有约-40V的电压值，以导通晶体管TS。信号VDATA被设置为10V，其被传送至晶体管TD的栅极。栅极处接收约10V的电压值的PMOS晶体管TD由此被截止。PMOS晶体管TM的栅极施加有约-40V的电压值以导通晶体管TM。晶体管TM的漏极和源极两端的电压被设置为更接近OLED L的阈值电压以导通OLED L。电流ITMLED的预定值被提供给晶体管TM的源极/漏极并且流过晶体管TM和OLED L。电流ITMLED的值基于OLED特性和技术改变。然后，测量电压MON。在一些实施例中，提供表格，以将所测量的电压VMON的值映射至表格中的电流的相应值。用于表格中的电压和电流的值被预先确定用于特定OLED技术，并由此基于不同技术而不同。如果所测量的电压VMON和预定电流ITMLED的值与表格中的相应电压和电流匹配，则OLED的劣化未发生。但是如果电压VMON和预定电流ITMLED的值与表格中的电压和电流不匹配，则劣化发生。例如，对应于所测量电压VMON的表格中的电压对应于表格中的较低电流值，OLED L的劣化发生。电流ITMLED的预定值与表格中的电流的差是劣化补偿电流。在一些实施例中，OLED L的一端处的电压VSS约为-20V，电流ITMLED约为500uA，并且电压VMON约为-13V。

[0090] 示例性方法

[0091] 图7是根据一些实施例的增加像素PIX[i,j]和像素PIX[i,j+1]之间的亮度均匀性的方法700的流程图。

[0092] 在操作705中，像素PIX被选择作为将电流ITD作为基本电流的基本像素。在一些实施例中，具有一行像素中的电流ITD的最小值的像素PIX被选择作为基本像素。为了说明，与相同第i行中的其他像素的电流相比，像素PIX[i,j]的电流ITD[i,j]具有最小电流值。像素PIX[i,j]从而被选择作为基本像素。

[0093] 在操作710中，确定电流ITD[i,j]和电流ITD[i,j+1]之间的电流差 ΔITD 。例如，基于图6中的曲线610和620确定电流差 ΔITD 。

[0094] 在操作715中，调节电流差 ΔITD 以包括像素PIX[i,j]和像素PIX[i,j+1]中的OLED

L的劣化效果。例如,用于像素PIX[i,j]和像素PIX[i,j+1]中的每个OLED L的劣化补偿电流被确定,并且被添加至电流差Δ ITD,以得到电流差Δ ITD1。

[0095] 在操作720中,确定电流差Δ ITD1是否在预定可接受范围内。如果电流差Δ ITD1在预定可接受范围内,则方法在操作750结束。因为像素PIX[i,j]和像素PIX[i,j+1]的晶体管TD的电流差Δ ITD1在预定范围内,像素PIX[i,j]和像素PIX[i,j+1]之间的亮度被认为是均匀的。

[0096] 然而,如果电流差Δ ITD1不在预定可接受范围内,则在操作725中,基于电流差Δ ITD1确定调节像素PIX[i,j+1]的晶体管TD的阈值电压VTHTD的电压量。在一些实施例中,阈值电压VTHTD和电流ITD与以下等式相关:

$$\text{ITD} = 1/2 * (\text{W}/\text{L}) * \mu_{\text{Cox}} * (\text{VGSTD} - \text{VTHTD})^2$$

[0098] 其中,W是晶体管TD的宽度,L是晶体管TD的长度,μ是载流子迁移率,C_{ox}是晶体管TD的栅极电容。

[0099] 在操作730中,确定应力脉冲以提供相应电荷,从而调节像素PIX[i,j+1]的晶体管TD的阈值电压VTHTD。确定应力脉冲包括确定应力电压和应力时间。一旦确定了应力脉冲,应力脉冲就被施加至像素PIX[i,j+1]的晶体管TD的栅极。

[0100] 在操作735中,重新计算电流差Δ ITD1。

[0101] 在操作740中,确定电流差Δ ITD1是否在预定可接受范围内。如果不在,则应力脉冲被确定并在操作730中被再次施加。然而,如果电流差Δ ITD1在预定可接受范围内,则方法在操作750结束。在一些实施例中,当在操作740中电流差Δ ITD1不在预定可接受范围内时,方法返回到操作725并且继续。例如,在操作725中,基于在操作735中重新计算的电流差Δ ITD1确定调节像素PIX[i,j+1]的晶体管TD的阈值电压VTHTD的电压量。

[0102] 在一些实施例中,行中的每对两个像素的亮度均匀性使用方法700确定。然后,针对整个显示器确定行的每对像素之间的亮度均匀性。在一些其他实施例中,确定整个显示器中的每对两个像素的亮度均匀性。结果,实现显示器中的像素的亮度均匀性。本公开的实施例不限于特定方法。

[0103] 被用作基本像素的像素PIX[i,j]用于说明。类似地,像素PIX[i,j]的电流ITD[i,j]和像素PIX[i,j+1]的电流ITD[i,j+1]之间的电流差Δ ITD和/或电流差Δ ITD1也用于说明。另一个像素被用作基本像素,并且基本像素和另一个像素之间的电流差也在多个实施例的范围内。

[0104] 以上说明中使用的像素PIX和PIX200也用于说明。发明思想可应用至其他像素,诸如像素PIX300、像素PIX400和像素PIX500。

[0105] 已经描述了多个实施例。将理解,可以在不脱离本公开的精神和范围的情况下做出多种修改。例如,被示出为特定掺杂类型(例如,N型或P型金属氧化物半导体(NMOS或PMOS))的多种晶体管用于说明目的。本公开的实施例不限于特定类型。选择用于特定晶体管的不同掺杂类型在多种实施例的范围内。在以上说明中使用的多种信号的低或高逻辑值也用于说明。当信号被激活和/或去激活时,多种实施例不限于特定电平。选择不同电平在多个实施例的范围内。在多种实施例中,晶体管用作开关。代替晶体管使用的开关电流也在多个实施例的范围内。

[0106] 在一些实施例中,实现增加显示器中的第一像素和第二像素之间的亮度均匀性的

方法。确定第一像素的电流值。确定第二像素的电流值。调节第一像素的电流值或第二像素的电流值中的至少一个，直到第一像素的电流值和第二像素的电流值之间的电流差的值可接受为止。第一像素的电流值对应于第一像素的亮度等级。第二像素的电流值对应于第二像素的亮度等级。调节第一像素的电流值包括调节第一像素的晶体管的阈值电压值。调节第二像素的电流值包括调节第二像素的晶体管的阈值电压值。

[0107] 在一些实施例中，显示器的像素电路包括第一晶体管、第一开关、第二开关和发光二极管。第一晶体管具有第一端子、第二端子和第三端子。第一晶体管的阈值电压可调节。第一晶体管的第一端子与第一开关耦合。像素电路被配置成满足以下条件中的至少一个：1)LED的第一端(PMOS/负NMOS)与第二开关并且与第一晶体管的第三端子耦合；或者2)LED的第二端(PMOS/正NMOS)与第二开关并且与第一晶体管的第二端子耦合。

[0108] 在一些实施例中，显示器的像素电路包括第一晶体管、第一开关、第二开关和发光二极管。第一晶体管被配置成提供用于LED的电流。LED的亮度等级基于由第一晶体管提供的电流的电流值。第一开关被配置成将信号提供给第一晶体管的浮栅。由第一开关提供的信号用于在调节第一晶体管的浮栅中的电荷时使用。第二开关被配置为第一电流路径和/或第二电流路径。第一电流路径被配置成由第一晶体管提供并且流过第二开关的电流使用。第二电流路径被配置成由流过第二开关和LED的电流使用。

[0109] 示出电容器的多个图用于说明。等效电路在多种实施例的范围内。例如，诸如电容器、电容器件、电路等的结合的电容器件、电路或网络可以代替电容器被使用。

[0110] 以上说明包括典型步骤，但是步骤不必按照所示的顺序执行。根据所公开的实施例的精神和范围，当合适时，步骤可以被添加、代替、改变顺序和/或删除。

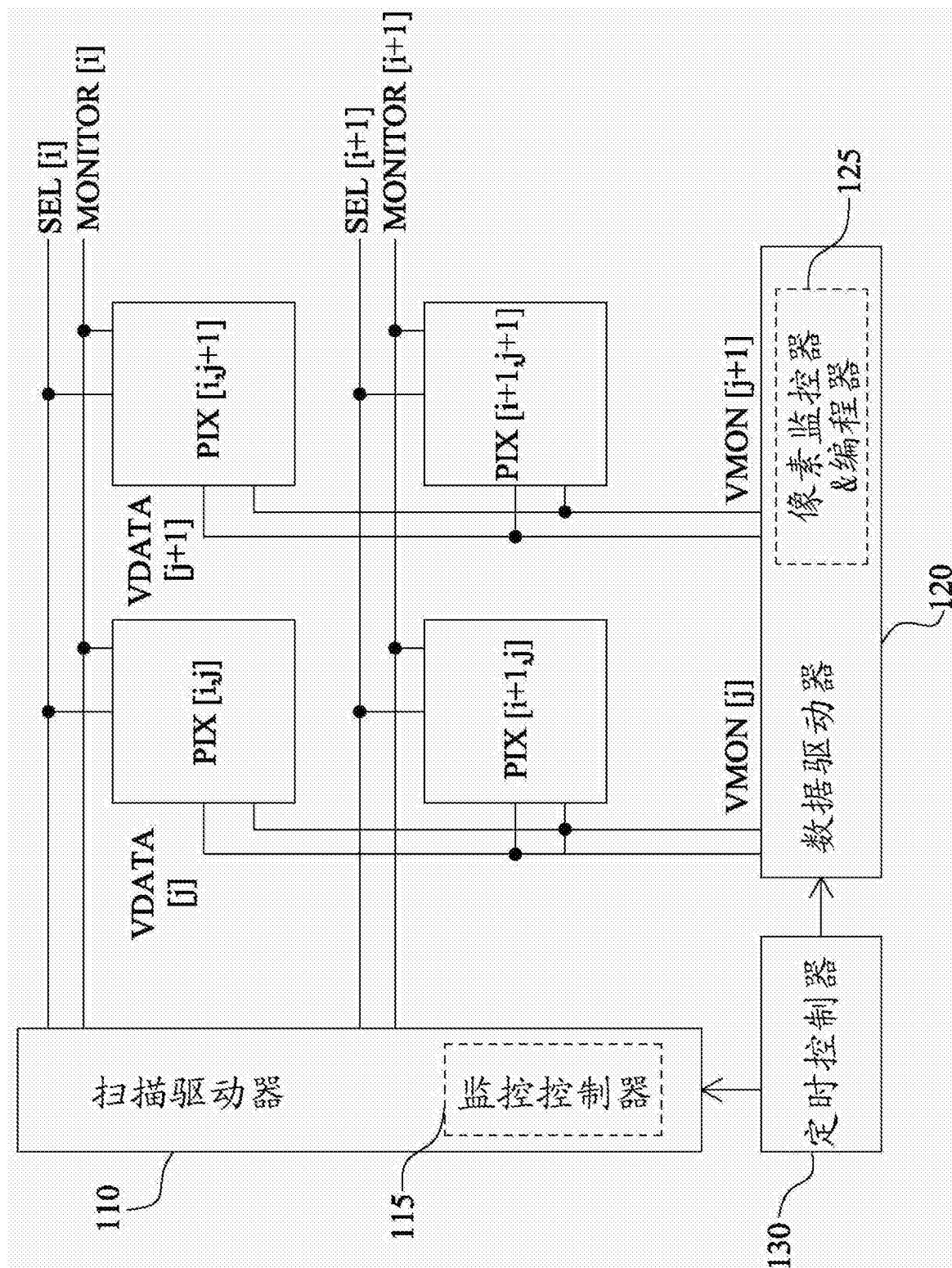


图1

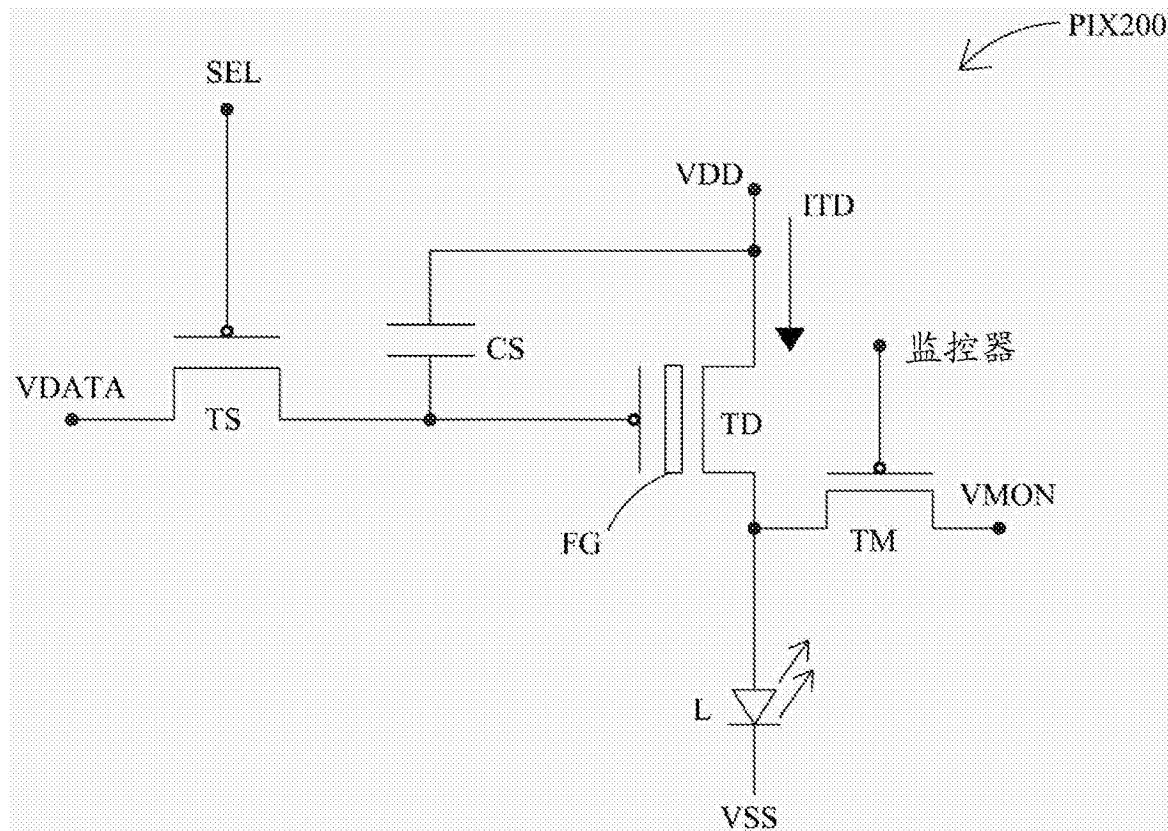


图2

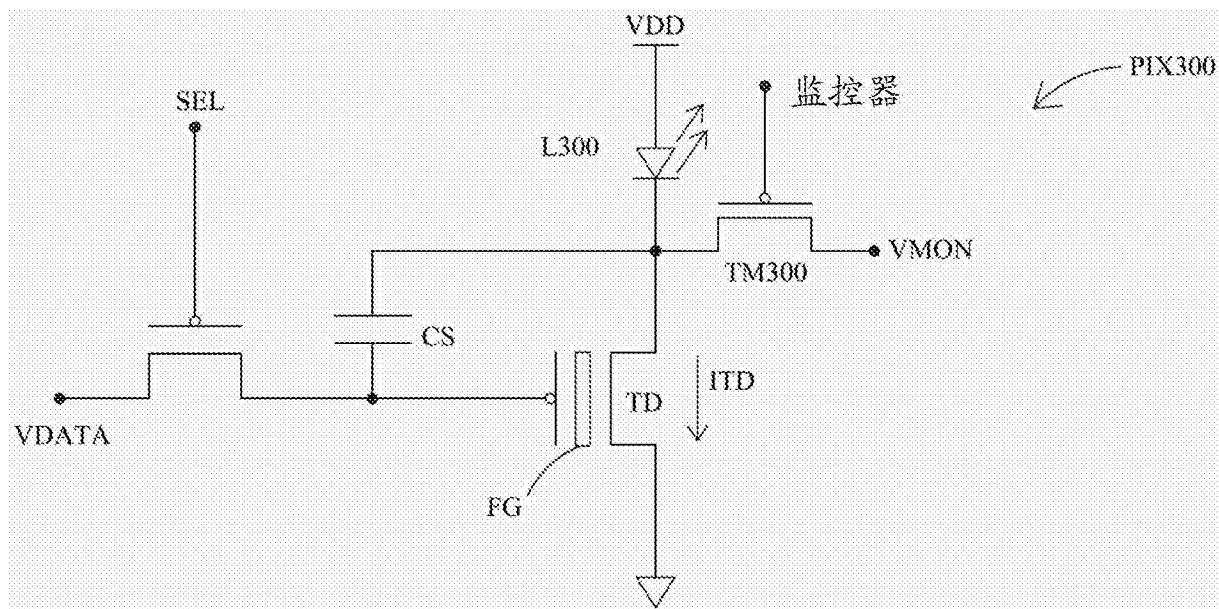


图3

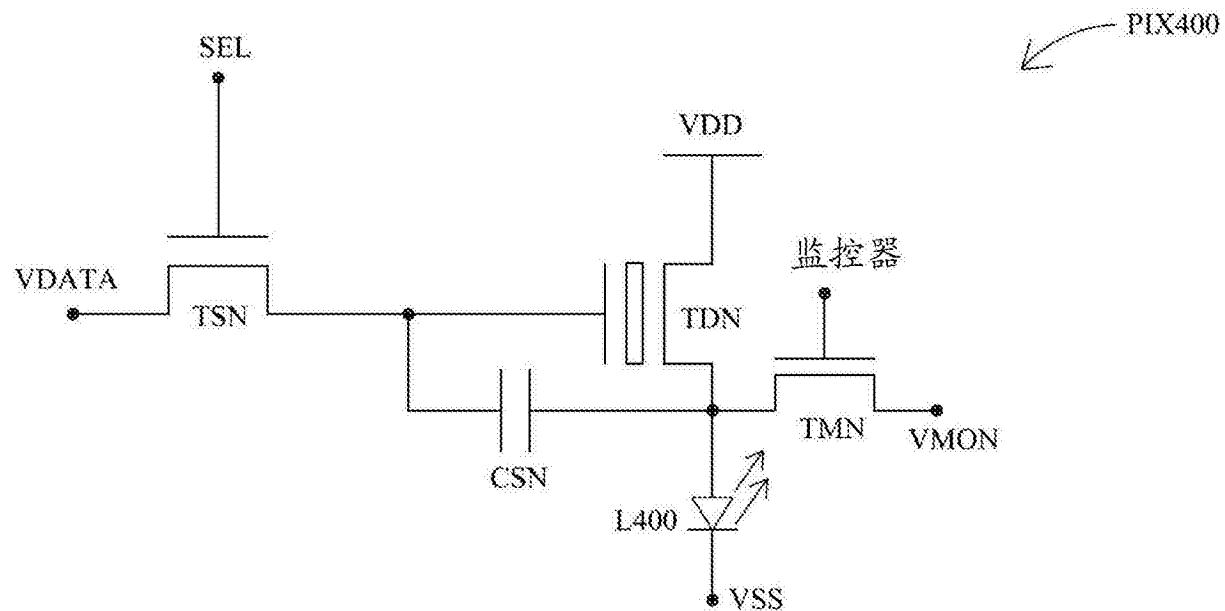


图4

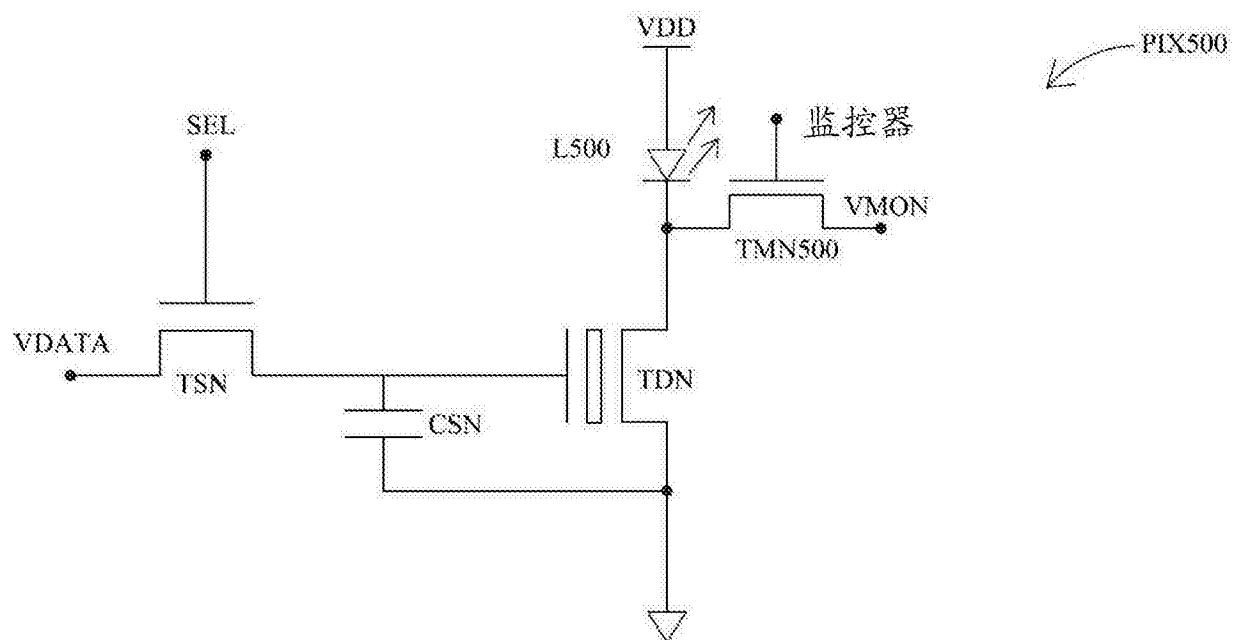


图5

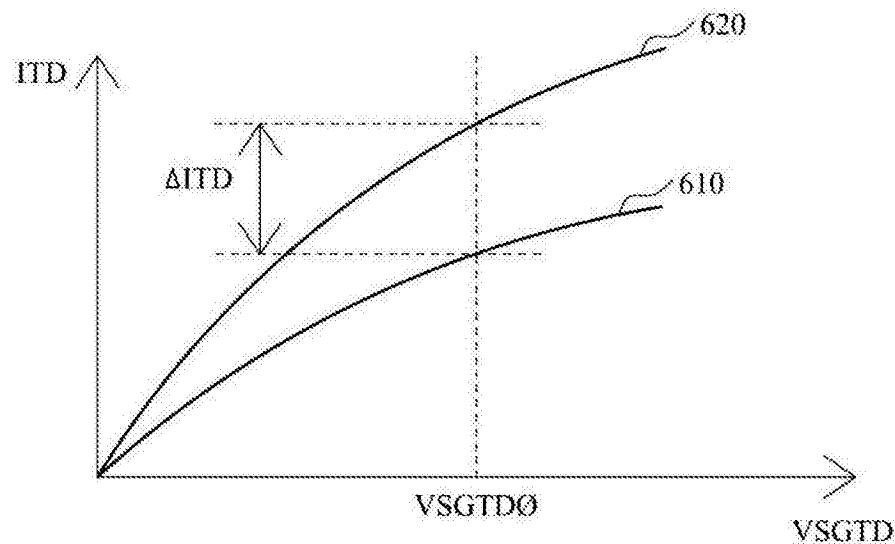


图6

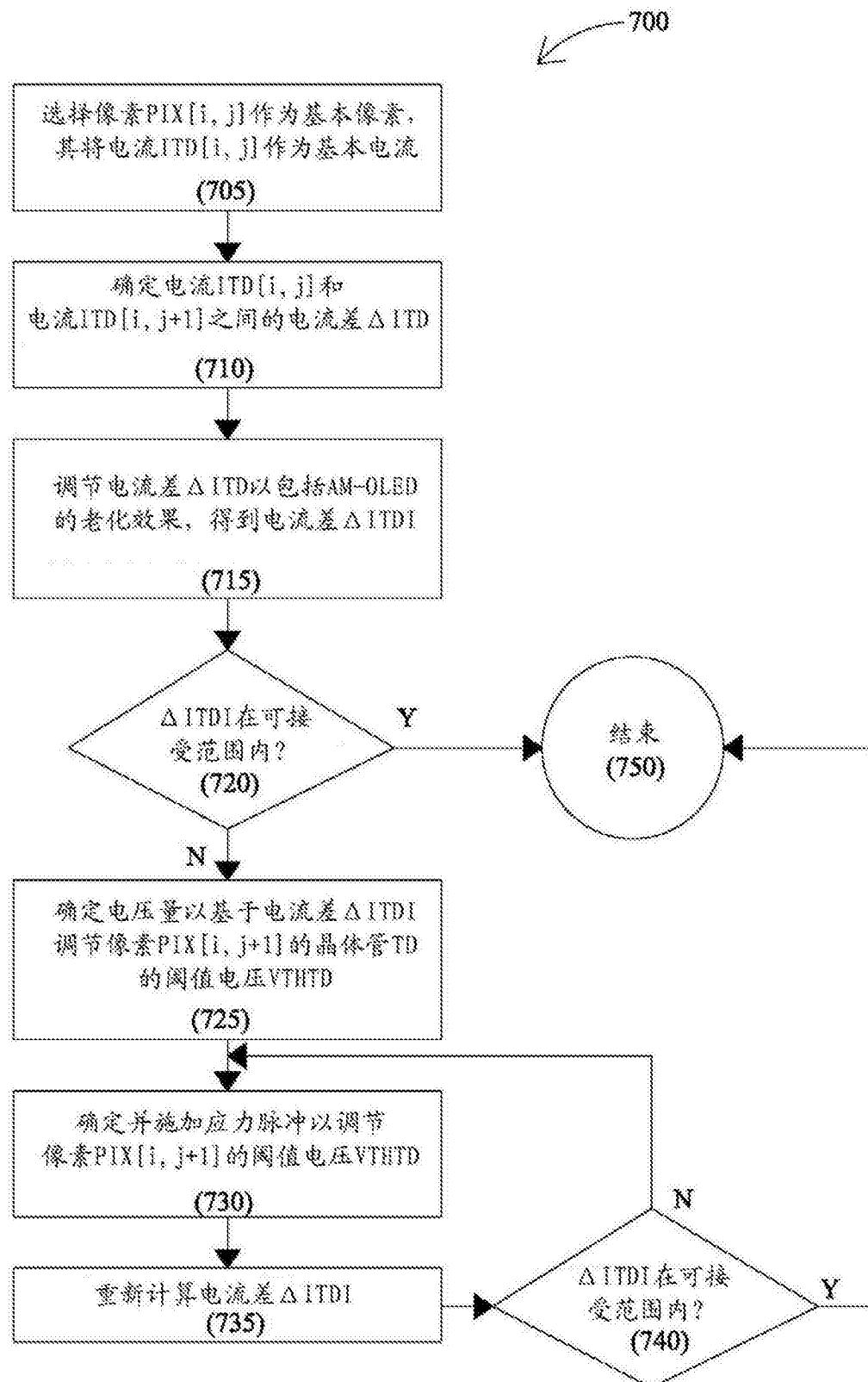


图7