



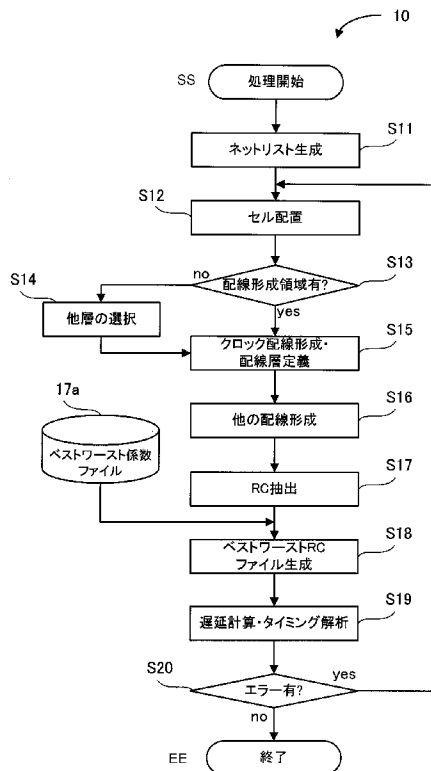
- (51) 国際特許分類:
H01L 21/82 (2006.01)
- (21) 国際出願番号: PCT/JP2007/055566
- (22) 国際出願日: 2007年3月19日 (19.03.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通マイクロエレクトロニクス株式会社 (FUJITSU MICRO-ELECTRONICS LIMITED) [JP/JP]; 〒1630722 東京都新宿区西新宿二丁目7番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 牛山 健一 (USHIYAMA, Kenichi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 服部 毅巖 (HATTORI, Kiyoshi); 〒1920082 東京都八王子市東町9番8号 八王子東町センタービル 服部特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

[続葉有]

(54) Title: DESIGN METHOD AND DESIGN DEVICE OF SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路の設計方法およびその設計装置

[図1]



SS START PROCESSING
S11 PREPARE NET LIST
S12 ARRANGE CELL
S13 WIRING FORMATION REGION EXISTS ?
S14 SELECT OTHER LAYER
S15 FORM CLOCK WIRING, DEFINE WIRING LAYER
S16 FORM OTHER WIRING
S17 EXTRACT RC
17a BEST-WORST COEFFICIENT FILE
S18 CREATE BEST-WORST RC FILE
S19 CALCULATE DELAY, ANALYZE TIMING
S20 ERROR EXIST ?
EE END

(57) Abstract: Chip size and cost can be prevented from increasing. Capacitance and resistance depending on the layout of wiring formed for a plurality of wiring layers (S11-S16) are extracted as a capacitance/resistance file (S17), a best-worst capacitance/resistance file defining capacitance and resistance while taking account for variations in wiring for every wiring layer is created (S18) with reference to a best-worst coefficient file storing coefficients of best and worst conditions of variations in capacitance and resistance for every one of a plurality of wiring layers, and timing verification of wiring is performed (S19) based on the best-worst capacitance/resistance file.

(57) 要約: チップサイズやコストの増加などを防ぐことができる。複数の配線層に対して配線した (S11~S16) 配線レイアウトに応じた容量および抵抗が容量抵抗ファイルとして抽出され (S17)、容量抵抗ファイルと、複数の配線層ごとの容量および抵抗に関するばらつきのベストおよびワースト条件の係数が格納されたベストワースト係数ファイルとを参照して、配線に対する配線層ごとのばらつきを考慮した容量および抵抗を定義するベストワースト容量抵抗ファイルが生成され (S18)、ベストワースト容量抵抗ファイルに基づいて、配線のタイミング検証が行われる (S19)。



HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

添付公開書類:

— 国際調査報告書

明 細 書

半導体集積回路の設計方法およびその設計装置

技術分野

[0001] 本発明は半導体集積回路の設計方法およびその設計装置に関し、特に、複数の配線層を有する半導体集積回路の設計方法およびその設計装置に関する。

背景技術

[0002] 半導体集積回路の設計において、遅延計算が行われ、所望の周波数で動作するか、タイミング規定値を満たしているかのタイミング検証が行われる。計算される半導体集積回路の遅延は、配線の抵抗および容量から影響を受ける。ところが、配線幅や配線長の変化などが原因となり配線の抵抗および容量が変化し、一定の抵抗および容量が得られない。このため、遅延計算などでは、抵抗および容量に対してばらつきが考慮され、ばらつき係数としてベストおよびワースト条件の係数などが用いられていた。

[0003] 以下に、抵抗および容量に対してばらつきが考慮され、ばらつき係数としてベストおよびワースト条件の係数などが用いられる遅延計算の例について以下に図を用いて説明する。

[0004] 図12は、従来の半導体集積回路の設計方法のフローチャートであって、図13は、抵抗および容量と抵抗容量のベストワースト係数とのファイル、図14は、ばらつきを考慮した抵抗および容量のファイルである。

[0005] 以下、フローチャート300に沿って処理を説明する。

半導体集積回路の設計の処理を開始すると、ステップS301からステップS308の処理手順に沿って、半導体集積回路の設計が行われる。

[0006] [ステップS301] 論理合成を行って、ネットリストを生成する。

[ステップS302] 生成したネットリストを参照して、セルなどの配置、配線の形成を行う。

[0007] [ステップS303] セルなどの配置や、配線の形成が所望の通りに行われたと仮定して、配置したセルや配線などから、ばらつきが無いデフォルト値としての抵抗および

容量(ティピカルな抵抗および容量)を抽出する。

[0008] なお、図面中では以後、抵抗を“R”、容量を“C”として表記することとする。

[ステップS304] 抽出したティピカルな抵抗および容量の情報から構成される抵抗容量ファイルを生成する。

[0009] なお、図13(A)に抵抗容量ファイルを模式的に示した。配線のネットごとに、抵抗および容量がそれぞれ記載されている。

[ステップS305] あらかじめ用意してあった容量および抵抗に関するばらつきのベストおよびワースト条件の係数が格納されたベストワースト係数ファイル309を参照して、生成した抵抗容量ファイルから、ばらつきが考慮された抵抗および容量を生成するとともに、ベストワースト抵抗容量ファイルを生成する。

[0010] なお、図13(B)に、ベストワースト係数ファイルを示しており、抵抗のベストおよびワーストを“rb”および“rw”、容量のベストおよびワーストを“cb”および“cw”として記載している。また、図14に、ベストワースト抵抗容量ファイル(図14(A)はベスト時、図14(B)はワースト時)を模式的に示しており、抵抗容量ファイル(図13(A))の抵抗および容量に対して、ベストワースト係数ファイル(図13(B))のベストおよびワースト係数をそれぞれ乗ずることによって得られた、ばらつきが考慮された抵抗および容量が記載されている。

[0011] [ステップS306] 生成したベストワースト抵抗容量ファイルを参照して、遅延計算を行う。

[ステップS307] 遅延計算の結果から、タイミング解析を行う。

[0012] [ステップS308] タイミング解析の結果、エラーがあればステップS302に進められ、無ければ、処理が終了する。

以上のフローによって、抵抗および容量に対してばらつきが考慮され、ばらつき係数としてベストおよびワースト条件の係数などが用いられて、遅延計算そして半導体集積回路の設計が行われていた。

発明の開示

発明が解決しようとする課題

[0013] しかし、上記による設計処理のように、異なる抵抗および容量を持つ各々の配線層

のばらつきを一律(この場合であれば、ばらつき係数は最大の“1”である)に考慮しているために、過剰保証となっている。このため、半導体集積回路の生成時の領域が必要以上に大きくなり、タイミングの収束時のTAT(Turn-Around-Time)が必要以上に長くなるなどのため、チップサイズやコストが増加するという問題点があった。

- [0014] 本発明はこのような点に鑑みてなされたものであり、チップサイズやコストの増加などを防ぐことができる半導体集積回路の設計方法およびその設計装置を提供することを目的とする。

課題を解決するための手段

- [0015] 本発明では上記課題を解決するために、複数の配線層を有する半導体集積回路の設計方法において、複数の配線層に対して配線した(S11～S16)配線レイアウトに応じた容量および抵抗を容量抵抗ファイルとして抽出し(S17)、容量抵抗ファイルと、複数の配線層ごとの容量および抵抗に関するばらつきのベストおよびワースト条件の係数が格納されたベストワースト係数ファイルとを参照して、配線に対する配線層ごとのばらつきを考慮した容量および抵抗を定義するベストワースト容量抵抗ファイルを生成し(S18)、ベストワースト容量抵抗ファイルに基づいて、配線のタイミング検証(S19)を行う、ことを特徴とする半導体集積回路の設計方法が提供される。

- [0016] このような半導体集積回路の設計方法によれば、複数の配線層に対して配線した配線レイアウトに応じた容量および抵抗が容量抵抗ファイルとして抽出され、容量抵抗ファイルと、複数の配線層ごとの容量および抵抗に関するばらつきのベストおよびワースト条件の係数が格納されたベストワースト係数ファイルとを参照して、配線に対する配線層ごとのばらつきを考慮した容量および抵抗を定義するベストワースト容量抵抗ファイルが生成され、ベストワースト容量抵抗ファイルに基づいて、配線のタイミング検証が行われる。

- [0017] また、本発明では上記課題を解決するために、複数の配線層を有する半導体集積回路の設計装置において、前記複数の配線層に対して配線した配線レイアウトに応じた容量および抵抗を容量抵抗ファイルとして抽出する手段と、前記容量抵抗ファイルと、前記複数の配線層ごとの容量および抵抗に関するばらつきのベストおよびワースト条件の係数が格納されたベストワースト係数ファイルとを参照して、前記配線に対

する前記配線層ごとの前記ばらつきを考慮した容量および抵抗を定義するベストワースト容量抵抗ファイルを生成する手段と、前記ベストワースト容量抵抗ファイルに基づいて、前記配線のタイミング検証を行う手段と、を有することを特徴とする半導体集積回路の設計装置が提供される。

- [0018] このような半導体集積回路の設計装置によれば、配線層ごとの容量および抵抗に関するばらつきのベストおよびワースト条件の係数と、セルライブラリとから、ばらつきが最小の層に、クリティカルパスとしての配線を形成できる領域が有る場合には、その層に、領域が無い場合には、その層の次にばらつきが小さい他の層に、配線が形成されて、配線が形成された層または他の層に配線層が定義され、配線のネットから抽出された容量および抵抗と、ベストおよびワースト条件の係数とが参照されて、ネットの配線層ごとのばらつきが考慮された容量および抵抗が生成される。

発明の効果

- [0019] 本発明では、複数の配線層に対して配線した配線レイアウトに応じた容量および抵抗を容量抵抗ファイルとして抽出し、容量抵抗ファイルと、複数の配線層ごとの容量および抵抗に関するばらつきのベストおよびワースト条件の係数が格納されたベストワースト係数ファイルとを参照して、配線に対する配線層ごとのばらつきを考慮した容量および抵抗を定義するベストワースト容量抵抗ファイルを生成し、ベストワースト容量抵抗ファイルに基づいて、配線のタイミング検証を行うようにした。これにより、配線層ごとのばらつきを考慮して、抵抗および容量を見積もることができるようになるため、過剰保証を防ぐことができ、TATを短縮することができ、チップサイズの増加やコスト増加などを防ぐことができる。
- [0020] 本発明の上記および他の目的、特徴および利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

- [0021] [図1]本発明の概要を示すフローチャートである。
- [図2]複数の配線を有する半導体集積回路における配線の形成を示した模式図である。
- [図3]実施の形態における複数の配線を有する半導体集積回路の設計装置のハード

ウェア構成を示す図である。

[図4]実施の形態における複数の配線を有する半導体集積回路の設計装置の機能を示すブロック図である。

[図5]実施の形態における複数の配線を有する半導体集積回路の設計装置の処理手順を示すフローチャートである。

[図6]配置配線の処理手順を示すフローチャートである。

[図7]抵抗および容量のファイル生成の処理手順を示すフローチャートである。

[図8]本実施の形態の抵抗および容量のファイルと配線層ごとの抵抗容量のベストワースト係数のファイルを示す図である。

[図9]本実施の形態のクロック配線および他の配線のネットの抵抗および容量のファイルを示す図である。

[図10]本実施の形態のクロック配線のネットの配線層ごとのばらつきを考慮した抵抗および容量のファイルを示す図である。

[図11]本実施の形態の他の配線のネットのばらつきを考慮した抵抗および容量のファイルを示す図である。

[図12]従来の半導体集積回路の設計方法のフローチャートである。

[図13]抵抗および容量と、抵抗容量のベストワースト係数とのファイルを示す図である。

[図14]ばらつきを考慮した抵抗および容量のファイルを示す図である。

発明を実施するための最良の形態

[0022] 以下、本発明の実施の形態を、図面を参照して詳細に説明する。但し、本発明の技術的範囲はこれらの実施の形態に限定されない。

まず、本発明の概要について説明し、その後に本発明の実施の形態について説明する。

[0023] 本発明では、配線層ごとのばらつきを考慮することによって、過剰保証を抑えた半導体集積回路の設計方法を実現する。

図1は、本発明の概要を示すフローチャートである。

[0024] 以下、フローチャート10に沿って処理を説明する。

複数の配線層を有する半導体集積回路の設計処理を開始すると、ステップS11からステップS20の処理手順に沿って、半導体集積回路の設計が行われる。

[0025] [ステップS11] 論理合成を行って、ネットリストを生成する。

[ステップS12] 生成したネットリストを参照して、セルなどの配置を行う。

[ステップS13] 配置したセルなどの、抵抗および容量のばらつきが最小の層に、クリティカルな配線の形成余地の有無を判断する。余地が無い場合は、ステップS14に進められ、余地がある場合は、ばらつきが最小の層を選択して、ステップS15に進められる。

[0026] [ステップS14] ステップS13にて余地がない場合、ステップS13で選択した層の次にばらつきが小さい層を選択する。

[ステップS15] ステップS13およびステップS14で選択した層に配線を形成する。そして、配線が形成された層に配線層を定義する。

[0027] [ステップS16] クリティカルな配線以外の他の配線の形成を行う。

[ステップS17] クリティカルな配線と他の配線との典型的な抵抗および容量をそれぞれ抽出する。

[0028] [ステップS18] ばらつきのベストおよびワースト条件に関するベストワースト係数ファイル17aを参照して、抽出した典型的な抵抗および容量から、ばらつきが考慮された抵抗および容量のベストワースト抵抗容量ファイルを生成する。

[0029] [ステップS19] 生成したベストワースト抵抗容量ファイルを参照して、遅延計算およびタイミング解析を行う。

[ステップS20] タイミング解析の結果、エラーがあれば、ステップS12に進められ、エラーが無ければ、処理が終了する。

[0030] 以上のフローチャート10によって形成される配線について以下に説明する。

図2は、複数の配線を有する半導体集積回路における配線の形成を示した模式図である。

[0031] セル50は、図2(A)に示すように、基板51に3つの層52, 53, 54が積層されている。そして、セル50の抵抗および容量のばらつきが最小である層54には、クリティカルな配線55が形成されている。なお、層のばらつきの大きさは、層54を最小として、

層54<層53<層52とする。

[0032] この時、ばらつきが小さいところを優先に、新たにクリティカルな配線を形成しようとする、ばらつきが最小である層54には既に配線55が形成されているために、配線を形成することはできない。そこで、層54の次にばらつきが小さい層53を選択することにより、図2(B)に示すように、配線56を形成することができる。

[0033] 以上のように、半導体集積回路の設計が行われると、配線層ごとのばらつきを考慮して、抵抗および容量を見積もることができるようになるため、過剰保証を防ぐことができ、TATを短縮することができて、チップサイズの増加やコスト増加などを防ぐことができる。

[0034] 次に実施の形態について以下に説明する。

本実施の形態は、半導体集積回路の設計装置100で構成される。半導体集積回路の設計装置100を用いることによって、配線層ごとのばらつきを考慮した抵抗および容量を抽出することができる。なお、本実施の形態では、配線が形成されるセルには上から順にGlobal、Semi-Global、Intermediateの3つの領域から構成されることとする。

[0035] 図3は、実施の形態における複数の配線を有する半導体集積回路の設計装置のハードウェア構成を示す図である。

半導体集積回路の設計装置100は、CPU (Central Processing Unit) 101によって装置全体が制御されている。CPU101には、バス106を介してRAM (Random Access Memory) 102、ハードディスクドライブ (HDD: Hard Disk Drive) 103、グラフィック処理装置104および入力インタフェース105が接続されている。

[0036] RAM102には、CPU101に実行させるOS (Operating System) プログラムやアプリケーションプログラムの少なくとも一部が一時的に格納される。また、RAM102には、CPU101による処理に必要な各種データが格納される。HDD103には、OSプログラムやアプリケーションプログラムが格納される。

[0037] グラフィック処理装置104には、モニタ21が接続されている。グラフィック処理装置104は、CPU101からの命令に従って、画像をモニタ21の画面に表示させる。

入力インタフェース105には、キーボード22とマウス23とが接続されている。入力イ

インタフェース105は、キーボード22やマウス23から送られてくる信号を、バス106を介してCPU101に送信する。

[0038] 以上のようなハードウェア構成によって、本実施の形態の処理機能を実現することができる。

次に、半導体集積回路の設計装置100の機能ブロックについて説明する。

[0039] 図4は、実施の形態における複数の配線を有する半導体集積回路の設計装置の機能を示すブロック図である。

半導体集積回路の設計装置100は、ネットリスト110、セルライブラリ120、ベストファースト係数ファイル130、ベストファースト抵抗容量ファイル140、論理合成部150、配置部160、配線部170、層選択部180、抽出部190、ファイル生成部200および遅延計算・タイミング解析部210から構成されており、キーボード22およびマウス23を通じて外部からの入力を受け付けることができる。また、論理合成部150および遅延計算・タイミング解析部210は、モニタ21の画面に処理を表示することができる。

[0040] 論理合成部150は、ネットリスト110を生成する。

配置部160は、マクロ配置部160aとセル配置部160bとから構成されており、半導体集積回路の様々な構成要素の配置を行う。

[0041] マクロ配置部160aは、回路機能を1つの機能ブロックとしてまとめたマクロを配置する。

セル配置部160bは、セルを配置する。

[0042] 配線部170は、電源配線部170a、クロック配線部170bおよび他配線部170cによって構成されており、半導体集積回路の様々な構成要素間の接続配線などを行う。

電源配線部170aは、LSIへの電源供給を行う配線を形成する。

[0043] クロック配線部170bは、クリティカルな配線として、クロック信号を伝送する配線を形成する。また、任意の層にクロック配線の形成領域の余地があるか否かを判断する。

他配線部170cは、クロック配線以外の他の配線を形成する。また、任意の層に他の配線の形成領域の余地があるか否かを判断する。

[0044] 層選択部180は、クロック配線部170bおよび他配線部170cを形成する層を選択

する。

抽出部190は、抵抗容量抽出部190aとネット抵抗容量抽出部190bとから構成されており、配置されたセルや配線などの抵抗および容量を抽出する。

[0045] 抵抗容量抽出部190aは、配置されたセルや配線の抵抗および容量を抽出する。

ネット抵抗容量抽出部190bは、クロック配線や他の配線のネットの抵抗および容量を抽出する。

[0046] ファイル生成部200は、抽出部190で抽出した抵抗および容量や、ベストワースト係数ファイル130を参照したネット抵抗および容量のばらつきのベストワースト条件の係数などからベストワースト抵抗容量ファイル140を生成する。なお、生成するファイルについては後に説明する。

[0047] 遅延計算・タイミング解析部210は、ファイル生成部200で生成されたベストワースト抵抗容量ファイル140を参照して、遅延計算およびタイミング解析を行う。

このようにして半導体集積回路の設計が行われる。実際の処理手順について、以下にフローチャートを用いて説明する。

[0048] 図5は、実施の形態における複数の配線を有する半導体集積回路の設計装置の処理手順を示すフローチャートである。以下、図5に示す処理をステップ番号に沿って説明する。

[ステップS21] 論理合成部150は、論理合成を行ってネットリスト110を生成する。

[0049] [ステップS22] 配置部160および配線部170は、ネットリスト110を参照して、最適化を行って、マクロおよびセルの配置や、電源配線、クロック配線およびそれら以外の他の配線を形成する。なお、ステップS22については別途詳細に説明を行う。

[0050] [ステップS23] ファイル生成部200は、抽出部190によってセルやクロック配線などから抽出された抵抗および容量をベストワースト係数ファイル130を参照して、ばらつき値を考慮した抵抗および容量でファイル化し、ベストワースト抵抗容量ファイル140を生成する。なお、ステップS23については別途詳細に説明を行う。

[0051] [ステップS24] 遅延計算・タイミング解析部210が、生成されたベストワースト抵抗容量ファイル140を参照して、遅延計算およびタイミング解析を行う。

[ステップS25] タイミング解析の結果、エラーがあれば、ステップS22に進められ、エラーが無ければ、処理が終了する。

[0052] 引き続き、半導体集積回路の設計方法の処理手順ステップS22からステップS23の処理の詳細について、さらに以下に説明する。

図6は、配置配線の処理手順を示すフローチャートである。以下、図6に示す処理をステップ番号に沿って説明する。

[0053] [ステップS22a] ネットリスト110を参照して、マクロ配置部160aは、マクロの配置を行って、電源配線部170aは、電源供給を行う配線を形成する。

[ステップS22b] セル配置部160bは、ネットリスト110を参照して、セルの配置を行う。

[0054] [ステップS22c] クロック配線部170bは、配線層ごとの容量および抵抗に関するばらつきのベストおよびワースト条件の係数が格納された抵抗容量ベストワースト係数ファイル22iと、半導体集積回路のセルライブラリ22jとを参照して、配置したセルの抵抗および容量のばらつきが最小の層に、クロック信号を伝送するクロック配線を形成できる領域の有無を判断する。領域が無い場合は、ステップS22dに進められ、領域が有る場合はばらつきが最小の層を選択して、ステップS22eに進められる。

[0055] [ステップS22d] 層選択部180は、領域が無い場合、最小のばらつきの次に小さいばらつきの他の層を選択する。

[ステップS22e] クロック配線部170bは、ステップS22cおよびステップS22dで選択した層に、クロック配線を形成する。

[0056] [ステップS22f] クロック配線部170bは、クロック配線が形成された層に配線層を定義する。

[ステップS22g] クロック配線部170bは、定義された層に、クロック配線以外の他の配線を形成できるかどうか判断する。形成できる場合は、ステップS22hに進められ、形成できない場合は、ステップS22dに進められる。

[0057] [ステップS22h] 他配線部170cは、クロック配線以外の他の配線を、ステップS22fで定義した配線層に形成する。

以上の処理手順によって、半導体集積回路の配置配線が行われる。

[0058] 続いて、半導体集積回路の配置配線後に、ばらつきが考慮された抵抗および容量のファイルの生成についてさらに以下に説明する。

図7は、抵抗および容量のファイル生成の処理手順を示すフローチャートである。
以下、図7に示す処理をステップ番号に沿って説明する。

[0059] なお、図8は、本実施の形態の抵抗および容量のファイルと配線層ごとの抵抗容量のベストワースト係数のファイル、図9は、本実施の形態のクロック配線および他の配線のネットの抵抗および容量のファイル、図10は、本実施の形態のクロック配線のネットの配線層ごとのばらつきを考慮した抵抗および容量のファイル、図11は、本実施の形態の他の配線のネットのばらつきを考慮した抵抗および容量のファイルである。

[0060] [ステップS23a] 抵抗容量抽出部190aは、ステップS22にて行った配置配線から、典型的な抵抗および容量を抽出する。

[ステップS23b] ファイル生成部200は、図8(A)に示すように、抽出した典型的な抵抗および容量から構成される抵抗容量ファイルを作成する。図8(A)によれば、抵抗容量ファイルには全てのネットごとに属性、配線層、抵抗および容量が記載されている。ちなみに、図8(B)は、セルを3領域に分けた、上層、中層、下層ごとの抵抗および容量のベストおよびワーストのばらつき係数とともに、セルを一律としたばらつき係数が記載されている。なお、抵抗ベストおよび容量ベストはGlobal(上層)ほど、よりベストであって、抵抗ワーストおよび容量ワーストはIntermediate(下層)に近づくほど、よりワーストである。ただし、 $rb_{Inter}=rb$ 、 $cb=cb_{Inter}$ 、 $rw_{Inter}=rw$ 、 $cw_{Inter}=cw$ とする。

[0061] [ステップS23c] ネット抵抗容量抽出部190bは、クロック配線およびクロック配線以外の他の配線のネットから抵抗および容量を抽出する。

[ステップS23d] ファイル生成部200は、図9(A)に示すように、抽出したクロック配線のネットの抵抗および容量から構成されるネット抵抗容量ファイルを作成する。図9(A)によれば、クロック配線のネットごとに属性、配線層、抵抗および容量が記載されている。

[0062] [ステップS23e] ファイル生成部200は、ネット抵抗容量ファイルから、配線層ごとの抵抗容量ベストワースト係数ファイル22iを参照して、図10に示すように、配線層ご

とにばらつきが考慮されたネットの抵抗および容量で構成されるネットベストワースト抵抗容量ファイルを生成する。

[0063] [ステップS23f] ファイル生成部200は、図9(B)に示すように、クロック配線以外の他の配線のネットの抵抗および容量で構成される他ネット抵抗容量ファイルを生成する。

[0064] [ステップS23g] ファイル生成部200は、他ネット抵抗容量ファイルから、配線層ごとの抵抗容量ベストワースト係数ファイル22iを参照して、図11に示すように、ばらつきが考慮されたクロック配線以外の他の配線のネットの抵抗および容量で構成される他ネットベストワースト抵抗容量ファイルを生成する。

[0065] [ステップS23h] ファイル生成部200は、ネットベストワースト抵抗容量ファイル(図10)と他ネットベストワースト抵抗容量ファイル(図11)とを合成して、配線層ごとに全てのネットに関するばらつきが考慮された抵抗および容量から構成されるベストワースト抵抗容量ファイル(不図示。)を生成する。

[0066] 以上のようにして得られたベストワースト抵抗容量ファイルを用いて、半導体集積回路の設計が行われると、配線層ごとのばらつきを考慮して、抵抗および容量を見積もることができるようになるため、過剰保証を防ぐことができ、TATを短縮することができ、チップサイズの増加やコスト増加などを防ぐことができる。

[0067] 上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

符号の説明

- [0068] 100 半導体集積回路の設計装置
110 ネットリスト
120 セルライブラリ
130 ベストワースト係数ファイル
140 ベストワースト抵抗容量ファイル
150 論理合成部

160 配置部

160a マクロ配置部

160b セル配置部

170 配線部

170a 電源配線部

170b クロック配線部

170c 他配線部

180 層選択部

190 抽出部

190a 抵抗容量抽出部

190b ネット抵抗容量抽出部

200 ファイル生成部

210 遅延計算・タイミング解析部

請求の範囲

- [1] 複数の配線層を有する半導体集積回路の設計方法において、
前記複数の配線層に対して配線した配線レイアウトに応じた容量および抵抗を容量抵抗ファイルとして抽出し、
前記容量抵抗ファイルと、前記複数の配線層ごとの容量および抵抗に関するばらつきのベストおよびワースト条件の係数が格納されたベストワースト係数ファイルとを参照して、前記配線に対する前記配線層ごとの前記ばらつきを考慮した容量および抵抗を定義するベストワースト容量抵抗ファイルを生成し、
前記ベストワースト容量抵抗ファイルに基づいて、前記配線のタイミング検証を行う、
ことを特徴とする半導体集積回路の設計方法。
- [2] 前記配線が、クロック信号を伝送するクロック配線であることを特徴とする請求の範囲第1項記載の半導体集積回路の設計方法。
- [3] 前記ベストワースト係数ファイルを参照して、前記複数の配線層における前記ばらつきが最小となる第1の層に、クリティカルパスとなる配線を形成することを特徴とする請求の範囲第1項又は第2項に記載の半導体集積回路の設計方法。
- [4] 前記第1の層に、前記クリティカルパスとなる配線を形成する領域の有無を判定し、前記領域が有る場合には、前記第1の層を選択して前記配線を形成し、前記領域が無い場合には、前記第1の層の次に前記ばらつきが小さい第2の層を選択して前記配線を形成し、前記配線を形成した配線層に対して、前記ベストワースト容量抵抗ファイルに基づいて前記配線のタイミング検証を行うことを特徴とする請求の範囲第3項記載の半導体集積回路の設計方法。
- [5] 前記複数の配線層を、所定数の配線層群にグループ化し、前記配線層群のいずれか1つが、前記第1の層または前記第2の層として定義されることを特徴とする請求の範囲第1項乃至第4項のいずれか1項に記載の半導体集積回路の設計方法。
- [6] 前記配線層は、上層ほど、前記ばらつきが小さくなることを特徴とする請求の範囲第1項乃至第5項のいずれか1項に記載の半導体集積回路の設計方法。
- [7] 複数の配線層を有する半導体集積回路の設計装置において、

前記複数の配線層に対して配線した配線レイアウトに応じた容量および抵抗を容量抵抗ファイルとして抽出する手段と、

前記容量抵抗ファイルと、前記複数の配線層ごとの容量および抵抗に関するばらつきのベストおよびワースト条件の係数が格納されたベストワースト係数ファイルとを参照して、前記配線に対する前記配線層ごとの前記ばらつきを考慮した容量および抵抗を定義するベストワースト容量抵抗ファイルを生成する手段と、

前記ベストワースト容量抵抗ファイルに基づいて、前記配線のタイミング検証を行う手段と、

を有することを特徴とする半導体集積回路の設計装置。

[8] 前記配線が、クロック信号を伝送するクロック配線であることを特徴とする請求の範囲第7項記載の半導体集積回路の設計装置。

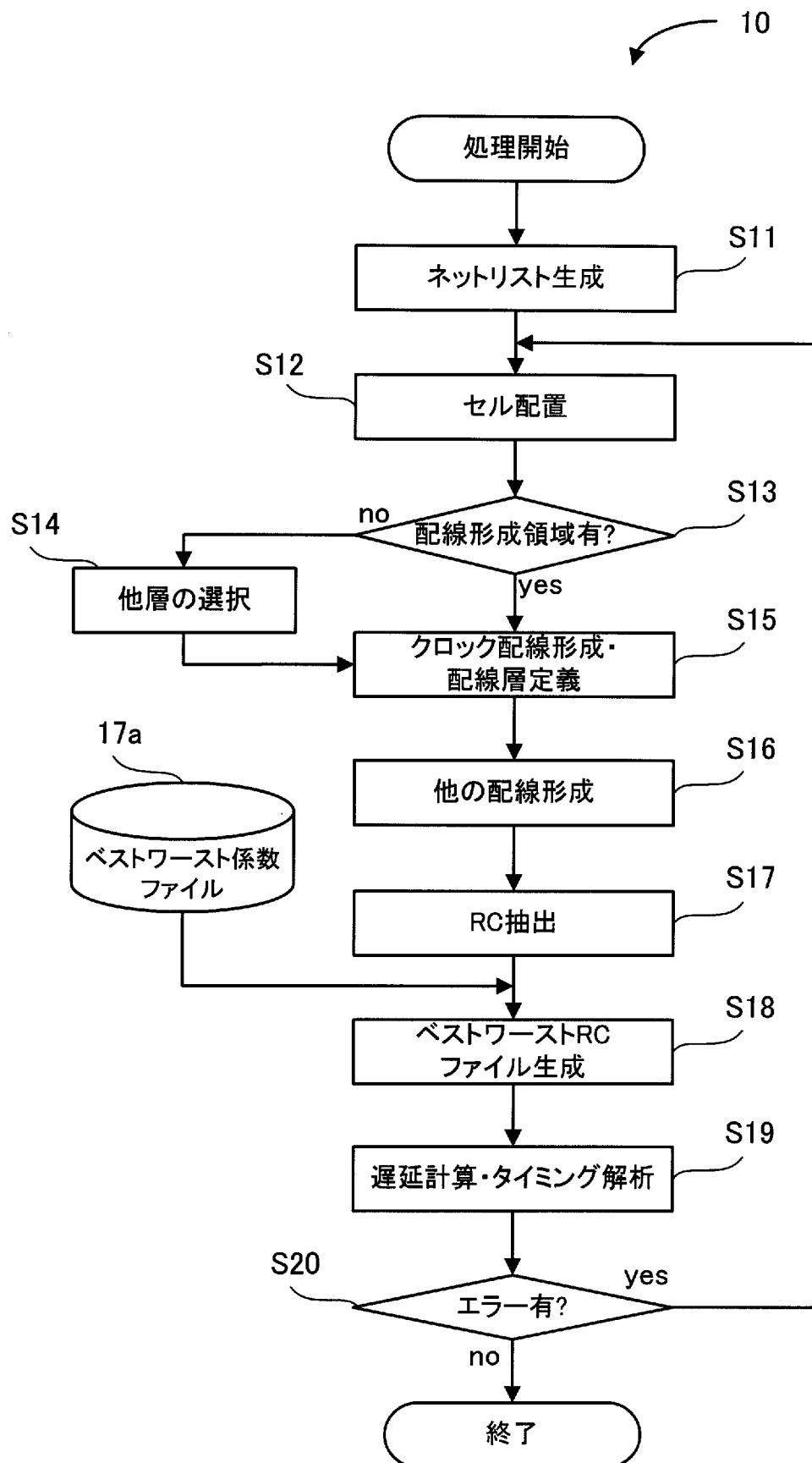
[9] 前記ベストワースト係数ファイルを参照して、前記複数の配線層における前記ばらつきが最小となる第1の層に、クリティカルパスとなる配線を形成することを特徴とする請求の範囲第7項又は第8項に記載の半導体集積回路の設計装置。

[10] 前記第1の層に、前記クリティカルパスとなる配線を形成する領域の有無を判定し、前記領域が有る場合には、前記第1の層を選択して前記配線を形成し、前記領域が無い場合には、前記第1の層の次に前記ばらつきが小さい第2の層を選択して前記配線を形成し、前記配線を形成した配線層に対して、前記ベストワースト容量抵抗ファイルに基づいて前記配線のタイミング検証を行うことを特徴とする請求の範囲第9項記載の半導体集積回路の設計装置。

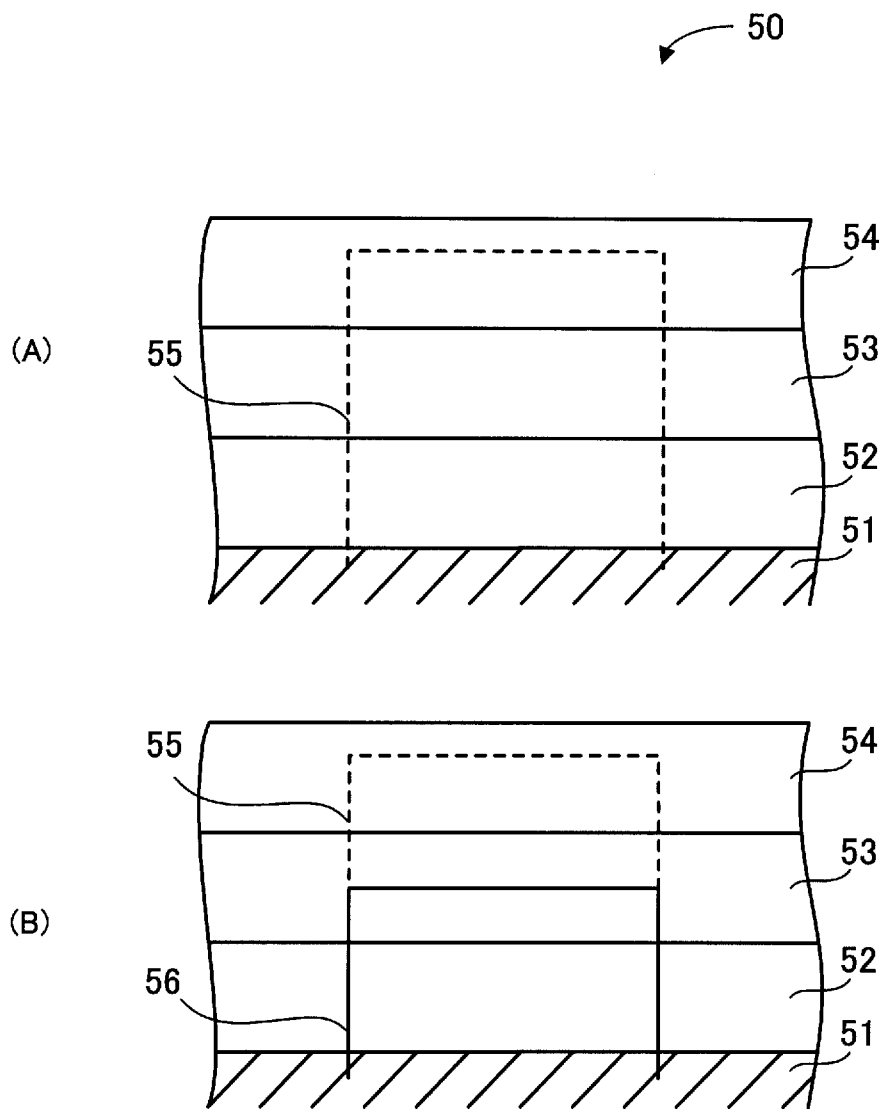
[11] 前記複数の配線層を、所定数の配線層群にグループ化し、前記配線層群のいずれか1つが、前記第1の層または前記第2の層として定義されることを特徴とする請求の範囲第7項乃至第10項のいずれか1項に記載の半導体集積回路の設計装置。

[12] 前記配線層は、上層ほど、前記ばらつきが小さくなることを特徴とする請求の範囲第7項乃至第11項のいずれか1項に記載の半導体集積回路の設計装置。

[図1]



[図2]



[図3]

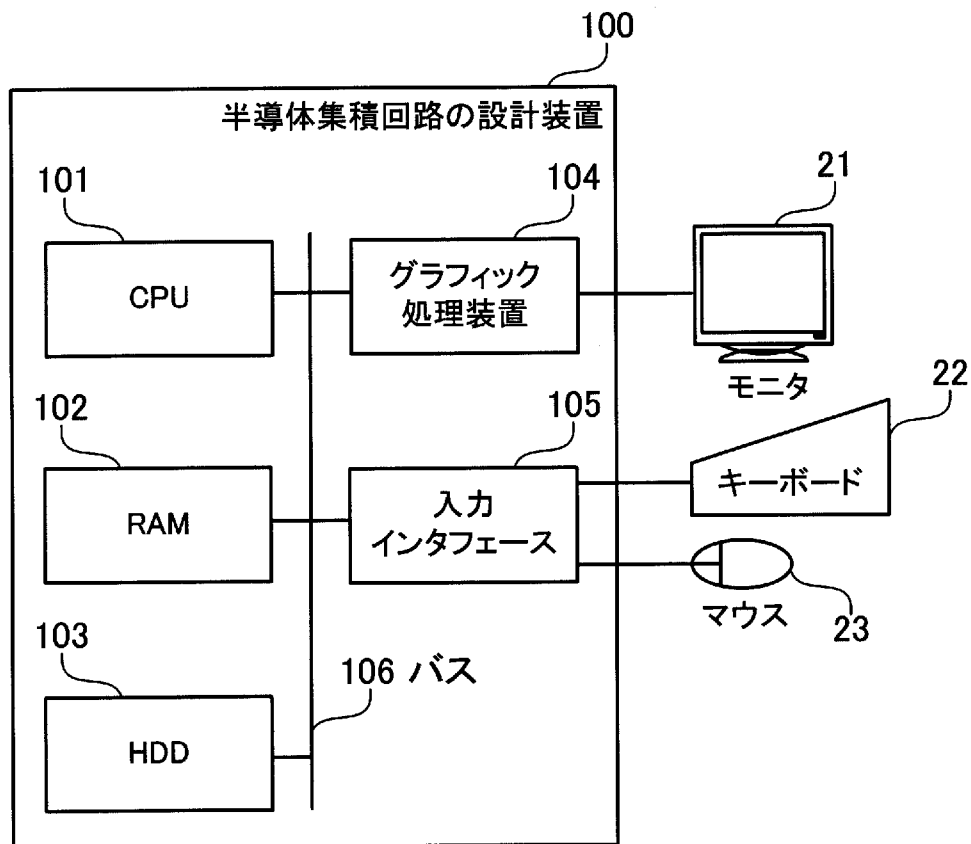
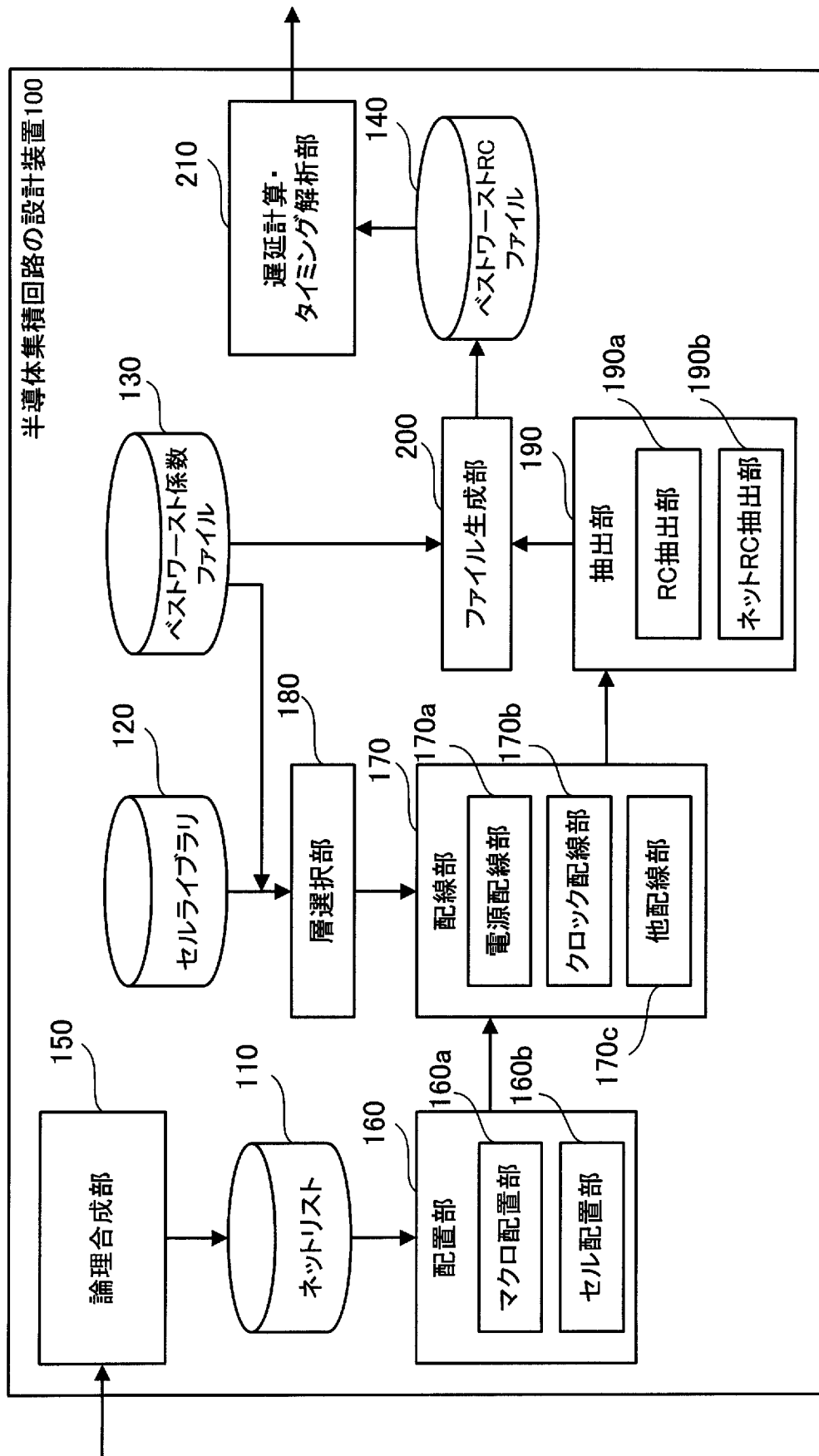
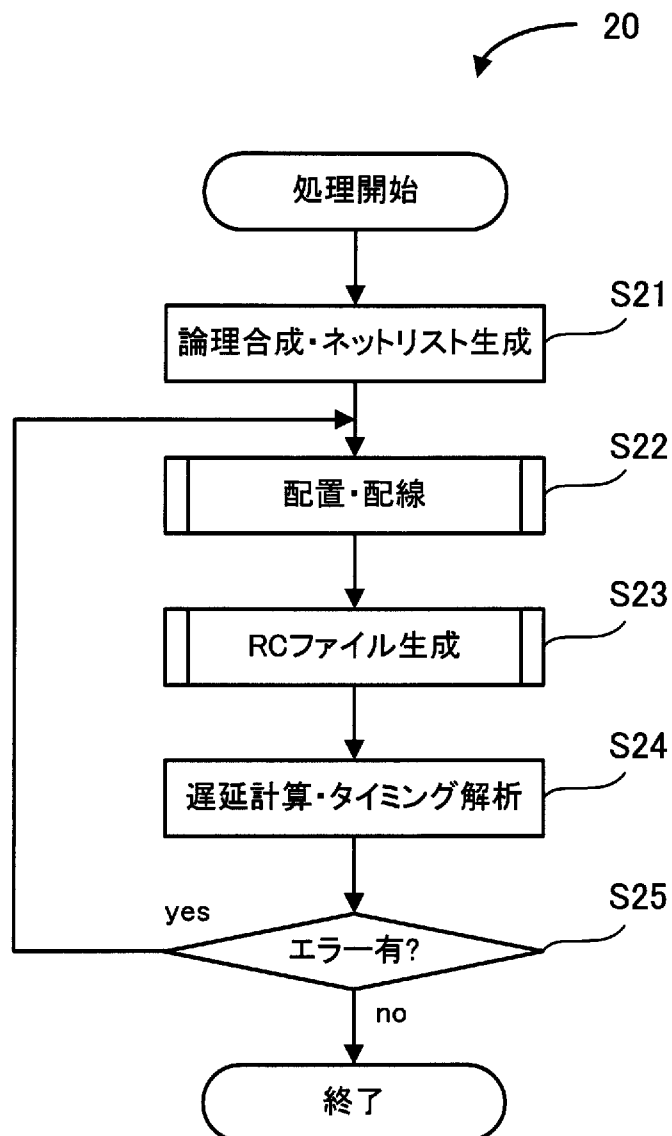


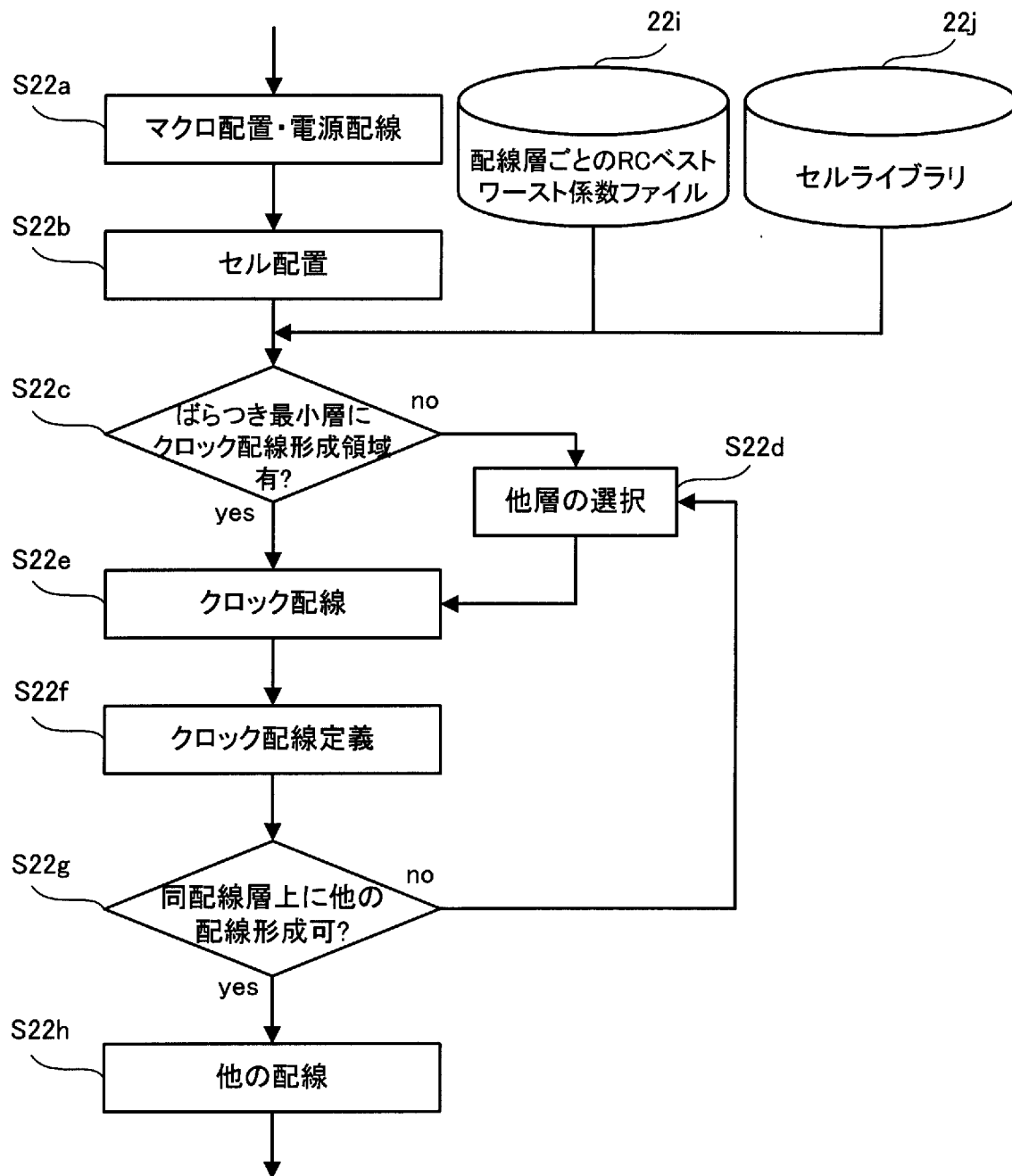
図4



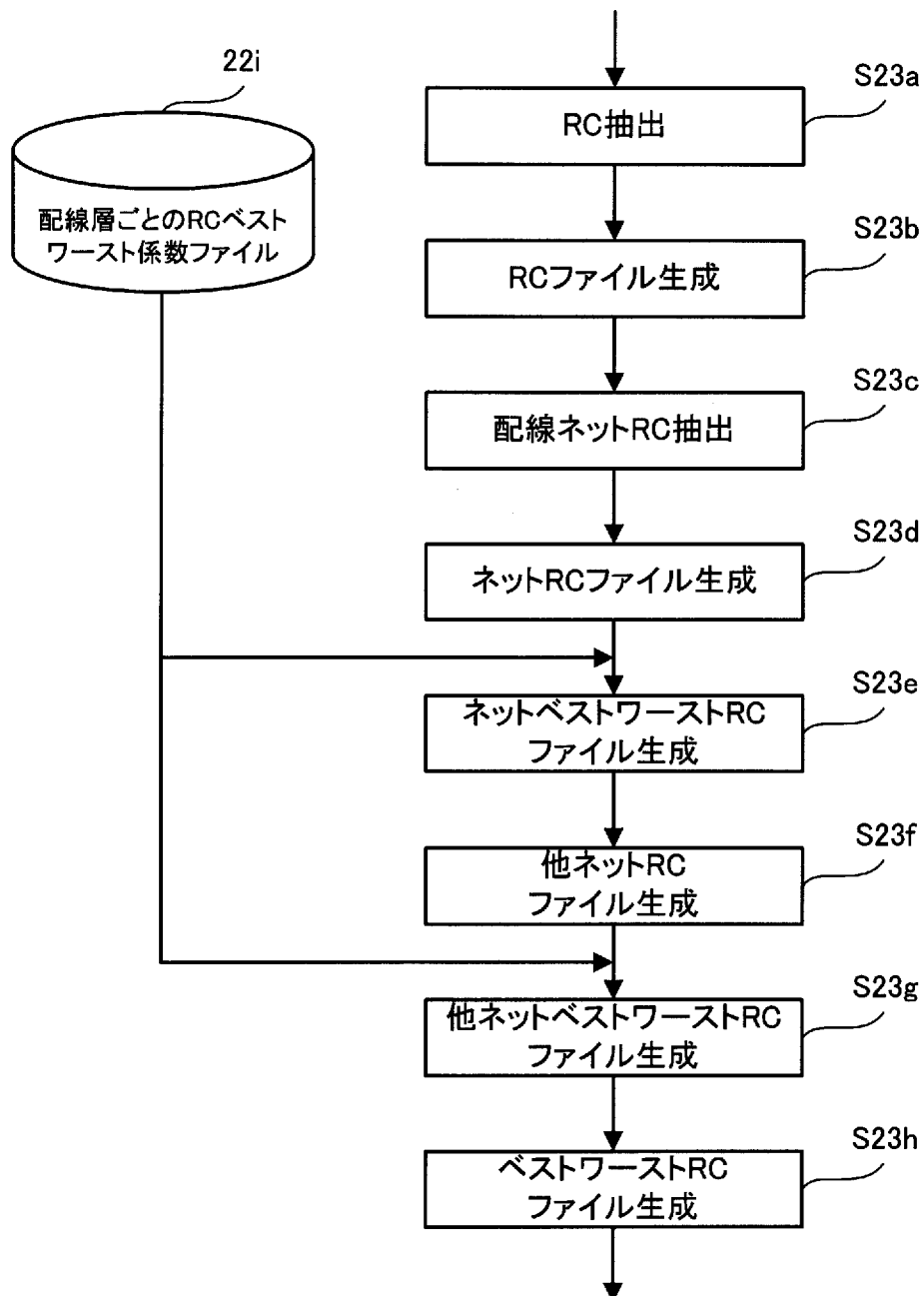
[図5]



[図6]



[図7]



[図8]

(A)

ネット名	属性	配線層	抵抗	容量
Net.1	ck	Global	R1	C1
Net.2	—	—	R2	C2
Net.3	—	—	R3	C3
Net.4	ck	Global	R4	C4
Net.5	ck	Global	R5	C5
⋮	⋮	⋮	⋮	⋮
Net.n	—	—	Rn	Cn

(B)

	Rベスト	Cベスト	Rワースト	Cワースト
Intermediate	rbInter	cbInter	rwInber	cwInter
Semi-Global	rbSemi	cbSemi	rwSemi	cwSemi
Global	rbGlobal	cbGlobal	rwGlobal	cwGlobal
一律係数	rb	cb	rw	cw

[図9]

(A)

ネット名	属性	配線層	抵抗	容量
Net.1	ck	Global	R1	C1
Net.4	ck	Global	R4	C4
Net.5	ck	Global	R5	C5
⋮	⋮	⋮	⋮	⋮
Net.m	ck	Global	Rm	Cm

(B)

ネット名	属性	配線層	抵抗	容量
Net.2	—	—	R2	C2
Net.3	—	—	R3	C3
⋮	⋮	⋮	⋮	⋮
Net.n	—	—	Rn	Cn

[図10]

(A)

ネット名	属性	配線層	抵抗	容量
Net.1	ck	Global	$R1 \cdot rbGlobal$	$C1 \cdot cbGlobal$
Net.4	ck	Global	$R4 \cdot rbGlobal$	$C4 \cdot cbGlobal$
Net.5	ck	Global	$R5 \cdot rbGlobal$	$C5 \cdot cbGlobal$
⋮	⋮	⋮	⋮	⋮
Net.m	ck	Global	$Rm \cdot rbGlobal$	$Cm \cdot cbGlobal$

(B)

ネット名	属性	配線層	抵抗	容量
Net.1	ck	Global	$R1 \cdot rwGlobal$	$C1 \cdot cwGlobal$
Net.4	ck	Global	$R4 \cdot rwGlobal$	$C4 \cdot cwGlobal$
Net.5	ck	Global	$R5 \cdot rwGlobal$	$C5 \cdot cwGlobal$
⋮	⋮	⋮	⋮	⋮
Net.m	ck	Global	$Rm \cdot rwGlobal$	$Cm \cdot cwGlobal$

[図11]

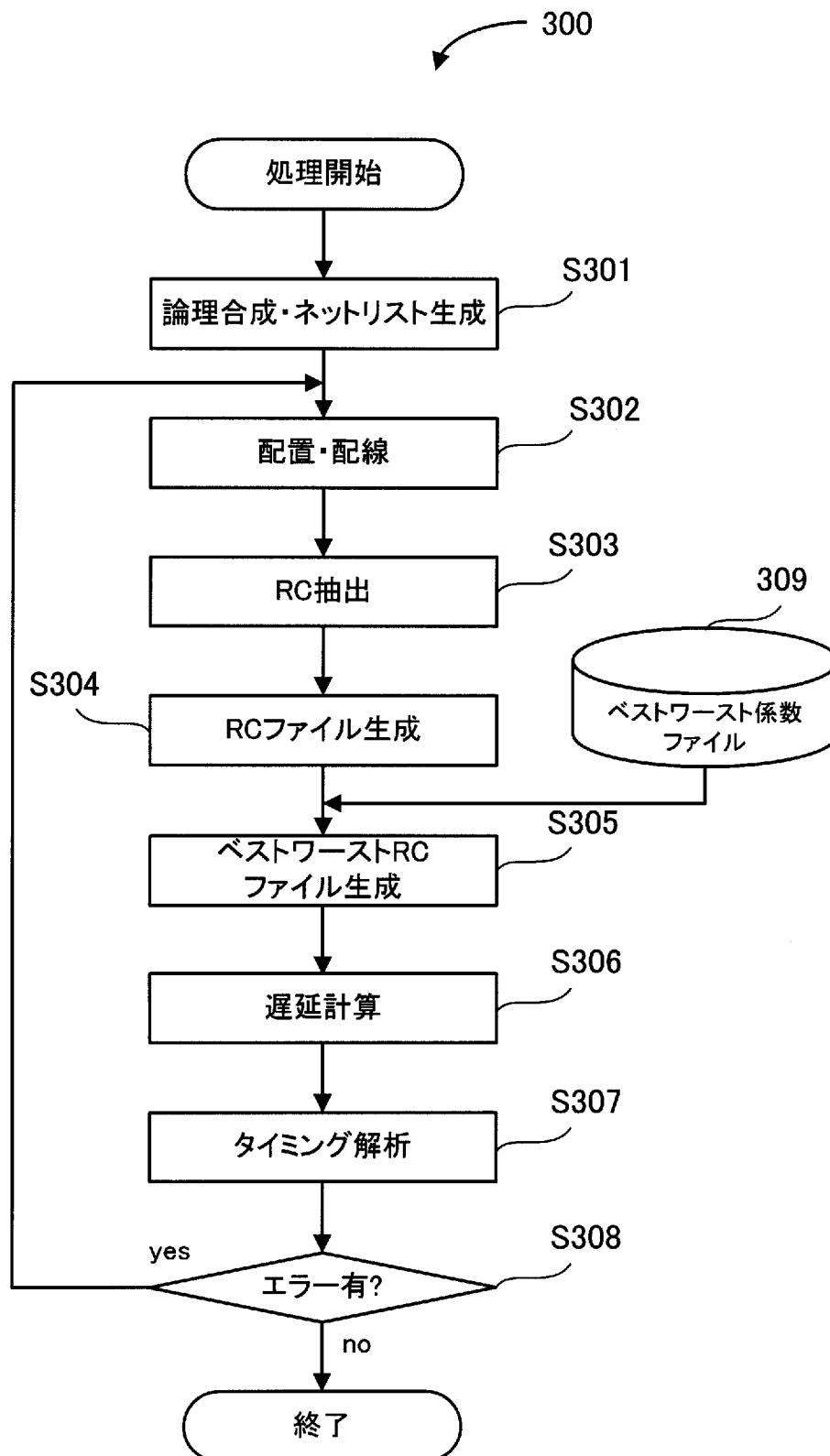
(A)

ネット名	属性	配線層	抵抗	容量
Net.2	—	—	$R2 \cdot rb$	$C2 \cdot cb$
Net.3	—	—	$R3 \cdot rb$	$C3 \cdot cb$
$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$
Net.n	—	—	$Rn \cdot rb$	$Cn \cdot cb$

(B)

ネット名	属性	配線層	抵抗	容量
Net.2	—	—	$R2 \cdot rw$	$C2 \cdot cw$
Net.3	—	—	$R3 \cdot rw$	$C3 \cdot cw$
$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$
Net.n	—	—	$Rn \cdot rw$	$Cn \cdot cw$

[図12]



[図13]

(A)

ネット名	抵抗	容量
Net.1	R1	C1
Net.2	R2	C2
Net.3	R3	C3
Net.4	R4	C4
Net.5	R5	C5
⋮	⋮	⋮
Net.n	Rn	Cn

(B)

	R	C
ベスト	rb	cb
ワースト	rw	cw

[図14]

(A)

ネット名	抵抗	容量
Net.1	$R1 \cdot rb$	$C1 \cdot cb$
Net.2	$R2 \cdot rb$	$C2 \cdot cb$
Net.3	$R3 \cdot rb$	$C3 \cdot cb$
Net.4	$R4 \cdot rb$	$C4 \cdot cb$
Net.5	$R5 \cdot rb$	$C5 \cdot cb$
$\vdots$	$\vdots$	$\vdots$
Net.n	$Rn \cdot rb$	$Cn \cdot cb$

(B)

ネット名	抵抗	容量
Net.1	$R1 \cdot rw$	$C1 \cdot cw$
Net.2	$R2 \cdot rw$	$C2 \cdot cw$
Net.3	$R3 \cdot rw$	$C3 \cdot cw$
Net.4	$R4 \cdot rw$	$C4 \cdot cw$
Net.5	$R5 \cdot rw$	$C5 \cdot cw$
$\vdots$	$\vdots$	$\vdots$
Net.n	$Rn \cdot rw$	$Cn \cdot cw$

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/055566

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/82 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/82

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2004-362202 A (Matsushita Electric Industrial Co., Ltd.), 24 December, 2004 (24.12.04), Par. Nos. [0039] to [0070]; Figs. 1 to 9 (Family: none)	1, 2, 7, 8 3-6, 9-12
A	JP 2006-338253 A (Matsushita Electric Industrial Co., Ltd.), 14 December, 2006 (14.12.06), Full text; all drawings (Family: none)	1-12
A	JP 2004-253655 A (Fujitsu Ltd.), 09 September, 2004 (09.09.04), Par. Nos. [0027] to [0035]; Fig. 4 (Family: none)	1-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 May, 2007 (02.05.07)

Date of mailing of the international search report
15 May, 2007 (15.05.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/82(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/82

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP2004-362202 A（松下電器産業株式会社）2 0 0 4 . 1 2 . 2 4 , 段落【0 0 3 9】－【0 0 7 0】，第1－9図，（ファミリーなし）	1, 2, 7, 8 3-6, 9-12
A	JP2006-338253 A（松下電器産業株式会社）2 0 0 6 . 1 2 . 1 4 , 全文，全図，（ファミリーなし）	1-12
A	JP2004-253655 A（富士通株式会社）2 0 0 4 . 0 9 . 0 9 , 段落【0 0 2 7】－【0 0 3 5】，第4図，（ファミリーなし）	1-12

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 2 . 0 5 . 2 0 0 7

国際調査報告の発送日

1 5 . 0 5 . 2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

大嶋 洋一

4M

9 1 7 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2