(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年10月31日(31.10.2019)

WIPO | PCT

(10) 国際公開番号
WO 2019/208552 A1

(51) 国際特許分類:
G09F 9/30 (2006.01) *G02F 1/1368* (2006.01)
G02F 1/1345 (2006.01)

(21) 国際出願番号： PCT/JP2019/017168

(22) 国際出願日： 2019年4月23日(23.04.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2018-086367 2018年4月27日(27.04.2018) JP

(71) 出願人:株式会社ジャパンディスプレイ(**JAPAN DISPLAY INC.**) [JP/JP]; 〒1050003 東京都港区西新橋三丁目７番１号 Tokyo (JP).

(72) 発明者:椎名 秀樹(**SHIINA Hideki**); 〒1050003 東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内 Tokyo (JP).

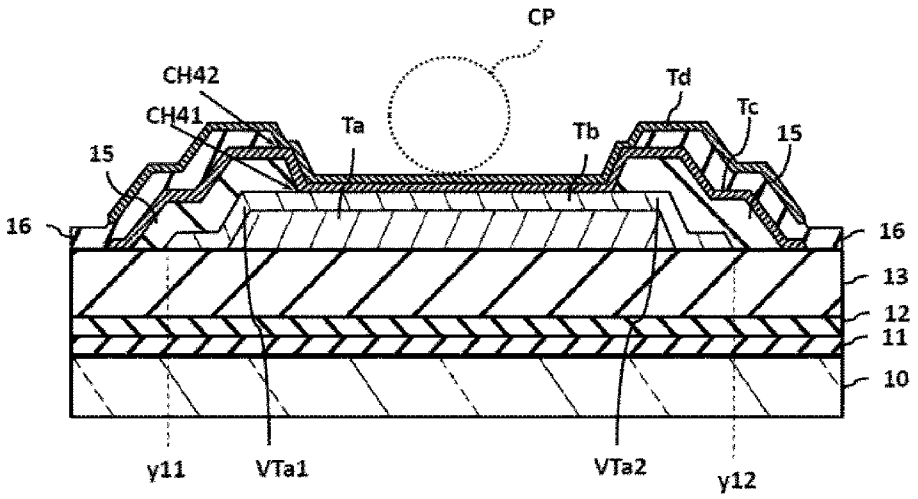
(74) 代理人:ポレール特許業務法人(**POLAIRE I.P.C.**); 〒1030025 東京都中央区日本橋茅場町二丁目１３番１１号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** DISPLAY DEVICE

(54) 発明の名称： 表示装置

図14



(57) **Abstract:** The present disclosure addresses the problem of providing a display device which is able to improve the reliability of a terminal part. A display device according to the present invention is provided with: a display panel which has a display part and a mounting part; and a terminal part that is provided on the mounting part. The display part comprises: a gate wiring line which is formed of a first metal layer; a signal line which is formed of a second metal layer; a metal wiring line which is formed of a third metal layer; a first transparent electrode which is formed of a first transparent conductive film; and a second transparent electrode which is formed of a second transparent conductive film. The terminal part is provided with: a first metal part that is formed of the second metal layer; and a second metal part that is formed of the third metal layer which is superposed on the first metal part. The second metal part covers the surface and the lateral surface of

WO 2019/208552 A1

[続葉有]

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

the first metal part; the edge part of the second metal part is covered by an organic insulating film; and the inside of the edge part of the second metal part is exposed from a first through hole that is formed in the organic insulating film.

(57) 要約:本開示の課題は、端子部の信頼性向上を図ることが可能な表示装置を提供することにある。表示装置は、表示部と実装部を有する表示パネルと、前記実装部に端子部を備える。前記表示部は第1金属層で形成されるゲート配線と、第2金属層で形成される信号線と、第3金属層で形成される金属配線と、第1透明導電膜で形成される第1透明電極と、第2透明導電膜で形成される第2透明電極とを含む。前記端子部は、前記第2金属層で形成される第1金属部と、前記第1金属部に積層され前記第3金属層で形成された第2金属部を備える。前記第2金属部は前記第1金属部の表面及び側面を覆い、前記第2金属部の縁部は有機絶縁膜に覆われるとともに、前記第2金属部の前記縁部の内側は前記有機絶縁膜に形成された第1スルーホールにて露出されている。

明　細　書

発明の名称 ： 表示装置

技術分野

[0001] 本発明は表示装置に関し、特に、フレキシブル配線基板もしくはドライバーＩＣに接続されるための端子部や検査パッドを有する表示装置に適用可能である。

背景技術

[0002] 液晶や有機エレクトロルミネッセンス等を利用した表示装置は、例えば、表示パネルの基板上の一端に、端子部や検査パッドを備える。端子部は、例えば、表示パネルに画像を表示するため、映像信号が供給される端子、クロック信号が供給される端子、電源が供給される端子等の複数の接続端子を含む。表示パネルの端子部は、異方性導電フィルム（以下、ＡＣＦ（Anisotropic Conductive Film）ともいう。）によってフレキシブル配線基板（以下、ＦＰＣ（Flexible printed circuits）基板、フレキシブルプリント回路基板ともいう。）やドライバーＩＣと接続される。例えば、特開２０１７－１５１３７１号公報（特許文献１）には、端子部における各端子の構成が提案されている。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１７－１５１３７１号公報

発明の概要

発明が解決しようとする課題

[0004] 本発明者は、表示装置の信頼性を検証するため、高温高湿の環境下において、表示装置に電源を供給して動作させる様な通電試験を実施した。その結果、端子部の構成に起因して、電源が供給される端子に腐食が発生する場合があることを見出した。

[0005] 本発明の目的は、端子部の信頼性向上を図ることが可能な表示装置を提供

することにある。

[0006] その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0007] 本発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

[0008] すなわち、表示装置は、表示部と実装部を有する表示パネルと、前記実装部に端子部を備える。前記表示部は、第１金属層で形成されるゲート配線と、第２金属層で形成される信号線と、第３金属層で形成される金属配線と、第１透明導電膜で形成される第１透明電極と、第２透明導電膜で形成される第２透明電極とを含む。前記端子部は、前記第２金属層で形成される第１金属部と、前記第１金属部に積層され前記第３金属層で形成された第２金属部とを備える。前記第２金属部は前記第1金属部の表面及び側面を覆い、前記第２金属部の縁部は有機絶縁膜に覆われるとともに、前記第２金属部の前記縁部の内側は前記有機絶縁膜に形成された第１スルーホールにて露出されている。

図面の簡単な説明

[0009] [図1]本実施形態の表示装置ＤＳＰの外観を示す平面図である。

[図2]タッチセンサＴＳの一構成例を示す平面図である。

[図3]画素ＰＸの基本構成及び等価回路を示す図である。

[図4]画素レイアウトの一例を示す平面図である。

[図5]図４に示したＡ－Ｂ線に沿った第１基板ＳＵＢ１の断面図である。

[図6]図４に示したＣ－Ｄ線に沿った表示パネルＰＮＬの断面図である。

[図7]図１に示された表示装置ＤＳＰを模式的に示す斜視図である。

[図8]第１基板ＳＵＢ１の実装部の一構成例を示す平面図である。

[図9]図７に示したＥ－Ｅ’線に沿った実装部ＭＡおよびフレキシブルプリント回路基板１の断面図である。

[図10]比較例に係る端子部を説明する平面図である。

[図11]図１０に示したＦ－Ｆ’線に沿った端子部の断面図である。

[図12]比較例に係る端子部の製造途中の断面図である。

[図13]実施形態に係る端子部Ｔ１を示す平面図である。

[図14]図１３に示すＧ－Ｇ’線に沿った端子部Ｔ１の断面図である。

[図15]図１３に示すＨ－Ｈ’線に沿った端子部Ｔ１の断面図である。

[図16]図１３に示すＩ－Ｉ’線に沿った端子部Ｔ１の断面図である。

[図17]図１３の端子部Ｔ１と異方性導電フィルムＡＣＦの導電ビーズＣＰとを概念的に示す拡大図である。

[図18]実施形態に係る端子部Ｔ３の平面図である。

[図19]変形例１に係る端子部Ｔ１の平面図である。

[図20]図１９に示したＪ－Ｊ’線に沿った端子部Ｔ１の断面図である。

[図21]変形例２に係る端子部Ｔ１の平面図である。

[図22]図２１に示したＫ－Ｋ’線に沿った端子部Ｔ１の断面図である。

発明を実施するための形態

[0010] 以下に、本発明の各実施の形態について、図面を参照しつつ説明する。

[0011] なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保っての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。

[0012] また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0013] 本実施形態においては、表示装置の一例として、液晶表示装置を開示する。この液晶表示装置は、例えば、スマートフォン、タブレット端末、携帯電話端末、パーソナルコンピュータ、テレビ受像装置、車載装置、ゲーム機器等の種々の装置に用いることができる。なお、本実施形態にて開示する主要な構成は、有機エレクトロルミネッセンス表示素子等を有する自発光型の表示装置、電気泳動素子等を有する電子ペーパ型の表示装置、ＭＥＭＳ（Micro Electro Mechanical Systems）を応用した表示装置、或いはエレクトロクロ

ミズムを応用した表示装置などにも適用可能である。

[0014] （表示装置の全体構成例）

図１は、本実施形態の表示装置ＤＳＰの外観を示す平面図である。一例では、第１方向Ｘ、第２方向Ｙ、及び、第３方向Ｚは、互いに直交しているが、９０度以外の角度で交差していてもよい。第１方向Ｘ及び第２方向Ｙは、表示装置ＤＳＰを構成する基板の主面と平行な方向に相当し、第３方向Ｚは、表示装置ＤＳＰの厚さ方向に相当する。本明細書において、第３方向Ｚを示す矢印の先端に向かう方向を上方（あるいは、単に上）と称し、矢印の先端から逆に向かう方向を下方（あるいは、単に下）と称する。また、第３方向Ｚを示す矢印の先端側に表示装置ＤＳＰを観察する観察位置があるものとし、この観察位置から、第１方向Ｘ及び第２方向Ｙで規定されるＸ－Ｙ平面に向かって見ることを平面視という。

[0015] ここでは、Ｘ－Ｙ平面における表示装置ＤＳＰの平面図を示している。表示装置ＤＳＰは、表示パネルＰＮＬと、フレキシブルプリント回路基板（フレキシブル配線基板）１と、ＩＣチップ２と、回路基板３と、を備えている。

[0016] 表示パネルＰＮＬは、液晶表示パネルであり、第１基板ＳＵＢ１と、第２基板ＳＵＢ２と、後述する液晶層ＬＣと、シールＳＥと、遮光層ＬＳと、スペーサＳＰ１乃至ＳＰ４と、を備えている。表示パネルＰＮＬは、画像を表示する表示部（表示領域）ＤＡと、表示部ＤＡを囲む額縁状の非表示部（非表示領域）ＮＤＡと、を備えている。第２基板ＳＵＢ２は、第１基板ＳＵＢ１に対向している。第１基板ＳＵＢ１は、第２基板ＳＵＢ２よりも第２方向Ｙに延出した実装部ＭＡを有している。

[0017] シールＳＥは、非表示部ＮＤＡに位置し、第１基板ＳＵＢ１と第２基板ＳＵＢ２とを接着するとともに、液晶層ＬＣを封止している。遮光層ＬＳは、非表示部ＮＤＡに位置している。シールＳＥは、平面視で、遮光層ＬＳと重畳する位置に設けられている。図１において、シールＳＥが配置された領域と、遮光層ＬＳが配置された領域とでは、互いに異なる斜線で示し、シール

ＳＥと遮光層ＬＳとが重畳する領域はクロスハッチングで示している。遮光層ＬＳは、第２基板ＳＵＢ２に設けられている。

[0018] スペーサＳＰ１乃至ＳＰ４は、いずれも非表示部ＮＤＡに位置している。スペーサＳＰ１は、表示パネルＰＮＬの最外周に位置している。スペーサＳＰ２は、スペーサＳＰ１よりも表示部ＤＡ側に位置している。スペーサＳＰ１及びＳＰ２は、シールＳＥと重畳している。スペーサＳＰ３及びＳＰ４は、シールＳＥよりも表示部ＤＡ側に位置している。スペーサＳＰ１乃至ＳＰ４は、例えば第２基板ＳＵＢ２に設けられているが、第１基板ＳＵＢ１に設けられてもよい。

[0019] 表示部ＤＡは、遮光層ＬＳによって囲まれた内側に位置している。表示部ＤＡは、第１方向Ｘ及び第２方向Ｙにマトリクス状に配置された複数の画素ＰＸを備えている。表示部ＤＡは、第１方向Ｘに沿って延出した一対の辺Ｅ１及びＥ２と、第２方向Ｙに沿って延出した一対の辺Ｅ３及びＥ４と、４つのラウンド部Ｒ１乃至Ｒ４と、を有している。表示パネルＰＮＬは、第１方向Ｘに沿って延出した一対の辺Ｅ１１及びＥ１２と、第２方向Ｙに沿って延出した一対の辺Ｅ１３及びＥ１４と、４つのラウンド部Ｒ１１乃至Ｒ１４と、を有している。ラウンド部Ｒ１１乃至Ｒ１４は、それぞれラウンド部Ｒ１乃至Ｒ４の外側に位置している。ラウンド部Ｒ１１の曲率半径は、ラウンド部Ｒ１の曲率半径と同一であってもよいし、異なっていてもよい。

[0020] フレキシブルプリント回路基板１は、実装部ＭＡに実装され、回路基板３に接続されている。ＩＣチップ２は、フレキシブルプリント回路基板１に実装されている。なお、ＩＣチップ２は、実装部ＭＡに実装されてもよい。ＩＣチップ２は、画像を表示する表示モードにおいて画像表示に必要な信号を出力するディスプレイドライバＤＤを内蔵している。また、図示した例では、ＩＣチップ２は、表示装置ＤＳＰへの物体の接近又は接触を検出するタッチセンシングモードを制御するタッチコントローラＴＣを内蔵している。図中において、ＩＣチップ２は一点鎖線で示し、ディスプレイドライバＤＤ及びタッチコントローラＴＣは点線で示している。

[0021] 本実施形態の表示パネルＰＮＬは、第１基板ＳＵＢ１の背面側からの光を選択的に透過させることで画像を表示する透過表示機能を備えた透過型、第２基板ＳＵＢ２の前面側からの光を選択的に反射させることで画像を表示する反射表示機能を備えた反射型、あるいは、透過表示機能及び反射表示機能を備えた半透過型のいずれであってもよい。

[0022] また、表示パネルＰＮＬの詳細な構成について、ここでは説明を省略するが、表示パネルＰＮＬは、基板主面に沿った横電界を利用する表示モード、基板主面の法線に沿った縦電界を利用する表示モード、基板主面に対して斜め方向に傾斜した傾斜電界を利用する表示モード、さらには、上記の横電界、縦電界、及び、傾斜電界を適宜組み合わせて利用する表示モードに対応したいずれの構成を備えていてもよい。ここでの基板主面とは、第１方向Ｘ及び第２方向Ｙで規定されるＸ－Ｙ平面と平行な面である。

[0023] 図２は、タッチセンサＴＳの一構成例を示す平面図である。ここでは、自己容量方式のタッチセンサＴＳについて説明するが、タッチセンサＴＳは相互容量方式であってもよい。タッチセンサＴＳは、複数のセンサ電極Ｒｘ（Ｒｘ１、Ｒｘ２…）と、複数のセンサ配線Ｌ（Ｌ１、Ｌ２…）と、を備えている。複数のセンサ電極Ｒｘは、表示部ＤＡに位置し、第１方向Ｘ及び第２方向Ｙにマトリクス状に配置されている。１つのセンサ電極Ｒｘは、１つのセンサブロックＢを構成している。センサブロックＢとは、タッチセンシングが可能な最小単位である。複数のセンサ配線Ｌは、表示部ＤＡにおいて、それぞれ第２方向Ｙに沿って延出し、第１方向Ｘに並んでいる。センサ配線Ｌの各々は、例えば後述する信号線Ｓと重畳する位置に設けられている。また、センサ配線Ｌの各々は、非表示部ＮＤＡに引き出され、フレキシブルプリント回路基板１を介してＩＣチップ２に電気的に接続されている。

[0024] ここで、第１方向Ｘに並んだセンサ配線Ｌ１乃至Ｌ３と、第２方向Ｙに並んだセンサ電極Ｒｘ１乃至Ｒｘ３との関係に着目する。センサ配線Ｌ１は、センサ電極Ｒｘ１乃至Ｒｘ３と重畳し、センサ電極Ｒｘ１と電気的に接続されている。

[0025] センサ配線Ｌ２は、センサ電極Ｒｘ２及びＲｘ３と重畳し、センサ電極Ｒｘ２と電気的に接続されている。ダミー配線Ｄ２０は、センサ配線Ｌ２から離間している。ダミー配線Ｄ２０は、センサ電極Ｒｘ１と重畳し、センサ電極Ｒｘ１と電気的に接続されている。センサ配線Ｌ２及びダミー配線Ｄ２０は、同一の信号線上に位置している。

[0026] センサ配線Ｌ３は、センサ電極Ｒｘ３と重畳し、センサ電極Ｒｘ３と電気的に接続されている。ダミー配線Ｄ３１は、センサ電極Ｒｘ１と重畳し、センサ電極Ｒｘ１と電気的に接続されている。ダミー配線Ｄ３２は、ダミー配線Ｄ３１及びセンサ配線Ｌ３から離間している。ダミー配線Ｄ３２は、センサ電極Ｒｘ２と重畳し、センサ電極Ｒｘ２と電気的に接続されている。センサ配線Ｌ３、ダミー配線Ｄ３１及びＤ３２は、同一の信号線上に位置している。

[0027] タッチセンシングモードにおいては、タッチコントローラＴＣは、センサ配線Ｌにタッチ駆動電圧を印加する。これにより、センサ電極Ｒｘにはタッチ駆動電圧が印加され、センサ電極Ｒｘでのセンシングが行われる。センサ電極Ｒｘでのセンシング結果に対応したセンサ信号は、センサ配線Ｌを介してタッチコントローラＴＣに出力される。タッチコントローラＴＣあるいは外部のホストプロセッサは、センシング信号に基づいて、表示装置ＤＳＰへの物体の接近又は接触の有無及び物体の位置座標を検出する。

[0028] なお、表示モードにおいては、センサ電極Ｒｘは、コモン電圧（Ｖｃｏｍ）が印加された共通電極ＣＥとして機能する。コモン電圧は、例えばディスプレイドライバＤＤに含まれる電圧供給部からセンサ配線Ｌを介して印加される。

[0029] （画素の構成例）

図３は、画素ＰＸの基本構成及び等価回路を示す図である。複数本の走査線（走査信号配線）Ｇ１、Ｇ２…は、走査線駆動回路ＧＤに接続されている。複数本の信号線（映像信号線）Ｓ１、Ｓ２…は、信号線駆動回路ＳＤに接続されている。なお、走査線Ｇ及び信号線Ｓは、必ずしも直線的に延出して

いなくてもよく、それらの一部が屈曲していてもよい。例えば、信号線Ｓは、その一部が屈曲していたとしても、第２方向Ｙに延出しているものとする。

[0030] 共通電極ＣＥは、センサブロックＢ毎にそれぞれ設けられている。共通電極ＣＥは、コモン電圧（Ｖｃｏｍ）の電圧供給部ＣＤに接続され、複数の画素ＰＸに亘って配置されている。また、共通電極ＣＥは、それぞれ上記の通りタッチコントローラＴＣにも接続され、センサ電極Ｒｘとしても機能する。１つのセンサブロックＢには、例えば、第１方向Ｘに沿って６０～７０個の主画素が配置され、第２方向に沿って６０～７０個の主画素が配置されている。ここでの画素ＰＸとは、画素信号に応じて個別に制御することができる最小単位を示し、副画素と称する場合がある。また、カラー表示を実現するための最小単位を主画素と称する場合がある。主画素は、互いに異なる色を表示する複数の副画素ＰＸを備えて構成されるものである。一例では、主画素は、副画素ＰＸとして、赤色を表示する赤画素、緑色を表示する緑画素、及び、青色を表示する青画素を備えている。また、主画素は、白色を表示する白画素を備えていてもよい。

[0031] 各画素ＰＸは、スイッチング素子ＳＷ、画素電極ＰＥ、共通電極ＣＥ、液晶層ＬＣ等を備えている。スイッチング素子ＳＷは、例えば薄膜トランジスタ（ＴＦＴ）によって構成され、走査線Ｇ及び信号線Ｓと電気的に接続されている。走査線Ｇは、第１方向Ｘに並んだ画素ＰＸの各々におけるスイッチング素子ＳＷと接続されている。信号線Ｓは、第２方向Ｙに並んだ画素ＰＸの各々におけるスイッチング素子ＳＷと接続されている。画素電極ＰＥは、スイッチング素子ＳＷと電気的に接続されている。画素電極ＰＥの各々は、共通電極ＣＥと対向し、画素電極ＰＥと共通電極ＣＥとの間に生じる電界によって液晶層ＬＣを駆動している。保持容量ＣＳは、例えば、共通電極ＣＥと同電位の電極、及び、画素電極ＰＥと同電位の電極の間に形成される。

[0032] 図４は、画素レイアウトの一例を示す平面図である。ここでは、走査線Ｇ２と信号線Ｓ６接続された画素ＰＸ１に着目して、主要部について説明する

。図４において、画素ＰＸ２は、画素ＰＸ１の下側に配置された画素であり、画素電極ＰＥ２１は画素ＰＸ２の画素電極である。

[0033] スイッチング素子ＳＷは、走査線Ｇ２及び信号線Ｓ６と電気的に接続されている。図示した例のスイッチング素子ＳＷは、ダブルゲート構造を有している。スイッチング素子ＳＷは、半導体層ＳＣと、ドレイン電極ＤＥと、を備えている。なお、スイッチング素子ＳＷにおいて、ドレイン電極ＤＥはソース電極と称される場合がある。半導体層ＳＣは、その一部分が信号線Ｓ６と重なるように配置され、他の部分が信号線Ｓ５及びＳ６の間に延出し、略Ｕ字状に形成されている。半導体層ＳＣは、信号線Ｓ６と重なる領域、及び、信号線Ｓ５及びＳ６の間において、それぞれ走査線Ｇ２と交差している。走査線Ｇ２において、半導体層ＳＣと重畳する領域がそれぞれゲート電極ＧＥ１及びＧＥ２として機能する。半導体層ＳＣは、その一端部ＳＣＡにおいてコンタクトホールＣＨ１を通じて信号線Ｓ６と電気的に接続され、また、その他端部ＳＣＢにおいてコンタクトホールＣＨ２を通じてドレイン電極ＤＥと電気的に接続されている。ドレイン電極ＤＥは、島状に形成され、信号線Ｓ５及びＳ６の間に配置されている。

[0034] 画素電極ＰＥ１１は、複数の帯電極Ｐａ１と一体の基部ＢＳを備えている。基部ＢＳは、ドレイン電極ＤＥと重畳している。基部ＢＳは、ドレイン電極ＤＥと電気的に接続される。

[0035] （表示装置の断面構成例）

図５は、図４に示したＡ－Ｂ線に沿った第１基板ＳＵＢ１の断面図である。

[0036] 第１基板ＳＵＢ１は、絶縁基板１０、絶縁膜１１乃至１６、半導体層ＳＣ、第1金属層で形成される走査線（第１金属配線）Ｇ２、第２金属層で形成される信号線（第２金属配線）Ｓ６、第3金属層で形成される金属配線（第３金属配線）ＭＬ６、第1透明導電膜で形成される共通電極（第１透明電極）ＣＥ、第２透明導電膜で形成される画素電極ＰＥ（第２透明導電膜）、配向膜ＡＬ１などを備えている。また、画素電極ＰＥ（第２透明電極）は後述する図

６にて説明する。

[0037] 絶縁基板１０は、ガラス基板や可撓性の樹脂基板などの光透過性を有する基板である。絶縁膜１１は、絶縁基板１０の上に位置している。半導体層ＳＣは、アンダコート膜である絶縁膜１１の上に位置し、ゲート絶縁膜である絶縁膜１２によって覆われている。半導体層ＳＣは、例えば、多結晶シリコンによって形成されているが、アモルファスシリコンや酸化物半導体によって形成されていてもよい。

[0038] 走査線Ｇ２の一部であるゲート電極ＧＥ１は、絶縁膜１２の上に位置し、絶縁膜（無機絶縁膜）１３によって覆われている。なお、図示しない他の走査線も、走査線Ｇ２と同一層に位置している。走査線Ｇ２は、アルミニウム（Ａｌ）、チタン（Ｔｉ）、銀（Ａｇ）、モリブデン（Ｍｏ）、タングステン（Ｗ）、銅（Ｃｕ）、クロム（Ｃｒ）などの金属材料や、これらの金属材料を組み合わせた合金などによって形成され、単層構造であってもよいし、多層構造であってもよい。一例では、走査線Ｇ２は、モリブデン－タングステン合金によって形成されている。

[0039] 信号線Ｓ６は、絶縁膜１３の上に位置し、絶縁膜（第１有機絶縁膜）１４によって覆われている。なお、図示しない他の信号線Ｓ２、信号線Ｓ６と同一層に位置している。信号線Ｓ６は、上記の金属材料や、上記の金属材料を組み合わせた合金などによって形成され、単層構造であってもよいし、多層構造であってもよい。一例では、信号線Ｓ６は、チタン（Ｔｉ）を含む第１層Ｌ１１、アルミニウム（Ａｌ）を含む第２層Ｌ１２、及び、チタン（Ｔｉ）を含む第３層Ｌ１３がこの順に積層された積層体である。信号線Ｓ６は、絶縁膜１２及び絶縁膜１３を貫通するコンタクトホールＣＨ１を通じて半導体層ＳＣにコンタクトしている。

[0040] 金属配線ＭＬ６は、絶縁膜１４の上に位置し、絶縁膜（第２有機絶縁膜）１５によって覆われている。金属配線ＭＬ６は、上記の金属材料や、上記の金属材料を組み合わせた合金などによって形成され、単層構造であってもよいし、多層構造であってもよい。一例では、金属配線ＭＬ６は、モリブデン

（Ｍｏ）を含む第４層Ｌ２１、アルミニウム（Ａｌ）を含む第５層Ｌ２２、及び、モリブデン（Ｍｏ）を含む第６層Ｌ２３がこの順に積層された積層体である。なお、金属配線ＭＬ６は、チタン（Ｔｉ）を含む第４層Ｌ２１、アルミニウム（Ａｌ）を含む第５層Ｌ２２、及び、チタン（Ｔｉ）を含む第６層Ｌ２３がこの順に積層された積層体とされても良い。

[0041] 共通電極ＣＥは、絶縁膜１５の上に位置し、絶縁膜（無機絶縁膜）１６によって覆われている。共通電極ＣＥは、インジウム・ティン・オキサイド（ＩＴＯ）やインジウム・ジンク・オキサイド（ＩＺＯ）などの透明な導電材料によって形成された透明電極（透明導電膜）である。共通電極ＣＥは、絶縁膜１５を貫通するコンタクトホールＣＨ３を通じて金属配線ＭＬ６にコンタクトしている。配向膜ＡＬ１は、絶縁膜１６の上に位置している。

[0042] 絶縁膜１１乃至１３、及び、絶縁膜１６は、シリコン酸化物、シリコン窒化物、シリコン酸窒化物などの無機絶縁材料によって形成された無機絶縁膜であり、単層構造であってもよいし、多層構造であってもよい。絶縁膜１４及び１５は、例えば、アクリル樹脂などの有機絶縁材料によって形成された有機絶縁膜である。なお、絶縁膜１５は、無機絶縁膜であってもよい。

[0043] 上記の通り、共通電極ＣＥはセンサ電極Ｒｘとしても機能し、金属配線ＭＬ６はセンサ電極Ｒｘと電気的に接続されるセンサ配線Ｌとしても機能する。

[0044] 図６は、図４に示したＣ－Ｄ線に沿った表示パネルＰＮＬの断面図である。図示した例は、横電界を利用する表示モードの一つであるＦＦＳ（Ｆｒｉｎｇｅ Ｆｉｅｌｄ Ｓｗｉｔｃｈｉｎｇ）モードが適用された例に相当する。

[0045] 第１基板ＳＵＢ１において、信号線Ｓ５及びＳ６は、絶縁膜１３の上に位置し、絶縁膜１４によって覆われている。金属配線ＭＬ５及びＭＬ６は、それぞれ信号線Ｓ５及びＳ６の直上に位置している。画素電極ＰＥ１１は、絶縁膜１６の上に位置し、配向膜ＡＬ１によって覆われている。画素電極ＰＥ１１は、ＩＴＯやＩＺＯなどの透明な導電材料によって形成された透明電極

（透明導電膜）である。

[0046] 第２基板ＳＵＢ２は、絶縁基板２０、遮光層ＢＭ、カラーフィルタＣＦＧ、オーバーコート層ＯＣ、配向膜ＡＬ２などを備えている。

[0047] 絶縁基板２０は、絶縁基板１０と同様に、ガラス基板や樹脂基板などの光透過性を有する基板である。遮光層ＢＭ及びカラーフィルタＣＦＧは、絶縁基板２０の第１基板ＳＵＢ１と対向する側に位置している。カラーフィルタＣＦＧは、画素電極（第２透明電極）ＰＥ１１と対向する位置に配置され、その一部が遮光層ＢＭに重なっている。オーバーコート層ＯＣは、カラーフィルタＣＦＧを覆っている。オーバーコート層ＯＣは、透明な樹脂によって形成されている。他のカラーフィルタＣＦＲ及びＣＦＢも、カラーフィルタＣＦＧと同様に、それぞれ画素電極ＰＥと対向する位置に配置され、オーバーコート層ＯＣによって覆われている。配向膜ＡＬ２は、オーバーコート層ＯＣを覆っている。配向膜ＡＬ１及び配向膜ＡＬ２は、例えば、水平配向性を呈する材料によって形成されている。

[0048] 上述した第１基板ＳＵＢ１及び第２基板ＳＵＢ２は、配向膜ＡＬ１及び配向膜ＡＬ２が対向するように配置されている。図示しないが、メインスペーサ及びサブスペーサが、第１基板ＳＵＢ１及び第２基板ＳＵＢ２の間に配置されている。メインスペーサは、配向膜ＡＬ１と配向膜ＡＬ２との間に所定のセルギャップを形成する。セルギャップは、例えば２～５μｍである。第１基板ＳＵＢ１及び第２基板ＳＵＢ２は、所定のセルギャップが形成された状態でシール材によって接着されている。

[0049] 液晶層ＬＣは、第１基板ＳＵＢ１及び第２基板ＳＵＢ２の間に位置し、配向膜ＡＬ１と配向膜ＡＬ２との間に保持されている。液晶層ＬＣは、液晶分子ＬＭを備えている。液晶層ＬＣは、ポジ型（誘電率異方性が正）の液晶材料、あるいは、ネガ型（誘電率異方性が負）の液晶材料によって構成されている。

[0050] 偏光板ＰＬ１を含む光学素子ＯＤ１は、絶縁基板１０に接着されている。偏光板ＰＬ２を含む光学素子ＯＤ２は、絶縁基板２０に接着されている。な

お、光学素子ＯＤ１及び光学素子ＯＤ２は、必要に応じて位相差板、散乱層、反射防止層などを備えていてもよい。

[0051] このような表示パネルＰＮＬにおいては、画素電極ＰＥと共通電極ＣＥとの間に電界が形成されていないオフ状態において、液晶分子ＬＭは、配向膜ＡＬ１及び配向膜ＡＬ２の間で所定の方向に初期配向している。このようなオフ状態では、照明装置ＩＬから表示パネルＰＮＬに向けて照射された光は、光学素子ＯＤ１及び光学素子ＯＤ２によって吸収され、暗表示となる。一方、画素電極ＰＥと共通電極ＣＥとの間に電界が形成されたオン状態においては、液晶分子ＬＭは、電界により初期配向方向とは異なる方向に配向し、その配向方向は電界によって制御される。このようなオン状態では、照明装置ＩＬからの光の一部は、光学素子ＯＤ１及び光学素子ＯＤ２を透過し、明表示となる。

[0052] （実装部の構成例）

図７は、図１に示される表示装置ＤＳＰを模式的に示す斜視図である。図８は、第１基板ＳＵＢ１の実装部一構成例を示す平面図である。図９は、図７に示したＥ－Ｅ’線に沿った実装部ＭＡおよびフレキシブルプリント回路基板１の断面図である。

[0053] 図７に示されるように、表示装置ＤＳＰは、表示パネルＰＮＬと、フレキシブルプリント回路基板（フレキシブル配線基板）１と、を備える。表示パネルＰＮＬは、図１と同様に、第１基板ＳＵＢ１と、第２基板ＳＵＢ２と、表示部ＤＡと、非表示部ＮＤＡと、を有する。第１基板ＳＵＢ１の下側には、例えば、バックライト装置の様な照明装置ＩＬが設けられる。第１基板ＳＵＢ１は実装部ＭＡを有する。

[0054] 実装部ＭＡは、図８に例示的に示されるように、横に並ぶ様に配置された複数の端子部Ｔを有する。実装部ＭＡに隣接して設けられた配線領域ＷＡには、複数の端子部Ｔに接続された配線部Ｗが設けられる。複数の端子部Ｔは、矩形状の端子部Ｔ１、Ｔ２と、略Ｕ字状の端子部Ｔ３と、を含む。複数の端子部Ｔは、映像信号が供給される端子、クロック信号が供給される端子、

電源が供給される端子、タッチ駆動電圧やセンシング結果の入出力用の端子等を含む。映像信号が供給される端子、クロック信号が供給される端子、および、タッチ駆動電圧やセンシング結果の入出力用の端子等は、例えば、矩形状の端子部Ｔ１を利用することが可能であり、多数の端子部Ｔ１を実装部ＭＡに設けることが可能になる。電源が供給される端子は、例えば、略Ｕ字状の端子部Ｔ３を利用することが可能であり、電源のインピーダンスを低減できることが可能になる。端子部Ｔ２は、配線部Wが接続されていない、電位的にフローティングとされた端子部である。

[0055] 複数の端子部Ｔはフレキシブルプリント回路基板１の一端に設けられた複数の配線端子と接続される。フレキシブルプリント回路基板１の上には、ＩＣチップ２が設けられており、ＩＣチップ２の表示パネルＰＮＬに対する入出力信号は複数の端子部Ｔを介して行われる。フレキシブルプリント回路基板１の他端に設けられた複数の配線端子は、回路基板３に設けられた複数の配線端子に接続され、例えば、回路基板３に設けられたホストプロセッサの入出力に接続される。

[0056] 複数の端子部Ｔとフレキシブルプリント回路基板１の複数の配線端子ＴＦとの接続は、図９に示されるように、異方性導電フィルムＡＣＦを利用して行われる。異方性導電フィルムＡＣＦは、異方性導電膜または異方性導電材料と見做すことも可能である。異方性導電フィルムＡＣＦは、熱硬化性樹脂に複数の導電性粒子ＣＰ（以下、導電ビーズとも言う）を混ぜ合わせてあり、複数の導電性粒子ＣＰによって、端子部Ｔと配線端子ＴＦとの間の電気的な導通が取られる。導電性粒子ＣＰの構造は、例えば、主に内側からニッケル層、金メッキ層、最も外側に絶縁層を重ねた直径３－５マイクロメートルの球体である。端子部Ｔと配線端子ＴＦとの接続は、端子部Ｔと配線端子ＴＦとの間に異方性導電フィルムＡＣＦを挟み込み、熱圧着等を利用することで、導電性粒子ＣＰの絶縁層が破壊される。その結果、導電性粒子ＣＰのニッケル層や金メッキ層によって、端子部Ｔと配線端子ＴＦとの間の電気的な導通経路が構成される。圧力がかからなかった異方性導電フィルムの部分で

は、導電性粒子ＣＰは絶縁層を保持しているため、実装部ＭＡ内に横に並ぶ端子部Ｔ間の絶縁は保持される。

[0057] （比較例：端子部の構成）

次に、比較例について、図１０－図１２を用いて説明する。図１０は、比較例に係る端子部を説明する平面図である。図１１は、図１０に示したＦ－Ｆ’線に沿った端子部の断面図である。図１２は、比較例に係る端子部の製造途中の断面図である。なお、この比較例は、発明者により検討された構成であり、公知の技術ではない。

[0058] 図１０は、実装部ＭＡに隣接して配置された２つの端子部Ｔ１０、Ｔ１１を例示的に示している。端子部Ｔ１０は、例えば、接地電位（ＧＮＤ）または０Ｖの様な低い第１参照電圧が供給される電源端子部であり、端子部Ｔ１１は、例えば、電源電位（Ｖｄｄ）または７Ｖの様な、第１参照電圧と比較して、高い第２参照電圧が供給される電源端子部である。

[0059] この様な端子部Ｔ１０、Ｔ１１を有する表示装置ＤＳＰについて、高温高湿の状態で通電試験を行い、表示装置ＤＳＰの信頼性の評価および検証を行うことがある。ここで、高温とは８５°Ｃであり、高湿とは相対湿度８５％ＲＨである。通電試験とは、表示装置ＤＳＰに、実動作と同様な電源電位を供給した動作状態で、長時間（例えば、２４０時間）の試験を行うものである。つまり、端子部Ｔ１０へ第１参照電圧を供給し、端子部Ｔ１１へ第２参照電圧を供給した状態で長時間の試験が行われる。このような通電試験の時、図１０に示すように、端子部Ｔ１１において、端子部Ｔ１０に対向する側の辺に、腐食ＣＯＲが発生する場合があった。端子部Ｔ１１の腐食ＣＯＲは、端子部Ｔ１０と端子部Ｔ１１との間に発生する横電界が水分に影響したものと考えられる。

[0060] 図１１に示されるように、端子部Ｔ１１は、導電層Ｔａ、導電層Ｔｂ、導電層Ｔｃ、および、導電層Ｔｄを備える。なお、第１基板ＳＵＢ１の内、端子部Ｔ（Ｔ１０、Ｔ１１）が配置される領域には、上記の絶縁膜１４および絶縁膜１５は配置されていない。このため、絶縁膜１６は、絶縁膜１３の上

に積層される。なお、図１１は例示的に端子部Ｔ１１の断面図を示しているが、図８の実装部ＭＡに配置される複数の端子部Ｔにおいても同様である。

[0061] 導電層Ｔａは、絶縁膜１３の上に位置する。導電層Ｔａは、図５の信号線Ｓ６と同一層に位置し、信号線Ｓ６と同一材料によって形成されている。

[0062] 導電層Ｔｂは、導電層Ｔａおよび絶縁膜１３の上に積層され、導電層Ｔａを覆っている。導電層Ｔｂは、図５の金属配線ＭＬ６と同一層に位置し、金属配線ＭＬ６と同一材料によって形成されている。

[0063] 導電層Ｔｃは、導電層Ｔｂおよび絶縁膜１３の上に積層され、導電層Ｔｂを覆っている。導電層Ｔｃは、図５の共通電極ＣＥと同一層に位置し、共通電極ＣＥと同一材料によって形成されている。導電層Ｔｃおよび絶縁膜１３は、絶縁膜１６によって覆われている。絶縁膜１６は、導電層Ｔｃまで貫通する貫通孔を有している。

[0064] 導電層Ｔｄは、絶縁膜１６の上に位置し、絶縁膜１６に設けられた貫通孔において、露出した導電層Ｔｃの上に積層されている。導電層Ｔｄは、図６の画素電極ＰＥ１１と同一層に位置し、画素電極ＰＥ１１と同一材料によって形成されている。

[0065] 図１１には、導電層Ｔｂの端部Ｔｂ１およびＴｂ２の近傍の内、端部Ｔｂ１の近傍が拡大して示されている。導電層Ｔｂは、モリブデン（Ｍｏ）を含む第４層Ｌ２１、アルミニウム（ＡｌＩ）を含む第５層Ｌ２２、及び、モリブデン（Ｍｏ）を含む第６層Ｌ２３がこの順に積層された積層体で構成されるが、第５層Ｌ２２の左端部は第４層Ｌ２１および第６層Ｌ２３の左端部より右側に位置していることが判明した。すなわち、第５層Ｌ２２の端部が抉られた状態であり、導電層Ｔｃと第５層Ｌ２２の端部との間に、隙間（または凹部）ＧＡがあることが分かった。これにより、絶縁膜１６が十分に導電層Ｔｃを覆うことが出来なくなり、高温高湿の状態で通電試験において、水分が絶縁膜１６と導電層Ｔｃとの間に侵入し、侵入した水分が電界に影響されて、腐食ＣＯＲが発生したものと判明した。なお、導電層Ｔｃと第５層Ｌ２２の端部との間の隙間ＧＡは、端部Ｔｂ１と同様に、端部Ｔｂ２においても

発生する。

[0066] 導電層Ｔｃと第５層Ｌ２２の端部との間の隙間ＧＡは、図１２に示されるように、絶縁膜１５の現像時において、絶縁膜１５が現像液により徐々に除去されていき、現像液が第５層Ｌ２２に達すると、第５層Ｌ２２の端部が現像液によりエッチングされ、抉られていくことが判明した。

[0067] （実施形態：端子部の構成１）

次に、図１３から図１７を用いて、実施形態に係る端子部の構成例を説明する。

[0068] 図１３は、実施形態に係る端子部Ｔ１の構成例を示す平面図である。図１４は、図１３に示すＧ－Ｇ’線に沿った端子部Ｔ１の断面図である。図１５は、図１３に示すＨ－Ｈ’線に沿った端子部Ｔ１の断面図である。図１６は、図１３に示すＩ－Ｉ’線に沿った端子部Ｔ１の断面図である。図１７は、図１３の端子部Ｔ１と異方性導電フィルムＡＣＦの導電ビーズＣＰとを概念的に示す拡大図である。なお、図１４において、横方向の寸法は実際の寸法と異なり、縮小して描かれている。また、図１５および図１６には、第１基板ＳＵＢ１の内、絶縁膜１３の下側の絶縁膜１２および１１、絶縁基板１０の記載は省略されている。

[0069] 図１３に示すように、端子部Ｔ１は、一対の長辺Ｙ１１およびＹ１２と、一対の短辺Ｘ１１およびＸ１２を含む矩形状の外形形状である。端子部Ｔ１の一対の長辺Ｙ１１およびＹ１２に沿う端子部Ｔ１の縁部は、一対の絶縁膜１５に覆われている。

[0070] 図１４に示すように、端子部Ｔ１１は、導電層Ｔａ、導電層Ｔｂ、導電層Ｔｃ、および、導電層Ｔｄを備える。なお、第１基板ＳＵＢ１の内、端子部Ｔが配置される領域には、上記の絶縁膜１４は配置されていない。このため、絶縁膜１６は、絶縁膜１３の上に積層される。図１４において、ｙ１１およびｙ１２は長辺Ｙ１１およびＹ１２のそれぞれの位置を例示的にしている。この例では、位置ｙ１１は導電層Ｔｂの左側の縁部ＶＴｂ１の端部の近傍を示しており、位置ｙ１１は導電層Ｔｂの右側の縁部ＶＴｂ２の端部の近傍

を示している。すなわち、導電層Ｔｂの縁部ＶＴｂ１、ＶＴｂ２は、長辺Ｙ１１およびＹ１２に相当する領域である。

[0071] 導電層（第１金属部）Ｔａは、絶縁膜１３の上に位置する。導電層Ｔａは、第２金属層で形成され、図５の信号線Ｓ６と同一層に位置し、信号線Ｓ６と同一材料によって形成されている。導電層Ｔｂは、チタン、アルミニウム、及び、チタンがこの順に積層された積層膜で構成されている。

[0072] 導電層（第２金属部）Ｔｂは、第３金属層で形成され、導電層Ｔａおよび絶縁膜１３の上に積層され、導電層Ｔａの全面（すなわち、全表面および全側面）を覆っている。導電層Ｔｂおよび絶縁膜１３は、絶縁膜（有機絶縁膜）１５によって覆われている。長辺Ｙ１１およびＹ１２に沿う導電層Ｔｂの縁部ＶＴｂ１、ＶＴｂ２は、導電層Ｔｂの縁部ＶＴｂ１、ＶＴｂ２の側面も含めて、絶縁膜１５に覆われている。長辺Ｙ１１およびＹ１２に沿う導電層Ｔａの縁部において、導電層Ｔａと導電層Ｔｂと絶縁膜１５とがこの順に積層されている。絶縁膜１５は、導電層Ｔｂまで貫通する貫通孔（第１スルーホールまたは第１開口部）ＣＨ４１を有している。導電層Ｔｂの縁部ＶＴｂ１、ＶＴｂ２の内側は、絶縁膜１５に形成された貫通孔ＣＨ４１によって露出されている。絶縁膜１５の膜厚は、例えば、１．５μｍ程度とされている。導電層Ｔｂは、図５の金属配線ＭＬ６と同一層に位置し、金属配線ＭＬ６と同一材料によって形成されている。つまり、導電層Ｔｂは、モリブデン、アルミニウム、及び、モリブデンがこの順に積層された積層膜で構成されている。

[0073] 導電層（第１透明導電膜）Ｔｃは、導電層Ｔｂおよび絶縁膜１３の上に積層され、導電層Ｔｂを覆っている。導電層Ｔｃは、絶縁膜１５の貫通孔ＣＨ４１に形成された位置において、導電層Ｔｂに接している。また、導電層Ｔｂの縁部ＶＴｂ１、ＶＴｂ２に重畳する位置において絶縁膜１５に接している。導電層Ｔｃおよび絶縁膜１３は、絶縁膜（無機絶縁膜）１６によって覆われている。つまり、絶縁膜１６は、導電層Ｔｂの縁部ＶＴｂ１、ＶＴｂ２に重なる位置において導電層Ｔｃを覆い、絶縁膜１５の貫通孔ＣＨ４１が形

成される位置において導電層Ｔｃを露出する貫通孔（第２スルーホールまたは第２開口部）ＣＨ４２を有している。導電層Ｔｃは、図５の共通電極ＣＥと同一層に位置し、共通電極ＣＥと同一材料によって形成されている。

[0074] 導電層（第２透明導電膜）Ｔｄは、絶縁膜１６の上に位置し、絶縁膜１６に設けられた貫通孔ＣＨ４２において、露出した導電層Ｔｃの上に積層されている。つまり、導電層Ｔｄは、導電層Ｔｂの縁部ＶＴｂ１、ＶＴｂ２に重なる位置において絶縁膜１６に接し、絶縁膜１６の貫通孔ＣＨ４２が形成される位置において導電層Ｔｃに接している。導電層Ｔｄは、図６の画素電極ＰＥ１１と同一層に位置し、画素電極ＰＥ１１と同一材料によって形成されている。

[0075] 貫通孔ＣＨ４１の深さは、絶縁膜１５の膜厚と同じであり、例えば、１．５μｍ程度である。異方性導電フィルムＡＣＦの導電ビーズＣＰの直径は、例えば、３．８μｍ程度とした場合、図１４に示すように、導電ビーズＣＰの直径は絶縁膜１５の貫通孔ＣＨ４１の深さよりも小さくまたは浅くされている。

[0076] このように、導電層Ｔｂの右側の縁部ＶＴｂ１および左側の縁部ＶＴｂ２は、一対の絶縁膜１５に覆われているので、比較例で説明されたような、導電層Ｔｂを構成する積層膜のアルミニウムの抉れまたは隙間の発生が防止できる。このため、絶縁膜１６が十分に導電層Ｔｃを覆うことが可能になる。したがって、高温高湿の状態で通電試験を行っても、水分の絶縁膜１６と導電層Ｔｃとの間への侵入を防止できるので、端子部Ｔ１の一対の長辺Ｙ１１およびＹ１２に対応する縁部における腐食の発生も防止可能である。これにより、端子部Ｔ１の信頼性の向上を図ることが可能になる。

[0077] 図１５には、図１３に示すＨ－Ｈ’線に沿った端子部Ｔ１の断面図が示されており、ｘ１１は端子部Ｔ１の短辺Ｘ１１の位置を例示的に示している。この例では、位置ｘ１１は導電層Ｔｂの左側の縁部の近傍を示している。図１５に示されるように、導電層Ｔｂの左側の縁部において、導電層Ｔｂと導電層Ｔｃとの間には、図１４に示された構成と異なり、絶縁膜１５が設けら

れない。そのため、導電層Ｔｂと導電層Ｔｃとが積層して設けられる。他の構成は、図１４と同じであるので、説明は省略する。

[0078] 図１６には、図１３に示すＩ－Ｉ’線に沿った端子部Ｔ１の断面図が示されており、ｘ１２は端子部Ｔ１の短辺Ｘ１２の位置を例示的に示している。位置ｘ１２の右側は、配線部Wを構成する。導電層Ｔｃの右側の縁部において、導電層Ｔｂと導電層Ｔｃとの間には、図１４に示された構成と異なり、絶縁膜１５が設けられない。導電層Ｔａと導電層Ｔｂとは、切断されることなく、積層された状態で右側へ延出され、配線部Wを構成することになる。位置ｘ１２の左側の近傍において、導電層Ｔｃの右側の縁部と導電層Ｔｄの右側の縁部との間には、絶縁膜１６が設けられる。絶縁膜１６は、また、導電層Ｔｃの上を覆う様に、導電層Ｔｃの上に積層されている。

[0079] 図１７には、２本の端子部Ｔ１と、２本の端子部Ｔ１に重ねられた異方性導電フィルムＡＣＦとが拡大して描かれている。異方性導電フィルムＡＣＦは、一構成例として、整列して配置された複数の導電ビーズＣＰを有する構成の異方性導電フィルムを示した。前述の様に、異方性導電フィルムＡＣＦの導電ビーズ径Ｄｃｐは、例えば、３．８μｍであり、絶縁膜１５の貫通孔ＣＨ４１の深さは、例えば、１．５μｍである。また、端子部Ｔ１の短辺Ｘ１１の長さは、例えば、１６．７μｍである。図１４で説明したように、絶縁膜１５の貫通孔ＣＨ４１で異方性導電フィルムＡＣＦの導電ビーズＣＰと端子部Ｔ１との間はしっかりと導通を取ることが出来る。また、図１７に示すように、導電ビーズＣＰが整列型の異方性導電フィルムＡＣＦを用いれば、導電ビーズＣＰと端子部Ｔ１との間の電気的導通を、より確実なものと出来る。図１１で示された端子部Ｔ１１がフラットなものに比べ、貫通孔ＣＨ４１内にしっかりと導電ビーズＣＰを固定ないし配置することができる。つまり、図１１に示す端子部Ｔ１１では、ほぼ絶縁膜１６の膜厚の段差で構成される貫通孔または凹部内において、導電ビーズＣＰと端子部Ｔ１１との電気的導通が取られる。一方、図１４に示す端子部Ｔ１では、絶縁膜１５の貫通孔ＣＨ４１および絶縁膜１６の貫通孔ＣＨ４２から構成される全体的な貫

通孔または凹部は、図１１に示す端子部Ｔ１１の貫通孔または凹部と比較して、絶縁膜１５の貫通孔ＣＨ４１の分だけ、全体的な貫通孔または凹部の深さが深くなっている。このため、図１４に示す端子部Ｔ１では、図１１に示す端子部Ｔ１１と比較して、全体的な貫通孔または凹部内にしっかりと導電ビーズＣＰを固定ないし配置することができ、良好な電気的導通を得ることが出来る。

[0080] （実施形態：端子部の構成２）

図１８は、実施形態に係る端子部Ｔ３の平面図である。図８において説明された様に、端子部Ｔ３は、略Ｕ字状の外形形状を有し、例えば、電源が供給される端子に利用することが出来る。端子部Ｔ３は略Ｕ字状であるが、図１３において説明された様に、一対の長辺Ｙ１１およびＹ１２と一対の短辺Ｘ１１およびＸ１２を有する矩形状の構成としてとらえることが出来る。したがって、１対の絶縁膜１５は、図１３において説明されたと同様に、端子部Ｔ３の一対の長辺Ｙ１１およびＹ１２に沿う端子部Ｔ３の縁部に設ければ良い。つまり、高温高湿の状態での通電試験においては、端子部Ｔ３の左右の隣に隣接して配置される端子部との関係では、一対の長辺Ｙ１１およびＹ１２に沿う端子部Ｔ３の縁部が注目すべき領域である。したがって、端子部Ｔ３の一対の長辺Ｙ１１およびＹ１２に沿う端子部Ｔ３の縁部に、１対の絶縁膜１５を設けることにより、略Ｕ字状の端子部Ｔ３の信頼性を向上することが可能になる。

[0081] 上記では略Ｕ字状の端子部Ｔ３について説明されたが、実装部ＭＡに略Ｅ字状の端子部、または、櫛形状の端子部が存在する場合には、略Ｅ字状の端子部、または、櫛形状の端子部にも、上記と同様な技術思想を適用することが出来る。

[0082] なお、図８において説明された、電位的にフローティングとされる端子部Ｔ２については、その一対の長辺に、１対の絶縁膜１５を設けても良いし、あるいは、設けなくても良い。端子部Ｔ２は電気的にフローティングであるため、高温高湿の状態での通電試験においては、特に問題となることは無い

と考えられるためである。

[0083] 絶縁膜１５を設ける端子部は、高温高湿の状態での通電試験において、横電界の発生する隣接する２つの端子部の内、高電位となる端子部の長辺Ｙ１１またはＹ１２の一方とすることも可能である。

[0084] （変形例）

以下に、いくつかの変形例を説明する。

[0085] （変形例１）

図１９は、変形例１に係る端子部Ｔ１の平面図である。図２０は、図１９に示したＪ－Ｊ’線に沿った端子部Ｔ１の断面図である。図１９に示す端子部Ｔ１が、図１３に示す端子部Ｔ１と異なる部分は、絶縁膜１５が端子部Ｔ１の短辺Ｘ１１に沿う端子部Ｔ１の縁部にも設けられている点である。つまり、図１９においては、端子部Ｔ１の一対の長辺Ｙ１１およびＹ１２および短辺Ｘ１１に沿う端子部Ｔ３の縁部に、略Ｕ字状に絶縁膜１５が設けられる。

[0086] 図２０に示されるように、図１９に示したＪ－Ｊ’線に沿った端子部Ｔ１の断面図では、図１４で説明されたと同様に、絶縁膜１５が導電層Ｔｂの縁部を覆う様に設けられる。Ｊ－Ｊ’線に沿った端子部Ｔ１の断面図の構成自体は、図１４に示される断面図の構成と同じであるため、その説明は省略する。

[0087] （変形例２）

図２１は、変形例２に係る端子部Ｔ１の平面図である。図２２は、図２１に示したＫ－Ｋ’線に沿った端子部Ｔ１の断面図である。図２１に示す端子部Ｔ１が、図１３に示す端子部Ｔ１と異なる部分は、端子部Ｔ１の一対の長辺Ｙ１１およびＹ１２の間に、平面視において、例えば矩形状の複数の絶縁膜１６ａが設けられる点である。つまり、図２２に示すように、導電層Ｔｂと接する導電層Ｔｃの位置において、導電層Ｔｃと導電層Ｔｄとの間に、複数の絶縁膜１６ａが設けられる。

[0088] 導電層Ｔｂと接する導電層Ｔｃの位置において、複数の絶縁膜１６ａを導

電層Ｔｃの上に形成することにより、導電層Ｔｂと接する導電層Ｔｃの位置における導電層Ｔｄの表面は、複数の絶縁膜１６ａの膜厚の影響により、複数の段差部を有することになる。導電層Ｔｄの表面に設けられた複数の段差は、異方性導電フィルムＡＣＦの導電ビーズＣＰと端子部Ｔ１の導電層Ｔｄとの電気的接続を良好にする役割を果たす。

[0089] 図２２には、一構成例として、４つの絶縁膜１６ａが描かれているが、絶縁膜１６ａの数は１つ以上であればよい。また、図２１の平面視における複数の絶縁膜１６ａの形状を矩形状として説明したが、それに限定されない。平面視における絶縁膜１６ａの形状は、円形状、長方形形状、楕円形状、あるいはこれらの形状の組み合わせなど、変更可能である。つまり、導電層Ｔｄの表面に段差が設けられれば良い。絶縁膜１６ａの数や平面形状等は、導電層Ｔｃと導電層Ｔｄとの間の電気的接続が良好に取られていることを前提条件として、種々に変更可能である。

[0090] 複数の絶縁膜１６ａは、絶縁膜１６を選択的にパターニングすることにより、形成することが出来る。例えば、絶縁膜１６に貫通孔ＣＨ４２を形成する工程で、複数の絶縁膜１６ａも同時に形成できる。これによれば、複数の複数の絶縁膜１６ａを製造コストの上昇なしに、形成することできる。ここでは、絶縁膜１６を利用して複数の絶縁膜１６ａを形成すると説明したが、それに限定されない。絶縁膜１６と異なる他の絶縁膜を利用して、複数の絶縁膜１６ａを形成しても良い。

[0091] また、実装領域ＭＡは端子領域ＭＡと読み替えても良く、本実施例においてはフレキシブル配線基板１との接続する端子Ｔについて詳細に説明したが、端子Ｔは実装領域ＭＡに形成されドライバーＩＣが第１基板ＳＵＢに接続される構造の場合、ドライバーＩＣと接続するための端子Ｔであっても良い。

[0092] さらに、端子Ｔの構造はドライバーＩＣやフレキシブル配線基板１と接続するための端子に限らず、例えば検査パッド等にも応用できる。

[0093] また、端子領域ＭＡの有機絶縁膜１５は表示部ＤＡの有機絶縁膜１５に相

当し、表示部ＤＡの有機絶縁膜１５のパターニングと同時にパターニングされる。つまり端子領域ＭＡの有機絶縁膜１５は導電層Ｔｂ（第３金属部）の縁部を残して除去される。

[0094] さらに、絶縁膜１５は有機絶縁膜でなく、無機材料であっても良い。絶縁膜１５を無機材料で形成する場合、第３金属配線との平坦性を考慮し、その膜厚はなるべく大きい（厚い）方が好ましい。ただし、無機絶縁膜の膜厚を有機絶縁膜の膜厚並みに大きく形成する（同等の厚さに形成する）ことは難しい。そのため、絶縁膜１５を無機材料で形成する場合、無機絶縁膜を複数層重ね合せて形成することが考えられる。

[0095] 以上説明したように、実施形態によれば、端子部の信頼性向上を図ることが可能な表示装置を提供することができる。

[0096] 本発明の実施の形態として上述した表示装置を基にして、当業者が適宜設計変更して実施し得る全ての表示装置も、本発明の要旨を包含する限り、本発明の範囲に属する。

[0097] 本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。例えば、上述の各実施形態に対して、当業者が適宜、構成要素の追加、削除もしくは設計変更を行ったもの、又は、工程の追加、省略若しくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

[0098] また、本実施形態において述べた態様によりもたらされる他の作用効果について本明細書記載から明らかなもの、又は当業者において適宜想到し得るものについては、当然に本発明によりもたらされるものと解される。

[0099] 上記実施形態に開示されている複数の構成要素の適宜な組み合せにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合せてもよい。

符号の説明

[0100] ＤＳＰ：表示装置

ＴＳ：タッチセンサ

ＴＣ：タッチコントローラ

Ｒｘ：センサ電極

ＣＥ（ＣＥ１、ＣＥ２）：共通電極

Ｌ：センサ配線

ＭＬ：金属配線

ＰＮＬ：表示パネル

ＤＡ：表示部

ＰＸ：画素

Ｇ：走査線

Ｓ：信号線

ＰＥ：画素電極

１４、１５、１６：絶縁膜

請求の範囲

[請求項1] 表示部と実装部を有する表示パネルと、前記実装部に端子部を備え、

前記表示部は、第１金属層で形成されるゲート配線と、第２金属層で形成される信号線と、第３金属層で形成される金属配線と、第１透明導電膜で形成される第１透明電極と、第２透明導電膜で形成される第２透明電極とを含み、

前記端子部は、前記第２金属層で形成される第１金属部と、前記第１金属部に積層され前記第３金属層で形成された第２金属部と、を備え、

前記第２金属部は前記第1金属部の表面及び側面を覆い、

前記第２金属部の縁部は有機絶縁膜に覆われるとともに、前記第２金属部の前記縁部の内側は前記有機絶縁膜に形成された第１スルーホールにて露出されている、表示装置。

[請求項2] 請求項１に記載の表示装置であって、

前記実装部は前記端子部から引き出される配線を含み、

前記配線は前記第２金属層で形成されている、表示装置。

[請求項3] 請求項２に記載の表示装置であって、

前記端子部はさらに前記第１透明導電膜を含み、

前記第１透明導電膜は前記有機絶縁膜の前記第１スルーホールが形成される位置で前記第２金属部に接し、前記第２金属部の前記縁部に重畳する位置において前記有機絶縁膜に接する、表示装置。

[請求項4] 請求項３に記載の表示装置であって、

前記端子部はさらに無機絶縁膜と前記第２透明導電膜を含み、

前記第２金属部の前記縁部に重なる位置において前記第１透明導電膜を覆い、前記有機絶縁膜の前記第１スルーホールが形成される位置にて前記第１透明導電膜を露出する第２スルーホールを有し、

前記第２透明導電膜は前記第２金属部の前記縁部に重なる位置にて

前記無機絶縁膜に接し、前記第２スルーホールが形成される位置にて前記第１透明導電膜に接する、表示装置。

[請求項5] 請求項１に記載の表示装置であって、

前記第２金属層はモリブデン／アルミニウム／モリブデンの積層膜であり、

前記第１金属層はチタン／アルミニウム／チタンの積層膜である、表示装置。

[請求項6] 請求項５に記載の表示装置であって、

前記端子部は一対の長辺と、一対の短辺で形成される矩形状であり、前記有機絶縁膜で覆われる前記第２金属部の前記縁部は前記一対の長辺に相当する領域である、表示装置。

[請求項7] 請求項６に記載の表示装置であって、

前記有機絶縁膜はさらに前記端子部の前記一対の短辺の一方に相当する領域の前記第２金属部の前記縁部をも覆う、表示装置。

[請求項8] 請求項７に記載の表示装置であって、

前記表示装置は配線基板を備え、前記配線基板と前記端子部は異方性導電膜で接続されており、前記有機絶縁膜の第１スルーホールの深さは、前記異方性導電膜の導電ビーズの径よりも小さい、表示装置。

[請求項9] 請求項２に記載の表示装置であって、

前記表示パネルは前記表示部において

走査信号配線と映像信号配線を覆う第１有機絶縁膜と、

前記第１有機絶縁膜の上に形成される前記金属配線と、

前記金属配線と前記第１有機絶縁膜を覆う第２有機絶縁膜と、

前記第２有機絶縁膜の上に形成される前記第１透明電極と、

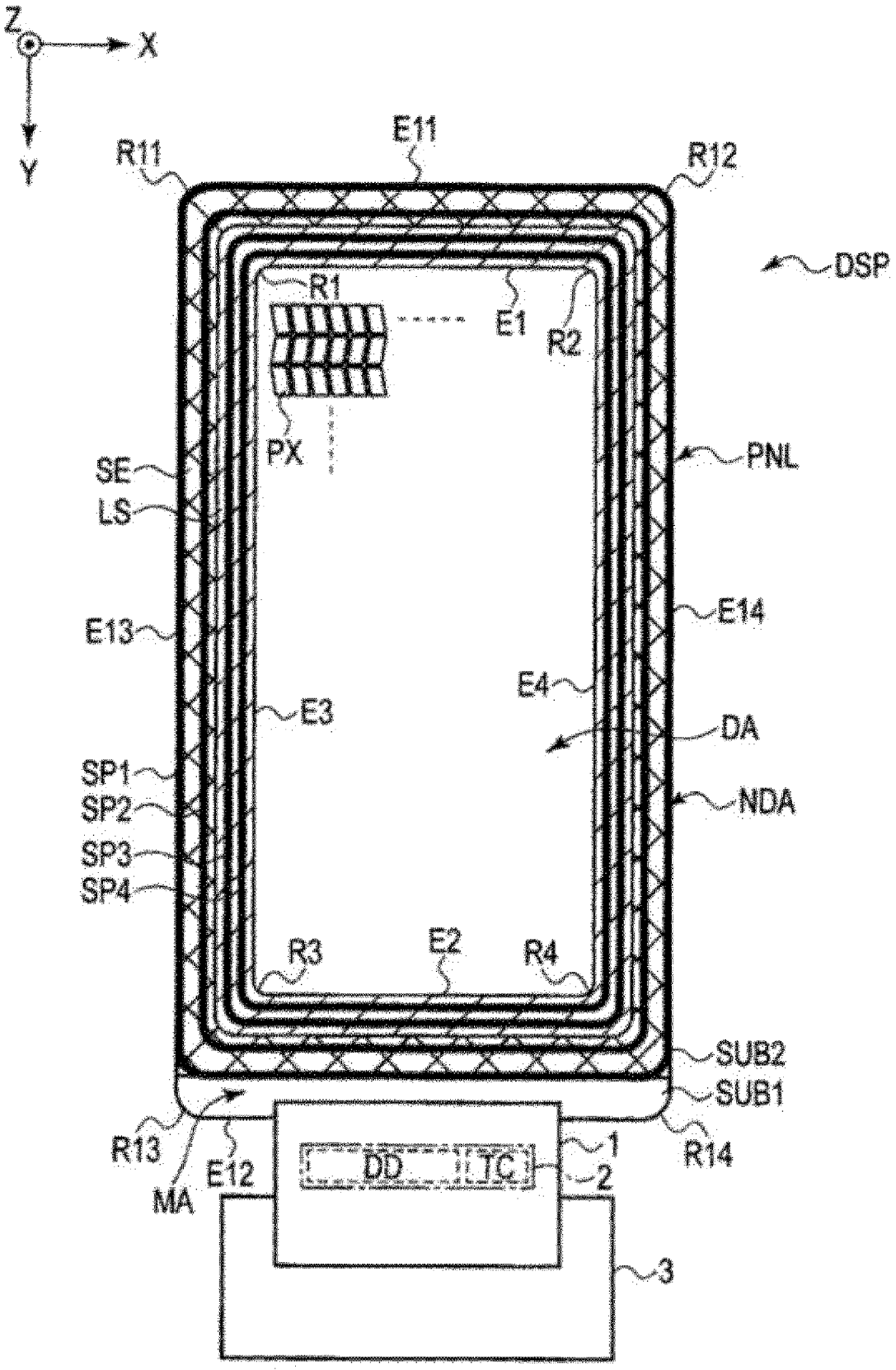
前記第１透明電極を覆う無機絶縁膜と、

前記無機絶縁膜の上に形成される前記第２透明電極と、を備え、

前記有機絶縁膜は前記表示部における前記第２有機絶縁膜と同材料である、表示装置。

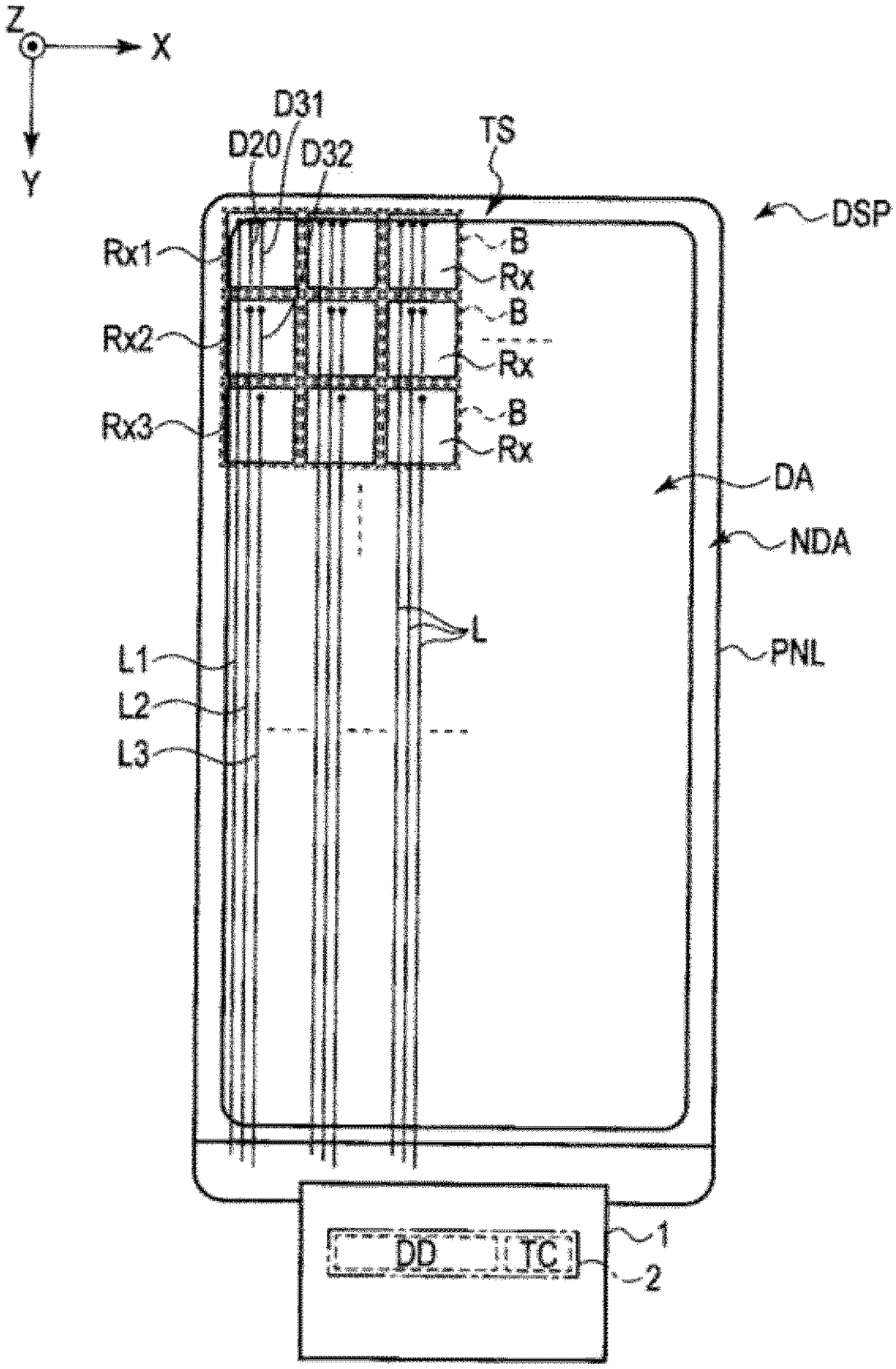
[図1]

図1


Z
X
Y
R11
E11
R12
DSP
R1
E1
R2
PX
PNL
SE
LS
E13
E14
E4
E3
DA
SP1
SP2
SP3
SP4
NDA
R3
E2
R4
SUB2
SUB1
R13
E12
MA
DD
TC
1
2
R14
3

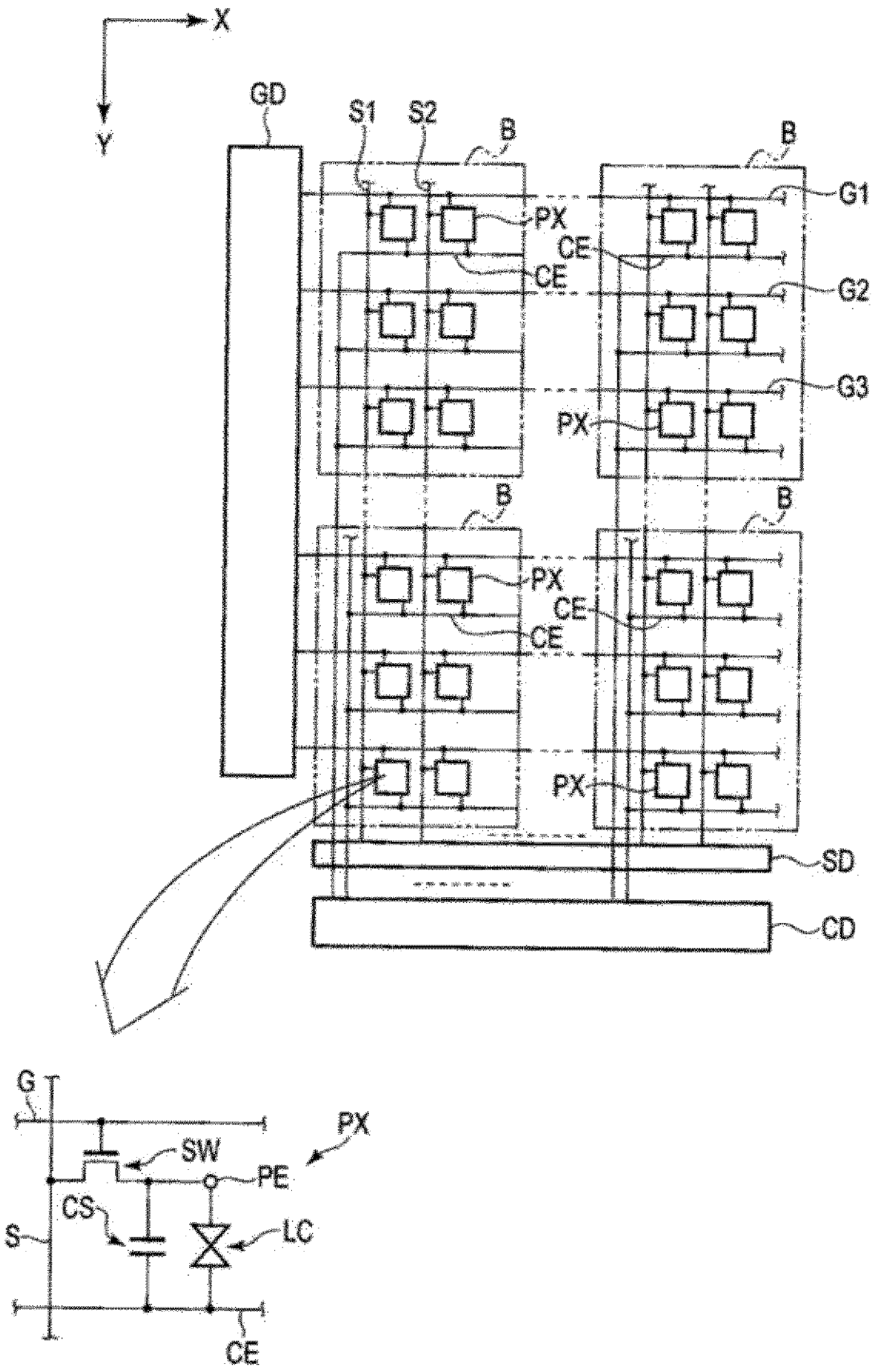
[図2]

図2


Z
X
Y
D31
D20
D32
TS
DSP
Rx1
Rx2
Rx3
B
Rx
B
Rx
B
Rx
DA
NDA
L
L1
L2
L3
PNL
DD
TC
1
2

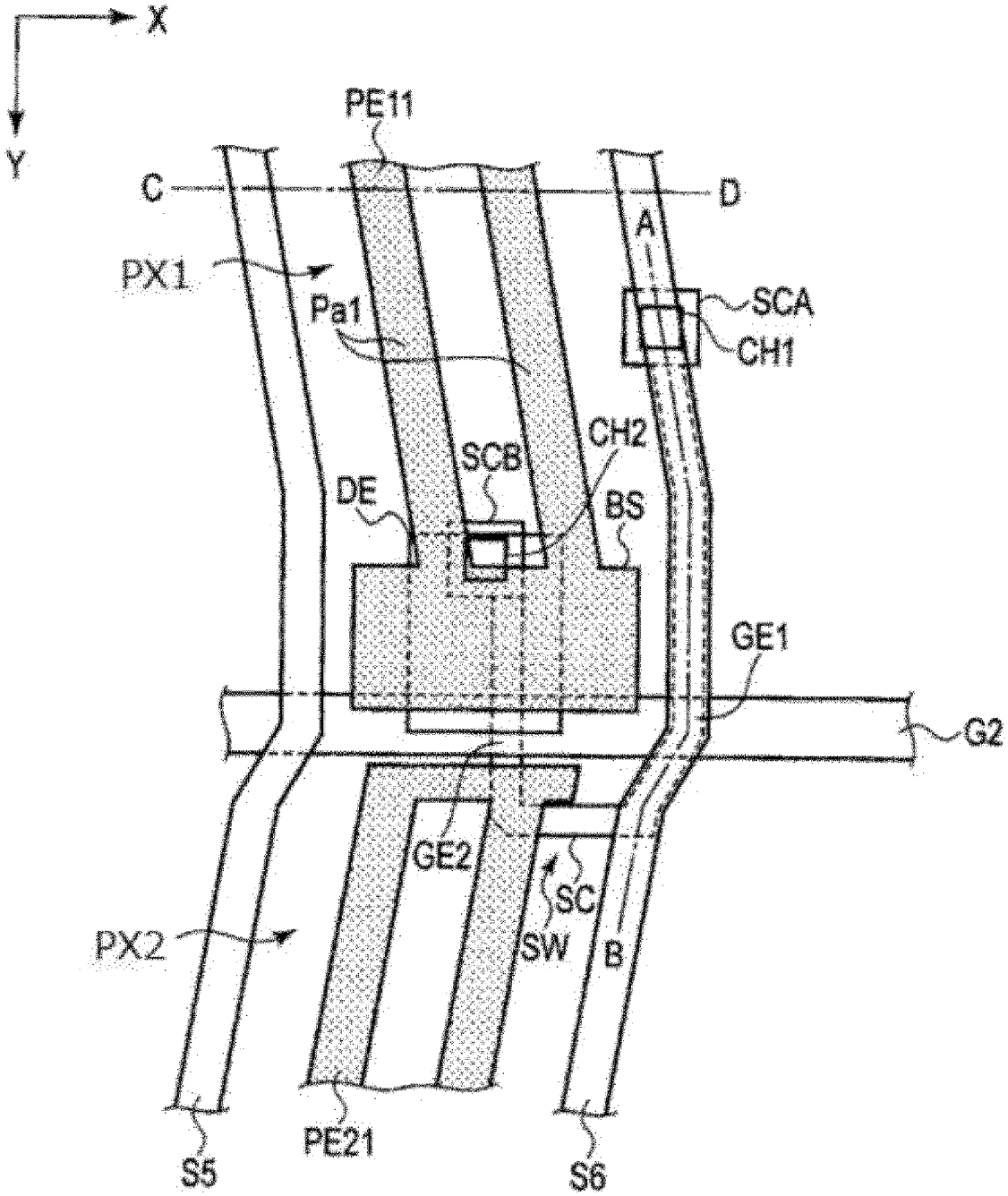
[図3]

図3



[図4]

図4


X
Y
PE11
C
D
A
PX1
Pa1
SCA
CH1
CH2
SCB
DE
BS
GE1
G2
GE2
SC
SW
B
PX2
PE21
S5
S6

[図5]

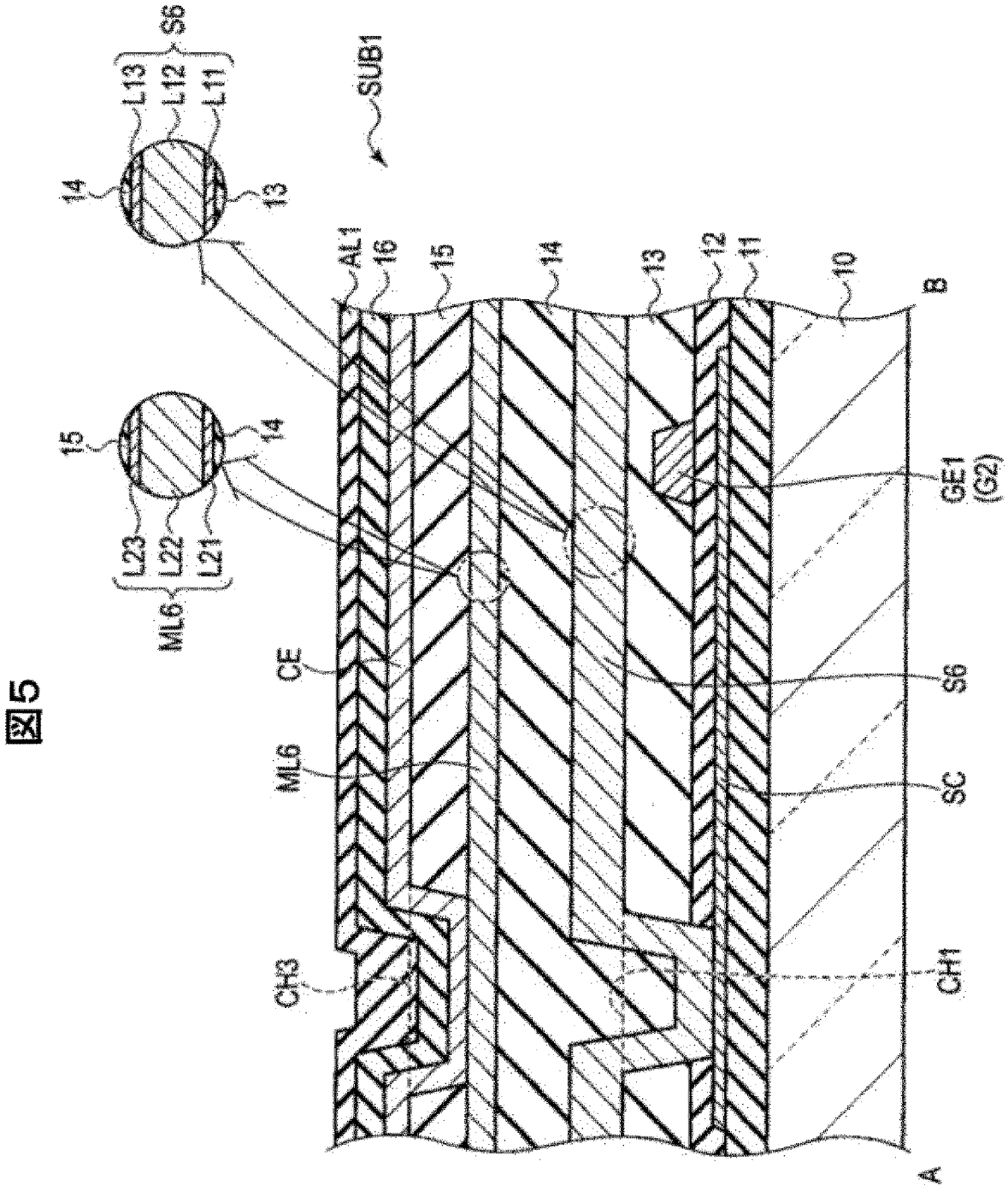
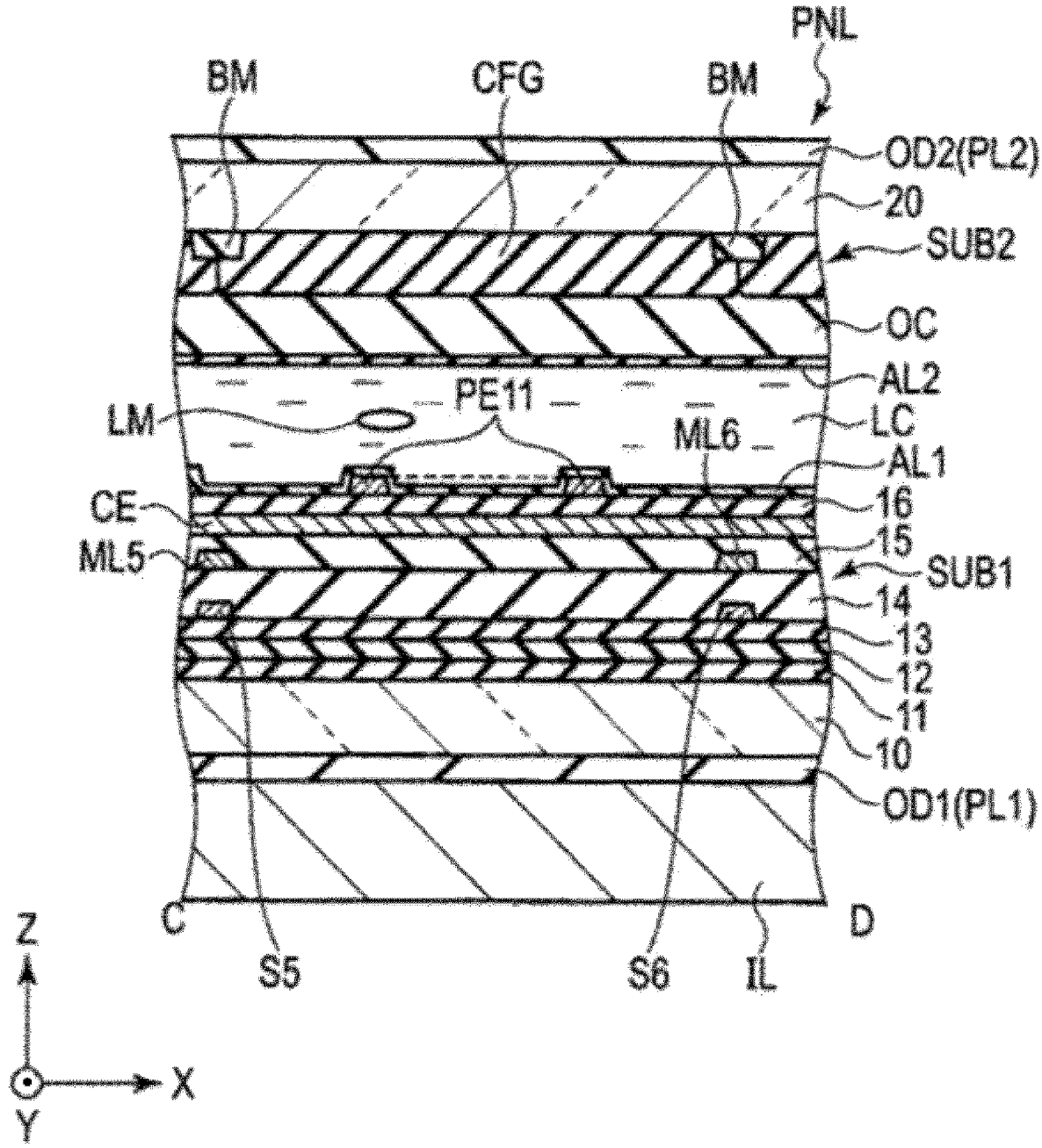

S6
L13
L12
L11
14
13
SUB1
AL1
16
15
14
13
12
11
10
B
15
14
L23
L22
L21
ML6
GE1
(G2)
CE
S6
ML6
SC
CH3
CH1
A

図5

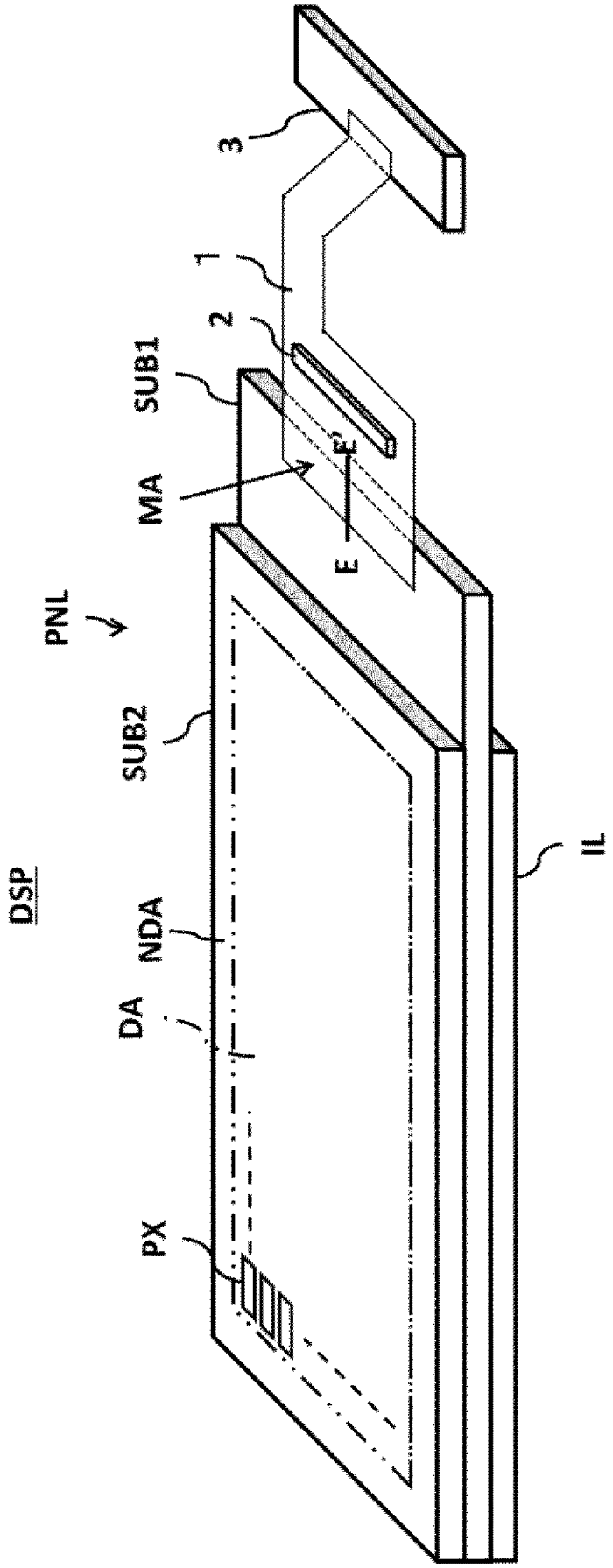
[図6]

図6


PNL
BM
CFG
BM
OD2(PL2)
20
SUB2
OC
AL2
PE11
LM
ML6
LC
AL1
CE
16
ML5
15
SUB1
14
13
12
11
10
OD1(PL1)
C
D
S5
S6
IL
Z
X
Y

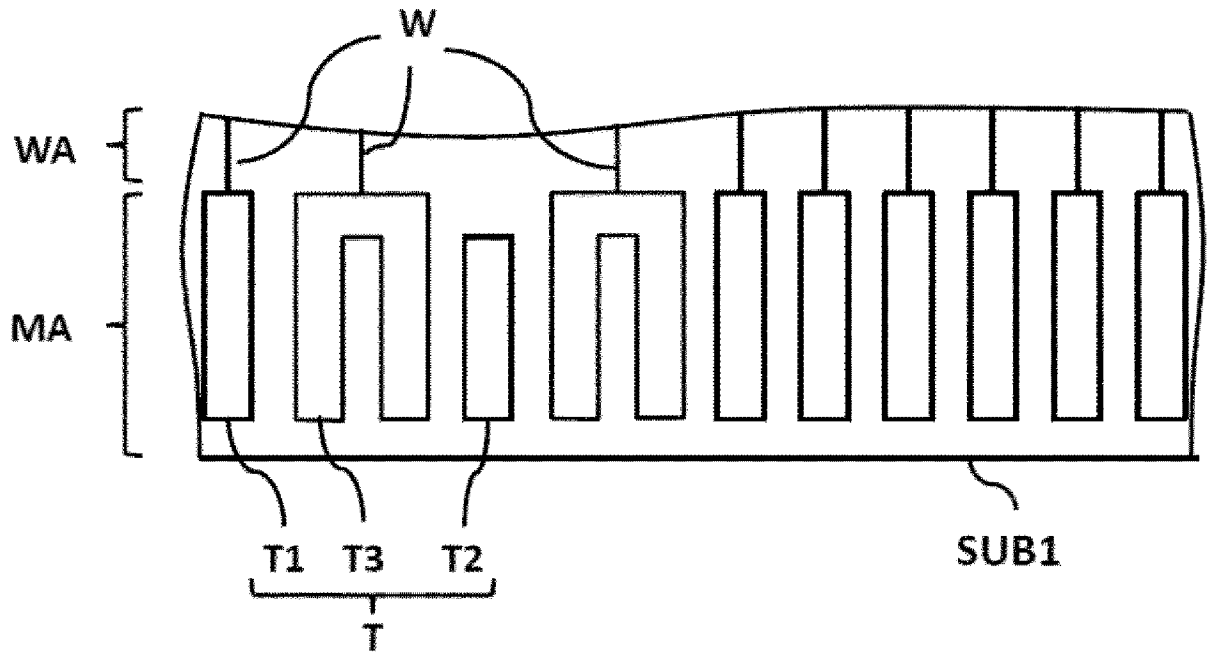
[図7]

図7



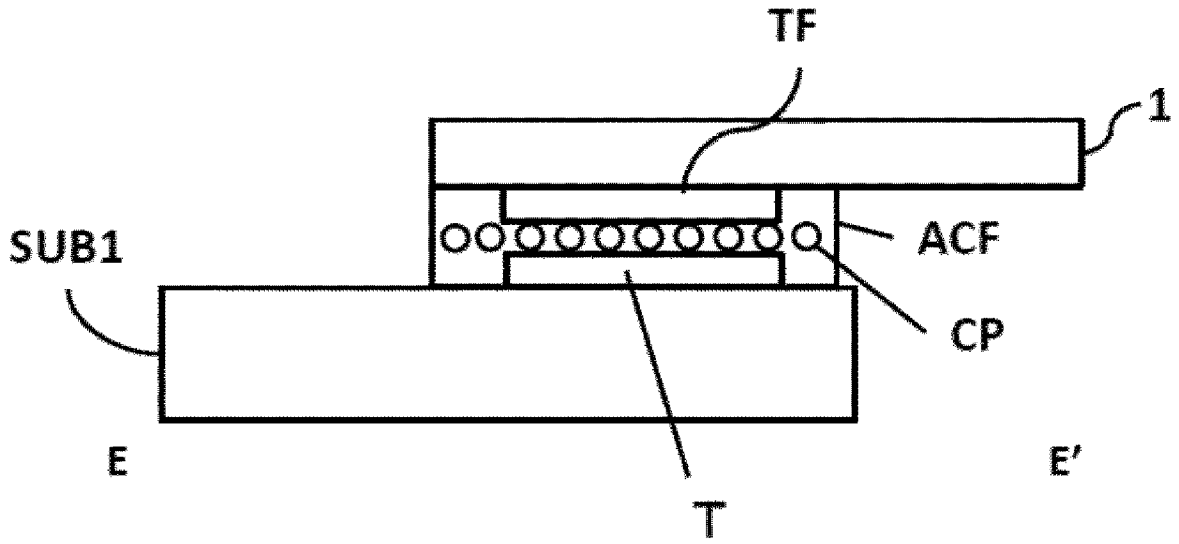
[図8]

図8



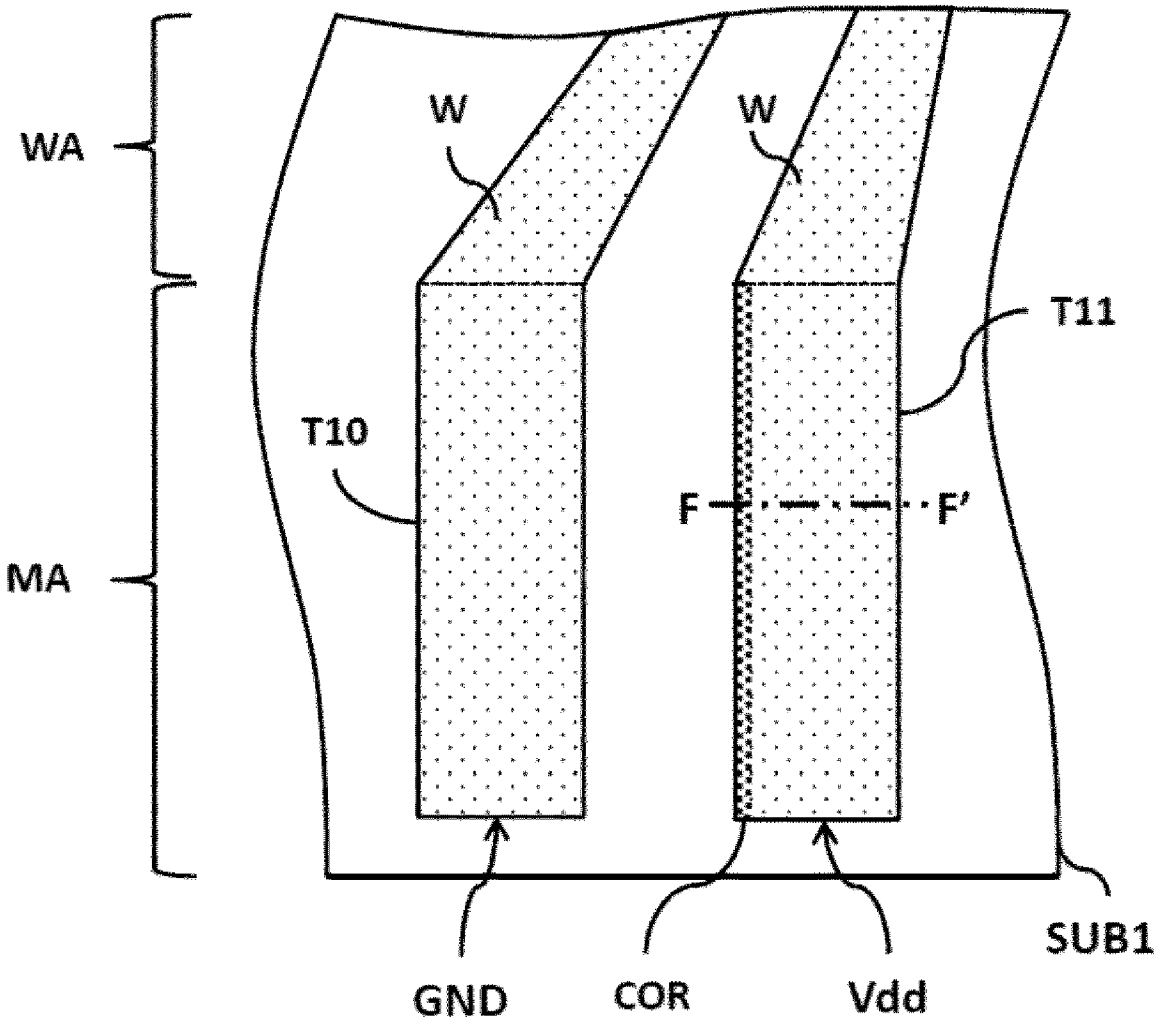
[図9]

図9



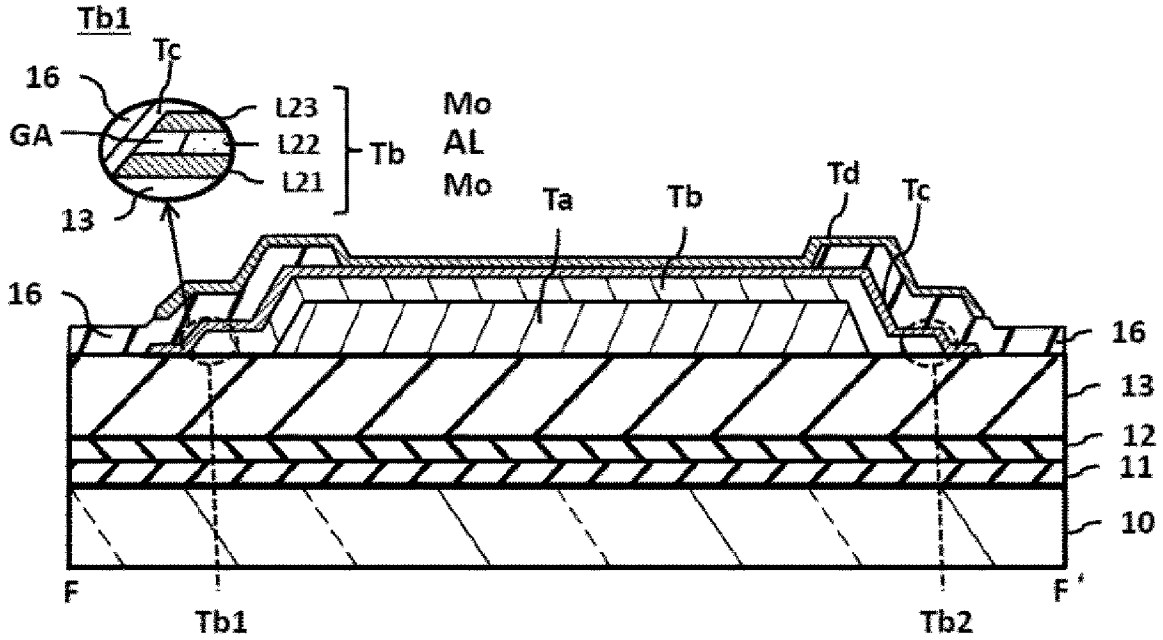
[図10]

図10



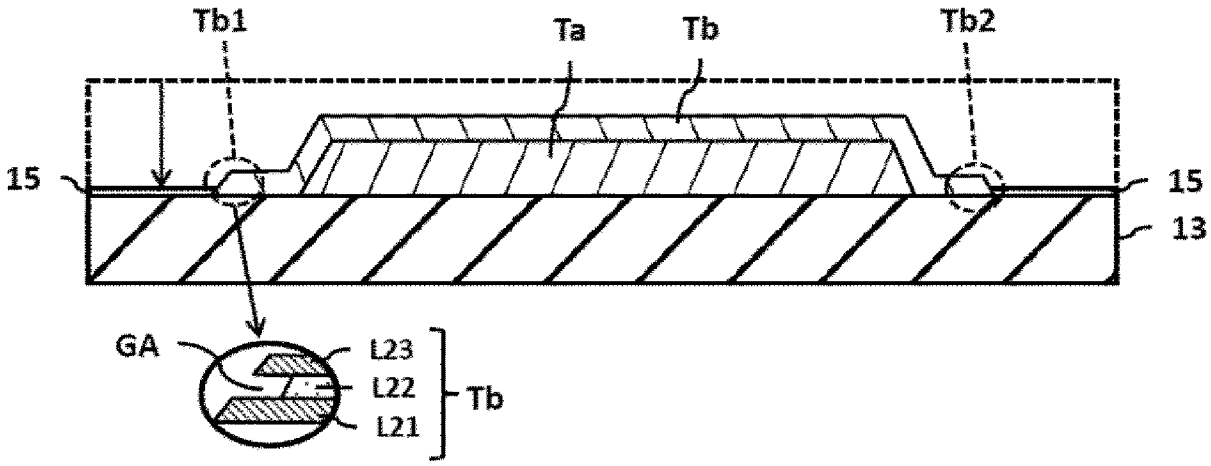
[図11]

図11



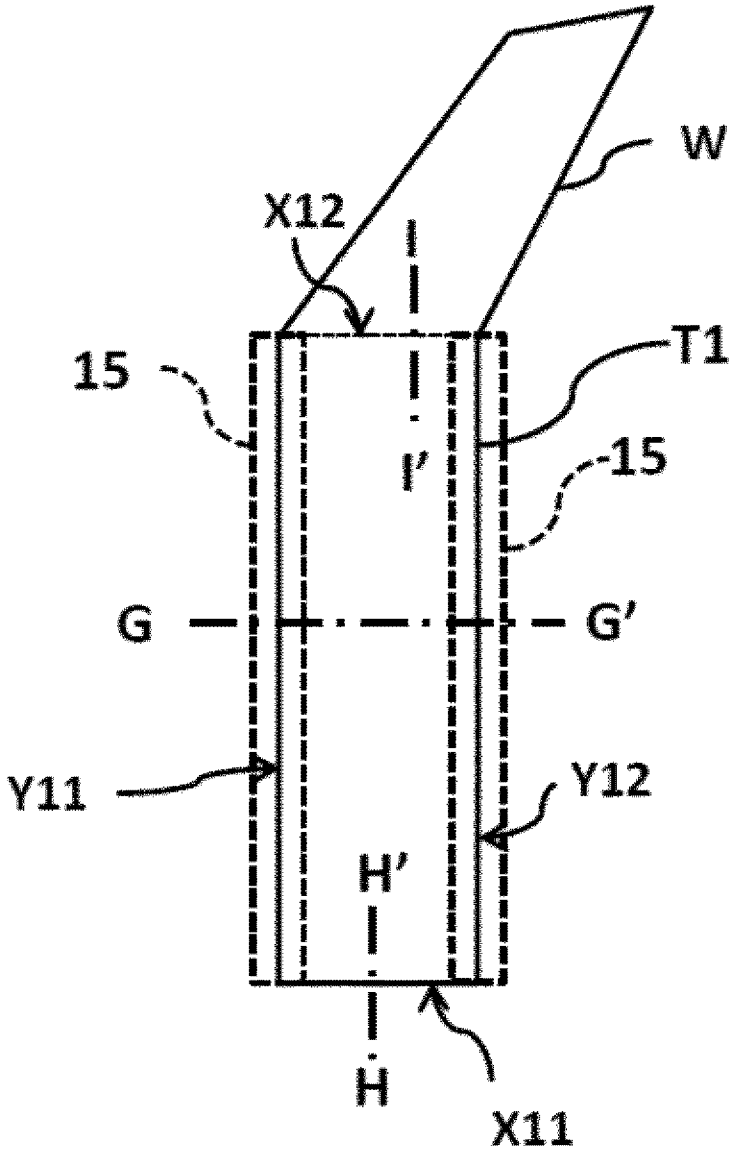
[図12]

図12



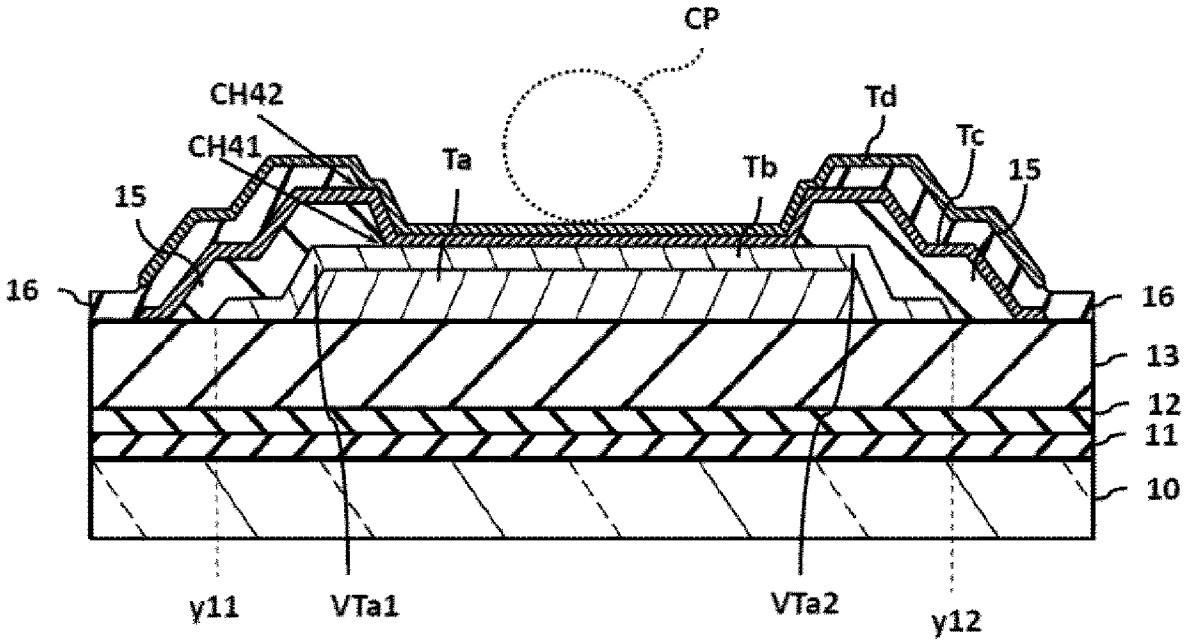
[図13]

図13



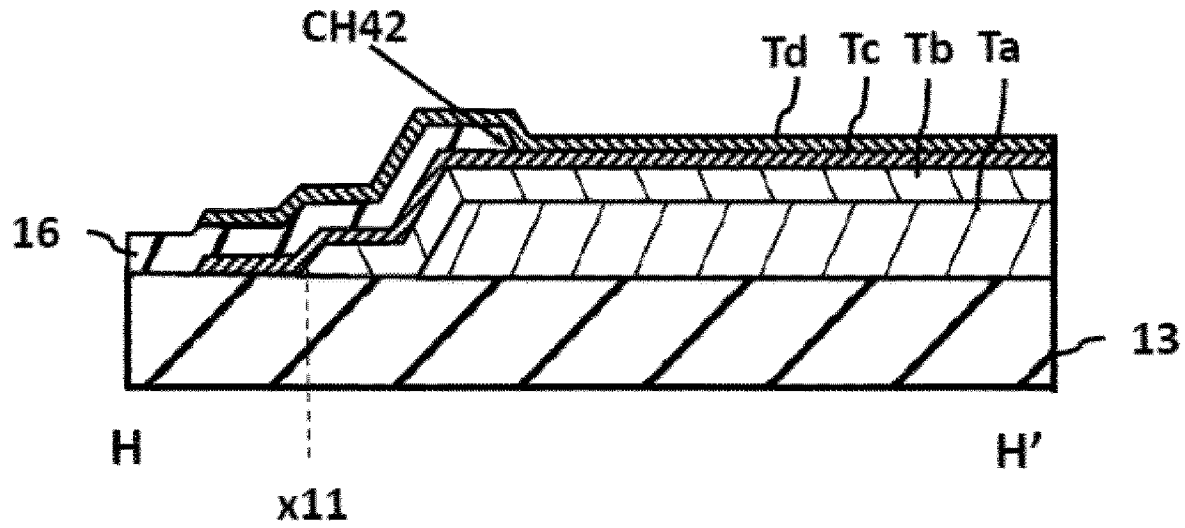
[図14]

図14



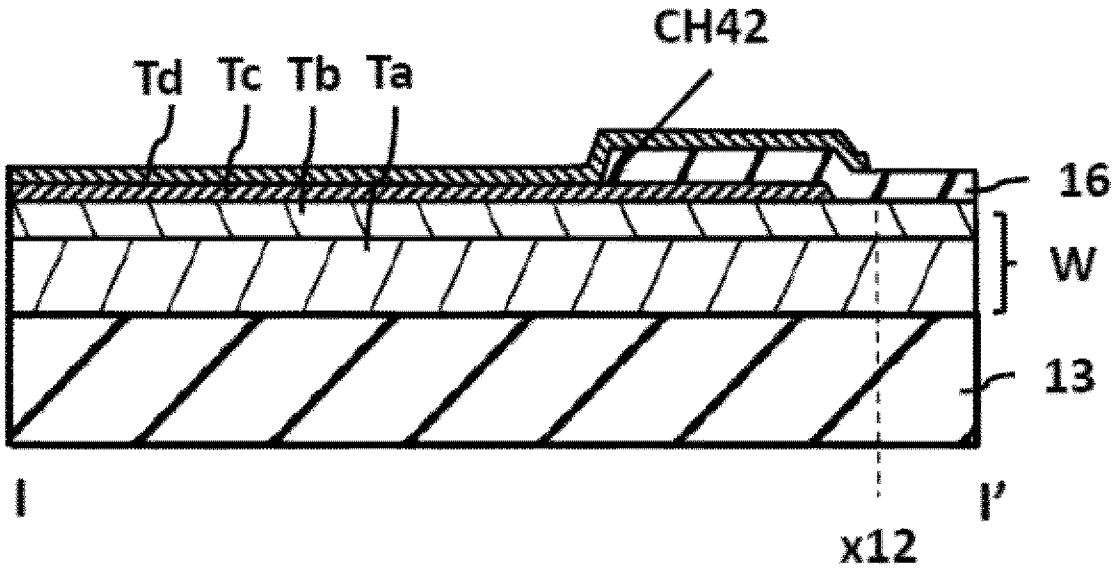
[図15]

図15



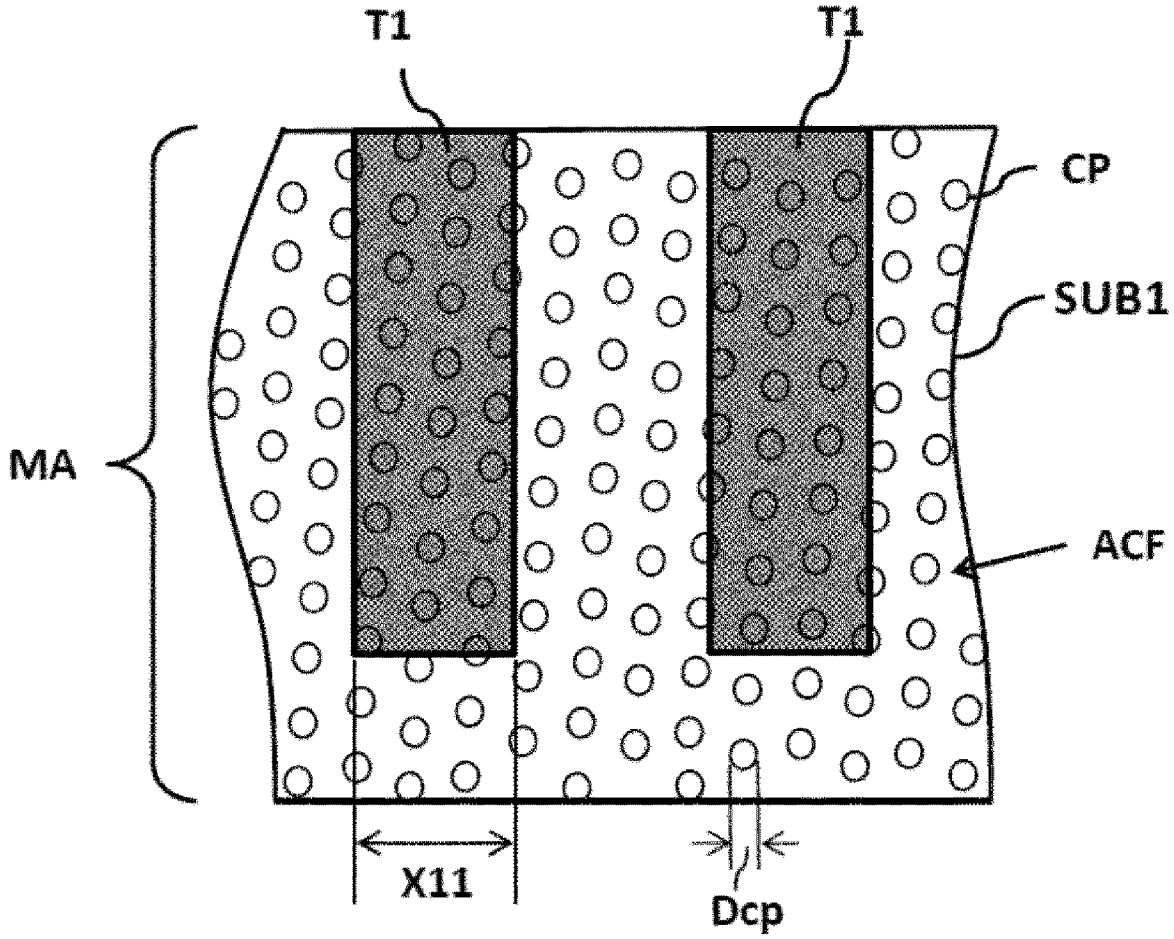
[図16]

図16



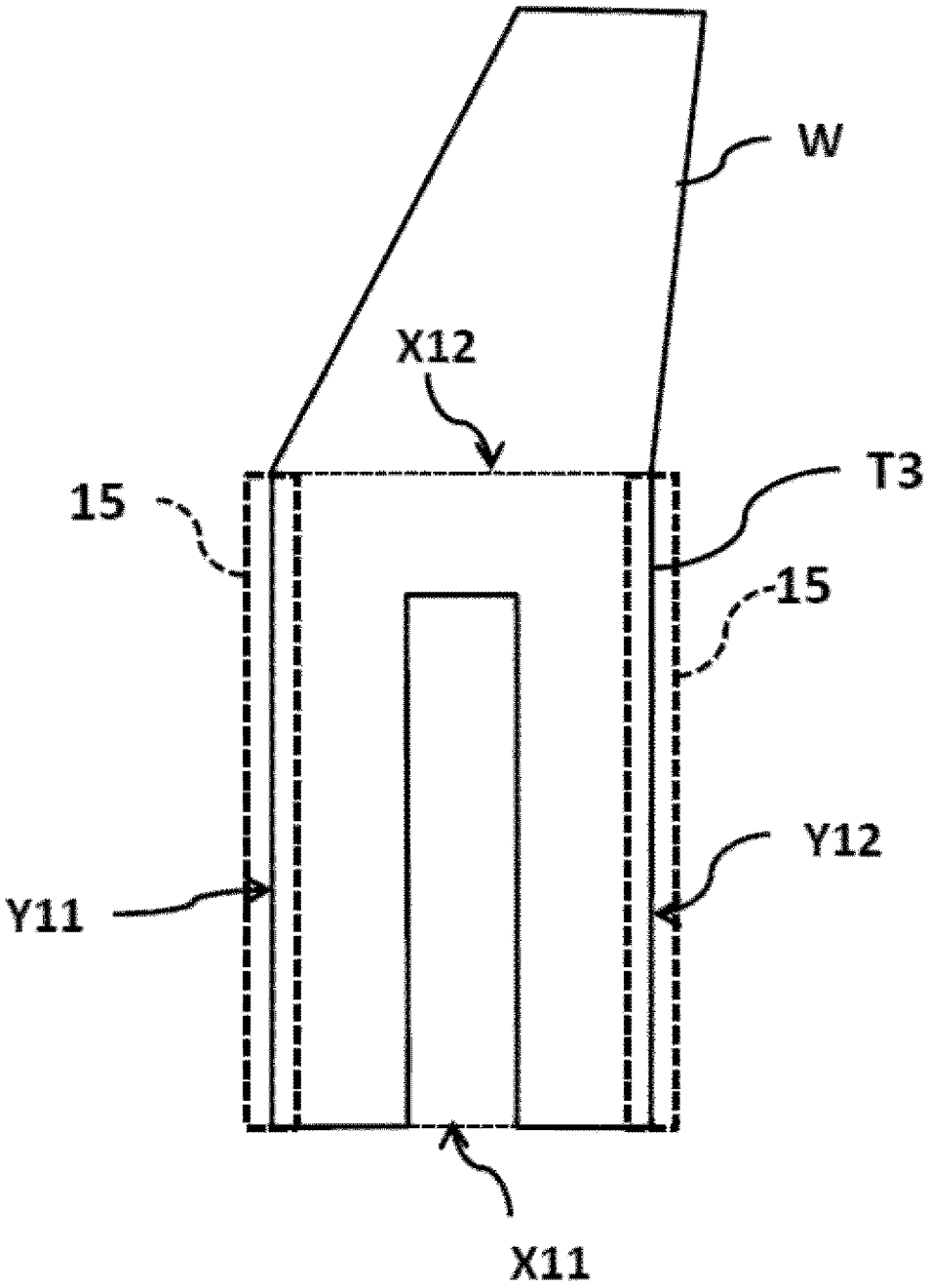
[図17]

図17



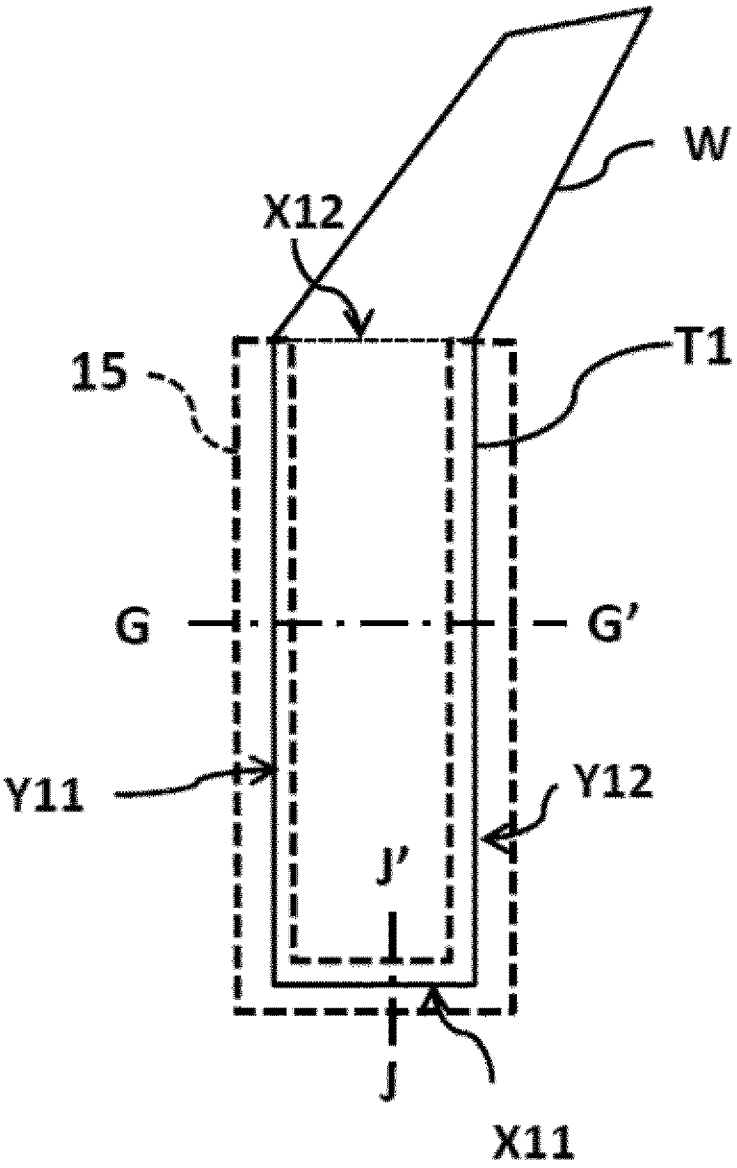
[図18]

図18



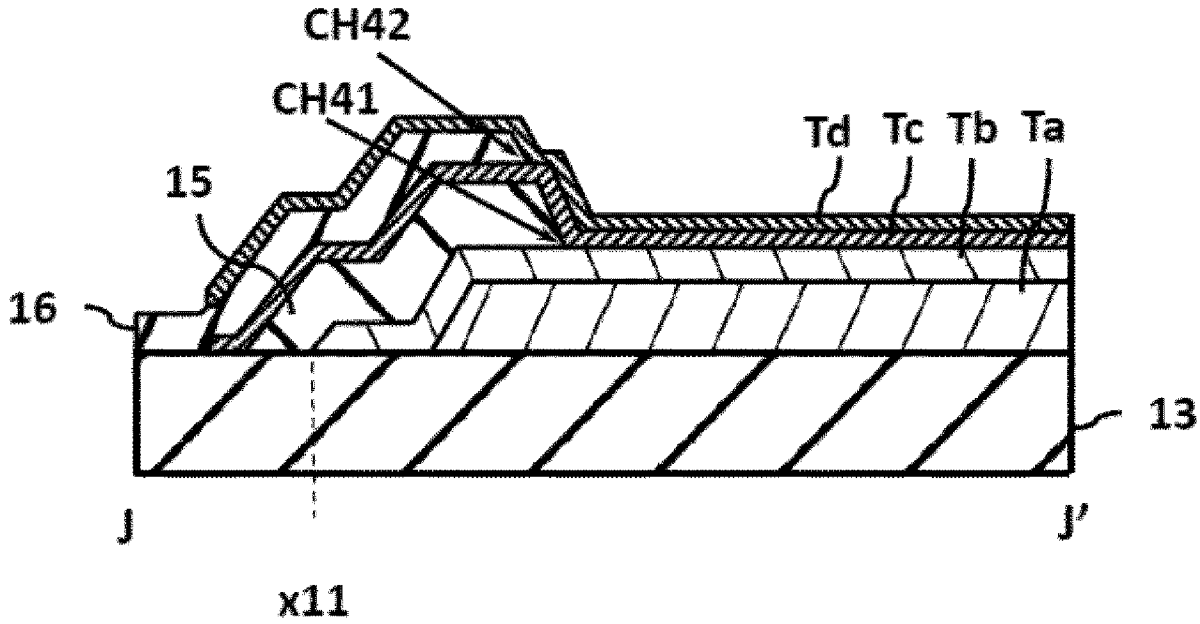
[図19]

図19



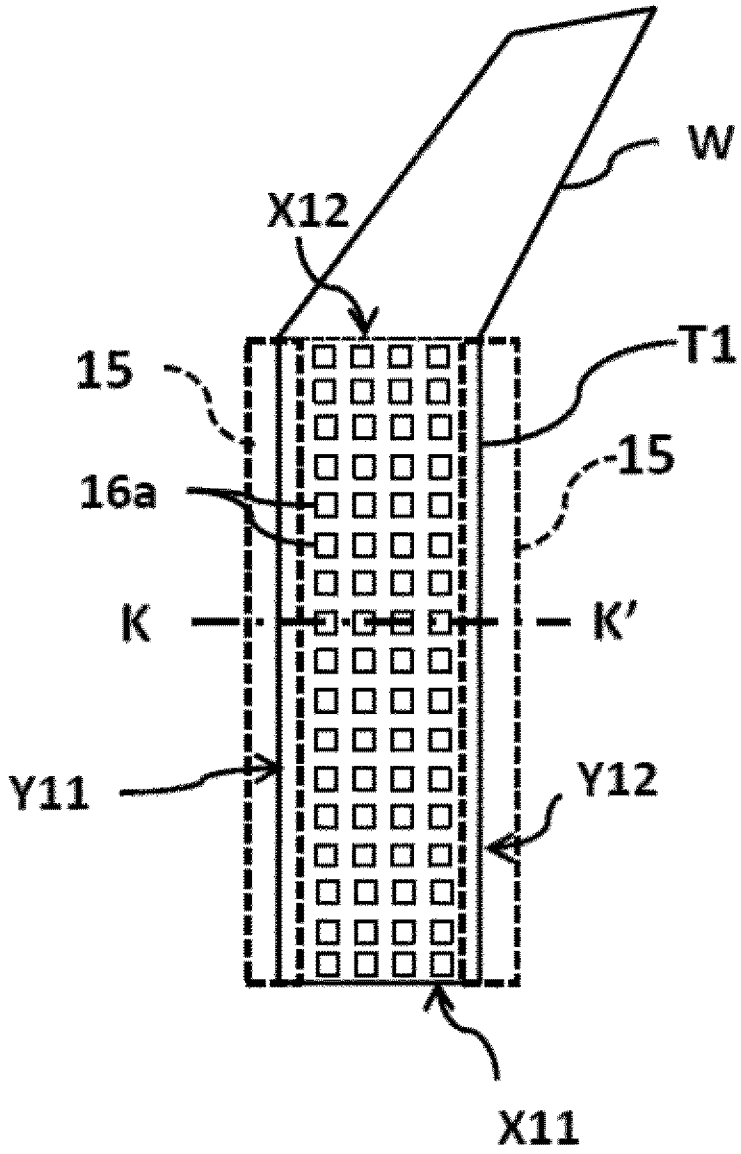
[図20]

図20



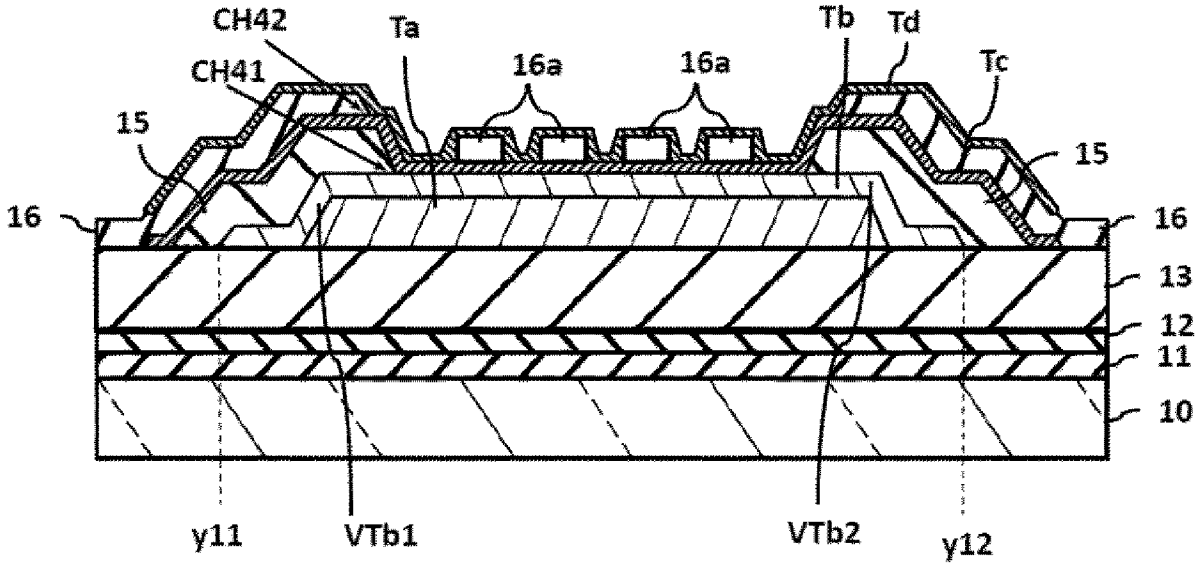
[図21]

図21



[図22]

図22


CH42
Ta
Tb
Td
CH41
16a
16a
Tc
15
15
16
16
13
12
11
10
y11
VTb1
VTb2
y12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/017168

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. G09F9/30(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. G09F9/30, G02F1/1345, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-211638 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 30 November 2017, entire text all drawings & US 2017/0269440 A1 & WO 2017/158464 A1 & CN 108780256 A & KR 10-2018-0118191 A	1-9
A	US 6330042 B1 (LG. PHILIPS LCD CO., LTD.) 11 December 2001, entire text all drawings & KR 10-0262954 B1	1-9
A	JP 2015-148728 A (JAPAN DISPLAY INC.) 20 August 2015, entire text all drawings & US 2015/0221683 A1 & CN 104835420 A & KR 10-2015-0093101 A & TW 201532265 A	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 10 June 2019 (10.06.2019)	Date of mailing of the international search report 18 June 2019 (18.06.2019)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１９／０１７１６８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G09F9/30(2006.01)i, G02F1/1345(2006.01)i, G02F1/1368(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G09F9/30, G02F1/1345, G02F1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2017-211638 A (株式会社半導体エネルギー研究所) 2017.11.30, 全文全図 & US 2017/0269440 A1 & WO 2017/158464 A1 & CN 108780256 A & KR 10-2018-0118191 A	1-9
A	US 6330042 B1 (LG. PHILIPS LCD CO., LTD.) 2001.12.11, 全文全図 & KR 10-0262954 B1	1-9

☑ Ｃ欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１０．０６．２０１９	１８．０６．２０１９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｉ　３６０８
村川　雄一
電話番号　０３－３５８１－１１０１　内線　３２７３

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2015-148728 A（株式会社ジャパンディスプレイ）2015.08.20, 全文全図 & US 2015/0221683 A1 & CN 104835420 A & KR 10-2015-0093101 A & TW 201532265 A	1-9