

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4620522号
(P4620522)

(45) 発行日 平成23年1月26日(2011.1.26)

(24) 登録日 平成22年11月5日(2010.11.5)

(51) Int.Cl.		F I			
H03K 17/30	(2006.01)	H03K 17/30		E	
H03K 19/094	(2006.01)	H03K 19/094		D	
H01L 21/822	(2006.01)	H01L 27/04		G	
H01L 27/04	(2006.01)				

請求項の数 9 (全 15 頁)

(21) 出願番号	特願2005-138776 (P2005-138776)	(73) 特許権者	303046277
(22) 出願日	平成17年5月11日(2005.5.11)		旭化成エレクトロニクス株式会社
(65) 公開番号	特開2006-319557 (P2006-319557A)		東京都千代田区神田神保町一丁目105番地
(43) 公開日	平成18年11月24日(2006.11.24)	(74) 代理人	100066980
審査請求日	平成20年3月26日(2008.3.26)		弁理士 森 哲也
		(74) 代理人	100075579
			弁理士 内藤 嘉昭
		(74) 代理人	100103850
			弁理士 田中 秀▲てつ▼
		(72) 発明者	白木 剛
			神奈川県厚木市岡田3050番地 旭化成 マイクロシステム株式会社内
		審査官	栗栖 正和
			最終頁に続く

(54) 【発明の名称】 半導体回路

(57) 【特許請求の範囲】

【請求項1】

ゲート端子とドレイン端子が短絡され、バルク端子とソース端子とに同電位が供給される第1のMOSトランジスタと、

前記第1のMOSトランジスタと同伝導型で且つ第1のMOSトランジスタのドレイン端子に、バルク端子が接続された第2のMOSトランジスタと、

前記第1のMOSトランジスタのドレイン端子に接続され、当該第1のMOSトランジスタに電流を供給する電流源とを備え、

前記第1のMOSトランジスタのソース端子は、電源端子に電氣的に接続され、

前記第1のMOSトランジスタのドレイン端子及び前記第2のMOSトランジスタのバルク端子は、当該第1のMOSトランジスタのしきい値電圧に応じた電位を有することを特徴とする半導体回路。

【請求項2】

前記第1のMOSトランジスタと同様にゲート端子とドレイン端子が短絡されたMOSトランジスタを、前記第1のMOSトランジスタのソース端子と前記電源端子との間に複数個接続したことを特徴とする請求項1に記載の半導体回路。

【請求項3】

ゲート端子とドレイン端子が短絡され、バルク端子とソース端子とに同電位が供給される第1のMOSトランジスタと、

接地電位、電源電位、接地電位と電源電位との任意の分割電位、電源電位に依存しない

10

20

任意の固定電位、前記第1のMOSトランジスタのソース電位の何れか1つの電位と、前記第1のMOSトランジスタのドレイン端子の電位とを分割するように接続された分割抵抗器と、

前記第1のMOSトランジスタと同伝導型であって前記分割抵抗器の分割電位の出力端子に接続されたバルク端子を有する第2のMOSトランジスタと、

前記第1のMOSトランジスタのドレイン端子に接続され、当該第1のMOSトランジスタに電流を供給する電流源と、

を備え、

前記第1のMOSトランジスタのソース端子は、電源端子に電氣的に接続されることを特徴とする半導体回路。

10

【請求項4】

前記第1のMOSトランジスタと同様にゲート端子とドレイン端子が短絡されたMOSトランジスタを、前記第1のMOSトランジスタのソース端子と前記電源端子との間に複数個接続したことを特徴とする請求項3に記載の半導体回路。

【請求項5】

前記第1のMOSトランジスタのドレイン端子及び前記第2のMOSトランジスタのバルク端子は、当該ドレイン端子及びバルク端子を同電位とする能動素子回路を介して接続されていることを特徴とする請求項1から4の何れか1項に記載の半導体回路。

【請求項6】

前記第2のMOSトランジスタを、当該第2のMOSトランジスタを複数個用い、これらトランジスタ群のバルク端子を前記第1のトランジスタのドレイン端子に接続し、当該第2のトランジスタ群のソース端子同士を接続した

ことを特徴とする請求項1から5の何れか1項に記載の半導体回路。

20

【請求項7】

前記第2のMOSトランジスタを、当該第2のMOSトランジスタを2個用い、互いのバルク端子及びソース端子をそれぞれ結合し、各バルク端子を前記第1のMOSトランジスタのドレイン端子に接続し、各ソース端子を第2の電流源を介して前記電源端子に接続した差動増幅回路構成とした

ことを特徴とする請求項1から5の何れか1項に記載の半導体回路。

【請求項8】

前記トランジスタ群のゲート端子を互いに接続し、これら接続されたゲート端子に当該トランジスタ群の何れか1つのトランジスタのドレイン端子を接続し、この接続点を第3の電流源を介して前記電源端子に接続した電流ミラー回路構成とした

ことを特徴とする請求項6に記載の半導体回路。

30

【請求項9】

前記第2のMOSトランジスタのソース端子を第4の電流源を介して前記電源端子に接続したソースフォロワ回路構成とした

ことを特徴とする請求項1から5の何れか1項に記載の半導体回路。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、携帯電話機やPDA(Personal Digital Assistance)等の携帯電子機器用LSI(Large Scale Integrated circuit)等に用いられ、低電源電圧で動作可能な半導体回路に関する。

【背景技術】

【0002】

近年、携帯電子機器用LSIの動作電源電圧は低下する一方であるが、低電圧化に向けてはMOS(Metal Oxide Semiconductor)トランジスタのしきい値電圧の設定が重要である。しきい値電圧が低い場合、待機時のリーク電流が増大し、しきい値電圧が高い場合は動作時の電流量減少・動作速度低下といった不具合が出てくる。またMOSトランジスタ

50

のしきい値電圧は、その製造過程及び使用する環境温度の変化などに起因するばらつきを有するものであり、上記しきい値電圧のばらつき幅を考慮すると電源電圧の低電圧化は益々難しくなる。

【0003】

この解決手段として、バルク電位とソース電位の電位差に応じて、しきい値電圧が変動する基板バイアス効果を利用した手法があり、従来法には、特許文献1に開示される動作時と待機時とでスイッチによりバルク電位を切り替えることで、動作時と待機時とで異なるしきい値電圧を有する方法がある。

また、本願発明は、後述するようにMOSトランジスタの動作時のしきい値電圧の絶対値及びばらつき幅の低減を図り、低電圧動作可能な半導体回路を提供するものであるが、同様の技術に、低電圧用途ではないもののSRAM回路において、特許文献2に開示されるしきい値電圧を検出してバルク電位を制御することで、しきい値電圧の変動を抑制し所望のしきい値電圧を得る方法などがある。

【特許文献1】特開平10-189884号公報

【特許文献2】特開2000-268574号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、上記特許文献1においては、動作時と待機時でスイッチによりバルク電位を切り替えることによって動作時と待機時とで異なるしきい値電圧を有するようになっているが、動作時と待機時とで別々のバルク電位制御用ラインを持つ必要があるため、回路面積が増大してしまい、また、動作時のMOSトランジスタのしきい値のばらつき幅が低減されないので、トランジスタの動作が不安定となる問題がある。

その動作安定性のためには、しきい値電圧のばらつきの小さい高価な高性能MOSトランジスタが必要となってしまうので、コスト面を考えると適切でない。

【0005】

また、上記特許文献2においては、SRAM回路におけるしきい値電圧を検出してバルク電位を制御することでしきい値電圧の変動を抑制し、所望のしきい値電圧を得ようになっているが、しきい値検出回路でしきい値電圧を参照した電位を論理回路の入力としており、論理回路内のMOSトランジスタも同様のしきい値変動を持つものと考えると低電圧時に精度が得られず、また、しきい値電圧に対してバルク電位が不連続に制御されるため使用できる回路が制限されてしまい、更に、しきい値電圧検出回路と電圧発生回路とを有し回路面積が増大するという問題がある。

【0006】

本発明は、このような課題に鑑みてなされたものであり、簡単なバルク電位制御の回路構成で回路面積の増大を防ぐことができ、MOSトランジスタのしきい値電圧の絶対値を調整することができると共にしきい値電圧のばらつき幅を低減させることができ、安定した低電圧動作を行うことができる半導体回路を提供することを目的としている。

【課題を解決するための手段】

【0007】

上記目的を達成するために、本発明の請求項1による半導体回路は、ゲート端子とドレイン端子が短絡され、バルク端子とソース端子とに同電位が供給される第1のMOSトランジスタと、前記第1のMOSトランジスタと同伝導型で且つ第1のMOSトランジスタのドレイン端子に、バルク端子が接続された第2のMOSトランジスタと、前記第1のMOSトランジスタのドレイン端子に接続され、当該第1のMOSトランジスタに電流を供給する電流源とを備え、前記第1のMOSトランジスタのソース端子は、電源端子に電気的に接続され、前記第1のMOSトランジスタのドレイン端子及び前記第2のMOSトランジスタのバルク端子は、当該第1のMOSトランジスタのしきい値電圧に応じた電位を有することを特徴とする。

この構成によれば、被制御側の第2のMOSトランジスタに、バルク電位制御用の第1

10

20

30

40

50

のMOSトランジスタのしきい値電圧に応じたバルク電位を与えることで、第2のMOSトランジスタのしきい値電圧の絶対値の調整及びしきい値電圧のばらつき幅の低減が可能となる。

【0008】

また、本発明の請求項2による半導体回路は、請求項1において、前記第1のMOSトランジスタと同様にゲート端子とドレイン端子が短絡されたMOSトランジスタを、前記第1のMOSトランジスタのソース端子と前記電源端子との間に複数個接続したことを特徴とする。

ここで、電源端子は、前記第1のMOSトランジスタがn型MOSトランジスタの場合にはアースの端子であり、p型MOSトランジスタの場合には正電源の端子である。

10

この構成によれば、第2のMOSトランジスタのしきい値電圧の絶対値及びばらつき幅の低減効果が小さすぎて所望のものでない場合に、その効果を増大させることができる。

【0009】

また、本発明の請求項3による半導体回路は、ゲート端子とドレイン端子が短絡され、バルク端子とソース端子とに同電位が供給される第1のMOSトランジスタと、接地電位、電源電位、接地電位と電源電位との任意の分割電位、電源電位に依存しない任意の固定電位、前記第1のMOSトランジスタのソース電位の何れか1つの電位と、前記第1のMOSトランジスタのドレイン端子の電位とを分割するように接続された分割抵抗器と、前記第1のMOSトランジスタと同伝導型であって前記分割抵抗器の分割電位の出力端子に接続されたバルク端子を有する第2のMOSトランジスタと、前記第1のMOSトランジスタのドレイン端子に接続され、当該第1のMOSトランジスタに電流を供給する電流源と、を備え、前記第1のMOSトランジスタのソース端子は、電源端子に電氣的に接続されることを特徴とする。

20

【0010】

この構成によれば、分割抵抗器によって第2のMOSトランジスタのバルク端子の電位を、第1のMOSトランジスタのしきい値電圧を任意の割合に減じた電位に応じた電位とすることができるので、第2のMOSトランジスタのしきい値電圧の絶対値及びばらつき幅の低減効果が大きすぎ所望のものでない場合に、その効果を減少させることができる。

【0011】

また、本発明の請求項4による半導体回路は、請求項3において、前記第1のMOSトランジスタと同様にゲート端子とドレイン端子が短絡されたMOSトランジスタを、前記第1のMOSトランジスタのソース端子と前記電源端子との間に複数個接続したことを特徴とする。

30

ここで、電源端子は、前記第1のMOSトランジスタがn型MOSトランジスタの場合にはアースの端子であり、p型MOSトランジスタの場合には正電源の端子である。

この構成によれば、第2のMOSトランジスタのしきい値電圧の絶対値及びばらつき幅の低減効果が小さすぎて所望のものでない場合に、その効果を増大させることができる。

【0012】

また、本発明の請求項5による半導体回路は、請求項1から4の何れか1項において、前記第1のMOSトランジスタのドレイン端子及び前記第2のMOSトランジスタのバルク端子は、当該ドレイン端子及びバルク端子を同電位とする能動素子回路を介して接続されていることを特徴とする。

40

この構成によれば、第1のMOSトランジスタのドレイン端子と、第2のMOSトランジスタのバルク端子との双方の端子を、安定的に同電位(第1のMOSトランジスタのしきい値電圧)とすることができる。

【0013】

また、本発明の請求項6による半導体回路は、請求項1から5の何れか1項において、前記第2のMOSトランジスタを、当該第2のMOSトランジスタを複数個用い、これらトランジスタ群のバルク端子を前記第1のトランジスタのドレイン端子に接続し、当該第2のトランジスタ群のソース端子同士を接続したことを特徴とする。

50

この構成のように、バルク電位制御が行なわれるトランジスタが複数接続されたトランジスタ群であっても、しきい値電圧の低減効果を調整することが可能なので、低電圧電源であっても動作マージンを得ることができる。

【0014】

また、本発明の請求項7による半導体回路は、請求項1から5の何れか1項において、前記第2のMOSトランジスタを、当該第2のMOSトランジスタを2個用い、互いのバルク端子及びソース端子をそれぞれ結合し、各バルク端子を前記第1のMOSトランジスタのドレイン端子に接続し、各ソース端子を第2の電流源を介して前記電源端子に接続した差動増幅回路構成としたことを特徴とする。

【0015】

ここで、電源端子は、前記第1のMOSトランジスタがn型MOSトランジスタの場合にはアースの端子であり、p型MOSトランジスタの場合には正電源の端子である。

この構成によれば、第1のMOSトランジスタによる被バルク電位制御対象のMOSトランジスタが差動増幅回路構成とされていても、しきい値電圧の低減効果を調整することが可能なので、その差動増幅回路を低電圧電源での動作に有利な回路とすることができる。

【0016】

また、本発明の請求項8による半導体回路は、請求項6において、前記トランジスタ群のゲート端子を互いに接続し、これら接続されたゲート端子に当該トランジスタ群の何れか1つのトランジスタのドレイン端子を接続し、この接続点を第3の電流源を介して前記電源端子に接続した電流ミラー回路構成としたことを特徴とする。

ここで、電源端子は、前記第1のMOSトランジスタがn型MOSトランジスタの場合には正電源の端子であり、p型MOSトランジスタの場合にはアースの端子である。

この構成によれば、第1のMOSトランジスタによる被バルク電位制御対象のMOSトランジスタが電流ミラー回路構成とされていても、しきい値電圧の低減効果を調整することが可能なので、その電流ミラー回路を低電圧電源での動作に有利な回路とすることができる。

【0017】

また、本発明の請求項9による半導体回路は、請求項1から5の何れか1項において、前記第2のMOSトランジスタのソース端子を第4の電流源を介して前記電源端子に接続したソースフォロワ回路構成としたことを特徴とする。

ここで、電源端子は、前記第1のMOSトランジスタがn型MOSトランジスタの場合にはアースの端子であり、p型MOSトランジスタの場合には正電源の端子である。

この構成によれば、第2のトランジスタのドレイン-ソース間に第4の電流源にて所定電流を流すことで、ゲート端子に入力される信号及び第2のMOSトランジスタのしきい値電圧に応じてソース端子から任意の電圧を出力することができるが、第2のMOSトランジスタのしきい値電圧の調整を行うことで、そのソースフォロワ回路を低電圧電源での動作に有利な回路とすることができる。

【発明の効果】

【0018】

以上説明したように本発明によれば、簡単なバルク電位制御の回路構成で回路面積の増大を防ぐことができ、MOSトランジスタのしきい値電圧の絶対値を調整できると共にしきい値電圧のばらつき幅を低減させることができ、安定した低電圧動作を行うことができるという効果がある。

【発明を実施するための最良の形態】

【0019】

以下、本発明の実施の形態を、図面を参照して説明する。但し、本明細書中の全図において相互に対応する部分には同一符号を付し、重複部分においては後述での説明を適時省略する。

また、以下の説明に使用する文字記号の意味は次のとおりである。

10

20

30

40

50

V_{gs} : ゲート - ソース間電圧
 V_g : 接地電位 V_{SS} 基準のゲート電位
 V_{bs} : ソース - バルク間電圧
 V_b : 接地電位 V_{SS} 基準のバルク電位
 V_s : 接地電位 V_{SS} 基準のソース電位
 V_{th} : 動作時のしきい値電圧
 V_T : $V_{bs} = 0$ 時のしきい値電圧
 I_{ds} : ドレイン電流
 W : トランジスタのゲート長
 L : トランジスタのゲート幅

10

【0020】

更に、以下の説明に用いる文字記号中の添数字 i は、 i 番目のトランジスタ T_i に関する文字記号である事を示す。例えば V_{b2} , V_{bs2} , V_{gs2} などは、それぞれトランジスタ T_2 のバルク電位、ソース - バルク間電圧、ゲート - ソース間電圧である事を示す。なお、説明には全て n 型 MOS トランジスタを使用するが、アース V_{SS} を電源 V_{DD} に、電源 V_{DD} をアース V_{SS} に代える事で p 型 MOS トランジスタを用いた回路も構成可能である。

【0021】

(第1の実施の形態)

図1は、本発明の第1の実施の形態に係る半導体回路の構成を示す回路図である。

20

この半導体回路におけるしきい値電圧の調整について説明する。本半導体回路は、MOS トランジスタ(単に、トランジスタとも略す) T_1 及び電流源 I_a を有するバルク電位制御回路11と、トランジスタ T_2 による被バルク電位制御 MOS トランジスタ(被制御トランジスタとも略す)10と備えて構成されている。

トランジスタ T_1 のゲート端子 g 及びドレイン端子 d と、トランジスタ T_2 のバルク端子 b とは電流源 I_a に接続されており、トランジスタ T_1 のソース端子はソース電源 V_S に接続されている。

【0022】

一般にトランジスタのしきい値電圧は、 $V_{th} = k (2 \phi_F + V_{bs}) + V_{FB} + 2 \phi_F$ の式で表される。ここで k : 基板定数、 ϕ_F : フェルミポテンシャル、 V_{bs} : ソース - バルク間電圧、 V_{FB} : フラットバンド電圧である。

30

これをグラフに表すと図2のようになるが、ソース - バルク間電圧 V_{bs} のある領域に限ればおよそ直線近似で表す事ができ、破線で示すように動作時のしきい値電圧 $V_{th} = V_T + V_{bs}$ (: 直線近似時の基板係数) となる。

【0023】

MOS が飽和領域で動作している場合、ドレイン電流 I_{ds} とゲート - ソース間電圧 V_{gs} との間には、 $I_{ds} = K \times (W/L) \times (V_{gs} - V_{th})^2$ が成り立つ。 K : 飽和領域でのゲインファクターである。

このことから、電流源 I_a から供給されるトランジスタ T_1 のドレイン電流を I_{ds1} とすると、 $I_{ds1} = K \times (W_1/L_1) \times (V_{gs1} - V_{T1})^2$ であり、トランジスタ T_1 のゲート電位は $V_{g1} = V_{gs1} = V_{T1} + \{ I_{ds1} / (K \times W_1/L_1) \}$ のようになる。

40

【0024】

ここで $\{ I_{ds1} / (K \times W_1/L_1) \} = 1$ と置くと、トランジスタ T_2 のバルク端子 b はトランジスタ T_1 のゲート端子 g に接続されていることから、トランジスタ T_2 のバルク電位は $V_{b2} = V_{g1} = V_{T1} + 1$ であり、トランジスタ T_2 のソース - バルク間電圧は $V_{bs2} = V_{s2} - (V_{T1} + 1)$ となる。

トランジスタ T_2 のしきい値電圧 V_{th2} は、 $V_{th} = V_T + V_{bs}$ に従ってソース - バルク間電圧 V_{bs} により変化し、 $V_{th2} = V_{T2} + V_{bs2} = V_{T2} + (V_{s2} - V_{T1} - 1)$ となる。

50

【0025】

ここでトランジスタ T_1 及び T_2 を $V_{T1} = V_{T2}$ となるように選択すると、 $V_{th2} = (1 - \alpha) \times V_{T2} + \alpha \times (V_{s2} - V_{T1})$ となり、 $|1 - \alpha| < 1$ であればトランジスタ T_1 によるバルク電位制御により、トランジスタ T_2 の動作時のしきい値電圧 V_{th} の絶対値及びばらつき幅は、 $V_{bs} = 0$ の時のしきい値電圧 V_T に対して減じられたものとなる。

【0026】

このように第1の実施の形態の半導体回路によれば、被制御側のMOSトランジスタ T_2 に、バルク電位制御用のMOSトランジスタ T_1 のしきい値電圧 V_T に応じたバルク電位を与えることで、MOSトランジスタ T_2 のしきい値電圧 V_{th} の絶対値及びしきい値電圧のばらつき幅の双方を低減させることができる。

10

【0027】

(第2の実施の形態)

図3は、本発明の第2の実施の形態に係る半導体回路の構成を示す回路図である。

この半導体回路におけるしきい値電圧の調整について説明する。本半導体回路は、MOSトランジスタ T_3 、 T_4 及び電流源 I_b を有するバルク電位制御回路31と、トランジスタ T_5 による被制御トランジスタ30とを備えて構成されている。

トランジスタ T_3 及び T_4 は各々自体のゲート端子 g 及びドレイン端子 d が短絡されており(ダイオード接続)、トランジスタ T_3 のドレイン端子 d は電流源 I_b に接続され、トランジスタ T_4 のソース端子 s は V_{SS} に接地されている。

20

【0028】

更に、トランジスタ T_3 のソース端子 s とトランジスタ T_4 のドレイン端子 d は直接接続されるか、もしくはトランジスタのしきい値電圧の総和が電源電圧を超えない範囲で両者の間に図示せぬダイオード接続型トランジスタを複数挿入することが可能である。図3に直列に n 個接続された状態を示した。トランジスタ T_5 のバルク端子 b はトランジスタ T_3 のドレイン端子 d と接続されている。

電流源 I_b 及び n 個の直列接続されたダイオード接続型トランジスタ T_3, \dots, T_4 の回路がバルク電位制御回路31であり、トランジスタ T_5 が被バルク電位制御MOSトランジスタ30である。

【0029】

n 個の直列接続されたダイオード接続型トランジスタ T_3, \dots, T_4 は、全て同じサイズ W_3, L_3 及びしきい値電圧 V_{T3} であり、直列接続され且つドレイン電流も等しいことからトランジスタ T_3 のゲート電位は $V_{g3} = n \times (V_{T3} + V_{th3})$ となる。但し、 $V_{th3} = \{I_{ds3} / (K \times W_3 / L_3)\}$ 。よってトランジスタ T_5 のソース-バルク間電圧 $V_{bs5} = V_{s5} - n \times (V_{T3} + V_{th3})$ となる。

30

【0030】

また、 $V_{th5} = V_{T5} + V_{bs5} = V_{T5} + \{V_{s5} - n \times (V_{T3} + V_{th3})\}$ であるが、トランジスタ T_3 及び T_5 を $V_{T3} = V_{T5}$ となるように選択すると、 $V_{th5} = (1 - \alpha \times n) \times V_{T5} + \alpha \times (V_{s5} - n \times V_{th3})$ となる。

このように第2の実施の形態の半導体回路によれば、上記第1の実施の形態で得られるしきい値電圧の絶対値及びばらつき幅の低減効果が小さすぎて所望のものでない場合、その効果を増大させることができる。

40

【0031】

(第3の実施の形態)

図4は、本発明の第3の実施の形態に係る半導体回路の構成を示す回路図である。

この半導体回路におけるしきい値電圧の調整について説明する。本半導体回路は、MOSトランジスタ T_6 と、電流源 I_c と、抵抗器 R_a 及び R_b とを有するバルク電位制御回路41と、トランジスタ T_7 による被制御トランジスタ40とを備えて構成されている。

【0032】

トランジスタ T_6 のゲート端子 g 、ドレイン端子 d は電流源 I_a に接続されており、ト

50

ランジスタ T 6 のソース端子 s は V S S に接続されている。抵抗器 R a 及び R b は互いに直列に接続され、抵抗器 R a の他方の端子はトランジスタ T 6 のゲート端子 g に接続され、抵抗器 R b の他方の端子は V S S に接続されており、抵抗器 R a ・ R b 間の接続部分はトランジスタ T 7 のバルク端子 b に接続され、当該接続部分はトランジスタ T 6 のゲート端子 g の電位を分割した電位を出力している。

【 0 0 3 3 】

トランジスタ T 6 のゲート電位は、上記第 1 の実施の形態と同様に $V_{g6} = V_{T6} + \frac{I_{ds6}}{K \times W6 / L6}$ となる。ただし $\frac{I_{ds6}}{K \times W6 / L6} = \{ I_{ds6} / (K \times W6 / L6) \}$ 。抵抗器 R a 及び R b の抵抗分割によりトランジスタ T 7 のバルク電位は $V_{b7} = R_b / (R_a + R_b) \times (V_{T6} + \frac{I_{ds6}}{K \times W6 / L6})$ となり、ソース - バルク間電圧 $V_{bs7} = V_{s7} - R_b / (R_a + R_b) \times (V_{T6} + \frac{I_{ds6}}{K \times W6 / L6})$ となる。

10

$V_{th7} = V_{T7} + \frac{I_{ds7}}{K \times W7 / L7}$ 、 $V_{bs7} = V_{T7} + \{ V_{s7} - R_b / (R_a + R_b) \times (V_{T6} + \frac{I_{ds6}}{K \times W6 / L6}) \}$ であるが、トランジスタ T 6 及び T 7 を $V_{T6} = V_{T7}$ となるように選択すると、 $V_{th7} = \{ 1 - \frac{R_b}{R_a + R_b} \} \times V_{T7} + \{ V_{s7} - R_b / (R_a + R_b) \times \frac{I_{ds6}}{K \times W6 / L6} \}$ となる。

【 0 0 3 4 】

このように第 3 の実施の形態の半導体回路によれば、上記第 1 の実施の形態で得られるしきい値電圧の絶対値及びばらつき幅の低減効果が大きすぎ所望のものでない場合、その効果を減少させることができる。

但し、上記では抵抗器 R a 及び R b の互いの接続端子以外の他の端子は、トランジスタ T 6 のドレイン端子 d と、V S S との間に接続したが、この他に、同ドレイン端子 d と、電源電位、接地電位と電源電位との任意の分割電位、任意の固定電位の何れか 1 つの電位を有する端子との間に接続してもよい。

20

【 0 0 3 5 】

(第 4 の実施の形態)

図 5 は、本発明の第 4 の実施の形態に係る半導体回路の構成を示す回路図である。

この半導体回路におけるしきい値電圧の調整について説明する。本半導体回路は、M O S トランジスタ T 8 と、電流源 I d と、抵抗器 R c 及び R d とを有するバルク電位制御回路 5 1 と、トランジスタ T 9 による被制御トランジスタ 5 0 とを備えて構成されている。

トランジスタ T 8 のゲート端子 g はドレイン端子 d に短絡されており、ドレイン端子 d は電流源 I d に接続され、ソース端子 s は V S S に接地されている。

30

【 0 0 3 6 】

抵抗器 R c 及び R d は直列に接続されており、抵抗器 R c の他方の端子は電源電圧 V D D に、抵抗器 R d の他方の端子はトランジスタ T 8 のドレイン端子 d にそれぞれ接続され、抵抗器 R c ・ R d 間の端子は電源電圧 V D D とトランジスタ T 8 のゲート端子の電位を分割した電位を出力している。トランジスタ T 9 のバルク端子 b は抵抗器 R c ・ R d 間の端子と接続されている。

【 0 0 3 7 】

トランジスタ T 8 のゲート電位は、上記第 1 の実施の形態と同様に $V_{g8} = V_{T8} + \frac{I_{ds8}}{K \times W8 / L8}$ となる。但し、 $\frac{I_{ds8}}{K \times W8 / L8} = \{ I_{ds8} / (K \times W8 / L8) \}$ 。抵抗器 R c 及び R d による抵抗分割によりトランジスタ T 9 のバルク電位は $V_{b9} = R_c / (R_c + R_d) \times (V_{T8} + \frac{I_{ds8}}{K \times W8 / L8}) + R_d / (R_c + R_d) \times V_{DD}$ となり、ソース - バルク間電圧は $V_{bs9} = V_{s9} - R_c / (R_c + R_d) \times (V_{T8} + \frac{I_{ds8}}{K \times W8 / L8}) - R_d / (R_c + R_d) \times V_{DD}$ となる。

40

【 0 0 3 8 】

$V_{th9} = V_{T9} + \frac{I_{ds9}}{K \times W9 / L9}$ 、 $V_{bs9} = V_{T9} + \{ V_{s9} - R_c / (R_c + R_d) \times (V_{T8} + \frac{I_{ds8}}{K \times W8 / L8}) - R_d / (R_c + R_d) \times V_{DD} \}$ であるが、トランジスタ T 8 及び T 9 を $V_{T8} = V_{T9}$ となるように選択すると、 $V_{th9} = \{ 1 - \frac{R_c}{R_c + R_d} \} \times V_{T9} + \{ V_{s9} - R_c / (R_c + R_d) \times \frac{I_{ds8}}{K \times W8 / L8} - R_d / (R_c + R_d) \times V_{DD} \}$ となる。

50

【 0 0 3 9 】

抵抗器 R_c の端子に接続されている電源電圧 V_{DD} は、 V_{DD} と V_{SS} の任意の分割電位、電源電圧に依存しない固定電位でもよく、参照する電位を変える事で、しきい値電圧 V_{th9} には V_{T9} に依存しない任意のオフセット量をもたせることができる。

このように第 4 の実施の形態の半導体回路によれば、上記第 1 の実施の形態で得られるしきい値電圧の絶対値及びばらつき幅の低減効果が所望のものでない場合、その効果を調整することができる。

【 0 0 4 0 】

(第 5 の実施の形態)

図 6 は、本発明の第 5 の実施の形態に係る半導体回路の構成を示す回路図である。 10

この半導体回路におけるしきい値電圧の調整について説明する。本半導体回路は、MOS トランジスタ T_{10} 、 T_{11} と、電流源 I_e と、抵抗器 R_c 及び R_d とを有するバルク電位制御回路 61 と、トランジスタ T_{12} による被制御トランジスタ 60 とを備えて構成されている。

トランジスタ T_{10} 及び T_{11} は、各々自体のゲート端子 g 及びドレイン端子 d が短絡されており (ダイオード接続)、トランジスタ T_{10} のドレイン端子 d は電流源 I_e に接続され、トランジスタ T_{11} のソース端子 s は V_{SS} に接地されている。

【 0 0 4 1 】

更に、トランジスタ T_{10} のソース端子 s とトランジスタ T_{11} のドレイン端子 d は直接接続されるか、もしくは電源電圧を超えない範囲で両者の間に同様のダイオード接続型トランジスタを複数挿入することが可能である。図 6 に直列に n 個接続された状態を示した。 20

抵抗器 R_e 及び R_f は互いに直列に接続され、抵抗器 R_e の他方の端子はトランジスタ T_{10} のゲート端子に接続され、抵抗器 R_f の他方の端子は V_{SS} に接続されており、抵抗器 $R_e \cdot R_f$ 間の接続部分はトランジスタ T_{10} のゲート端子の電位を分割した電位を出力している。トランジスタ T_{12} のバルク端子 b は抵抗器 $R_e \cdot R_f$ 間の接続部分と接続されている。

【 0 0 4 2 】

n 個の直列接続されたダイオード接続型トランジスタは全て同じサイズ W_{10} 、 L_{10} 及びしきい値電圧 V_{T10} であり、直列接続されドレイン電流も等しいことからトランジスタ T_{10} のゲート電位は $V_{g10} = n \times (V_{T10} + \quad 10)$ となる。 30

但し、 $\quad 10 = \{ I_{ds10} / (K \times W_{10} / L_{10}) \}$ 。抵抗器 R_e 及び R_f の抵抗分割によりトランジスタ T_{12} のバルク電位は $V_{b12} = n \times R_f / (R_e + R_f) \times (V_{T10} + \quad 10)$ となり、ソース - バルク間電圧は $V_{bs12} = V_{s12} - n \times R_f / (R_e + R_f) \times (V_{T10} + \quad 10)$ となる。

【 0 0 4 3 】

$V_{th12} = V_{T12} + \quad V_{bs12} = V_{T12} + \{ V_{s12} - n \times R_f / (R_e + R_f) \times (V_{T10} + \quad 10) \}$ であるが、トランジスタ T_{10} 及び T_{12} を $V_{T10} = V_{T12}$ となるように選択すると、 $V_{th12} = \{ 1 - \quad \times n \times R_f / (R_e + R_f) \} \times V_{T12} + \{ V_{s12} - n \times R_f / (R_e + R_f) \times \quad 10 \}$ となる。 40

また、本実施の形態についても上記第 3 の実施の形態で述べたように、抵抗器の接続先を接地電位 V_{SS} から電源電圧 V_{DD} 、もしくは V_{DD} と V_{SS} の任意の分割電位、電源電圧に依存しない固定電位の何れかに変更してもよく、このように参照する電位を変える事で、しきい値電圧 V_{th12} には V_{T12} に依存しない任意のオフセット量をもたせることができる。

このように第 5 の実施の形態の半導体回路によれば、上記第 1 の実施の形態で得られるしきい値電圧の絶対値及びばらつき幅の低減効果が大き過ぎるもしくは小さ過ぎるなど所望のものでない場合、その効果を調整することができる。

【 0 0 4 4 】

(第 6 の実施の形態)

図7は、本発明の第6の実施の形態に係る半導体回路の構成を示す回路図である。

この半導体回路におけるしきい値電圧の調整について説明する。本半導体回路は、MOSトランジスタT13及び電流源Ifを有するバルク電位制御回路71と、トランジスタT14, T15, T16による被制御トランジスタ70とを備えて構成されている。

トランジスタT13及び電流源Ifは、それぞれ図1に示したトランジスタT1及び電流源Iaに該当し、トランジスタT14、T15及びT16は図1のトランジスタT2に該当しており、同じ回路構成となっている。異なる個所は、トランジスタT14、T15及びT16のソース端子がVSSに接地されていることである。

【0045】

上記第1の実施の形態で説明したように $V_{s2} = 0$ に当たるため、トランジスタT14、T15及びT16の V_T が等しければ、しきい値電圧も等しく $V_{th14}, 15, 16 = (1 - \beta) \times V_{T14} - \beta \times I_{f3}$ となり、 $|1 - \beta| < 1$ であればしきい値電圧の絶対値及びばらつき幅を減ずる事ができる。

10

また、トランジスタT13及び電流源Ifで構成されるバルク電位制御回路71は、図4に示したバルク電位制御回路41でもよく、しきい値電圧の低減効果を調整することが可能である。

【0046】

これらのことから、第6の実施の形態の半導体回路によれば、デジタル回路等が低電圧電源であっても、動作マージンを得ることができる。

上述のように、第1～第6の実施の形態の半導体回路においては、バルク電位制御回路を付加していない半導体回路に比べ、低電源電圧時の動作マージンを持たせることができる。

20

また、従来技術に比べ構成が簡便で回路面積を小さくすることができ、低電圧動作に向くので安定した低電圧動作を行うことができ、しきい値電圧 V_{th} の変動に対して連続的に制御がかかり、使用可能な半導体回路の範囲が広がるなどの効果がある。

【0047】

(第7の実施の形態)

図8は、本発明の第7の実施の形態に係る被制御トランジスタが差動増幅回路である場合の半導体回路の構成を示す回路図である。

本半導体回路は、MOSトランジスタT17及び電流源Igを有するバルク電位制御回路81と、差動対のトランジスタT18, T19による被制御トランジスタ80と、電流源Ihとを備えて構成されている。トランジスタT17及び電流源Igはそれぞれ図1のトランジスタT1及び電流源Iaに該当し、同じ回路構成となっている。

30

差動対のトランジスタT18, T19は、互いのバルク端子b及びソース端子sがそれぞれ結合されており、それらのバルク端子bがトランジスタT17のゲート端子gに接続され、ソース端子sが電流源Ihを介してVSSに接続されている。

【0048】

入力電圧を V_{in} とすると、差動対の一方のトランジスタT18に流れるドレイン電流は、飽和領域下において $I_{ds18} = K \times W_{18} / L_{18} \times (V_{in} - V_{s18} - V_{th18})^2$ となる。よって $V_{s18} = V_{in} - V_{th18} - \sqrt{I_{ds18} / (K \times W_{18} / L_{18})}$ である。

40

また、差動対のトランジスタT18, T19を $V_{T17} = V_{T18}$ となるように選択すると、 $V_{th18} = V_{T18} + \sqrt{(V_{s18} - V_{T18} - V_{T17})^2}$ であり、しきい値電圧 V_{th18} が減じるとソース電位 V_{s18} が上がり、更にしきい値電圧 V_{th18} が減じる事になる。この結果、 $V_{th18} = (1 - \beta) / (1 + \beta) \times V_{T18} + \sqrt{\beta / (1 + \beta)} \times (V_{in} - V_{s18} - V_{T17})$ となり、しきい値電圧のばらつき幅を特に抑制することができる。

【0049】

また、トランジスタT17及び電流源Igで構成されるバルク電位制御回路81は、図4に示したバルク電位制御回路41でもよく、しきい値電圧の低減効果を調整することが可能である。

50

従って、第7の実施の形態の半導体回路によれば、差動増幅回路を低電圧電源での動作に有利な回路とすることができる。

【0050】

(第8の実施の形態)

図9は、本発明の第8の実施の形態に係る被制御トランジスタが電流ミラー回路である場合の半導体回路の構成を示す回路図である。

本半導体回路は、MOSトランジスタT20及び電流源Iiを有するバルク電位制御回路91と、一対のトランジスタT21, T22による被制御トランジスタ90と、電流源Ijとを備えて構成されている。トランジスタT20及び電流源Iiはそれぞれ図1のトランジスタT1及び電流源Iaに該当し、同じ回路構成となっている。

10

【0051】

一対のトランジスタT21, T22は、互いのゲート端子gが接続され、これらゲート端子gが一方のトランジスタT21のドレイン端子dと共に電流源Ijを介して電源VDDに接続され、また、互いのバルク端子bがトランジスタT20のゲート端子gに接続され、更に、互いのソース端子sがVSSに接地されており、即ち、電流ミラー回路構成とされている。

【0052】

飽和領域下であればトランジスタT21及びT22に流れる電流量 I_{ds21} 及び I_{ds22} は等しくなるが、 $V_{ds21} = V_{th21} + \sqrt{2} I_{ds21} / \mu_n C_{ox} (W/L) = (1 - \alpha) \times V_{T21} - \alpha \times V_{T20} + \sqrt{2} I_{ds21} / \mu_n C_{ox} (W/L)$ であることから、 $|1 - \alpha| < 1$ であればしきい値電圧の絶対値及びばらつき幅を減ずる事ができる。

20

また、トランジスタT20及び電流源Iiで構成されるバルク電位制御回路91は、図4に示したバルク電位制御回路41でもよく、しきい値電圧の低減効果を調整することが可能である。

従って、第8の実施の形態の半導体回路によれば、電流ミラー回路を低電圧電源での動作に有利な回路とすることができる。

【0053】

(第9の実施の形態)

図10は、本発明の第9の実施の形態に係る被制御トランジスタがソースフォロワ回路である場合の半導体回路の構成を示す回路図である。

30

本半導体回路は、MOSトランジスタT23及び電流源Ikを有するバルク電位制御回路101と、トランジスタT24による被制御トランジスタ90と、電流源Ilとを備えて構成されている。トランジスタT23及び電流源Ilはそれぞれ図1のトランジスタT1及び電流源Iaに該当し、同じ回路構成となっている。

トランジスタT24のソース端子は、電流源Ilを介してVSSに接地されることによってソースフォロワ回路構成とされている。

【0054】

トランジスタT24が飽和領域下で動作している場合、ソース電位 V_{s24} はゲート電位 V_g よりしきい値電圧 V_{th24} 以上低くなるので、バルク電位制御回路101を付加してない場合に比べてソース電位 V_{s24} を大きくすることができ、低電圧動作に有利なソースフォロワ回路100となる。

40

また、トランジスタT23及び電流源Ikで構成されるバルク電位制御回路101は、図4に示したバルク電位制御回路41でもよく、しきい値電圧の低減効果を調整することが可能である。

【図面の簡単な説明】

【0055】

【図1】本発明の実施の形態に係る半導体回路の構成を示す回路図である。

【図2】本発明の実施の形態に係る半導体回路の構成を示す回路図である。

【図3】本発明の実施の形態に係る半導体回路の構成を示す回路図である。

【図4】本発明の実施の形態に係る半導体回路の構成を示す回路図である。

50

【図5】本発明の実施の形態に係る半導体回路の構成を示す回路図である。

【図6】本発明の実施の形態に係る半導体回路の構成を示す回路図である。

【図7】本発明の実施の形態に係る半導体回路の構成を示す回路図である。

【図8】本発明の第7の実施の形態に係る被制御トランジスタが差動増幅回路である場合の半導体回路の構成を示す回路図である。

【図9】本発明の第8の実施の形態に係る被制御トランジスタが電流ミラー回路である場合の半導体回路の構成を示す回路図である。

【図10】本発明の第9の実施の形態に係る被制御トランジスタがソースフォロワ回路である場合の半導体回路の構成を示す回路図である。

【符号の説明】

10

【0056】

10, 30, 40, 50, 60, 70, 80, 90, 100 被バルク電位制御MOSトランジスタ(被制御トランジスタ)

11, 31, 41, 51, 61, 71, 81, 91, 101 バルク電位制御回路

T1, T3, T4, T6, T8, T10, T11, T13, T17, T20, T23

バルク電位制御側のMOSトランジスタ

T2, T5, T7, T9, T12, T14, T15, T16, T18, T19, T21

, T22, T24 被バルク電位制御側のMOSトランジスタ

Ra, Rb, Rc, Rd, Re, Rf 抵抗器

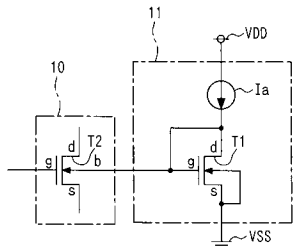
Ia, Ib, Ic, Id, Ie, If, Ig, Ih, Ii, Ij, Ik, Il 電流源

20

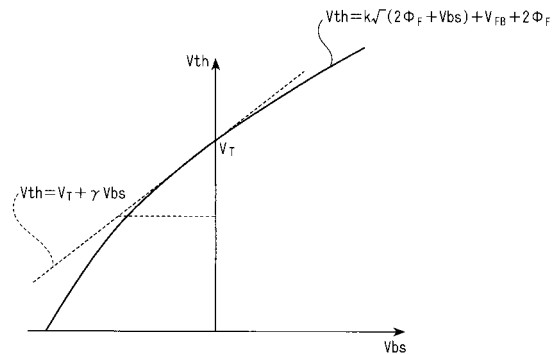
VDD 電源

VSS アース

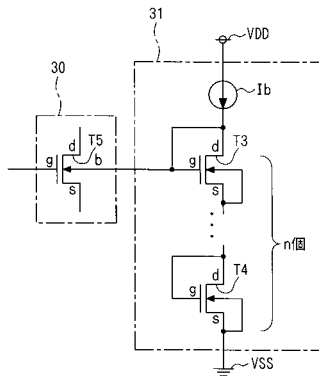
【図1】



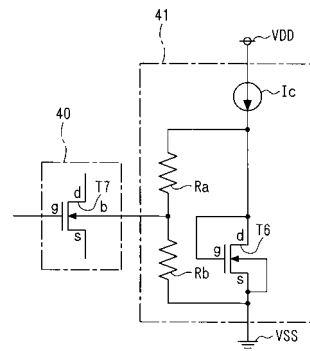
【図2】



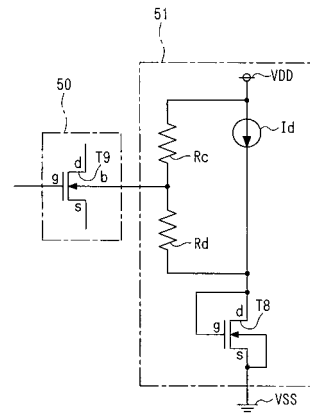
【 図 3 】



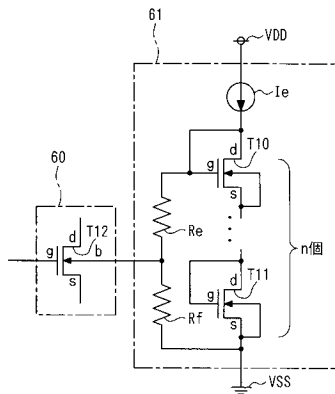
【 図 4 】



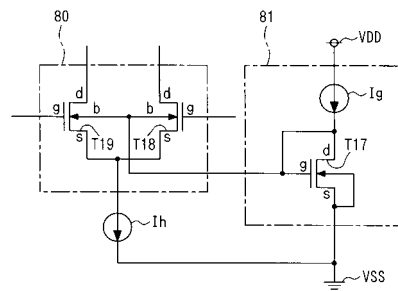
【 図 5 】



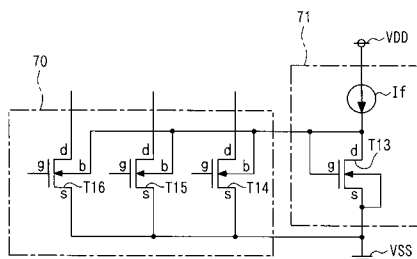
【 図 6 】



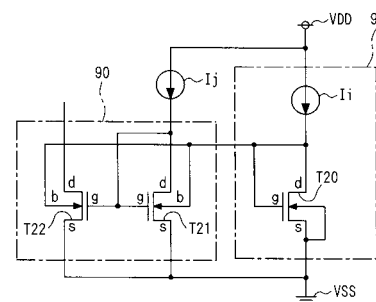
【 図 8 】



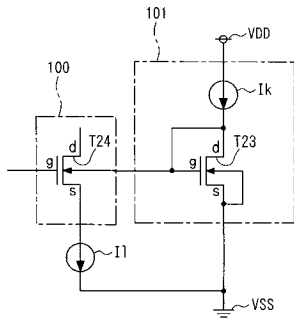
【 図 7 】



【 図 9 】



【図10】



フロントページの続き

(56)参考文献 国際公開第2004/077673(WO, A1)

特開2001-203568(JP, A)

特開平11-122047(JP, A)

特開2004-165649(JP, A)

特開平06-324753(JP, A)

特開平09-129831(JP, A)

特開昭60-253254(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00 - 17/70

H03K 19/094

H01L 27/04