

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6574744号
(P6574744)

(45) 発行日 令和1年9月11日(2019.9.11)

(24) 登録日 令和1年8月23日(2019.8.23)

(51) Int.Cl.	F I
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 2 C
H O 1 L 29/12 (2006.01)	H O 1 L 29/78 6 5 3 C
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 5 2 K
H O 1 L 29/739 (2006.01)	H O 1 L 29/78 6 5 2 J
H O 1 L 29/06 (2006.01)	H O 1 L 29/78 6 5 2 T
請求項の数 4 (全 51 頁) 最終頁に続く	

(21) 出願番号	特願2016-182065 (P2016-182065)	(73) 特許権者	000003078
(22) 出願日	平成28年9月16日(2016.9.16)		株式会社東芝
(65) 公開番号	特開2018-46255 (P2018-46255A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成30年3月22日(2018.3.22)	(73) 特許権者	317011920
審査請求日	平成30年9月6日(2018.9.6)		東芝デバイス&ストレージ株式会社
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100108062
			弁理士 日向寺 雅彦
		(72) 発明者	北川 光彦
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内
		審査官	柴垣 宙央
		最終頁に続く	

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電形の第1半導体領域と、
 前記第1半導体領域の上に設けられた第2導電形の第2半導体領域と、
 前記第2半導体領域の上に選択的に設けられた第1導電形の第3半導体領域と、
 前記第3半導体領域の上に設けられ、前記第2半導体領域および前記第3半導体領域と電気的に接続された第1電極と、
 前記第1半導体領域の上に設けられ、第1方向において前記第2半導体領域と離間した第2導電形の第4半導体領域と、
 前記第4半導体領域の上に選択的に設けられた第1導電形の第5半導体領域と、
 前記第5半導体領域の上に設けられ、前記第1電極と離間し、前記第4半導体領域および前記第5半導体領域と電気的に接続された第2電極と、
 前記第1半導体領域の上に設けられ、前記第1方向において第1ゲート絶縁層を介して前記第2半導体領域と対面する第1ゲート電極と、
 前記第4半導体領域と前記第1ゲート電極との間に設けられ、第2ゲート絶縁層を介して前記第4半導体領域と対面する第2ゲート電極と、
 前記第1半導体領域の下に設けられた第2導電形の第6半導体領域と、
 前記第6半導体領域の下に選択的に設けられた第1導電形の第7半導体領域と、
 前記第7半導体領域の下に設けられ、前記第6半導体領域および前記第7半導体領域と電気的に接続された第3電極と、

10

20

前記第 1 半導体領域の下に設けられ、前記第 1 方向において第 3 ゲート絶縁層を介して前記第 6 半導体領域と対面する第 3 ゲート電極と、
を備えた半導体装置。

【請求項 2】

前記第 1 半導体領域の下に設けられ、前記第 1 方向において前記第 6 半導体領域と離間した第 2 導電形の第 8 半導体領域と、

前記第 8 半導体領域の下に選択的に設けられた第 1 導電形の第 9 半導体領域と、

前記第 9 半導体領域の下に設けられ、前記第 3 電極と離間し、前記第 8 半導体領域および前記第 9 半導体領域と電氣的に接続された第 4 電極と、

前記第 8 半導体領域と前記第 3 ゲート電極との間に設けられ、第 4 ゲート絶縁層を介して前記第 8 半導体領域と対面する第 4 ゲート電極と、

をさらに備えた請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 半導体領域の上に設けられ、前記第 1 方向において、前記第 2 半導体領域と前記第 4 半導体領域との間に位置し、前記第 1 ゲート絶縁層および前記第 2 ゲート絶縁層を含む第 1 絶縁部と、

前記第 1 半導体領域の上に設けられ、前記第 1 方向において、前記第 1 絶縁部との間に前記第 2 半導体領域が位置する第 2 絶縁部と、

前記第 1 半導体領域の上に設けられ、前記第 1 方向において、前記第 1 絶縁部との間に前記第 4 半導体領域が位置する第 3 絶縁部と、

をさらに備え、

前記第 1 絶縁部の少なくとも一部と前記第 2 絶縁部の少なくとも一部との間の前記第 1 方向における距離は、 $1.0\ \mu\text{m}$ 以下であり、

前記第 1 絶縁部の少なくとも一部と前記第 3 絶縁部の少なくとも一部との間の前記第 1 方向における距離は、 $1.0\ \mu\text{m}$ 以下である請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 1 絶縁部の前記第 1 方向における長さは、前記第 1 絶縁部の少なくとも一部と前記第 2 絶縁部の少なくとも一部との間の前記距離の 2 倍以上であり、前記第 1 絶縁部の少なくとも一部と前記第 3 絶縁部の少なくとも一部との間の前記距離の 2 倍以上である請求項 3 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

近年、電力制御用の半導体装置として、MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor: 金属酸化物半導体電界効果トランジスタ) や、IGBT (insulated gate bipolar transistor: 絶縁ゲートバイポーラトランジスタ)、IEGT (Injection Enhanced Gate Transistor: 注入促進型絶縁ゲートトランジスタ) 等が用いられている。MOSFET は、キャリアとして電子および正孔のどちらか一方を用いるユニポーラ型の半導体装置であるため、通電方向にビルトインポテンシャルが存在しない。このため、IGBT や IEGT などのバイポーラ型の半導体装置に比べて、低い印加電圧でも通電させることができるものの、その通電能力は、バイポーラ型の半導体装置に劣る。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2008 - 300474 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 4 】

本発明が解決しようとする課題は、通電能力を向上できる半導体装置を提供することである。

【課題を解決するための手段】

【 0 0 0 5 】

実施形態に係る半導体装置は、第 1 導電形の第 1 半導体領域と、第 2 導電形の第 2 半導体領域と、第 1 導電形の第 3 半導体領域と、第 1 電極と、第 2 導電形の第 4 半導体領域と、第 1 導電形の第 5 半導体領域と、第 2 電極と、第 1 ゲート電極と、第 2 ゲート電極と、第 2 導電形の第 6 半導体領域と、第 1 導電形の第 7 半導体領域と、第 3 電極と、第 3 ゲート電極と、を有する。前記第 2 半導体領域は、前記第 1 半導体領域の上に設けられている。前記第 3 半導体領域は、前記第 2 半導体領域の上に選択的に設けられている。前記第 1 電極は、前記第 3 半導体領域の上に設けられ、前記第 2 半導体領域および前記第 3 半導体領域と電氣的に接続されている。前記第 4 半導体領域は、前記第 1 半導体領域の上に設けられ、第 1 方向において前記第 2 半導体領域と離間している。前記第 5 半導体領域は、前記第 4 半導体領域の上に選択的に設けられている。前記第 2 電極は、前記第 5 半導体領域の上に設けられ、前記第 1 電極と離間し、前記第 4 半導体領域および前記第 5 半導体領域と電氣的に接続されている。前記第 1 ゲート電極は、前記第 1 半導体領域の上に設けられ、前記第 1 方向において第 1 ゲート絶縁層を介して前記第 2 半導体領域と対面している。前記第 2 ゲート電極は、前記第 4 半導体領域と前記第 1 ゲート電極との間に設けられ、第 2 ゲート絶縁層を介して前記第 4 半導体領域と対面している。前記第 6 半導体領域は、前記第 1 半導体領域の下に設けられている。前記第 7 半導体領域は、前記第 6 半導体領域の下に選択的に設けられている。前記第 3 電極は、前記第 7 半導体領域の下に設けられ、前記第 6 半導体領域および前記第 7 半導体領域と電氣的に接続されている。前記第 3 ゲート電極は、前記第 1 半導体領域の下に設けられ、前記第 1 方向において第 3 ゲート絶縁層を介して前記第 6 半導体領域と対面している。

【図面の簡単な説明】

【 0 0 0 6 】

【図 1】第 1 実施形態に係る半導体装置の一部を表す斜視断面図である。

【図 2】M O S F E T の電流電圧特性を表すシミュレーション結果である。

【図 3】I E G T (I G B T) の電流電圧特性を表すシミュレーション結果である。

【図 4】第 1 実施形態に係る半導体装置の動作原理を表す概念図である。

【図 5】(a) 第 1 実施形態に係る半導体装置の一部を表す断面図である。(b) 第 1 実施形態に係る半導体装置と参考例に係る半導体装置における過剰キャリアの濃度を比較するグラフである。(c) 参考例に係る半導体装置の一部を表す断面図である。

【図 6】シミュレーションに用いた参考例に係る半導体装置の断面構造である。

【図 7】参考例に係る半導体装置のオン状態における正孔の分布を表すシミュレーション結果である。

【図 8】本実施形態に係る半導体装置のオン状態における正孔の分布を表すシミュレーション結果である。

【図 9】第 1 実施形態に係る半導体装置と参考例に係る半導体装置の通電特性を表すシミュレーション結果である。

【図 1 0】シミュレーションに用いた第 1 実施形態に係る半導体装置の断面構造である。

【図 1 1】第 1 実施形態に係る半導体装置において順方向および逆方向へ通電させた場合のオン状態における正孔の濃度を表すシミュレーション結果である。

【図 1 2】第 1 実施形態に係る半導体装置における双方向の通電特性を表すシミュレーション結果である。

【図 1 3】第 1 実施形態に係る半導体装置のターンオフ時のコレクタ電圧とコレクタ電流の変化を表すシミュレーション結果である。

【図 1 4】第 1 実施形態に係る半導体装置の静耐圧波形を表すシミュレーション結果である。

10

20

30

40

50

【図 15】第 1 実施形態に係る半導体装置の一部を表す斜視断面図である。
【図 16】第 1 実施形態の第 1 変形例に係る半導体装置の一部を表す斜視断面図である。
【図 17】第 1 実施形態の第 2 変形例に係る半導体装置の一部を表す斜視断面図である。
【図 18】第 1 実施形態の第 3 変形例に係る半導体装置の一部を表す斜視断面図である。
【図 19】第 1 実施形態の第 4 変形例に係る半導体装置の一部を表す斜視断面図である。
【図 20】第 1 実施形態の第 5 変形例に係る半導体装置の一部を表す斜視断面図である。
【図 21】第 1 実施形態に係る半導体装置の制御回路の一部を表す回路図である。
【図 22】第 1 実施形態に係る半導体装置の制御回路の一部を表す回路図である。
【図 23】第 1 実施形態の変形例に係る半導体装置の一部を表す斜視断面図である。
【図 24】第 2 実施形態に係る半導体装置の一部を表す斜視断面図である。
【図 25】第 2 実施形態に係る半導体装置の一部を表す斜視断面図である。
【図 26】第 2 実施形態に係る半導体装置の駆動方法の一例を表すフローチャートである

10

。【図 27】第 2 実施形態に係る半導体装置の駆動方法の一例を表すフローチャートである

。【図 28】第 2 実施形態に係る半導体装置の電流電圧特性の一例を表すグラフである。
【図 29】第 2 実施形態に係る半導体装置のターンオフ時の波形を表すシミュレーション結果である。

【図 30】参考例に係る半導体装置の断面構造と耐圧を表す図である。
【図 31】第 2 実施形態に係る半導体装置の断面構造と耐圧印加時の素子内部の電界を表す図である。

20

【図 32】第 2 実施形態に係る半導体装置の順方向と逆方向の耐圧波形を表すシミュレーション結果である。

【図 33】第 2 実施形態に係る半導体装置で実現可能な動作モードの例を表す図である。

【図 34】第 2 実施形態に係る半導体装置の応用例を表す断面図である。

【図 35】第 2 実施形態の変形例に係る半導体装置の一部を表す斜視断面図である。

【図 36】第 3 実施形態に係る半導体装置の一部を表す断面図である。

【図 37】第 3 実施形態の第 1 変形例に係る半導体装置の一部を表す断面図である。

【図 38】第 3 実施形態の第 2 変形例に係る半導体装置の一部を表す断面図である。

【図 39】第 3 実施形態の第 3 変形例に係る半導体装置の一部を表す断面図である。

30

【図 40】第 4 実施形態に係る半導体装置の一部を表す断面図である。

【図 41】第 4 実施形態の第 1 変形例に係る半導体装置の一部を表す断面図である。

【図 42】第 4 実施形態の第 2 変形例に係る半導体装置の一部を表す断面図である。

【図 43】第 4 実施形態の第 3 変形例に係る半導体装置の一部を表す断面図である。

【図 44】シミュレーションに用いた第 4 実施形態の第 3 変形例に係る半導体装置の一部を表す断面図である。

【図 45】図 44 に表す構造における電位分布を表すシミュレーション結果である。

【図 46】第 4 実施形態の第 4 変形例に係る半導体装置の一部を表す断面図である。

【図 47】第 4 実施形態の第 4 変形例に係る半導体装置の一部を表す断面図および各部の電界を表すグラフである。

40

【図 48】第 4 実施形態の第 4 変形例に係る半導体装置のシミュレーション結果である。

【図 49】第 4 実施形態の第 4 変形例に係る半導体装置のシミュレーション結果である。

【図 50】第 4 実施形態の第 4 変形例に係る半導体装置の耐圧波形を表すシミュレーション結果である。

【図 51】第 4 実施形態の第 5 変形例に係る半導体装置の一部を表す断面図である。

【図 52】第 4 実施形態の第 5 変形例に係る半導体装置のシミュレーション結果である。

【図 53】第 5 実施形態に係る半導体装置を表す平面図である。

【図 54】(a) 図 53 の A - A ' 断面図である。(b) 図 53 の B - B ' 断面図である

。【図 55】(a) 図 53 の C - C ' 断面図である。(b) 図 53 の D - D ' 断面図である

50

。

【発明を実施するための形態】

【0007】

以下に、本発明の各実施形態について図面を参照しつつ説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同じとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

また、本願明細書と各図において、既に説明したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

各実施形態の説明には、XYZ直交座標系を用いる。コレクタ電極90(90a)からエミッタ電極91(91a)に向かう方向をZ方向とし、Z方向に対して垂直であり相互に直交する2方向をX方向(第1方向)およびY方向とする。

以下の説明において、 n^{++} 、 n^{+} 、 n 、 n^{-} 及び p^{++} 、 p^{+} 、 p 、 p^{-} の表記は、各導電形における不純物濃度の相対的な高低を表す。すなわち、「+」が付されている表記は、「+」および「-」のいずれも付されていない表記よりも不純物濃度が相対的に高く、「-」が付されている表記は、いずれも付されていない表記よりも不純物濃度が相対的に低いことを示す。また、「+」が複数付されている表記は、その数が多くなるほど、不純物濃度が高いことを示している。

以下で説明する各実施形態について、各半導体領域のp形とn形を反転させて実施することも可能である。

【0008】

(第1実施形態)

図1は、第1実施形態に係る半導体装置100の一部を表す斜視断面図である。

なお、図1では、エミッタ電極91aおよび電流ゲート電極91bが透過して表されている。

【0009】

図1に表すように、半導体装置100は、 n^{++} 形コレクタ領域1と、n形バリア領域2と、 n^{-} 形半導体領域3と、n形バリア領域4aおよび4bと、p形ベース領域5aと、p形アノード領域5bと、 n^{++} 形コンタクト領域6aおよび6bと、 p^{++} 形コンタクト領域7aおよび7bと、ゲート電極10a、10b、11a、および11bと、ゲート絶縁層15a、15b、16a、および16bと、コレクタ電極90と、エミッタ電極91aと、電流ゲート電極91bと、を有する。

【0010】

半導体装置100の裏面には、コレクタ電極90が設けられている。 n^{++} 形コレクタ領域1は、コレクタ電極90の上に設けられ、コレクタ電極90と電氣的に接続されている。

n形バリア領域2は、 n^{++} 形コレクタ領域1の上に設けられている。

n^{-} 形半導体領域3は、n形バリア領域2の上に設けられている。

【0011】

n形バリア領域4aは、 n^{-} 形半導体領域3の一部の上に設けられている。

p形ベース領域5aは、n形バリア領域4aの上に設けられている。

n^{++} 形コンタクト領域6aおよび p^{++} 形コンタクト領域7aは、p形ベース領域5aの上に選択的に設けられている。

【0012】

エミッタ電極91aは、 n^{++} 形コンタクト領域6aの上面および一側面と、 p^{++} 形コンタクト領域7aの上面および一側面と、p形ベース領域5aの一側面と、に接しており、これらの半導体領域と電氣的に接続されている。

【0013】

ゲート電極10aおよび10bは、それぞれ、ゲート絶縁層15aおよび15bを介して n^{-} 形半導体領域3の上に設けられている。ゲート電極10bのZ方向における長さは

10

20

30

40

50

、ゲート電極 10 a の Z 方向における長さよりも短い。n 形バリア領域 4 a および p 形ベース領域 5 a は、X 方向において、ゲート電極 10 a と 10 b の間に位置し、ゲート絶縁層 15 a および 15 b を介してゲート電極 10 a および 10 b と対面している。

【0014】

n 形バリア領域 4 b は、n⁻ 形半導体領域 3 の他の一部の上に設けられており、n 形バリア領域 4 a と X 方向において離間している。

p 形アノード領域 5 b は、n 形バリア領域 4 b の上に設けられている。

p⁺ 形コンタクト領域 7 b は、p 形アノード領域 5 b の上に設けられている。

電流ゲート電極 9 1 b は、p⁺ 形コンタクト領域 7 b の上面および一側面と、p 形アノード領域 5 b の一側面と、に接しており、これらの半導体領域と電氣的に接続されている。

10

【0015】

ゲート電極 11 a および 11 b は、それぞれ、ゲート絶縁層 16 a および 16 b を介して n⁻ 形半導体領域 3 の上に設けられている。ゲート電極 11 b の Z 方向における長さは、ゲート電極 11 a の Z 方向における長さよりも短い。n 形バリア領域 4 b および p 形アノード領域 5 b は、X 方向において、ゲート電極 11 a と 11 b の間に位置し、ゲート絶縁層 16 a および 16 b を介してゲート電極 11 a および 11 b と対面している。

【0016】

ゲート電極 10 a および 10 b とエミッタ電極 9 1 a との間には、ゲート絶縁層 15 a および 15 b が設けられ、これらの電極は離間している。同様に、ゲート電極 11 a および 11 b と電流ゲート電極 9 1 b との間には、ゲート絶縁層 16 a および 16 b が設けられ、これらの電極は、離間している。

20

【0017】

ゲート電極 10 a は、X 方向において、n 形バリア領域 4 a および p 形ベース領域 5 a と、ゲート電極 11 a と、の間に位置している。ゲート電極 11 a は、X 方向において、n 形バリア領域 4 b および p 形アノード領域 5 b と、ゲート電極 10 a と、の間に位置している。ゲート電極 10 a と 11 a との間には、絶縁部 19 a が設けられ、ゲート電極 10 a と 11 a は、X 方向において離間している。

換言すると、n バリア領域 4 a および p 形ベース領域 5 a は、ゲート電極 10 a および 11 a、ゲート絶縁層 15 a および 16 a、絶縁部 19 a が内部に設けられたトレンチ Tr 1 と、ゲート電極 10 b およびゲート絶縁層 15 b が内部に設けられたトレンチ Tr 2 と、の間に設けられている。また、n バリア領域 4 b および p 形アノード領域 5 b は、トレンチ Tr 1 と、ゲート電極 11 b およびゲート絶縁層 16 b が内部に設けられたトレンチ Tr 3 と、の間に設けられている。

30

【0018】

n 形バリア領域 4 a および 4 b、p 形ベース領域 5 a および p 形アノード領域 5 b、p⁺ 形コンタクト領域 7 b、ゲート電極 10 a ~ 11 b は、それぞれ、Y 方向に延びている。n⁺ 形コンタクト領域 6 a と p⁺ 形コンタクト領域 7 a とは、p 形ベース領域 5 a の上において、Y 方向に交互に設けられている。

半導体装置 100 では、例えば、図 1 に表す構造が X 方向において繰り返し設けられている。

40

【0019】

次に、各構成要素の材料の一例を説明する。

n⁺ 形コレクタ領域 1 と、n 形バリア領域 2 と、n⁻ 形半導体領域 3 と、n 形バリア領域 4 a および 4 b と、p 形ベース領域 5 a および 5 b と、n⁺ 形コンタクト領域 6 a および 6 b と、p⁺ 形コンタクト領域 7 a および 7 b と、は、半導体材料として、シリコンまたは炭化シリコンを含む。半導体材料としてシリコンが用いられる場合、n 形不純物として、ヒ素、リン、またはアンチモンを用いることができ、p 形不純物として、ボロンを用いることができる。

ゲート電極 10 a ~ 11 b は、ポリシリコンなどの導電材料を含む。

50

ゲート絶縁層 15 a ~ 16 b および絶縁部 19 a は、酸化シリコンなどの絶縁材料を含む。

コレクタ電極 90、エミッタ電極 91 a および電流ゲート電極 91 b は、アルミニウムなどの金属を含む。

【0020】

次に、本実施形態に係る半導体装置 100 の動作および本実施形態によって解決される課題とその効果について説明する。

図 2 は、MOSFET の電流電圧特性を表すシミュレーション結果である。

図 3 は、IGT (IGBT) の電流電圧特性を表すシミュレーション結果である。

高耐圧向けに設計された MOSFET では、通電時の高抵抗ベース層 (n 形半導体領域 3 に相当) の抵抗をいかに小さくするかということが設計上重要になる。しかし、高抵抗ベース層の厚みや抵抗は、素子の電圧定格を決めた時点でほぼ決まってしまう。キャリアが電子だけのユニポーラデバイス (MOSFET) は、電流密度が上がるにつれて空間電荷が増加する。その結果、図 2 に表される MOSFET の電流電圧特性のように、流れる電流に上限がある。

これに対して、キャリアが電子と正孔のバイポーラデバイスは、高抵抗ベース層中に生じる電子と正孔のプラズマ状態 (伝導度変調) を利用することで、空間電荷の制限が無く、MOSFET (ユニポーラデバイス) よりも桁違いに大きな電流を流すことが可能となる。このことから pin ダイオードや、IGT (IGBT)、サイリスタなどのバイポーラ動作の素子は、MOSFET (ユニポーラデバイス) に比べて格段に大きな電力を制御することができる。

図 2 と図 3 は、同じ高抵抗ベース層 (厚さ約 100 μm 、n 形不純物濃度 1.0×10^{13} 、1500 V 設計) において、MOSFET と IGT (IGBT) の電流電圧特性をシミュレーションした結果である。例えば、ドレイン電圧およびコレクタ電圧が 2.0 V のときのドレイン電流およびコレクタ電流を比較すると、IGT は MOSFET に比べて約 1000 倍の電流を流す能力があることが分かる。

【0021】

しかし、ダイオードや IGT (IGBT)、サイリスタなどの素子は、図 3 に表されるように、その伝導度変調特性の代償として、コレクタ電圧がビルトインポテンシャル未満では電流が流れないという欠点も有している。なお、ビルトインポテンシャルは、シリコンの (Si) 場合は約 0.7 V であり、ワイドバンドギャップ半導体では、それよりも大きな値となる。例えば、炭化シリコン (SiC) のビルトインポテンシャルは、3.5 V 程度である。

このため、半導体材料のビルトインポテンシャル以下の電圧利用域では、pin ダイオードや IGT (IGBT)、サイリスタ素子の利点は生かせず、1/10 ~ 1/100 程度の通電特性しか有さないユニポーラの MOSFET もしくは電流駆動のバイポーラトランジスタ (GTR など) に頼らざるを得ない。シリコンよりもはるかに大きなビルトインポテンシャルが発生する炭化ケイ素 (SiC) などのワイドバンドギャップの場合、この問題はさらに深刻であり、MOSFET と IGBT の並列接続でこの問題を解決する応用回路上の試みも報告されている。

【0022】

ここで、図 4 を参照しつつ、本実施形態に係る半導体装置の動作原理を説明する。

図 4 は、第 1 実施形態に係る半導体装置の動作原理を表す概念図である。

ダイオードやサイリスタは、電流が流れる方向にビルトインポテンシャル電圧 (0.7 V) が生じる。これは高抵抗ベース中に深いキャリアプラズマを蓄積・維持するためのポテンシャルであり、避けることができない。しかし、ダイオードやサイリスタの電流方向 (アノードカソード間方向) と直角方向 (コレクタエミッタ間方向) には、ビルトインポテンシャルは存在しない。もし、主電流に比べて十分少ないアノード・カソード電流によって非常に高い効率で、高抵抗ベース中にサイリスタ並みのキャリアプラズマを発生させると同時に、コレクタ・エミッタ間方向に主電流を流すことが出来れば、サイリスタのビル

10

20

30

40

50

トイン電圧の問題は解決できる。

【0023】

次に、図1を参照しつつ、本実施形態に係る半導体装置の具体的な動作について説明する。ゲート電極10aおよび10bに閾値以上の正電圧が印加されると、ゲート絶縁層15aおよび15b近傍のp形ベース領域5aに、電子の反転層が形成される。この状態で、エミッタ電極91aに対してコレクタ電極90に正の電圧が印加されると、半導体装置100に含まれるMOSFETがオン状態となり、コレクタ電極90からエミッタ電極91aへ順方向の電流が流れる。この状態は通常のユニポーラMOSFETの動作である。n⁻形半導体領域3の伝導度変調は生じず、伝導度変調時のバイポーラデバイスのような大きな通電能力は得られない。

10

本実施形態に係る発明は、次の点で従来のユニポーラMOSFETと大きく異なる。それは、n⁻形半導体領域3へ少数キャリア(正孔)を注入する為の電流ゲート電極91bを有する点である。さらにその注入電流が、トレンチTr1~Tr3などの幾何学形状や、n形バリア領域4aおよび4bなどによって得られるIE(Injection Enhanced)効果により、非常に僅かな電流で大きな伝導度変調を生じさせるように設計されている点である。

【0024】

本実施形態に係る発明では、エミッタ電極91aに対して電流ゲート電極91bに、p形アノード領域5bとn形バリア領域4bとの間のビルトインポテンシャル以上の正電圧が印加されると、p形アノード領域5bとn⁺⁺形コンタクト領域6aで形成されるp-i-nダイオードにバイポーラモードで順方向の電流が流れる。この時、p形アノード領域5bからn⁻形半導体領域3へ正孔が注入され、同時に、n⁺⁺形コンタクト領域6aからp形ベース領域5aのn形MOSFETチャネルを通り、n⁻形半導体領域3へ電子が注入される。この時、p形アノード領域5bとn⁺⁺形コンタクト領域6a間に形成されるp-i-nダイオードの高抵抗のi層に相当するトレンチTr1直下及びトレンチTr1~Tr3の間に、前記p-i-nダイオードの通電に伴う深い伝導度変調(過剰キャリアプラズマの蓄積)が生じる。このp-i-nダイオードの通電に伴う深い伝導度変調(過剰キャリアプラズマの蓄積)は、トレンチTr1~Tr3の形状に依存したIE効果で増幅される。つまり、p形アノード領域5bから注入された正孔がn⁺⁺形コンタクト領域6aのトレンチ溝幾何学形状で堰き止められ、n⁺⁺形コンタクト領域6aから注入された電子がp形アノード領域5bのトレンチ溝幾何学形状により堰き止められる。その結果、前記p-i-nダイオードの高抵抗i層に相当するトレンチTr1直下及びトレンチTr1~Tr3の間に、n⁻形半導体領域3の不純物濃度に比べて1桁から5桁大きな過剰キャリアプラズマの蓄積を生じさせることが可能となる。これにより、半導体装置100に含まれる高抵抗なn⁻形半導体領域3へのプラズマ蓄積により1桁から5桁低抵抗化している状態である。この時、エミッタ電極91aに対するコレクタ電極90の電位差はまだない、もしくはビルトイン電圧に比べて十分小さな変動である。

20

30

【0025】

さらにこの状態で、エミッタ電極91aに対してコレクタ電極90に正の電圧が印加されると、半導体装置100のエミッタ電極91aとコレクタ電極90の間に順方向電流が流れる。この時、半導体装置100のn⁻形半導体領域3は、コレクタ印加電圧が0Vからビルトイン電圧以下でも、深い伝導度変調状態を生じたバイポーラモードで動作する。

40

また、ゲート電極11aおよび11bに負電圧が印加される場合には、p形アノード領域5bに正孔の蓄積層が形成されるとともに、ゲート絶縁層16aおよび16b近傍のn形バリア領域4bに正孔の反転層が形成され、n⁻形半導体領域3への正孔の注入がさらに促進される。

なお、ここでは、「深い伝導度変調状態」と「プラズマの蓄積」もしくは「過剰キャリアプラズマの蓄積」は同じ意味で使用している。

また、「ビルトインポテンシャル」は、「p形不純物拡散領域とn形不純物拡散領域のフェルミ順位の差」のことで、「pin(もしくはpn)ダイオードの順方向の電流が流

50

れ始める電流の閾値電圧(順方向の電流-電圧波形において電流が立ち上がりはじめる点の電圧)」と同じ意味で使用している。

【0026】

このように、本実施形態に係る半導体装置では、MOSFETによってエミッタ電極91aとコレクタ電極90との間の通電時に、電流ゲート電極91bから n^- 形半導体領域3へ正孔を注入して、電導度変調を生じさせることができる。すなわち、本実施形態に係る半導体装置では、ユニポーラデバイス同様にエミッタ電極91aとコレクタ電極90との間にビルトインポテンシャルが無いにも拘らず、バイポーラデバイス同様の、 n^- 形半導体領域3での深い伝導度変調で、大きな通電能力と低いオン抵抗を有する。

また、ビルトインポテンシャルが無く、低いコレクタ電圧においても通電可能であるため、本実施形態に係る発明は、特にワイドバンドギャップ半導体が用いられた半導体装置に対して好適に用いられる。ワイドバンドギャップ半導体は、シリコンよりも大きなビルトインポテンシャルを有するため、バイポーラデバイスに用いられた際には、より大きなドレイン電圧が必要となるためである。このようなワイドバンドギャップ半導体としては、炭化シリコン以外にも、窒化ガリウム(GaN)、酸化ガリウム(Ga_2O_3)、ダイヤモンドなどが挙げられる。

【0027】

さらに本実施形態に係る半導体装置は、エミッタ電極91a側のトレンチTr1~Tr3や n 形バリア領域4aおよび4bによる、エミッタ電極91aと電流ゲート電極91bとの間で生じるIE効果により、GTR(ジャイアントトランジスタ：電力用バイポーラトランジスタ)に比べてより小さな駆動電流(数分の一から数百分の一)で効果的に n^- 形半導体領域3で深い伝導度変調を起こすことができる。つまり、本実施形態に係る半導体装置では、 $1.0 \times 10^{14} \sim 1.0 \times 10^{18} \text{ cm}^{-3}$ 程度の、GRTより沢山のキャリアプラズマを蓄積することができ、より大電流を制御することが可能である。

【0028】

この点について、図5を用いて詳細に説明する。

図5(a)は、第1実施形態に係る半導体装置100の一部を表す断面図である。

図5(b)は、第1実施形態に係る半導体装置と参考例に係る半導体装置における過剰キャリアの濃度を比較するグラフである。

図5(c)は、参考例に係る半導体装置の一部を表す断面図である。

なお、図5(a)では、図1に表す半導体装置100と同様の機能を有する半導体装置が表されている。図5(b)では、図5(a)および(c)の各半導体装置において、Z方向の各位置における過剰キャリアの濃度が表されている。図5(c)では、参考例に係る半導体装置として、GTRの一部が表されている。

【0029】

図5(c)に表す参考例に係る半導体装置では、コレクタ電極90、 n^{++} 形コレクタ領域1、 n 形バリア領域2、 n^- 形半導体領域3、 p 形ベース領域5、 n^{++} 形コンタクト領域6、 p^{++} 形コンタクト領域7、エミッタ電極91a、および電流ゲート電極91bが設けられている。図5(c)に表すように、GTRでは、 p^{++} 形コンタクト領域7から p 形ベース領域5へ注入された正孔は、 p 形ベース領域5から n^{++} 形半導体領域6へ流れてしまう。すなわち、 p 形ベース領域5から注入された過剰キャリアが、 n^- 形半導体領域3に蓄積されず、電導度変調への寄与が小さい。

これに対して、図5(a)に表すように、本実施形態に係る半導体装置100では、エミッタ電極91a側のトレンチTr1~Tr3および n 形バリア領域4aおよび4bによるIE効果(エミッタ電極91a側での過剰キャリアの蓄積効果)により、 p 形アノード領域5bから注入された正孔が、エミッタ電極91aに流れることを抑制し、電流ゲート電極91bからエミッタ電極91aに流れる電流を抑制することができる。すなわち、本実施形態に係る半導体装置では、 n^- 形半導体領域3に過剰キャリアを効率的に蓄積し、 p 形ベース領域5から注入された正孔の電導度変調への寄与を高めることができる。

このため、図5(b)に表すように、本実施形態に係る半導体装置100と参考例に係

10

20

30

40

50

る半導体装置では、過剰キャリアの濃度に大きな差が存在する。

【0030】

本実施形態に係る半導体装置100と参考例に係る半導体装置における過剰キャリアの濃度の違いについて、図6～図8を参照して、より詳細に説明する。

図6は、シミュレーションに用いた参考例に係る半導体装置の断面構造である。

図7は、参考例に係る半導体装置のオン状態における正孔の分布を表すシミュレーション結果である。

図8は、本実施形態に係る半導体装置100のオン状態における正孔の分布を表すシミュレーション結果である。

【0031】

10

図6には、図5(c)に表したGTRのn⁻形半導体領域3およびp形ベース領域5における不純物濃度が表されている。図6では、n⁻形半導体領域3およびp形ベース領域5のそれぞれにおいて、色が白いほど各導電形の不純物濃度が低く、黒いほど不純物濃度が高いことを表している。

また、図7および図8では、オン状態で、コレクタ電極側に3.0Vの電圧が印加された場合の正孔の分布が示されている。色が白いほど正孔の濃度が高く、黒いほど正孔の濃度が低いことを表している。なお、図8の本実施形態に係る半導体装置のシミュレーション結果では、絶縁部19a(トレンチTr1)下方における正孔の分布が表されている。

【0032】

これらのシミュレーションでは、GTRと半導体装置100について、ともに1500Vの素子耐圧を得られる設計とした。具体的には、n⁻形半導体領域3の厚みを100μm、n⁻形半導体領域3の不純物濃度を $1 \times 10^{13} \text{ cm}^{-3}$ 、セルサイズを19.2μm、半導体装置100におけるトレンチTr1の深さを6μmとし、単位セル面積を同一とし、電流ゲインは同じ値に揃えた。

20

【0033】

図7に示すように、GTRでは、pn接合面近傍における正孔の濃度は、 $6.4 \times 10^{15} \text{ cm}^{-3}$ であった。一方で、図8に示すように、本実施形態に係る半導体装置100では、絶縁部19a下部における正孔の濃度は、 $7.1 \times 10^{16} \text{ cm}^{-3}$ であり、GTRに比べて1桁以上大きな値が得られた。

【0034】

30

図9は、第1実施形態に係る半導体装置と参考例に係る半導体装置の通電特性を表すシミュレーション結果である。

図9に表す結果から、GTRは、MOSFETに比べて大きな通電能力を備えるが、本実施形態に係る半導体装置100は、このGTRよりもさらに大きな通電能力を備えていることがわかる。

【0035】

以上の通り、本実施形態によれば、MOSFETなどのユニポーラデバイスよりも桁違いに大きな通電能力を有し、コレクタ電圧がビルトイン電圧未満においても、バイポーラデバイス同様の、n⁻形半導体領域3での深い伝導度変調で大きな通電能力と低いオン抵抗を備えた半導体装置が得られる。

40

また、本実施形態によれば、GTRに比べて、低い駆動電流でより多くのキャリアプラズマを蓄積することができ、より大電流を制御することが可能な半導体装置が得られる。

【0036】

以上では、コレクタ電極90からエミッタ電極91aへ、順方向に電流を流す場合について説明したが、本実施形態に係る半導体装置100は、以下で説明するように、エミッタ電極91aからコレクタ電極90へ、逆方向に電流を流すことも可能である。

コレクタ電極90に対してエミッタ電極91aに正の電圧が印加された状態で、ゲート電極10aおよび10bに閾値以上の正電圧が印加されると、n⁺⁺形コンタクト領域6aとn形バリア領域4aとがp形ベース領域5aの反転層で接続される。これにより、エミッタ電極91aからコレクタ電極90へ逆方向の電流が流れる。

50

この場合（逆電圧）でも、エミッタ電極 9 1 a に対して電流ゲート電極 9 1 b に、p 形アノード領域 5 b と n 形バリア領域 4 b との間のビルトインポテンシャル以上の正電圧が印加されると、p 形アノード領域 5 b と n⁺ 形コンタクト領域 6 a で形成される p - i - n ダイオードにバイポーラモードで順方向の電流が流れ、その結果、n⁻ 形半導体領域 3 に深い伝導度変調が起こる。

つまり、エミッタ電極 9 1 a に対してコレクタ電極 9 0 に負の電圧が印加された場合も、半導体装置 1 0 0 のエミッタ電極 9 1 a とコレクタ電極 9 0 の間に流れる逆方向に電流は、コレクタ印加電圧が 0 V からビルトイン電圧以下でも、半導体装置 1 0 0 の n⁻ 形半導体領域 3 が深い伝導度変調を起こした状態下でのバイポーラモードの動作である。

【0037】

ここで、図 1 0 ~ 図 1 2 を参照しつつ、本実施形態に係る半導体装置の順方向および逆方向への通電特性について、詳細に説明する。

図 1 0 は、シミュレーションに用いた第 1 実施形態に係る半導体装置 1 0 0 の断面構造である。

図 1 1 は、第 1 実施形態に係る半導体装置 1 0 0 において順方向および逆方向へ通電させた場合のオン状態における正孔の濃度を表すシミュレーション結果である。

図 1 2 は、第 1 実施形態に係る半導体装置 1 0 0 における双方向の通電特性を表すシミュレーション結果である。

【0038】

図 1 0 は、絶縁部 1 9 a（トレンチ T r 1）下方における不純物濃度の分布が表されている。図 1 0 では、色が白いほど n 形不純物濃度が低く、黒いほど n 形不純物濃度が高いことを表している。

また、図 1 1 は、図 7 および図 8 と同様に、オン状態でコレクタ電極側に 3 . 0 V の電圧が印加された場合の正孔の分布が示されており、色が白いほど正孔の濃度が高く、黒いほど正孔の濃度が低いことを表している。なお、図 1 1（a）は、順方向への通電時の様子を表し、図 1 1（b）は、逆方向への通電時の様子を表している。

【0039】

図 1 1 に表す結果から、順方向および逆方向のどちらに電流を流した場合でも、絶縁部 1 9 a 下方の領域において正孔が高い濃度で蓄積されていることがわかる。

また、図 1 2 に表す結果から、逆方向に通電させた場合でも、順方向への通電時と同様に、高い通電特性が得られていることがわかる。

さらに、図 1 2 に表されるように、コレクタ電圧がビルトイン電圧未満であってもサイリスタと同様の高い通電能力を有するため、順方向通電時および逆方向通電時のいずれにおいても、トライアックのようなスナップバックは生じない。

【0040】

以上の通り、本実施形態に係る半導体装置は、順方向および逆方向のいずれの通電についても、高い通電能力を備える。

順方向または逆方向への通電時に、ゲート電極 1 0 a および 1 0 b に印加される電圧が閾値未満になると、p 形ベース領域 5 a の反転層が消滅し、コレクタ電極 9 0 とエミッタ電極 9 1 a との間の通電が無くなり、半導体装置 1 0 0 がオフ状態となる。

【0041】

図 1 3 は、第 1 実施形態に係る半導体装置 1 0 0 のターンオフ時のコレクタ電圧とコレクタ電流の変化を表すシミュレーション結果である。

図 1 4 は、第 1 実施形態に係る半導体装置 1 0 0 の静耐圧波形を表すシミュレーション結果である。

なお、図 1 3 および図 1 4 は、素子耐圧が 1 5 0 0 V に設計された半導体装置 1 0 0 におけるターンオフ時の様子を表している。図 1 3 および図 1 4 に表されるように、本実施形態に係る半導体装置 1 0 0 において、ターンオフ時に設計値と同様の耐圧が得られていることがわかる。

また、ターンオフ時に、電流ゲート電極 9 1 b の電位をエミッタ電極 9 1 a の電位に対

10

20

30

40

50

して負にして電流を引きぬくことで、より確実に半導体装置 100 をオフ状態にすることができる。また、ゲート電極 10a および 10b と電流ゲート電極 91b のタイミングをずらすことによって、半導体装置のオン状態のときの抵抗とスイッチング特性とのトレードオフの改善が可能である。例えば、ゲート電極 10a および 10b への印加電圧を変化させる前に、電流ゲート電極 91b の電圧をマイナスにして、数 μ 秒～数十 μ 秒後に、ゲート電極 10a および 10b の電圧を低下させてもよい。この方法によれば、半導体装置 100 の n - 形半導体領域 3 の蓄積キャリアが無くなった後に、ゲート電極 10a および 10b を遮断することができ、ユニポーラの MOSFET モードのターンオフ(テイル電流を生じない)時のテイル電流を抑制することが可能である。

【0042】

以上で説明した本発明の動作原理によれば、エミッタ電極 91a と電流ゲート電極 91b 間の過剰キャリアの蓄積量(キャリア濃度のピーク値)が、n - 形半導体領域 3 中での過剰キャリアの量を決め、n - 形半導体領域 3 中での過剰キャリアの量が、半導体装置 100 のエミッタ電極 91a とコレクタ電極 90 との間の抵抗を決める。

また、エミッタ電極 91a と電流ゲート電極 91b 間の過剰キャリアの蓄積量(キャリア濃度のピーク値)は、エミッタ電極 91a 側のトレンチ Tr1 ~ Tr3 の形状による IE 効果によって決まる。この IE 効果は、トレンチ Tr1 の深さ(～数 10 μ m)、ゲート電極 10a と 10b・ゲート電極 11a と 11b の間隔(10 nm～数 μ m)、エミッタ電極 91a と電流ゲート電極 91b の間隔、および n 形バリア領域 4a および 4b における n 形不純物濃度などで決まる。IE 効果については、例えば、「M.Kitagawa et al, "A 4500 V Injection Enhanced Insulated Gate Bipolar Transistor (IEGT) Operating in a Mode Similar to a Thyristor", IEDM'93 Technical Digest, pp679-682, 1993」、
「M.Kitagawa et al, "Design Criterion and Operation Mechanism for 4.5kV Injection Enhanced Gate Transistor", Jpn. J. Appl. Phys. Vol.37 pp4294-4300, 1998」、
「M.Kitagawa et al, "4.5kV Injection Enhanced Gate Transistor: Experimental Verification of the Electrical Characteristics", Jpn. J. Appl. Phys. Vol.36 pp3433-3437, 1997」、および「M.Kitagawa et al, "Study of 4.5 kV MOS-Power Device with Injection-Enhanced Trench Gate Structure", Jpn. J. Appl. Phys. Vol.36 pp1411-1413, 1997」などに記載されている。

【0043】

ここで、IE 効果を高めるための寸法関係について、図 15 を用いて説明する。

図 15 は、第 1 実施形態に係る半導体装置 100 の一部を表す断面図である。

図 15 に表すように、p 形ベース領域 5a の幅(X 方向における長さ)W1 および p 形アノード領域 5b の幅 W2 が狭く、p 形ベース領域 5a と p 形アノード領域 5b との間隔 D1 が広いほど、IE 効果は大きくなる。また、p 形ベース領域 5a の下面(p n 接合面)と絶縁部 19a の下端(トレンチ Tr1 の下端)との間の Z 方向における厚み Th1、p 形アノード領域 5b の下面(p n 接合面)と絶縁部 19a の下端(トレンチ Tr1 の下端)との間の Z 方向における厚み Th2 が大きく、n 形バリア領域 4a および 4b における n 形不純物濃度が高いほど、IE 効果は大きくなる。

【0044】

幅 W1 および W2 は、1 . 0 μ m 以下であることが望ましい。幅 W1 および幅 W2 を 1 . 0 μ m 以下にすることで、オン状態において n - 形半導体領域 3 に蓄積された正孔が、p 形ベース領域 5a および 5b へ流れ難くなり、n - 形半導体領域 3 における正孔の濃度を高めることができる。なお、図 1 に表す例では、p 形ベース領域 5a の幅は、n 形バリア領域 4a の幅、および X 方向におけるゲート絶縁層 15a と 15b との間の距離と等しい。p 形ベース領域 5b の幅は、n 形バリア領域 4b の幅、および X 方向におけるゲート絶縁層 16a と 16b との間の距離と等しい。

なお、図 15 に表す例では、幅 W1 は、ゲート絶縁層 10a と 10b との間の X 方向における距離と等しく、幅 W2 は、ゲート絶縁層 11a と 11b との間の X 方向における距離と等しい。距離 D1 は、ゲート絶縁層 10a、ゲート絶縁層 11a、および絶縁部 19

10

20

30

40

50

aを含む、トレンチT r 1内に設けられた絶縁部のX方向における長さと同じ。

また、図15に表す例では、n形バリア領域4aとp形ベース領域5aとのX方向における長さが等しく、n形バリア領域4bとp形アノード領域5bとのX方向における長さが等しいが、これらの半導体領域における長さは互いに異なっていてもよい。すなわち、各ゲート電極および各ゲート絶縁層が設けられたトレンチの側壁がテーパ状に形成されていてもよい。この場合、ゲート絶縁層10aの少なくとも一部と、ゲート絶縁層10bの少なくとも一部と、の間のX方向における距離が、 $1.0\mu\text{m}$ 以下であり、ゲート絶縁層11aの少なくとも一部と、ゲート絶縁層11bの少なくとも一部と、の間のX方向における距離が、 $1.0\mu\text{m}$ 以下であればよい。

【0045】

さらに、W1、W2、D1、Th1、およびTh2は、以下の式(1)~(4)の少なくともいずれかを満たすことが望ましい。

$$\text{Th}1 / \text{W}1 > 2 \quad \cdots (1)$$

$$\text{Th}2 / \text{W}2 > 2 \quad \cdots (2)$$

$$(\text{Th}1 \times \text{D}1) / \text{W}1 > 2\mu\text{m} \quad \cdots (3)$$

$$(\text{Th}2 \times \text{D}1) / \text{W}2 > 2\mu\text{m} \quad \cdots (4)$$

【0046】

式(1)を満たすことで、エミッタ電極91aからn⁻形半導体領域3に注入された電子が、電流ゲート電極91bに流れにくくなり、n⁻形半導体領域3における電子の過剰キャリア濃度を高めることができる。

式(2)を満たすことで、電流ゲート電極91bからn⁻形半導体領域3に注入された正孔が、エミッタ電極91aに流れにくくなり、n⁻形半導体領域3における正孔の過剰キャリア濃度を高めることができる。

式(3)および(4)を満たすことで、n⁻形半導体領域3からエミッタ電極91aおよび電流ゲート電極91bへの正孔の流出を抑え、n⁻形半導体領域3における正孔の過剰キャリア濃度を高めることができる。

【0047】

また、距離D1は、幅W1または幅W2の2倍以上であることが望ましい。より望ましくは、距離D1は、幅W1または幅W2の10倍以上である。このような構造によれば、半導体装置100の単位面積あたりのp形ベース領域5aおよび5bの面積を小さくし、n⁻形半導体領域3に蓄積された正孔がp形ベース領域5aおよび5bへより流れ難くなる。

【0048】

さらに、n形バリア領域2におけるn形不純物濃度を高くすることで、IE効果で生じた過剰キャリアがn⁻形半導体領域3からコレクタ電極90に流れ難くなり、IE効果をさらに高めることができる。

【0049】

これらの構造によってIE効果を高めることで、より一層、半導体装置の通電能力を高め、オン抵抗を低減することができる。

また、コレクタ電極90とエミッタ電極91aとの間に通電させる場合、エミッタ電極91aと電流ゲート電極91bとの間を流れる電流は小さいことが望ましい。エミッタ電極91aと電流ゲート電極91bとの間のIE効果(n⁻形半導体領域3に蓄積された正孔がエミッタ電極91aへ流れ難くなること等)で、電流ゲート電極91bから91aへ流れる電流が小さくても、電流流路をトレンチ形状で絞ることで、ゲート電流密度(つまりn⁻形半導体領域3のエミッタ側の過剰キャリアのピーク濃度)を上げることに成功し、その結果、素子のエミッタ91aとコレクタ90間のオン抵抗が下がり、半導体装置の消費電力を低減することが可能となるためである。

【0050】

(第1変形例)

図16は、第1実施形態の第1変形例に係る半導体装置110の一部を表す斜視断面図

10

20

30

40

50

である。

半導体装置 110 は、電極 20 をさらに備える点と、ゲート電極 10 a および 10 b に代えてゲート電極 10 が設けられ、ゲート電極 11 a および 11 b に代えてゲート電極 11 が設けられている点で、半導体装置 100 と異なる。

【0051】

半導体装置 110 では、n 形バリア領域 4 a、p 形ベース領域 5 a、 n^{++} 形コンタクト領域 6 a、および p^{++} 形コンタクト領域 7 a が、X 方向において、ゲート絶縁層 15 を介してゲート電極 10 同士の上に位置している。

また、n 形バリア領域 4 b、p 形アノード領域 5 b、 n^{++} 形コンタクト領域 6 b、および p^{++} 形コンタクト領域 7 b が、X 方向において、ゲート絶縁層 16 を介してゲート電極 11 同士の上に位置している。

【0052】

電極 20 は、X 方向において、ゲート電極 10 と 11 との間に設けられ、これらのゲート電極と離間している。電極 20 は、絶縁部 19 a の一部を介して、Z 方向において n^{-} 形半導体領域 3 と対面している。また、電極 20 は、例えば、エミッタ電極 91 a と電氣的に接続されている。

【0053】

ゲート電極 10 と 11 との間に、エミッタ電極 91 a と電氣的に接続された電極 20 が設けられていることで、半導体装置をターンオフした際に、電極 20 の下部（トレンチ Tr1 の下端）からも n^{-} 形半導体領域 3 へ向けて空乏層が広がる。これにより、半導体装置の耐圧を向上させることが可能となる。あるいは、半導体装置の耐圧が向上した分、 n^{-} 形半導体領域 3 における n 形不純物濃度を高め、半導体装置のオン抵抗を低減することが可能となる。

また、電極 20 をゲート電極として、ゲート電極 10 と 11 と独立に制御することで、素子のオン電圧や阻止状態の耐圧のみならず、素子のスイッチングスピードと通電能力などとのトレードオフの改善、バイポーラモードでのコレクタ電極 90、エミッタ電極 91 a、および電流ゲート電極 91 b から n^{-} 形半導体領域 3 へのキャリア（正孔または電子）の実効的な注入効率、および n^{-} 形半導体領域 3 から各電極へのキャリアの実効的な排出効率をコントロールすることが可能である。

【0054】

（第 2 変形例）

図 17 は、第 1 実施形態の第 2 変形例に係る半導体装置 120 の一部を表す斜視断面図である。

半導体装置 120 は、ゲート電極の構造および n^{++} 形コンタクト領域 6 a と p^{++} 形コンタクト領域 7 a の配置について、半導体装置 100 と差異を有する。

【0055】

半導体装置 120 では、p 形ベース領域 5 a の上において、複数の n^{++} 形コンタクト領域 6 a が設けられている。複数の n^{++} 形コンタクト領域 6 a は、それぞれ、X 方向において、ゲート絶縁層 15 を介してゲート電極 10 と対面している。 p^{++} 形コンタクト領域 7 a は、X 方向において n^{++} 形コンタクト領域 6 a 同士の上に設けられている。また、 n^{++} 形コンタクト領域 6 a と p^{++} 形コンタクト領域 7 a は、Y 方向に延びている。

【0056】

p 形アノード領域 5 b および p^{++} 形コンタクト領域 7 b は、X 方向において、ゲート絶縁層 16 を介してゲート電極 11 と対面している。ゲート電極 10 および 11 は、トレンチ Tr 内に設けられている。ゲート電極 10 と 11 との間には絶縁部 19 が設けられ、ゲート電極 10 と 11 は、X 方向において離間している。

【0057】

このように、 n^{++} 形コンタクト領域 6 a および p^{++} 形コンタクト領域 7 a の配置や、各ゲート電極の形状を変化させた場合であっても、上述したように半導体装置の I E 効

10

20

30

40

50

果を高めることで、 n^- 形半導体領域3で深い伝導度変調を生じさせ、大きな通電能力と低いオン抵抗を実現することが可能である。

【0058】

(第3変形例)

図18は、第1実施形態の第3変形例に係る半導体装置130の一部を表す斜視断面図である。

なお、図18に表す半導体装置130の上面には、Z方向から見た場合の、ゲート電極10および11、電極22、トレンチTr1~Tr3の外縁が破線で表されている。また、図18では、エミッタ電極91aおよび電流ゲート電極91bが省略されている。

【0059】

半導体装置130は、電極22および絶縁層23をさらに備える点で、半導体装置120と異なる。

電極22は、絶縁層23を介して n^- 形半導体領域3中に設けられている。また、電極22は、エミッタ電極91aと電氣的に接続されている。

【0060】

電極22は、p形ベース領域5aとp形アノード領域5bとの間において、X方向に複数設けられており、それぞれがY方向に延びている。また、 n^- 形半導体領域3の電極22同士の間の領域は、絶縁層23によって覆われている。

【0061】

エミッタ電極91aは、半導体装置120と同様に、 n^{++} 形コンタクト領域6aおよび p^{++} 形コンタクト領域7aの上に設けられる。エミッタ電極91aは、さらに、電極22の上に設けられていてもよい。電流ゲート電極91bも、半導体装置120と同様に、 p^{++} 形コンタクト領域7bの上に設けられる。

【0062】

複数の電極22を設け、p形ベース領域5aとp形アノード領域5bとの間の距離を長くする(単位面積あたりのp形ベース領域5aとp形アノード領域5bの面積を減少させる)ことで、オン状態において、 n^- 形半導体領域3から過剰キャリアが排出され難くなる。このため、本変形例によれば、オン状態での n^- 形半導体領域3における過剰キャリアの蓄積量を増大させ、さらなる半導体装置の通電能力の向上、オン抵抗の低減、および駆動電流の低減が可能となる。

【0063】

(第4変形例)

図19は、第1実施形態の第4変形例に係る半導体装置140の一部を表す斜視断面図である。

なお、図19に表す半導体装置140の上面には、Z方向から見た場合の、ゲート電極10および11、トレンチTr1およびTr2の外縁が破線で表されている。また、図19では、エミッタ電極91aおよび電流ゲート電極91bが省略されている。

【0064】

半導体装置140では、ゲート電極10および11が、それぞれ、ゲート絶縁層15および16を介して n^- 形半導体領域3中に環状に設けられている。

n 形バリア領域4a、p形ベース領域5a、 n^{++} 形コンタクト領域6a、および p^{++} 形コンタクト領域7aは、ゲート電極10の内側に設けられている。 n^{++} 形コンタクト領域6aは、例えば、ゲート電極10の内側において環状に設けられ、 p^{++} 形コンタクト領域7aは、この n^{++} 形コンタクト領域6aの内側に設けられている。

n 形バリア領域4bおよびp形アノード領域5bは、ゲート電極11の内側に設けられている。p形アノード領域5bの上に、さらに p^{++} 形コンタクト領域7bが設けられていてもよい。

【0065】

n^{++} 形コンタクト領域6aおよび p^{++} 形コンタクト領域7aの上には、不図示のエミッタ電極91aが設けられ、これらの半導体領域と電氣的に接続される。また、p形ア

10

20

30

40

50

ノード領域 5 b の上には、不図示の電流ゲート電極 9 1 b が設けられ、p 形アノード領域 5 b と電氣的に接続される。

【0066】

すなわち、本変形例に係る半導体装置では、MOSFETとして機能する領域およびn⁻形半導体領域3へ正孔を注入するための領域が、X方向およびY方向において、互いに離間して複数設けられている。本変形例においても、半導体装置100に比べてIE効果をさらに大きくすることができ、さらなる半導体装置の通電能力の向上、オン抵抗の低減、および駆動電流の低減が可能となる。

【0067】

(第5変形例)

図20は、第1実施形態の第5変形例に係る半導体装置150の一部を表す斜視断面図である。

なお、図20に表す半導体装置150の上面には、Z方向から見た場合の、各ゲート電極の外縁が破線で表されている。また、図20では、エミッタ電極91aおよび電流ゲート電極91bが省略されている。

【0068】

半導体装置150では、ゲート電極10および11が環状に設けられている。ただし、ゲート電極11がゲート電極10の内側に設けられ、n形バリア領域4bおよびp形アノード領域5bがゲート電極11の内側にゲート絶縁層16を介して設けられている点で、半導体装置140と異なる。電流ゲート電極91bは、p形アノード領域5bの上に設けられる。

【0069】

n形バリア領域4a、p形ベース領域5a、およびn⁺⁺形コンタクト領域6aは、ゲート電極10同士の間、ゲート絶縁層15を介して設けられている。p形ベース領域5aの上に、p⁺⁺形コンタクト領域7aがさらに設けられていてもよい。エミッタ電極91aは、例えば、n形バリア領域4a、p形ベース領域5a、およびn⁺⁺形コンタクト領域6aに沿って、電流ゲート電極91b同士の間、格子状に設けられる。

【0070】

すなわち、本変形例に係る半導体装置では、n⁻形半導体領域3へ正孔を注入するための領域が、X方向およびY方向において、互いに離間して複数設けられ、これらの領域の間にMOSFETとして機能する領域が設けられている。本変形例においても、半導体装置100に比べてIE効果をさらに大きくすることができ、さらなる半導体装置の通電能力の向上、オン抵抗の低減、および駆動電流の低減が可能となる。

【0071】

ここで、図21および図22を用いて、第1実施形態に係る半導体装置に接続される制御回路の例を説明する。

図21および図22は、第1実施形態に係る半導体装置の制御回路の一部を表す回路図である。

なお、図21および図22では、ゲート電極10aおよび10bが、まとめてゲート電極10と表記され、ゲート電極11aおよび11bが、まとめてゲート電極11と表記されている。また、エミッタ電極91aは、グラウンド電位に接続される。

【0072】

図21(a)に表す回路では、電流ゲート電極91b、ゲート電極10および11が、共通の端子T1に接続されている。また、電流ゲート電極91bと端子T1との間には、端子T1への印加電圧を調整して電流ゲート電極91bに印加するための制限抵抗が接続されている。半導体装置100をターンオンする際には、端子T1に正電圧が印加される。端子T1に正電圧が印加されると、ゲート電極10と向かい合うp形ベース領域5aに反転層が形成される。また、電流ゲート電極91bにビルトインポテンシャル以上の正電圧が印加されることで、n⁻形半導体領域3に正孔が注入される。

【0073】

10

20

30

40

50

図 2 1 (a) に表す回路では、電流ゲート電極 9 1 b、ゲート電極 1 0 および 1 1 の電圧の制御を、1 つの端子で行うことができ、半導体装置 1 0 0 の端子数の増加を抑えることができる。

【 0 0 7 4 】

図 2 1 (b) に表す回路は、ゲート電極 1 1 が、端子 T 1 に接続されず、エミッタ電極 9 1 a と同じグランド電位に接続されている点で、図 2 1 (a) に表す回路と異なる。このため、図 2 1 (a) に表す回路に比べて、ゲート電極 1 0 が接続された配線における容量を低減し、ゲート電極 1 0 のスイッチング速度を向上させることができる。また、ゲート電極 1 1 に正電圧が印加されると、ゲート絶縁層 1 6 a 近傍の p 形ベース領域 5 b の正孔が排斥されるが、図 2 1 (b) に表す回路では、この現象が発生しない。このため、図 2 1 (a) に表す回路に比べて、 n^- 形半導体領域 3 への正孔の注入を効率的に行うことができる。

10

【 0 0 7 5 】

図 2 1 (c) に表す回路では、電流ゲート電極 9 1 b が、制限抵抗を介して端子 T 1 に接続され、ゲート電極 1 0 および 1 1 が、共通の端子 T 2 に接続されている。このため、電流ゲート電極 9 1 b と、ゲート電極 1 0 および 1 1 と、にそれぞれ最適な電圧を印加できる。

【 0 0 7 6 】

図 2 2 (a) は、ゲート電極 1 1 が、端子 T 2 に接続されず、グランド電位に接続されている点で、図 2 1 (c) に表す回路と異なる。図 2 2 (a) に表す回路によれば、図 2 1 (c) に表す回路と比較して、スイッチング速度を向上させ、 n^- 形半導体領域 3 への正孔の注入を効率的に行うことができる。

20

【 0 0 7 7 】

図 2 2 (b) に表す回路では、制限抵抗に代えて、端子 T 1 と電流ゲート電極 9 1 b との間に、ダーリントン接続されたトランジスタが設けられている点で、図 2 1 (a) に表す回路と異なる。具体的には、ダーリントン接続のコレクタ側は、コレクタ電源 V に接続され、ベースに端子 T 1 が接続され、エミッタ側に電流ゲート電極 9 1 b が接続されている。この回路によれば、小さなゲート電流によって、コレクタ電源 V から電流ゲート電極 9 1 b に大きな電流を流すことができる。すなわち、小さなゲート電流でも、 n^- 形半導体領域 3 へ多くの正孔を注入することが可能となる。

30

【 0 0 7 8 】

上述した回路例以外にも、半導体装置に含まれる MOSFET をターンオンさせ、電流ゲート電極 9 1 b から n^- 形半導体領域 3 へ正孔を注入させることができれば、具体的な回路構成は、適宜変更可能である。

【 0 0 7 9 】

(変形例)

図 2 3 は、第 1 実施形態の変形例に係る半導体装置 1 6 0 の一部を表す斜視断面図である。

半導体装置 1 6 0 は、ゲート電極 1 1 a および 1 1 b を有していない点で、半導体装置 1 0 0 と異なる。

40

【 0 0 8 0 】

ゲート電極 1 1 a および 1 1 b が設けられていない場合でも、エミッタ電極 9 1 a に対して電流ゲート電極 9 1 b に、ビルトインポテンシャル以上の電圧が印加されることで、 n^- 形半導体領域 3 に正孔を注入することが可能である。ただし、上述した通り、ゲート電極 1 1 a および 1 1 b に負電圧を印加することで、 n^- 形半導体領域 3 への正孔の注入を促進し、より一層、半導体装置の通電能力を高め、オン抵抗を低減させることができる。

【 0 0 8 1 】

(第 2 実施形態)

図 2 4 および図 2 5 を参照しつつ、第 2 実施形態に係る半導体装置の一例を説明する。

50

図 2 4 および図 2 5 は、第 2 実施形態に係る半導体装置 2 0 0 の一部を表す斜視断面図である。

なお、図 2 4 および図 2 5 では、エミッタ電極 9 1 a および電流ゲート電極 9 1 b が透過して表されている。また、図 2 4 と図 2 5 では、半導体装置 2 0 0 を異なる角度から見たときの様子が表されている。

【 0 0 8 2 】

図 2 4 に表すように、 n 形バリア領域 4 a の上には、半導体装置 1 0 0 と同様に、 p 形ベース領域 5 a、 n^{++} 形コンタクト領域 6 a、 p^{++} 形コンタクト領域 7 a、およびエミッタ電極 9 1 a が設けられている。

n 形バリア領域 4 b の上には、 p 形ベース領域 5 b が設けられている。 p 形ベース領域 5 b の上には、 n^{++} 形コンタクト領域 6 b および p^{++} 形コンタクト領域 7 b が選択的に設けられている。 p 形ベース領域 5 b、 n^{++} 形コンタクト領域 6 b、および p^{++} 形コンタクト領域 7 b は、電流ゲート電極 9 1 b と電氣的に接続されている。

【 0 0 8 3 】

n バリア領域 4 a および p 形ベース領域 5 a は、ゲート電極 1 0 a および 1 1 a、ゲート絶縁層 1 5 a および 1 6 a、絶縁部 1 9 a が内部に設けられたトレンチ Tr 1 と、ゲート電極 1 0 b およびゲート絶縁層 1 5 b が内部に設けられたトレンチ Tr 2 と、の間に設けられている。また、 n バリア領域 4 b および p 形アノード領域 5 b は、トレンチ Tr 1 と、ゲート電極 1 1 b およびゲート絶縁層 1 6 b が内部に設けられたトレンチ Tr 3 と、の間に設けられている。

【 0 0 8 4 】

n 形半導体領域 3 の一部の下には、 n 形バリア領域 4 c が設けられ、 n 形バリア領域 4 c の下には、 p 形ベース領域 5 c が設けられている。 p 形ベース領域 5 c の下には、 n^{++} 形コンタクト領域 6 c および p^{++} 形コンタクト領域 7 c が設けられている。コレクタ電極 9 0 a は、 n^{++} 形コンタクト領域 6 c の下面および一側面と、 p^{++} 形コンタクト領域 7 c の下面および一側面と、 p 形ベース領域 5 c の一側面と、に接しており、これらの半導体領域と電氣的に接続されている。

【 0 0 8 5 】

ゲート電極 1 2 a および 1 2 b は、それぞれ、ゲート絶縁層 1 7 a および 1 7 b を介して n 形半導体領域 3 の上に設けられている。ゲート電極 1 2 b の Z 方向における長さは、ゲート電極 1 2 a の Z 方向における長さよりも短い。 n 形バリア領域 4 c および p 形ベース領域 5 c は、 X 方向において、ゲート電極 1 2 a と 1 2 b の間に位置し、ゲート絶縁層 1 7 a および 1 7 b を介してゲート電極 1 2 a および 1 2 b と対面している。

【 0 0 8 6 】

図 2 5 に表すように、 n 形バリア領域 4 d は、 n 形半導体領域 3 の他の一部の下に設けられており、 n 形バリア領域 4 c と X 方向において離間している。 n 形バリア領域 4 d の下側の構造は、例えば、 n 形バリア領域 4 c の下側の構造と、 X 方向において対称である。

【 0 0 8 7 】

すなわち、 n 形バリア領域 4 d の下に p 形ベース領域 5 d が設けられ、 p 形ベース領域 5 d の下に n^{++} 形コンタクト領域 6 d および p^{++} 形コンタクト領域 7 d が設けられている。そして、コレクタ電極 9 0 b が、 p 形ベース領域 5 d、 n^{++} 形コンタクト領域 6 d、および p^{++} 形コンタクト領域 7 d と電氣的に接続されている。また、 n 形バリア領域 4 d および p 形ベース領域 5 d は、それぞれ、 X 方向において、ゲート絶縁層 1 8 a および 1 8 b を介してゲート電極 1 3 a および 1 3 b と対面している。

【 0 0 8 8 】

換言すると、 n 形バリア領域 4 c および p 形ベース領域 5 c は、ゲート電極 1 2 a および 1 3 a、ゲート絶縁層 1 7 a および 1 8 a、絶縁部 1 9 b が内部に設けられたトレンチ Tr 4 と、ゲート電極 1 2 b およびゲート絶縁層 1 7 b が内部に設けられたトレンチ Tr 5 と、の間に設けられている。また、 n 形バリア領域 4 d および p 形ベース領域 5 d は、

トレンチTr 4と、ゲート電極13bおよびゲート絶縁層18bが内部に設けられたトレンチTr 6と、の間に設けられている。

【0089】

ゲート電極12aおよび12bとコレクタ電極90aとの間には、ゲート絶縁層17aおよび17bが設けられ、これらの電極は離間している。同様に、ゲート電極13aおよび13bとコレクタ電極90bとの間には、ゲート絶縁層18aおよび18bが設けられ、これらの電極は離間している。ゲート電極12aと13aとの間には、絶縁部19bが設けられ、ゲート電極12aと13aは、X方向において離間している。

【0090】

なお、図24および図25では、エミッタ電極91a側に設けられたトレンチTr 1 ~ Tr 3やゲート電極10aおよび11aなどが、コレクタ電極90aおよび90b側に設けられたTr 4 ~ Tr 6やゲート電極12aおよび13aなどと、Z方向において並んでいるが、これらの構成要件は、Z方向において並んでいなくてもよい。

10

また、図24および図25では、エミッタ電極91a側に設けられたトレンチTr 1 ~ Tr 3やゲート電極10aおよび11aなどが、コレクタ電極90aおよび90b側に設けられたトレンチTr 4 ~ Tr 6やゲート電極12aおよび13aなどと、同じ方向に延びているが、これらは互いに異なる方向に延びていてもよい。

トレンチTr 4 ~ Tr 6のそれぞれのX方向における長さや、X方向における互いの距離の関係は、例えば、図15を参照しつつ説明したトレンチTr 1 ~ Tr 3の関係と同じである。

20

【0091】

次に、第2実施形態に係る半導体装置200の駆動方法の一例について説明する。

図26および図27は、第2実施形態に係る半導体装置200の駆動方法の一例を表すフローチャートである。

【0092】

なお、図26および図27では、各半導体領域がシリコンから構成されている場合の駆動方法の一例が表されている。また、図26および図27では、ゲート電極10aおよび10bが、まとめてゲート電極10と表記されている。同様に、ゲート電極11a、11b、12a、12b、13a、および13bは、それぞれ、ゲート電極11、12、および13と表記されている。

30

【0093】

まず、図26を用いて、コレクタ電極90aおよび90bからエミッタ電極91aへ電流を流す場合について説明する。

最初の状態では、エミッタ電極91aおよび電流ゲート電極91b、ゲート電極10 ~ 13、およびコレクタ電極90aおよび90bには、電圧が印加されていない。

【0094】

この状態から、ステップS1に表す電圧を、各電極に印加する。エミッタ電極91aに対して、電流ゲート電極91bに、ビルトインポテンシャル(0.7V)以上の正電圧が印加されることで、 p^{++} 形コンタクト領域7bから n^{-} 形半導体領域3に正孔が注入される。また、ゲート電極11に負電圧が印加されることで、p形ベース領域5bに正孔の蓄積層が形成され、 n^{-} 形半導体領域3への正孔の注入が促進される。一方で、ゲート電極10、12、および13に正電圧が印加されることで、p形ベース領域5a、5c、および5dのそれぞれに反転層が形成される。

40

【0095】

次に、ステップS2に表す電圧を、各電極に印加する。コレクタ電極90aおよび90bに正電圧が印加されることで、エミッタ電極91aから、コレクタ電極90aおよび90bに向けて、電子が流れる。また、コレクタ電極90aおよび90bへの正電圧の印加に合わせて、電流ゲート電極91bへの印加電圧を高める。これにより、コレクタ電極90aおよび90bと、電流ゲート電極91bと、の間の電位差の増加を抑え、コレクタ電極90aおよび90bと、電流ゲート電極91bと、の間で電流が流れ難くなる。

50

【 0 0 9 6 】

次に、ステップ S 3 に表す電圧を、各電極に印加する。ゲート電極 1 2 および 1 3 に負電圧が印加されることで、p 形ベース領域 5 c および 5 d に正孔の蓄積層が形成され、コレクタ電極 9 0 a および 9 0 b から n⁻ 形半導体領域 3 へ正孔が注入される。すなわち、ステップ S 2 では、半導体装置 2 0 0 は、電子のみをキャリアとするユニポーラ型の MOSFET として動作していたが、本ステップ S 3 では、半導体装置 2 0 0 の動作が、電子および正孔をキャリアとするバイポーラ型の IEGT (IGBT) へ切り替わる。

【 0 0 9 7 】

次に、ステップ S 4 に表す電圧を、各電極に印加する。ゲート電極 1 1 に正電圧から負電圧が印加されることで、p 形ベース領域 5 b に形成されていた正孔の蓄積層が消滅し、電子の反転層が形成される。また、電流ゲート電極 9 1 b の電圧が低下することで、p 形ベース領域 5 b の反転層を通して、電流ゲート電極 9 1 b からコレクタ電極 9 0 a および 9 0 b に電子が流れ始める。すなわち、ステップ S 1 ~ S 3 では、電流ゲート電極 9 1 b から n⁻ 形半導体領域 3 へ正孔を注入していたのに対して、ステップ S 4 では、電流ゲート電極 9 1 b から n⁻ 形半導体領域 3 へ電子が注入される。

【 0 0 9 8 】

次に、ステップ S 5 に表すように、コレクタ電極 9 0 a および 9 0 b に印加する電圧を増大させる。これにより、半導体装置 2 0 0 に流れる電流値が上昇する。このとき、半導体装置 2 0 0 は、IEGT として動作しているため、大きな通電能力を有する。従って、コレクタ電極 9 0 a および 9 0 b における電圧を上昇させることで、その電圧の上昇に応じた大きな電流を流すことが可能である。

【 0 0 9 9 】

次に、図 2 7 を用いて、エミッタ電極 9 1 a からコレクタ電極 9 0 a および 9 0 b へ電流を流す場合について説明する。

【 0 1 0 0 】

まず、図 2 6 のステップ S 1 と同様の電圧を、各電極に印加する。これにより、n⁻ 形半導体領域 3 へ正孔が注入される。

【 0 1 0 1 】

次に、ステップ S 2 に表す電圧を、各電極に印加する。すなわち、コレクタ電極 9 0 a および 9 0 b に負電圧を印加する。また、電流ゲート電極 9 1 b と、コレクタ電極 9 0 a および 9 0 b と、の間の電位差が大きくなりすぎないように、電流ゲート電極 9 1 b への印加電圧を低下させる。コレクタ電極 9 0 a および 9 0 b に負電圧が印加されることで、p 形ベース領域 5 a、5 c、および 5 d の反転層を通して、エミッタ電極 9 1 a からコレクタ電極 9 0 a および 9 0 b へ電流が流れる。

【 0 1 0 2 】

次に、ステップ S 3 に表すように、ゲート電極 1 0 に負電圧を印加する。これにより、p 形ベース領域 5 a に正孔の蓄積層が形成され、エミッタ電極 9 1 a から n⁻ 形半導体領域 3 へ正孔が注入される。このステップによって、半導体装置 2 0 0 の動作が、MOSFET から IEGT に切り替わる。

【 0 1 0 3 】

次に、ステップ S 4 に表す電圧を、各電極に印加する。ゲート電極 1 1 の印加電圧が負電圧から正電圧へ変化することで、p 形ベース領域 5 b に形成されていた正孔の蓄積層が消滅し、電子の反転層が形成される。

【 0 1 0 4 】

そして、ステップ S 4、S 5、および S 6 では、コレクタ電極 9 0 a および 9 0 b に印加される負電圧を大きくしていくことで、逆方向に流れる電流を大きくしている。また、電流ゲート電極 9 1 b と、コレクタ電極 9 0 a および 9 0 b と、の間の電位差が大きくなりすぎないように、コレクタ電極 9 0 a および 9 0 b の電圧の変化に合わせて、適宜、電流ゲート電極 9 1 b に印加される負電圧を大きくしている。

【 0 1 0 5 】

ここで、図 28 を用いて、上述した駆動方法を実行した際の半導体装置 200 の電流電圧特性を説明する。

図 28 は、第 2 実施形態に係る半導体装置 200 の電流電圧特性の一例を表すグラフである。

【0106】

図 28 において、横軸は、コレクタ電極 90a および 90b へ印加された電圧 V_c を表す。グラフ中の実線は、コレクタ電極 90a および 90b を流れる電流 I_c の、電圧 V_c に対する変化を表し、破線は、電流ゲート電極 91b を流れる電流 I_e の、電圧 V_c に対する変化を表している。また、グラフの上側には、図 26 および図 27 に表したステップのうち、各電圧 V_c に対応するステップが記載されている。

10

【0107】

順方向に電流を流す場合、ステップ S2 では、半導体装置 200 が MOSFET として動作しているため、電圧 V_c が上昇するにつれて、電流 I_c も線形に増大する。ステップ S3 で、半導体装置 200 の動作が MOSFET から IEGT に切り替えられると、その後のステップ S4 および S5 では、ステップ S2 に比べて、電圧 V_c に対して電流 I_c が大きく上昇している。

【0108】

逆方向に電流を流す場合も同様に、ステップ S2 では、電圧 V_c が上昇するにつれて電流 I_c も線形に増大する。ステップ S4 以降は、ステップ S1 に比べて、電圧 V_c に対して電流 I_c が大きく上昇している。

20

【0109】

このように本実施形態に係る半導体装置においては、図 28 に表す結果から、電流ゲート電極 91b から n^- 形半導体領域 3 への少量の正孔注入によって、通電方向に拘らず、コレクタ電極が 0V から $\pm 3V$ の範囲で、サイリスタのような深い伝導度変調での通電特性を得られていることがわかる。

【0110】

なお、ここでは、ステップ S2 において電流ゲート電極 91b から n^- 形半導体領域 3 へ正孔を注入する場合について説明したが、コレクタ電極 90a および 90b のいずれかから n^- 形半導体領域 3 へ正孔を注入するように、ゲート電極 12 または 13 を制御してもよい。この場合、コレクタ電極 90a および 90b のいずれかには、図 26 および図 27 に表した各ステップにおいて、電流ゲート電極 91b と同じ電圧が印加される。

30

【0111】

また、本実施形態に係る半導体装置は、順方向の通電時および逆方向の通電時のいずれにおいても、 n^- 形半導体領域 3 へ正孔を注入し、 n^- 形半導体領域 3 で深い伝導度変調を起こしつつ、動作を MOSFET から IEGT (IGBT) へ移行させることができる。このため、双方向に通電可能でありながら、図 28 に表されるように、トライアックのようなスナップバックの発生は無い。

【0112】

図 29 は、第 2 実施形態に係る半導体装置 200 のターンオフ時の波形を表すシミュレーション結果である。

40

図 29 では、 $T = 0 \text{ sec}$ でゲート電極 12a、12b、13a、および 13b をターンオフし、 $T = 20 \mu \text{ sec}$ でゲート電極 10a、10b、11a、および 11b をターンオフした際の結果を表している。すなわち、コレクタ電極 90 側のゲート電極をターンオフすることで、コレクタ電極 90 から n^- 形半導体領域 3 への正孔の注入を停止させ、その後に、エミッタ電極 91a 側のゲート電極をターンオフすることで、これらの電極からの電子の注入を停止させた場合の結果を表している。

【0113】

このように、エミッタ電極 91a 側とコレクタ電極 90 側とでゲート電極をターンオフするタイミングをずらすことで、 n^- 形半導体領域 3 における過剰キャリアの蓄積量を低下させたうえで半導体装置をターンオフさせることが可能となり、ターンオフ時のスウィ

50

チング損失を低減することが可能となる。

【0114】

あるいは、ターンオフ時には、コレクタ電圧がビルトインポテンシャル以上か未満かに拘らず、動作を IEGT (IGBT) から MOSFET へ移行させてターンオフすることで、テイル電流をさらに小さくすることができる。ただし、実際の高耐压の半導体装置の場合、MOSFET の通電は、IEGT に比べて小さいため、MOSFET へ移行することで短絡モードとなり、かえって損失が増大する可能性もある。

【0115】

次に、本実施形態に係る半導体装置の順方向および逆方向における耐压について、図 30 および図 31 を参照しつつ、説明する。

10

図 30 は、参考例に係る半導体装置の断面構造と耐压を表す図である。

より具体的には、図 30 (a) には、パンチスルー型の半導体装置の断面構造が表され、図 30 (b) には、ノンパンチスルー型の半導体装置の断面構造が表されている。図 30 (c) では、図 30 (a) に表す半導体装置の順方向の耐压時の各点の電界が破線で表され、図 30 (b) に表す半導体装置の順方向および逆方向の耐压時の各点の電界が実線で表されている。

図 31 は、第 2 実施形態に係る半導体装置の断面構造と耐压印加時の素子内部の電界を表す図である。

図 31 (a) では、半導体装置 200 の断面構造が模式的に表されている。図 31 (b) は、順方向の耐压時の各点の電界を表し、図 31 (c) は、逆方向の耐压時の各点の電界を表している。

20

【0116】

図 30 (a) に表す半導体装置では、カソード電極からアノード電極へ向けて、順に、 n^{++} 形コンタクト領域、 n 形半導体領域、 n^{-} 形半導体領域、 p 形アノード領域、および p^{++} 形コンタクト領域が設けられている。図 30 (a) に表す半導体装置において、アノード電極に対してカソード電極に正電圧が印加された場合、 p 形半導体領域と n^{-} 形半導体領域との間の主接合 A から空乏層が広がる。この空乏層の広がり、図 30 (c) に表すように、 n 形半導体領域で止まる。すなわち、図 30 (a) に表す半導体装置は、空乏層が n^{-} 形半導体領域の全面に広がるパンチスルー型構造を有する。図 30 (a) に表すパンチスルー型の構造を有する場合、 n^{-} 形半導体領域の厚みを薄くできるため半導体装置を小型化することができるものの、構造が上下において非対称であるため、カソード電極に対してアノード電極に正電圧が印加された場合は、耐压が得られない。

30

【0117】

図 30 (b) に表す半導体装置では、カソード電極からアノード電極へ向けて、順に、 p^{++} 形コンタクト領域、 p 形半導体領域、 n^{-} 形半導体領域、 p 形半導体領域、および p^{++} 形コンタクト領域が設けられている。

図 30 (b) に表す半導体装置において、アノード電極に対してカソード電極に正電圧が印加された場合、図 30 (c) に表すように、アノード電極側の p 形半導体領域と n^{-} 形半導体領域との間の主接合 A から n^{-} 形半導体領域へ空乏層が広がる。 n^{-} 形半導体領域の厚みは、空乏層の広がりに対して十分に厚いため、空乏層の広がり、 n^{-} 形半導体領域中で止まる。

40

一方で、カソード電極に対してアノード電極に正電圧が印加された場合は、図 30 (c) に表すように、カソード電極側の p 形半導体領域と n^{-} 形半導体領域との間の主接合 B から n^{-} 形半導体領域へ空乏層が広がり、空乏層の広がり、 n^{-} 形半導体領域中で止まる。

このように、図 30 (b) に表す半導体装置は、順方向および逆方向のいずれにも耐压を得ることが可能である。ただし、 n^{-} 形半導体領域 3 を耐压時の空乏層の延びよりも厚いノンパンチスルー型の構造であるため、図 30 (a) に表す半導体装置に比べて、 n^{-} 形半導体領域が厚く、半導体装置の低損失化が容易ではない。

【0118】

50

ここで、図31(a)に表すように、本実施形態に係る半導体装置では、カソード電極91に対してアノード電極90に正電圧が印加された場合、トレンチTr4~Tr6の底部からn⁻形半導体領域3へ空乏層が広がる。このとき、トレンチTr4~Tr6の底部から広がる空乏層は、カソード電極91側のトレンチTr1~Tr3の底部からn⁻形半導体領域3へ広がる空乏層によって止められる。

また、アノード電極90に対してカソード電極91に正電圧が印加された場合、トレンチTr1~Tr3の底部からn⁻形半導体領域3へ空乏層が広がる。このとき、トレンチTr1~Tr3の底部から広がる空乏層は、アノード電極90側のトレンチTr4~Tr6の底部からn⁻形半導体領域3へ広がる空乏層によって止められる。

すなわち、本実施形態に係る半導体装置では、トレンチTr1~Tr6が、主接合AまたはBとしての機能と、空乏層のストッパーとしてのn形フィールドストップ領域として機能と、を印加電圧の方向に応じて変化させている。

【0119】

この結果、本実施形態に係る半導体装置では、図31(b)および図31(c)に表すように、順方向の耐圧時および逆方向の耐圧時のいずれにおいても、空乏層がn⁻形半導体領域3の全面に広がるパンチスルー型を実現することができる。すなわち、本実施形態によれば、双方向の通電が可能でありながら、いずれの方向にもパンチスルー型の耐圧を実現することができ、半導体装置を低損失化することが可能となる。

【0120】

図32は、第2実施形態に係る半導体装置200の順方向と逆方向の耐圧波形を表すシミュレーション結果である。

ここでは、n⁻形半導体領域3におけるn形不純物濃度を $1.0 \times 10^{13} \text{ cm}^{-3}$ 、n⁻形半導体領域3の厚みを $108 \mu\text{m}$ としてシミュレーションを行った。図32から、順方向および逆方向のいずれの耐圧時にも、約1750Vの耐圧が得られていることがわかる。

【0121】

図33は、第2実施形態に係る半導体装置200で実現可能な動作モードの例を表す図である。

図33に表すように、本実施形態に係る半導体装置200によれば、ゲート電極10~13の電圧を制御することで、半導体装置200の動作を、ダイオードや、MOSFET、IGBT、トライアックなどに適宜切り替えることが可能である。

このように、本実施形態に係る半導体装置は、各ゲート電極の制御のみで、従来のほとんどすべてのパワーデバイスの理想的な特性を再現可能である。応用回路によっては大幅な部品点数の削減も期待できる。また、本実施形態に係る半導体装置によれば、従来素子の性能を飛躍的に高める可能性もある。

【0122】

以上の通り、本実施形態に係る半導体装置では、「ビルトインポテンシャル以下での深い伝導度変調の利用」「ビルトインポテンシャルの無いサイリスタ(IGBT、IGBT)」「MOSFETとIGBTの融合」「サイリスタのような深いバイポーラモードでの完全双方向通電特性」「パンチスルー型設計で順逆阻止耐圧保証」などを同時に複数実現することが可能である。これは、従来のGTRの理想的な特徴である、電流ゲート、バイポーラ動作、かつビルトイン電圧なしと、従来のサイリスタ(IGBT、IGBTなども含む)の特徴である大きな通電能力と、の両方の長所を同時に兼ね備えながら、従来の不純物拡散層を用いた半導体装置には実現不可能だった、電力を効率良く制御するために理想的な特長を、従来の限界を超えて実現した電力用半導体装置である。

【0123】

図34は、第2実施形態に係る半導体装置の応用例を表す断面図である。

図34に表す例では、半導体装置200のコレクタ電極90aおよび90bが、別の半導体装置200のエミッタ電極91aと、金属層92を介して直列に接続されている。

上述した通り、本実施形態に係る半導体装置200は、通電方向にビルトインポテンシ

10

20

30

40

50

ャルが存在しない。このため、複数の半導体装置 2 0 0 を直列に接続した場合であっても、ビルトインポテンシャルの重畳も発生しない。従って、本実施形態に係る半導体装置は、複数の半導体装置を直列に接続する場合に、特に有利である。

【 0 1 2 4 】

(変形例)

図 3 5 は、第 2 実施形態の変形例に係る半導体装置 2 1 0 の一部を表す斜視断面図である。

半導体装置 2 1 0 は、ゲート電極 1 3 a および 1 3 b、 n^{++} 形コンタクト領域 6 d が設けられておらず、 n^{++} 形コンタクト領域 6 c と、 p^{++} 形コンタクト領域 7 c および 7 d が、共通のコレクタ電極 9 0 と接続されている点で、半導体装置 2 0 0 と異なる。また、半導体装置 2 1 0 では、 n^{-} 形半導体領域 3 の下に共通の n 形バリア領域 4 c が設けられている。 p 形ベース領域 5 c および 5 d は、 n 形バリア領域 4 c の下に設けられ、 p 形ベース領域 5 c は、ゲート電極 1 2 a と 1 2 b との間に位置している。 p^{++} 形コンタクト領域 7 d は、 p 形ベース領域 5 d の下に設けられている。

【 0 1 2 5 】

半導体装置 2 1 0 では、ゲート電極 1 3 a および 1 3 b が設けられていないため、M O S F E T 動作の際にコレクタ電極側からの正孔注入は行えないが、図 2 6 および図 2 7 に表す通電動作は、同様に実行可能である。すなわち、ゲート電極 1 3 以外の電圧を、図 2 6 に表すように印加していくことで、コレクタ電極 9 0 からエミッタ電極 9 1 a へ順方向に電流を流すことが可能である。また、ゲート電極 1 3 以外の電圧を、図 2 7 に表すように印加していくことで、エミッタ電極 9 1 からコレクタ電極 9 0 へ逆方向に電流を流すことが可能である。

【 0 1 2 6 】

(第 3 実施形態)

図 3 6 は、第 3 実施形態に係る半導体装置 3 0 0 の一部を表す断面図である。

図 3 6 に表すように、半導体装置 3 0 0 は、 n^{-} 形半導体領域 3 0 と、 p 形ベース領域 3 1 と、 n^{++} 形コンタクト領域 3 2 と、 n 形バリア領域 3 3 と、 p^{++} 形コンタクト領域 3 4 と、ゲート電極 4 0 ~ 4 5 と、ゲート絶縁層 4 0 S ~ 4 5 S と、コレクタ電極 9 0 と、エミッタ電極 9 1 a、9 1 c、および 9 1 d と、を有する。

【 0 1 2 7 】

半導体装置 3 0 0 は、図 3 6 に表すように、素子領域 C R、センス領域 S R 1、およびセンス領域 S R 2 を有する。素子領域 C R は、コレクタ電極 9 0 とエミッタ電極 9 1 a との間で通電が行われる領域である。センス領域 S R 1 およびセンス領域 S R 2 は、それぞれ、エミッタ電極 9 1 c および 9 1 d と、コレクタ電極 9 0 と、の間で通電が行われる領域である。

【 0 1 2 8 】

p 形ベース領域 3 1 は、 n^{-} 形半導体領域 3 0 の上に設けられている。

n^{++} 形コンタクト領域 3 2 は、 p 形ベース領域 3 1 の上に選択的に設けられている。

n 形バリア領域 3 3 は、 n^{-} 形半導体領域 3 0 の下に設けられている。

p^{++} 形コンタクト領域 3 4 は、 n 形バリア領域 3 3 の下に選択的に設けられている。

p 形ベース領域 3 1、 n^{++} 形コンタクト領域 3 2、 n 形バリア領域 3 3、および p^{++} 形コンタクト領域 3 4 は、それぞれ、X 方向において複数設けられ、Y 方向に延びている。

【 0 1 2 9 】

ゲート電極 4 0 は、素子領域 C R において、ゲート絶縁層 4 0 S を介して n^{-} 形半導体領域 3 0 中および p 形ベース領域 3 1 中に設けられている。ゲート電極 4 2 は、センス領域 S R 1 において、ゲート絶縁層 4 2 S を介して n^{-} 形半導体領域 3 0 中および p 形ベース領域 3 1 中に設けられている。ゲート電極 4 4 は、センス領域 S R 2 において、ゲート絶縁層 4 4 S を介して n^{-} 形半導体領域 3 0 中および p 形ベース領域 3 1 中に設けられている。

ゲート電極 40、42、および 44 は、それぞれ、X 方向において、ゲート絶縁層 40S、42S、および 44S を介して p 形ベース領域 31 および n^{++} 形コンタクト領域 32 と対面している。

【0130】

エミッタ電極 91a は、素子領域 CR において、p 形ベース領域 31 および n^{++} 形コンタクト領域 32 の上に設けられ、これらの半導体領域と電氣的に接続されている。エミッタ電極 91c は、センス領域 SR1 において、p 形ベース領域 31 および n^{++} 形コンタクト領域 32 の上に設けられ、これらの半導体領域と電氣的に接続されている。エミッタ電極 91d は、センス領域 SR2 において、p 形ベース領域 31 および n^{++} 形コンタクト領域 32 の上に設けられ、これらの半導体領域と電氣的に接続されている。

10

【0131】

エミッタ電極 91c および 91d には、エミッタ電極 91a と同様の電圧が印加される。また、エミッタ電極 91c および 91d は、それぞれの電極に流れる電流をモニタできるように、不図示の検出器が接続されている。

【0132】

ゲート電極 41 は、素子領域 CR において、ゲート絶縁層 41S を介して n^{-} 形半導体領域 30 中および n 形バリア領域 33 中に設けられている。ゲート電極 43 は、センス領域 SR1 において、ゲート絶縁層 43S を介して n^{-} 形半導体領域 30 中および n 形バリア領域 33 中に設けられている。ゲート電極 45 は、センス領域 SR2 において、ゲート絶縁層 45S を介して n^{-} 形半導体領域 30 中および n 形バリア領域 33 中に設けられている。

20

ゲート電極 41、43、および 45 は、それぞれ、X 方向において、ゲート絶縁層 41S、43S、および 45S を介して n 形バリア領域 33 および p^{++} 形コンタクト領域 34 と対面している。

【0133】

コレクタ電極 90 は、素子領域 CR、センス領域 SR1、およびセンス領域 SR2 において、各領域の n 形バリア領域 33 および p^{++} 形コンタクト領域 34 と電氣的に接続されている。

ゲート電極 40 ~ 45 は、それぞれ、X 方向において複数設けられ、Y 方向に延びている。

30

【0134】

ここで、半導体装置 300 の動作について説明する。

エミッタ電極 91a に対してコレクタ電極 90 に正の電圧が印加された状態で、ゲート電極 40 に閾値以上の正電圧が印加されると、ゲート絶縁層 40S 近傍の p 形ベース領域 31 に電子の反転層が形成される。このとき、ゲート電極 41 に閾値以上の正電圧を印加してもよい。この場合、ゲート絶縁層 41S 近傍の n 形バリア領域 33 に電子の蓄積層が形成される。

これにより、半導体装置 300 は、電子のみをキャリアとする MOSFET として動作し、コレクタ電極 90 からエミッタ電極 91a へ電流が流れる。

【0135】

40

続けて、コレクタ電極 90 への印加電圧を上昇させ、エミッタ電極 91a に対するコレクタ電極 90 への印加電圧がビルトインポテンシャルよりも高くなると、ゲート電極 41 に閾値以上の負電圧を印加し、ゲート絶縁層 41S 近傍の n 形バリア領域 33 に正孔の反転層を形成する。これにより、エミッタ電極 91a から n^{-} 形半導体領域 30 へ電子が注入され、コレクタ電極 90 から n^{-} 形半導体領域 30 へ正孔が注入される。すなわち、半導体装置 300 の動作が、MOSFET から、電子および正孔をキャリアとする IGBT へ移行する。

【0136】

一方で、コレクタ電極 90 とエミッタ電極 91a との間の電位差に拘らず、ゲート電極 42 には、閾値以上の正電圧が印加され、ゲート電極 43 には、閾値以上の負電圧が印加

50

される。また、ゲート電極 4 4 および 4 5 には、閾値以上の正電圧が印加される。すなわち、素子領域 C R における動作に拘らず、センス領域 S R 1 は I G B T として動作し、センス領域 S R 2 は M O S F E T として動作するように、各ゲート電極に電圧が印加される。

【 0 1 3 7 】

センス領域 S R 2 は、M O S F E T として動作するため、コレクタ電極 9 0 とエミッタ電極 9 1 d との間にビルトインポテンシャルが存在しない。一方で、センス領域 S R 1 は、I G B T として動作するため、コレクタ電極 9 0 とエミッタ電極 9 1 c との間の電位差が、ビルトインポテンシャル以上にならなければ動作しない。

このため、例えば、センス領域 S R 2 で電流が検出された状態で、コレクタ電極 9 0 とエミッタ電極 9 1 a との間の電位差を上昇させていき、センス領域 S R 1 で電流が検出されたときに、素子領域 C R の動作を M O S F E T から I G B T に切り替えることができる。このように、2 つのセンス領域を流れる電流を検出して、その検出結果に基づいて M O S F E T と I G B T の切り替えを行うことで、より正確なタイミングで M O S F E T と I G B T の切り替えを行うことができる。従って、例えば、電位差がビルトインポテンシャル未満のときにゲート電極 4 1 の電圧を切り替えてしまい、コレクタ電極 9 0 とエミッタ電極 9 1 a との間で通電が行われなくなるといったことを抑制できる。

【 0 1 3 8 】

なお、図 3 6 に表した素子領域 C R は、一例である。本実施形態に係る半導体装置 3 0 0 の素子領域 C R は、適宜変更することが可能である。以下で、本実施形態に係る半導体装置の各変形例について説明する。

【 0 1 3 9 】

(第 1 変形例)

図 3 7 は、第 3 実施形態の第 1 変形例に係る半導体装置 3 1 0 の一部を表す断面図である。

半導体装置 3 1 0 は、センス領域 S R 1 および S R 2 の構造が半導体装置 3 0 0 と異なる。

【 0 1 4 0 】

センス領域 S R 1 において、 n^- 形半導体領域 3 0 の下には、 n 形バリア領域 3 3 および電極 4 3 が設けられている。電極 4 3 は、X 方向において、絶縁層 4 3 S を介して n 形バリア領域 3 3 と対面している。電極 4 3 同士の間であって、 n 形バリア領域 3 3 の下には、全面に p^{++} 形コンタクト領域 3 4 が設けられている。

【 0 1 4 1 】

センス領域 S R 2 において、 n^- 形半導体領域 3 0 の下には、 n 形バリア領域 3 3 および電極 4 5 が設けられている。電極 4 5 は、X 方向において、絶縁層 4 5 S を介して n 形バリア領域 3 3 と対面している。電極 4 5 同士の間であって、 n 形バリア領域 3 3 の下には、全面に n^{++} 形コンタクト領域 3 5 が設けられている。

電極 4 3 および 4 5 は、例えば、コレクタ電極 9 0 と電氣的に接続されている。

【 0 1 4 2 】

半導体装置 3 1 0 では、センス領域 S R 1 のコレクタ電極 9 0 側において、電極 4 3 同士の間の全面に p^{++} 形コンタクト領域 3 4 が設けられている。このため、電極 4 3 の電圧に拘らず、コレクタ電極 9 0 とエミッタ電極 9 1 c との間の電圧がビルトインポテンシャル以上になると、 p^{++} 形コンタクト領域 3 4 を通して正孔が注入される。

また、センス領域 S R 2 のコレクタ電極 9 0 側において、電極 4 5 同士の間の全面に n^{++} 形コンタクト領域 3 5 が設けられている。このため、電極 4 5 の電圧に拘らず、エミッタ電極 9 1 d から n^- 形半導体領域 3 0 へ注入された電子は、 n^{++} 形コンタクト領域 3 5 を通してコレクタ電極 9 0 へ流れる。

【 0 1 4 3 】

このように、ゲート電極 4 3 および 4 5 をコレクタ電極 9 0 に接続した場合であっても、半導体装置 3 1 0 の構造によれば、センス領域 S R 1 における I G B T 動作による電流

を検出し、センス領域SR2においてMOSFET動作による電流を検出することが可能である。すなわち、半導体装置300では、MOSFET動作時とIGBT動作時で、ゲート電極41と43との間およびゲート電極41と45との間に、異なった電圧が印加されていた。しかし、本変形例によれば、そのような制御が不要となり、半導体装置310の制御を容易にすることができる。

(第2変形例)

図38は、第3実施形態の第2変形例に係る半導体装置320の一部を表す断面図である。

半導体装置320は、素子領域CRの構造が半導体装置300と異なる。

素子領域CRにおいて、p形ベース領域31の一部の上には、電流ゲート電極91bが設けられ、p形ベース領域31の当該一部は、電流ゲート電極91bと電氣的に接続されている。エミッタ電極91aと電流ゲート電極91bは、離間して設けられている。

【0144】

電流ゲート電極91bには、第1実施形態および第2実施形態と同様に、エミッタ電極91aに対して、ビルトインポテンシャル以上の電圧が印加される。

すなわち、ゲート電極40および41に正電圧が印加され、素子領域CRがMOSFETとして動作する際、エミッタ電極91aに対して電流ゲート電極91bにビルトインポテンシャル以上の正電圧が印加され、電流ゲート電極91bからn⁻形半導体領域30へ正孔が注入される。

【0145】

すなわち、半導体装置320における素子領域CRでは、第2実施形態に係る半導体装置200と同様に、MOSFETとして動作させる際にn⁻形半導体領域30に正孔を注入し、n⁻形半導体領域30で電導度変調を生じさせることで、通電能力を高め、オン抵抗を低減することが可能である。

【0146】

(第3変形例)

図39は、第3実施形態の第3変形例に係る半導体装置330の一部を表す断面図である。

半導体装置330は、素子領域CRの構造が半導体装置300と異なる。

【0147】

素子領域CRにおいて、p形ベース領域31の一部およびn⁺⁺形コンタクト領域32の一部には、エミッタ電極91aが電氣的に接続され、p形ベース領域31の他の一部およびn⁺⁺形コンタクト領域32の他の一部には、電流ゲート電極91bが電氣的に接続されている。エミッタ電極91aおよび電流ゲート電極91bは、互いに離間して設けられている。半導体装置の動作時には、電流ゲート電極91bに、エミッタ電極91aに対してビルトインポテンシャル以上の電圧が印加される。

【0148】

また、素子領域CRにおいて、n形バリア領域33の一部およびp⁺⁺形コンタクト領域34の一部には、コレクタ電極90aが電氣的に接続され、n形バリア領域33の他の一部およびp⁺⁺形コンタクト領域34の他の一部には、コレクタ電極90bが電氣的に接続されている。コレクタ電極90aおよび90bは、互いに離間して設けられている。半導体装置の動作時には、コレクタ電極90bに、コレクタ電極90aに対してビルトインポテンシャル以上の電圧が印加される。

【0149】

センス領域SR1およびSR2では、n形バリア領域33およびp⁺⁺形コンタクト領域34は、コレクタ電極90cと電氣的に接続されている。コレクタ電極90cは、コレクタ電極90aと電氣的に接続されている。

【0150】

ゲート電極40および41に正電圧が印加されると、素子領域CRがMOSFETとして動作する。このとき、コレクタ電極90bおよび電流ゲート電極91bからn⁻形半導

10

20

30

40

50

体領域 30 へ正孔が注入される。本変形例によれば、半導体装置 320 に比べて、 n^- 形半導体領域 30 により多くの正孔を注入し、 n^- 形半導体領域 30 に蓄積される正孔の濃度を高め、素子領域 CR における通電能力をさらに高めることができる。

【0151】

(第4実施形態)

図40は、第4実施形態に係る半導体装置400の一部を表す断面図である。

半導体装置400は、素子領域CRと、素子領域CRを囲む終端領域TRと、を有する

。図40に表すように、素子領域CRには、例えば、第1実施形態に係る半導体装置100と同様の機能を有する構造が設けられている。

【0152】

終端領域TRでは、 n^- 形半導体領域3の上に、p形半導体領域50が設けられている。p形半導体領域50の上には、 p^{++} 形半導体領域52が選択的に設けられている。エミッタ電極91aは、 p^{++} 形半導体領域52と電気的に接続されている。

【0153】

n形バリア領域2の周り、 n^- 形半導体領域3の周り、およびp形半導体領域50の上には、絶縁層54が設けられている。絶縁層54の上には、半絶縁層55が設けられている。半絶縁層55の一端は、 p^{++} 形半導体領域52に接続され、他端は、 n^{++} 形コレクタ領域1に接続されている。すなわち、半絶縁層55の一端は、エミッタ電極91aと同電位に接続され、他端は、コレクタ電極90と同電位に接続される。

なお、図40に表す例に限らず、本実施形態に係る半導体装置400では、絶縁層54が設けられずに半絶縁層55が、p形半導体領域50、 n^- 形半導体領域3、n形バリア領域2、および n^{++} 形コレクタ領域1の各半導体領域に直接接していてもよい。この場合、絶縁層54を半絶縁層55の上に設けても良い。

【0154】

半絶縁層55の電気抵抗は、 n^- 形半導体領域3などの半導体領域の電気抵抗よりも高く、絶縁層54の電気抵抗よりも低い。絶縁層54は、絶縁材料として、例えば、酸化シリコンまたは窒化シリコンなどを含む。半絶縁層55は、半絶縁材料として、S i n S i N (Semi-Insulating Silicon Nitride：窒化アモルファスシリコン) または S I P O S (Semi-Insulating Polycrystalline Silicon：半絶縁性多結晶シリコン) を含む。

【0155】

コレクタ電極90とエミッタ電極91aとの間に電位差がある場合、 n^{++} 形コレクタ領域1と p^{++} 形半導体領域52との間で半絶縁層55を通して微小な電流が流れる。半導体装置400の耐圧時に、 n^{++} 形コレクタ領域1と p^{++} 形半導体領域52との間の電位差が、半絶縁層55において徐々に降下していくことで、半導体装置400の外周に生じる電界強度の偏りを緩和し、半導体装置400の耐圧を高めることができる。

【0156】

また、半絶縁層55が n^- 形半導体領域3の周りにZ方向に沿って設けられ、 n^{++} 形コレクタ領域1と p^{++} 形半導体領域52との間の半絶縁層55に沿った距離を長くすることで、半絶縁層55における電圧降下をより緩やかにし、半導体装置400の耐圧をさらに高めることができる。

【0157】

(第1変形例)

図41は、第4実施形態の第1変形例に係る半導体装置410の一部を表す断面図である。

半導体装置410では、素子領域CRに、第2実施形態に係る半導体装置200と同様の機能を有する構造が設けられている。

【0158】

終端領域TRの素子領域CR側では、 n^- 形半導体領域3の上に、p形半導体領域50が設けられ、 n^- 形半導体領域3の下に、n形半導体領域56が設けられている。

p 形半導体領域 5 0 の上には、 p^{++} 形半導体領域 5 2 が設けられ、 p^{++} 形半導体領域 5 2 は、エミッタ電極 9 1 a と電氣的に接続されている。

n 形半導体領域 5 6 の下には、 n^{++} 形半導体領域 5 8 が設けられ、 n^{++} 形半導体領域 5 8 は、コレクタ電極 9 0 a と電氣的に接続されている。

【0159】

絶縁層 5 4 は、p 形半導体領域 5 0 の上面、 n^{-} 形半導体領域 3 の側面、および n 形半導体領域 5 6 の下面に設けられている。半絶縁層 5 5 は、絶縁層 5 4 の上に設けられている。半絶縁層 5 5 の一端は、 p^{++} 形半導体領域 5 2 に接続され、他端は、 n^{++} 形半導体領域 5 8 に接続されている。

【0160】

本変形例では、終端領域 TR において、半絶縁層 5 5 が、半導体装置 4 1 0 の上面から下面に亘って連続的に設けられている。このため、 n^{++} 形半導体領域 5 8 と p^{++} 形半導体領域 5 2 との間の半絶縁層 5 5 に沿った距離を長くすることができ、終端領域 TR において、半導体装置 4 1 0 の上面、側面、および下面の各部における電圧降下をさらに小さくすることができる。このため、半導体装置 4 0 0 に比べて、終端領域 TR における電界集中をさらに緩和し、半導体装置の耐圧をさらに高めることができる。

【0161】

(第2変形例)

図 4 2 は、第 4 実施形態の第 2 変形例に係る半導体装置 4 2 0 の一部を表す断面図である。

半導体装置 4 2 0 は、 p^{+} 形半導体領域 5 1 および n^{+} 形半導体領域 5 7 がさらに設けられている点で、半導体装置 4 1 0 と異なる。

【0162】

p^{+} 形半導体領域 5 1 は、p 形半導体領域 5 0 の上に選択的に設けられている。 p^{++} 形半導体領域 5 2 は、 p^{+} 形半導体領域 5 1 の上に選択的に設けられている。

また、 n^{+} 形半導体領域 5 7 は、n 形半導体領域 5 6 の上に選択的に設けられている。 n^{++} 形半導体領域 5 8 は、 n^{+} 形半導体領域 5 7 の上に選択的に設けられている。

【0163】

本変形例においても、半導体装置 4 1 0 と同様に、終端領域 TR における電界集中を緩和し、半導体装置の耐圧を向上させることができる。

【0164】

(第3変形例)

図 4 3 は、第 4 実施形態の第 3 変形例に係る半導体装置 4 3 0 の一部を表す断面図である。

半導体装置 4 3 0 では、終端領域 TR において、半絶縁層 5 5 に代えて、導電部 6 0 および絶縁層 6 1 が設けられている。導電部 6 0 は、絶縁層 6 1 を介して n^{-} 形半導体領域 3 中に設けられている。導電部 6 0 は、半導体装置 4 3 0 の上面側と下面側の両方に設けられている。また、半導体装置の中央から外周に向かう方向において、複数の導電部 6 0 が、互いに離間して設けられている。それぞれの導電部 6 0 は、半導体装置 4 3 0 の外周に沿って環状に設けられている。

【0165】

または、平面視 (Z 方向から見た場合) において、ドット状あるいは矩形状の導電部 6 0 を複数設け、これらの導電部 6 0 を、半導体装置 4 3 0 の外周に沿って環状に配列させてもよい。この場合、導電部 6 0 同士の間隔は、半導体装置 4 3 0 をターンオフした際の空乏層の広がりに合わせて設定される。

【0166】

導電部 6 0 は、コレクタ電極 9 0 a やエミッタ電極 9 1 a などとは電氣的に分離されており、導電部 6 0 の電位は、フローティングである。導電部 6 0 は、それぞれが電氣的に互いに分離されて設けられていてもよいし、隣り合う複数の導電部 6 0 が電氣的に接続されていてもよい。

10

20

30

40

50

例えば、エミッタ電極 9 1 a に対してコレクタ電極 9 0 a に正電圧が印加され、半導体装置 4 3 0 がオフ状態のとき、上面側（コレクタ電極 9 0 a 側）では、半導体装置の中央側から外周に向かって、各導電部 6 0 の電位が徐々に低下していき、下面側（エミッタ電極 9 1 a 側）では、外周から中央側に向かって、各導電部 6 0 の電位が徐々に低下していく。そして、 n^- 形半導体領域 3 における等電位線は、各導電部 6 0 の電位に応じて、広がっていく。このため、終端領域 T R における電界集中を緩和し、半導体装置の耐圧を向上させることが可能である。

【 0 1 6 7 】

また、導電部 6 0 が、半導体装置 4 3 0 の上面側と下面側の両方に設けられていることで、導電部 6 0 同士の間電圧降下を小さくし、終端領域 T R における電界集中をさらに緩和させ、半導体装置の耐圧を向上させることができる。あるいは、半導体装置の耐圧が向上した分、終端領域 T R の厚み（半導体装置の中心から外周に向かう方向の寸法）を薄くし、半導体装置を小型化することが可能となる。

【 0 1 6 8 】

また、半導体装置 4 3 0 では、素子領域 C R において、半導体装置 2 0 0 と同様の機能を有する構造が設けられている。第 2 実施形態で説明したように、半導体装置 2 0 0 は、耐圧の保持方向に拘らず、Z 方向において空乏層が n^- 形半導体領域 3 の全面に広がるパンチスルー型の構造を有する。

本変形例に係る半導体装置 4 3 0 では、終端領域 T R における耐圧を保持するための p n 接合が設けられておらず、終端領域 T R における耐圧は、導電部 6 0 によって得ている。そして、この導電部 6 0 は、 n^- 形半導体領域 3 を中心として Z 方向に対称に設けられている。

終端領域 T R に p n 接合を設け、これにより耐圧を得る場合、Z 方向における構造が非対称となるため、パンチスルー型の構造においては、順方向および逆方向のいずれか一方において耐圧を得ることができるが、他方においては耐圧を得ることができない。しかし、本変形例のように、導電部 6 0 を n^- 形半導体領域 3 を中心として Z 方向に対称に設けることで、耐圧の保持方向に拘らず、終端領域 T R において高い耐圧を得ることができる。従って、本変形例に係る半導体装置の終端領域 T R の構造は、図 4 3 に表すように、パンチスルー型の双方向通電可能な構造が素子領域 C R に設けられている場合に、特に有効である。

【 0 1 6 9 】

本変形例に係る半導体装置 4 3 0 のシミュレーション結果について、図 4 4 および図 4 5 を参照しつつ説明する。

図 4 4 は、シミュレーションに用いた第 4 実施形態の第 3 変形例に係る半導体装置 4 3 0 の一部を表す断面図である。

図 4 5 は、図 4 4 に表す構造における電位分布を表すシミュレーション結果である。

なお、図 4 5 では、半導体装置 4 3 0 の Z 方向における中心から上方では、色が黒いほど電位が低いことを表し、中心から下方では、色が黒いほど電位が高いことを表している。

【 0 1 7 0 】

図 4 4 に表すように、シミュレーションに用いた半導体装置 4 3 0 では、隣り合う複数の導電部 6 0 同士が電氣的に接続されている。また、最も素子領域 C R 側に設けられた導電部 6 0 が、エミッタ電極 9 1 a およびコレクタ電極 9 0 a と接続されている。

【 0 1 7 1 】

このような構造についてシミュレーションを行った結果、図 4 5 に表すように、半導体装置 4 3 0 の上面、側面、および下面に等電位線が広がっており、半導体装置 4 3 0 の上面、側面、および下面で耐圧が保持されていることがわかる。また、このように、上面、側面、および下面で耐圧が保持されることで、上面側および下面側の一方の終端領域だけで等電位線を分布させて耐圧を確保する場合に比べて、終端領域の厚み（半導体装置の中心から外周に向かう方向の寸法）を薄くし、半導体装置を小型化することが可能となる。

また、図 4 5 に表す結果から、Z 方向において略対称に電位が分布していることもわかる。従って、本変形例によれば、コレクタ電極 9 0 とエミッタ電極 9 1 a との間の耐圧の方向に拘らず、半導体装置 4 3 0 の上面、側面、および下面で耐圧を保持することが可能である。

【 0 1 7 2 】

(第 4 変形例)

図 4 6 は、第 4 実施形態の第 4 変形例に係る半導体装置 4 4 0 の一部を表す断面図である。

なお、図 4 6 では、素子領域 C R に設けられた n⁻ 形半導体領域 3 以外の各半導体領域が省略されている。

10

【 0 1 7 3 】

半導体装置 4 4 0 は、終端領域 T R を覆う半絶縁層 5 5 が設けられている点で、半導体装置 4 3 0 と異なる。

半絶縁層 5 5 は、終端領域 T R の上面、側面、および下面に設けられ、各導電部 6 0 と接続されている。また、半絶縁層 5 5 の一端は、エミッタ電極 9 1 a と接続され、他端は、コレクタ電極 9 0 と接続されている。

半絶縁層 5 5 は、抵抗性のフィールドプレートとして、終端領域 T R における導電部 6 0 の電位を、終端領域 T R の厚み方向において均一に分布させ、耐圧印加時に、終端領域 T R の上面および下面における電界集中を抑制する働きがある。

【 0 1 7 4 】

20

本変形例による効果について、図 4 7 を参照しつつ、説明する。

図 4 7 は、第 4 実施形態の第 4 変形例に係る半導体装置 4 4 0 の一部を表す断面図および各部の電界を表すグラフである。

図 4 7 において、断面図の上方には、半導体装置 4 3 0 の上面側 (エミッタ電極 9 1 a 側) における電界強度が表され、下方には、半導体装置 4 3 0 の下面側 (コレクタ電極 9 0 側) における電界強度が表されている。また、断面図の右側方には、半導体装置 4 3 0 の端面における電界強度が表され、左側方には、半導体装置 4 3 0 の素子領域 C R における電界強度が表されている。

【 0 1 7 5 】

半導体装置 4 4 0 は、Z 方向において対称な構造を有し、かつ n⁻ 形半導体領域 3 の全面に亘って空乏層が広がるパンチスルー型の構造を有している。このため、図 4 7 の左側方のグラフに示されるように、素子領域 C R における電界強度は、Z 方向において E m a x でほぼ一定となっている。

30

【 0 1 7 6 】

終端領域 T R では、半絶縁層 5 5 が設けられていることで、半導体装置 4 0 0 と同様に、コレクタ電極 9 0 からエミッタ電極 9 1 a に向けて半絶縁層 5 5 中を電流が流れる。このとき、導電部 6 0 の電位が半絶縁層 5 5 の各部の電位と等しくなることで、終端領域 T R における n⁻ 形半導体領域 3 中の電位をより均等に分布させることができる。このため、図 4 7 の上方、右側方、および下方のグラフに示されるように、終端領域 T R における電界強度は、それぞれの面に沿って、E s でほぼ一定となる。なお、E s は、E m a x よりも小さな値である。

40

また、半導体装置 4 4 0 は、Z 方向において対称な構造を有するため、このような終端領域 T R における均一な電位の分布は、半導体装置 4 4 0 の耐圧の方向に拘らず得られる。

【 0 1 7 7 】

このように、本変形例によれば、耐圧の方向に拘らず、終端領域 T R における電界集中をより一層緩和し、半導体装置の耐圧を高めることができる。あるいは、終端領域 T R における電界集中が緩和された分、終端領域 T R の厚みを小さくし、半導体装置を小型化することが可能である。

【 0 1 7 8 】

50

図４８および図４９は、第４実施形態の第４変形例に係る半導体装置４４０のシミュレーション結果である。

図４８および図４９では、それぞれ、半導体装置４４０の終端領域ＴＲにおける電位分布が示されている。図４８および図４９では、図４５と同様に、半導体装置４４０のＺ方向における中心から上方では、色が黒いほど電位が低いことを表し、中心から下方では、色が黒いほど電位が高いことを表している。

また、図４８と図４９では、半導体装置４４０の側面に設けられた半絶縁層５５の厚みが異なる。すなわち、図４８に表す半導体装置では、終端領域ＴＲの上面、側面、および下面に設けられた半絶縁層５５の厚みが一定である。これに対して、図４９に表す半導体装置では、終端領域ＴＲの側面に設けられた半絶縁層５５の厚みが、上面および下面に設けられた半絶縁層５５の厚みよりも厚い。

10

【０１７９】

図４８に表すように、半絶縁層５５の厚みが一定である場合、終端領域ＴＲの上面、側面、および下面において、均等に電圧が降下していく。これに対して、図４９に表すように、側面の半絶縁層５５が厚い場合、側面上の半絶縁層５５の電気抵抗が他の部分よりも低くなる。この結果、側面における電圧降下が小さくなり、電界強度が低下する。このため、図４９に表す構成によれば、半導体装置の側面がダイシングなどの加工によって粗く形成されている場合でも、側面における電界強度を低下させ、側面を流れるリーク電流を低減させることが可能となる。

【０１８０】

20

図５０は、第４実施形態の第４変形例に係る半導体装置４４０の耐圧波形を表すシミュレーション結果である。

図５０では、 n^- 形半導体領域３における n 形不純物濃度を $1.0 \times 10^{13} \text{ cm}^{-3}$ 、 n^- 形半導体領域３のＺ方向における厚みを $48 \mu\text{m}$ として 700 V の耐圧を保証するように半導体装置を設計した場合の、計算結果の一例が表されている。

図５０に表す結果から、耐圧の保持方向に拘らず、 700 V 以上の耐圧が得られていることが分かる。

【０１８１】

（第５変形例）

図５１は、第４実施形態の第５変形例に係る半導体装置４５０の一部を表す断面図である。

30

なお、図５１では、素子領域ＣＲに設けられた n^- 形半導体領域３以外の各半導体領域が省略されている。

【０１８２】

半導体装置４５０は、導電部６０が設けられたトレンチＴｒ７の深さ（Ｚ方向における寸法）Ｄ１が、ゲート電極１０ｂが設けられたトレンチＴｒ８の深さＤ２、およびゲート電極１２ｂが設けられたトレンチＴｒ９の深さＤ３よりも深い点で、半導体装置４４０と異なる。

より具体的には、トレンチＴｒ７の深さＤ１は、素子領域ＣＲの最も終端領域ＴＲ側に形成されたトレンチＴｒ８およびＴｒ９の各々の深さＤ２およびＤ３よりも深い。

40

【０１８３】

また、これらのトレンチの深さの関係は、例えば、導電部６０、ゲート電極１０ｂ、およびゲート電極１２ｂのそれぞれのＺ方向における寸法の関係に同様に表れる。すなわち、半導体装置４５０では、導電部６０のＺ方向における長さは、ゲート電極１０ｂのＺ方向における長さおよびゲート電極１２ｂのＺ方向における長さよりも長い。

【０１８４】

トレンチＴｒ７が、トレンチＴｒ８およびＴｒ９よりも深く設けられていることで、素子領域ＣＲ外周（素子領域ＣＲと終端領域ＴＲの境界領域）における電界集中を緩和し、半導体装置の耐圧をさらに高めることができる。

【０１８５】

50

なお、全てのトレンチT r 7が、トレンチT r 8およびT r 9よりも深く形成されている必要はない。例えば、終端領域T Rに形成された複数のトレンチT r 7のうち、最も素子領域C R側に位置するトレンチT r 7のみが、トレンチT r 8およびT r 9よりも深く形成されていてもよい。また、トレンチT r 7同士の深さが互いに異なっていてもよい。

【0186】

また、深さD 1とD 2の差 D_1 は、トレンチT r 8の幅（X方向における寸法）の1/5倍以上であることが望ましい。同様に、深さD 1とD 3の差 D_2 は、トレンチT r 9の幅の1/5倍以上であることが望ましい。

このような構造によれば、半導体装置の耐圧をより一層高めることが可能である。

【0187】

図52は、第4実施形態の第5変形例に係る半導体装置450のシミュレーション結果である。

図52に表すシミュレーションに用いた半導体装置では、終端領域T Rに設けられた全てのトレンチT r 7が、トレンチT r 8およびT r 9より深く形成されている。また、終端領域T Rの最も素子領域C R側に位置するトレンチT r 7が、他のトレンチT r 7よりもさらに深く形成されている。

【0188】

図52に表すシミュレーション結果から、終端領域T Rの最も素子領域C R側に位置するトレンチT r 7によって等電位線がn⁻形半導体領域3のZ方向中心側に持ち上げられている様子がわかる。この結果からも、本変形例によれば、素子領域C R外周における電界集中を緩和し、半導体装置の耐圧を向上できることがわかる。

【0189】

なお、上述した各例では、素子領域C Rに、第1実施形態または第2実施形態に係る半導体装置が設けられている場合について説明したが、本実施形態に係る半導体装置は、これに限られない。例えば、素子領域C Rには、ダイオードやMOSFET、IGBTなどの単一の機能を有する素子が設けられていてもよい。その場合でも、上述した各構成を終端領域T Rに設けることで、半導体装置の外周における電界分布の偏りを緩和し、半導体装置の耐圧を高めることができる。

【0190】

（第5実施形態）

図53は、第5実施形態に係る半導体装置500を表す平面図である。

図54(a)は、図53のA-A'断面図であり、図54(b)は、図53のB-B'断面図である。

図55(a)は、図53のC-C'断面図であり、図55(b)は、図53のD-D'断面図である。

【0191】

半導体装置500は、例えば、IGBTである。

図53～図55に表すように、半導体装置500は、n⁺⁺形コンタクト領域70、p⁺⁺形コレクタ領域71、n形バッファ領域72、n⁻形半導体領域73、p形ベース領域74、n⁺⁺形エミッタ領域75、ゲート電極76、ゲート絶縁層77、p形半導体領域78、絶縁層79、コレクタ電極90、エミッタ電極91、およびゲートパッド93を有する。

【0192】

図53に表すように、素子領域C Rは、終端領域T Rに囲まれている。

エミッタ電極91とゲートパッド93は、半導体装置500の上面に、互いに離間して設けられている。

【0193】

図54および図55に表すように、コレクタ電極90は、半導体装置500の下面に設けられている。

n⁺⁺形コンタクト領域70は、終端領域T Rにおいて、コレクタ電極90の上に設け

10

20

30

40

50

られている。

p^{++} 形コレクタ領域 71 は、素子領域 CR において、コレクタ電極 90 の上に設けられている。

n^{++} 形コンタクト領域 70 および p^{++} 形コレクタ領域 71 は、コレクタ電極 90 と電氣的に接続されている。

n 形バッファ領域 72 は、 n^{++} 形コンタクト領域 70 および p^{++} 形コレクタ領域 71 の上に設けられている。

【0194】

n^{-} 形半導体領域 73 は、 n 形バッファ領域 72 の上に設けられている。

p 形ベース領域 74 は、 n^{-} 形半導体領域 73 の上に設けられている。

n^{++} 形エミッタ領域 75 は、 p 形ベース領域 74 の上に選択的に設けられている。

ゲート電極 76 は、 n^{-} 形半導体領域 73 および p 形ベース領域 74 中にゲート絶縁層 77 を介して設けられている。 p 形ベース領域 74 および n^{++} 形エミッタ領域 75 は、X 方向において、ゲート絶縁層 77 を介してゲート電極 76 と対面している。

【0195】

p 形ベース領域 74、 n^{++} 形エミッタ領域 75、およびゲート電極 76 は、X 方向において複数設けられ、それぞれが Y 方向に延びている。

【0196】

p 形半導体領域 78 は、終端領域 TR において、 n^{-} 形半導体領域 73 上に設けられ、 p 形ベース領域 74、 n^{++} 形エミッタ領域 75、およびゲート電極 76 を囲んでいる。
 p 形半導体領域 78 は、 p 形ベース領域 74 よりも深くまで設けられている。

絶縁層 79 は、 n 形バッファ領域 72 の外周上、 n^{-} 形半導体領域 73 と p 形半導体領域 78 の周り、および p 形半導体領域 78 の上に設けられている。

【0197】

エミッタ電極 91 は、 p 形ベース領域 74 および n^{++} 形エミッタ領域 75 の上に設けられ、これらの半導体領域と電氣的に接続されている。ゲート電極 76 とエミッタ電極 91 との間にはゲート絶縁層 77 が設けられ、これらの電極は、電氣的に分離されている。

また、エミッタ電極 91 の一部は、終端領域 TR にも位置し、絶縁層 79 を介して p 形半導体領域 78 の周りに設けられている。

【0198】

図 54 (b) および図 55 (b) に表すように、 n^{-} 形半導体領域 73 の一部と p 形半導体領域 78 は、半導体装置 500 の外周において、周方向に沿って交互に設けられている。また、 p 形半導体領域 78 は、下方に向かうほど、素子領域 CR から終端領域 TR に向かう方向における長さが減少している。

このため、Z 方向の各位置において p 形半導体領域 78 に含まれる p 形不純物量は、上方に向かうほど増加し、下方に向かうほど減少している。また、 p 形半導体領域 78 同士の間位置する n^{-} 形半導体領域 73 の n 形不純物量は、Z 方向の各位置において、上方に向かうほど減少し、下方に向かうほど増加している。

【0199】

半導体装置 500 がターンオフされ、エミッタ電極 91 に対してコレクタ電極 90 に正電圧が印加されている場合、 n^{-} 形半導体領域 73 と p 形ベース領域 74 との pn 接合面および n^{-} 形半導体領域 73 と p 形半導体領域 78 との pn 接合面から空乏層が広がる。このとき、 n^{-} 形半導体領域 73 と p 形半導体領域 78 との pn 接合面からは横方向にも空乏層が広がる。

【0200】

上述したように、 p 形半導体領域 78 に含まれる p 形不純物量は、下方に向かうほど減少し、 p 形半導体領域 78 同士の間位置する n^{-} 形半導体領域 73 の n 形不純物量は、下方に向かうほど減少している。

このため、 n^{-} 形半導体領域 73 と p 形半導体領域 78 との間の各点における電位は、上方から下方に向かって徐々に低下していく。すなわち、従来では、終端領域 TR の面積

10

20

30

40

50

を大きくし、終端領域TRにおける電界集中を面内方向で緩和していたのに対して、本実施形態に係る半導体装置によれば、p形半導体領域78によって、終端領域TRにおける電界集中を上下方向で緩和させることができる。

従って、本実施形態によれば、半導体装置の終端領域の面積を小さくし、半導体装置を小型化することが可能となる。

【0201】

なお、上述した各例では、第5実施形態に係る半導体装置がIGBTである場合について説明したが、第5実施形態に係る半導体装置は、素子領域CRにおいて、ダイオードやMOSFETなどであってもよい。これらの半導体装置においても、終端領域TRにp形半導体領域78が設けられていることで、半導体装置の外周における電界集中を上下方向において緩和し、半導体装置を小型化することができる。

【0202】

以上で説明した各実施形態における、各半導体領域の間の不純物濃度の相対的な高低については、例えば、SCM（走査型静電容量顕微鏡）を用いて確認することが可能である。なお、各半導体領域におけるキャリア濃度は、各半導体領域において活性化している不純物濃度と等しいものとみなすことができる。従って、各半導体領域の間のキャリア濃度の相対的な高低についても、SCMを用いて確認することができる。

また、各半導体領域における不純物濃度については、例えば、SIMS（二次イオン質量分析法）により測定することが可能である。

【0203】

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。実施形態に含まれる、例えば、 n^{++} 形コレクタ領域1、 n 形バリア領域2、 n^{-} 形半導体領域3、 n 形バリア領域4、 p 形ベース領域5、 n^{++} 形コンタクト領域6、 p^{++} 形コンタクト領域7、ゲート電極10～13および40～45、ゲート絶縁層15～18および40S～45S、 n^{-} 形半導体領域30、 p 形ベース領域31、 n^{++} 形コンタクト領域32、 n 形バリア領域33、 p^{++} 形コンタクト領域34、 n^{++} 形コンタクト領域35、 p 形半導体領域50、 p^{++} 形半導体領域51、 p^{++} 形半導体領域52、絶縁層54、半絶縁層55、 n 形半導体領域56、 n^{++} 形半導体領域57、 n^{++} 形半導体領域58、導電部60、絶縁層61、 n^{++} 形コンタクト領域70、 p^{++} 形コレクタ領域71、 n 形バッファ領域72、 n^{-} 形半導体領域73、 p 形ベース領域74、 n^{++} 形エミッタ領域75、ゲート電極76、ゲート絶縁層77、 p 形半導体領域78、絶縁層79、コレクタ電極90、エミッタ電極91、金属層92、ゲートパッド93などの各要素の具体的な構成に関しては、当業者が公知の技術から適宜選択することが可能である。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。また、前述の各実施形態は、相互に組み合わせて実施することができる。

【符号の説明】

【0204】

100、110、200、210、300～330、400～430、500 半導体装置、 1 n^{++} 形ドレイン領域、 2 n 形バリア領域、 3 n^{-} 形半導体領域、 4 n 形バリア領域、 5 p 形ベース領域、 6 n^{++} 形コンタクト領域、 7 p^{++} 形コンタクト領域、 10～13 ゲート電極、 30 n^{-} 形半導体領域、 31 p 形ベース領域、 32 n^{++} 形コンタクト領域、 33 n 形バリア領域、 34 p^{++} 形コンタクト領域、 35 n^{++} 形コンタクト領域、 40～45 ゲート電極、 50 p 形半導体領域、 52 p^{++} 形半導体領域、 55 半絶縁層、 56 n 形半導体領域、 58 n^{++} 形半導体領域、 60 導電部、 70 n^{++} 形コンタクト領域、 71 p^{++} 形コレクタ領域、 72 n 形バッファ領域、 73 n^{-} 形半導体領域、 74 p 形ベース領域、 75 n^{++} 形エミッタ領域、 76 ゲート電極、 77 ゲー

10

20

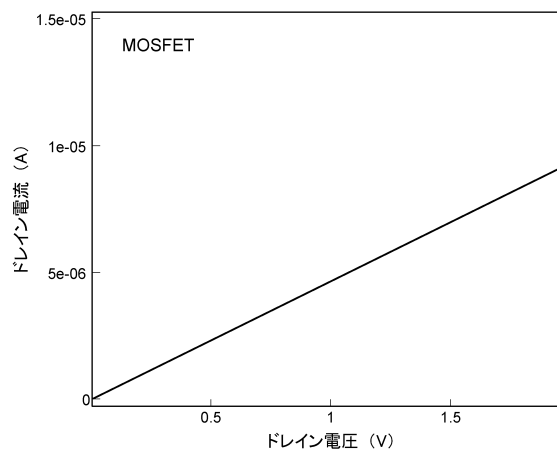
30

40

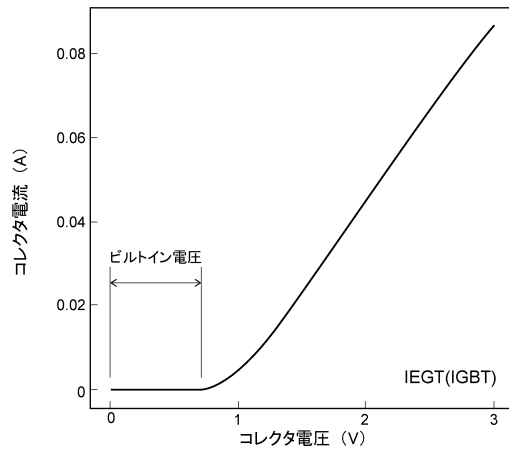
50

ト絶縁層、 78 p形半導体領域、 79 絶縁層、 90 コレクタ電極、 91 エミッタ電極、 92 金属層、 93 ゲートパッド

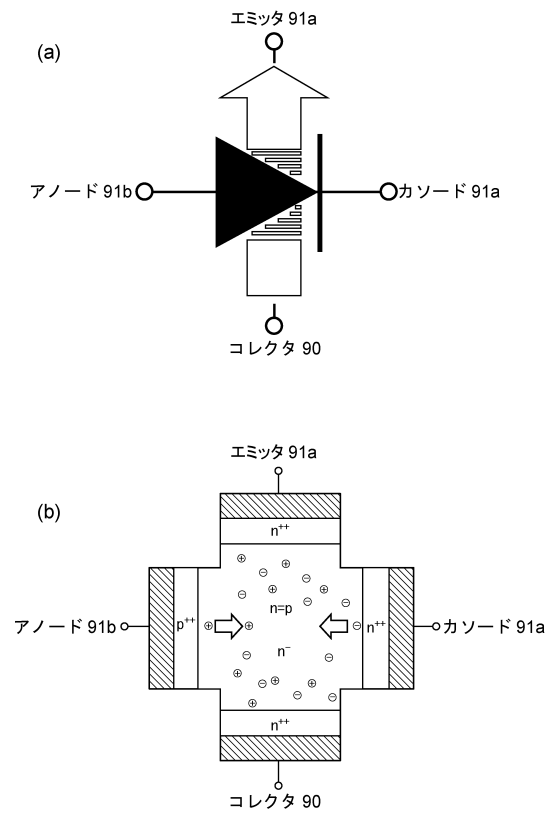
【圖 2】



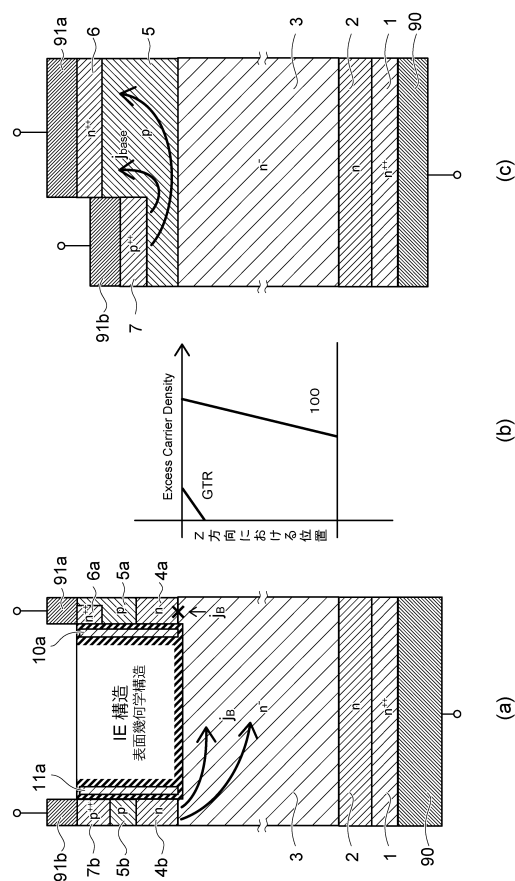
【図 3】



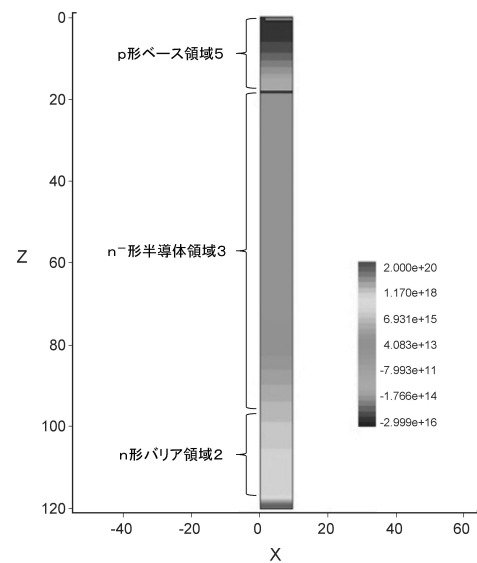
【図 4】



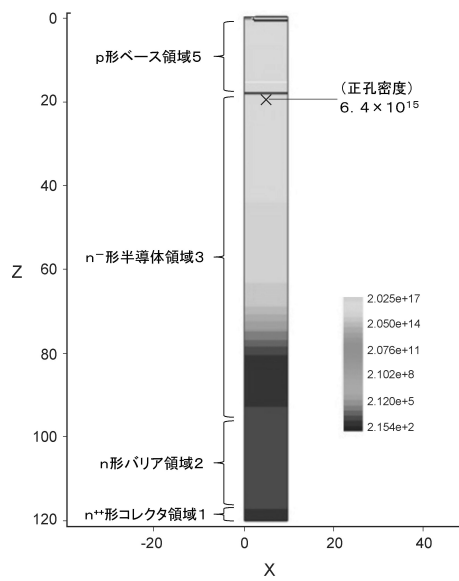
【図 5】



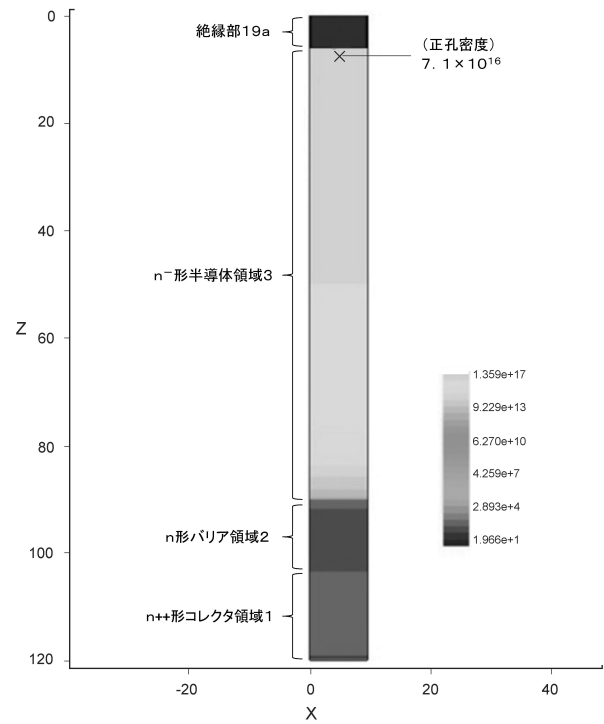
【図 6】



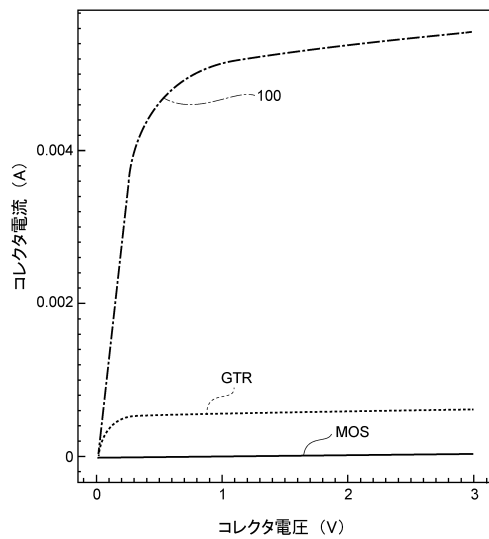
【図 7】



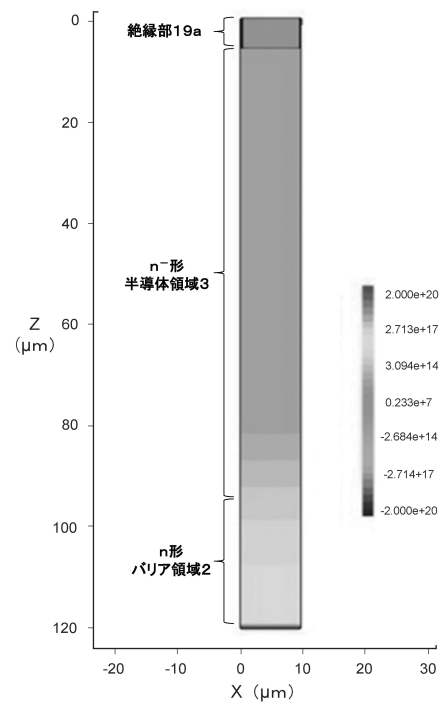
【図 8】



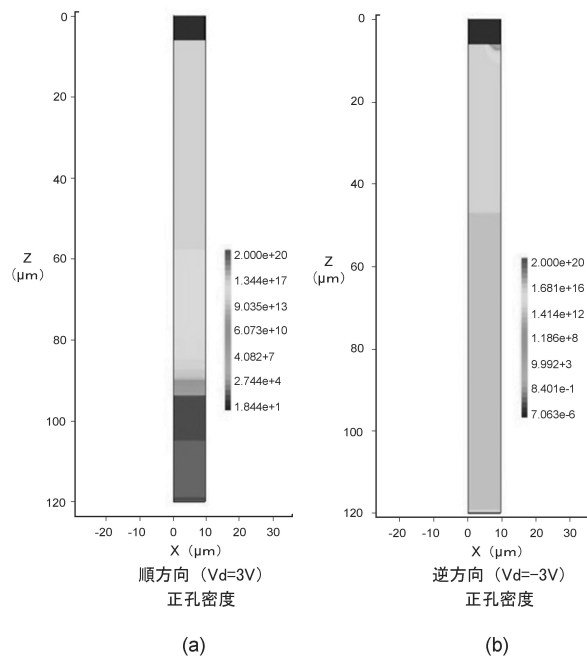
【図 9】



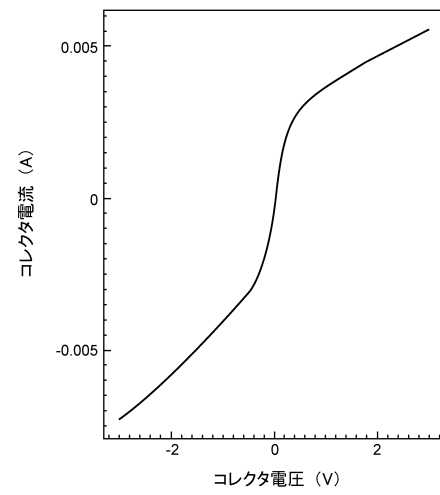
【図 10】



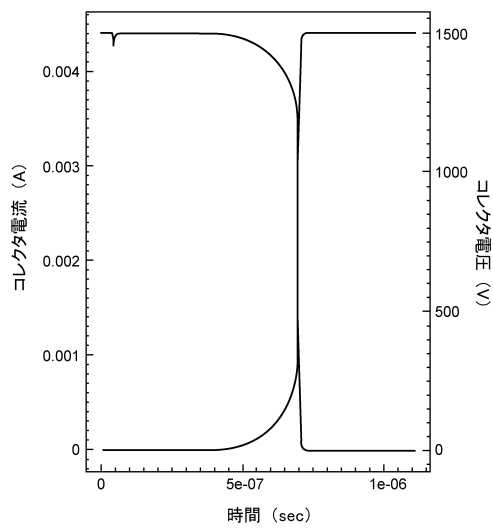
【図 1 1】



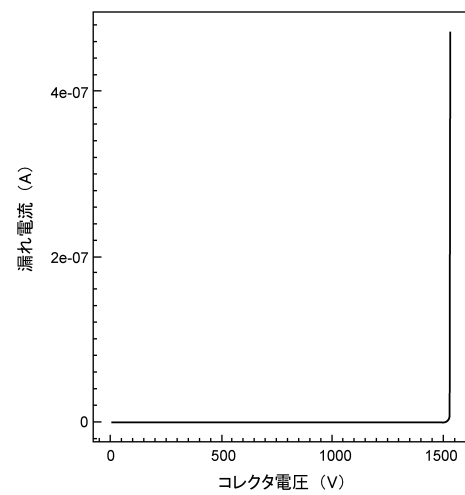
【図 1 2】



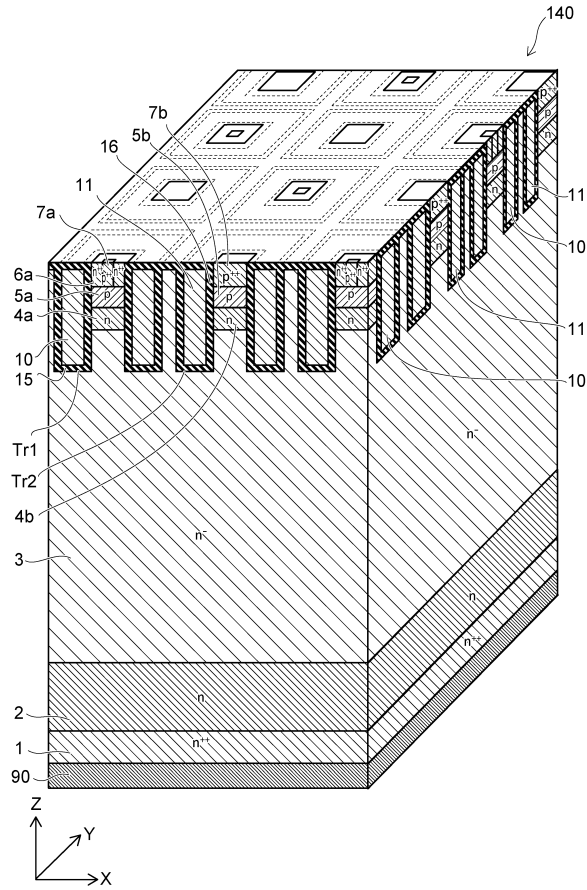
【図 1 3】



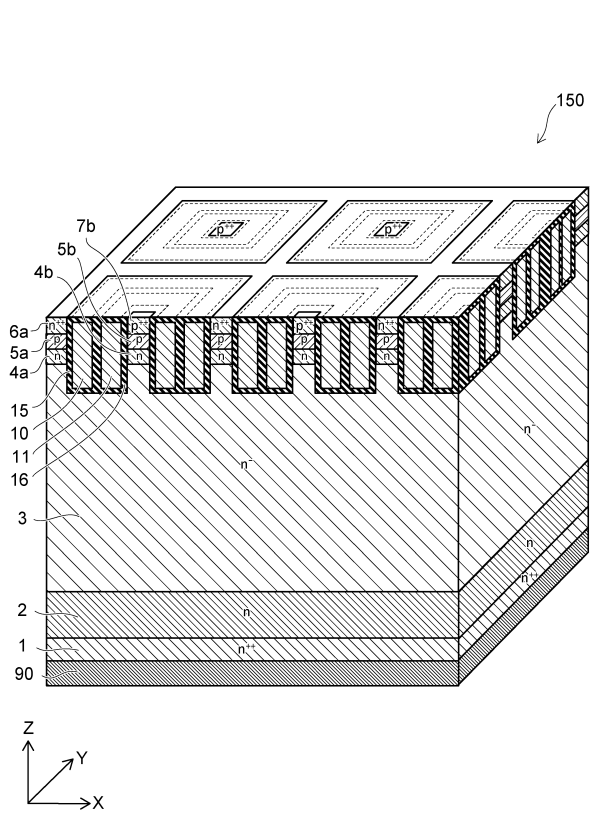
【図 1 4】



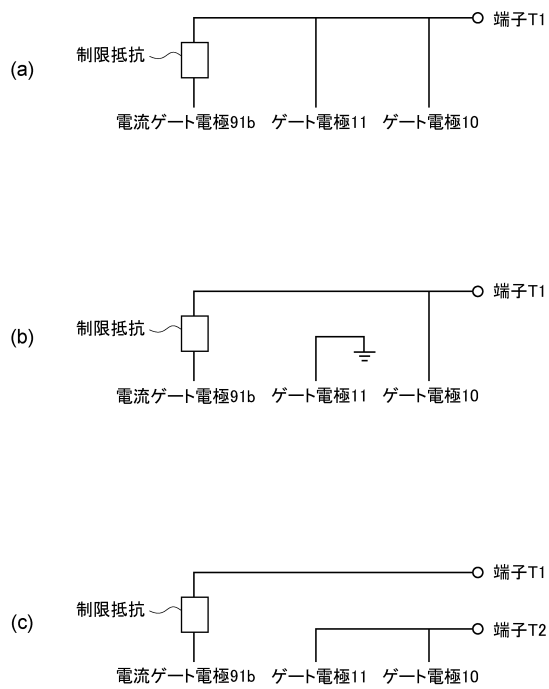
【図 19】



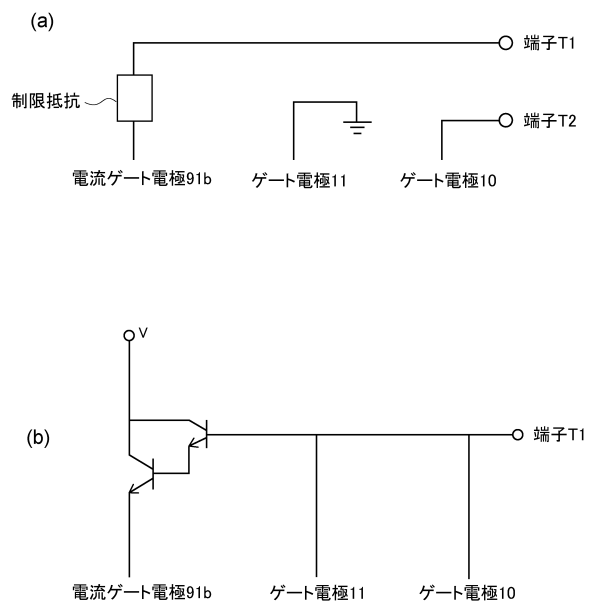
【図 20】



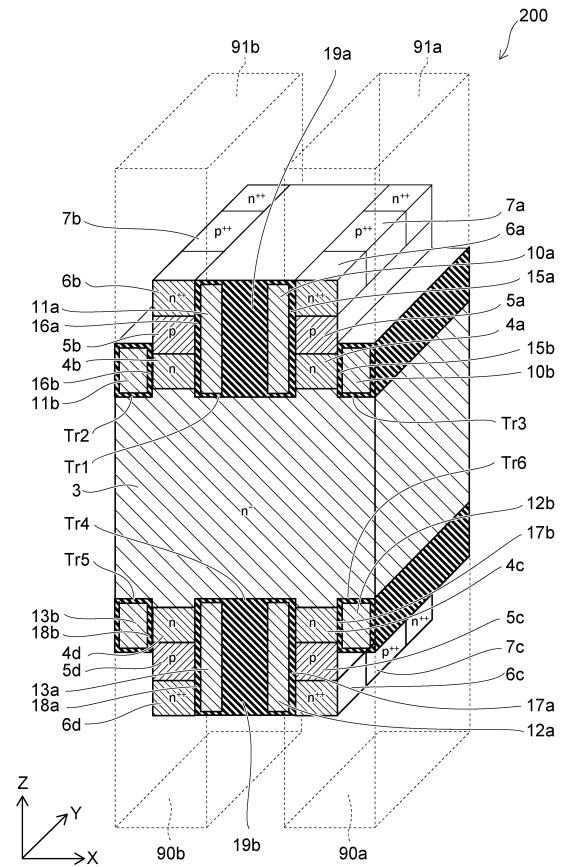
【図 21】



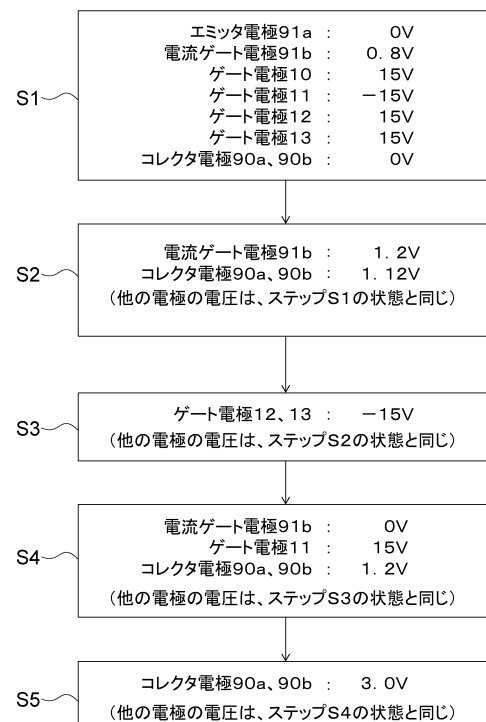
【図 22】



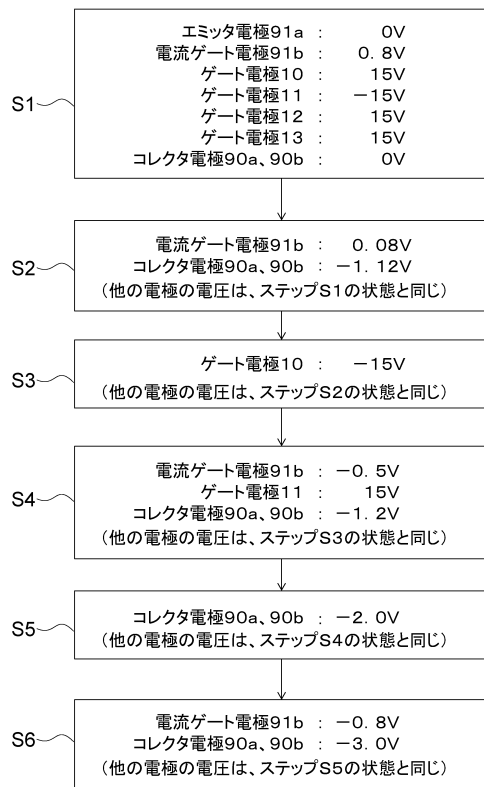
【 図 2 4 】



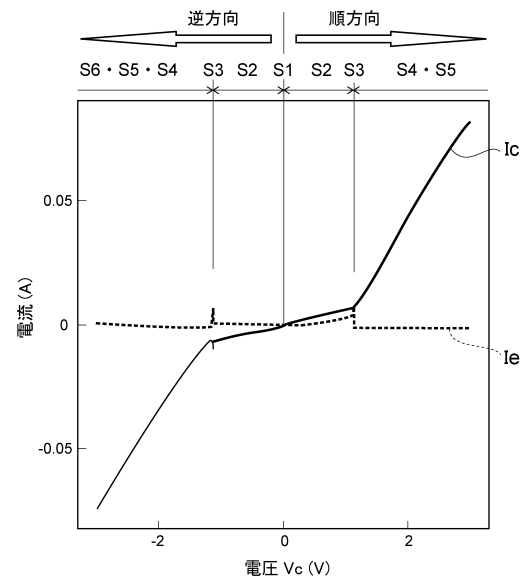
【 図 2 6 】



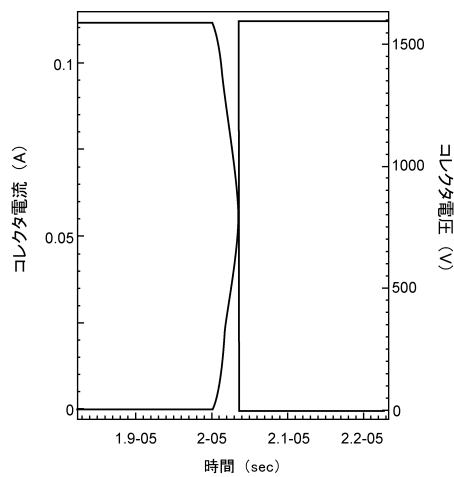
【図 27】



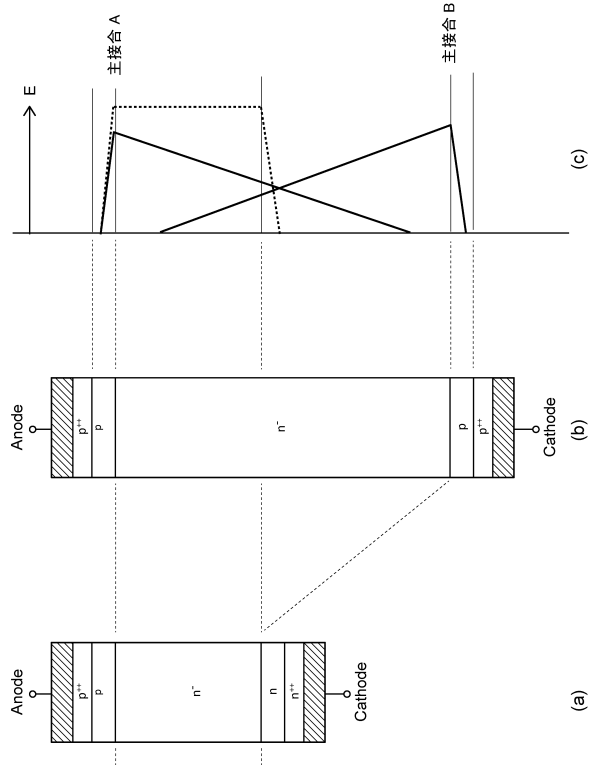
【図 28】



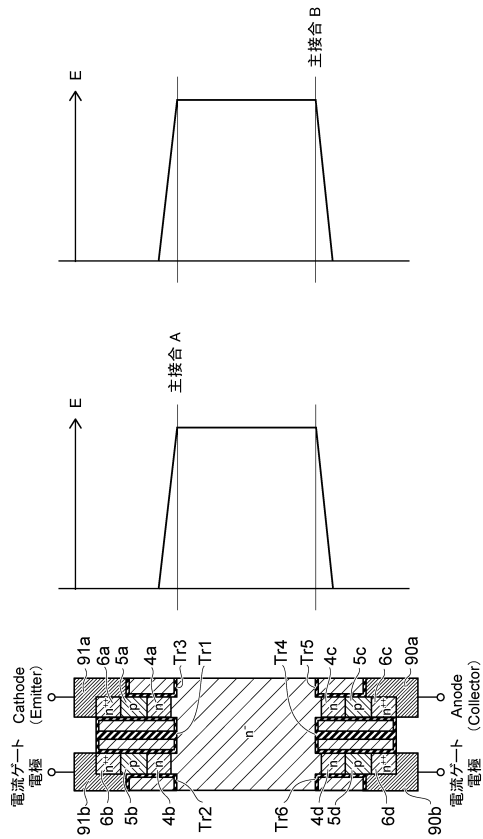
【図 29】



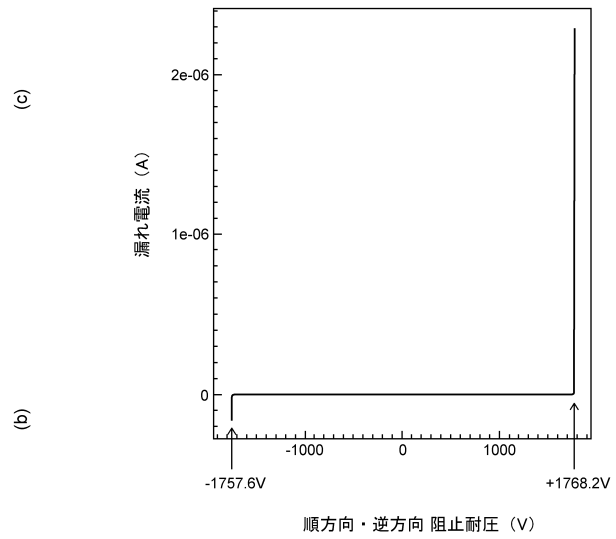
【図 30】



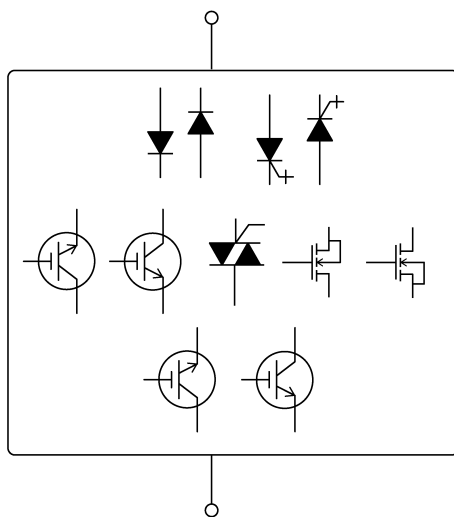
【図 3 1】



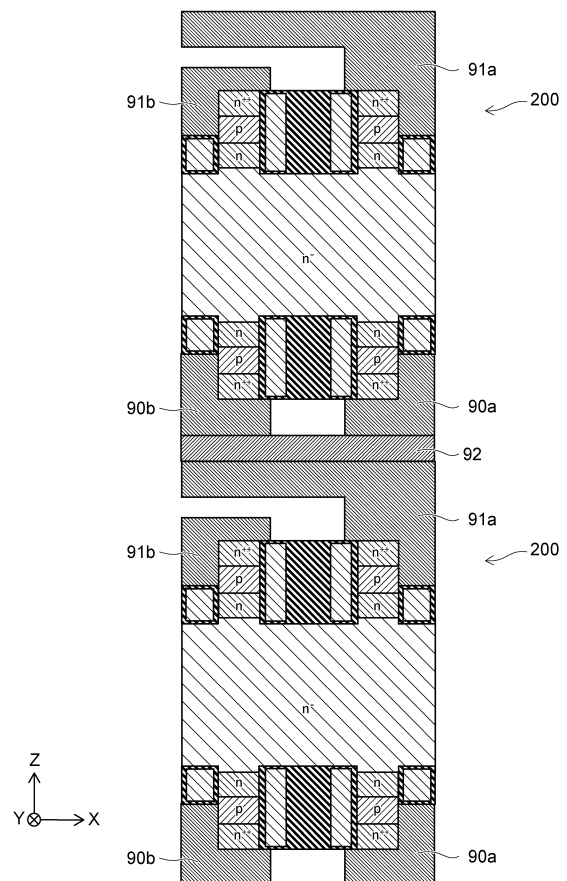
【図 3 2】



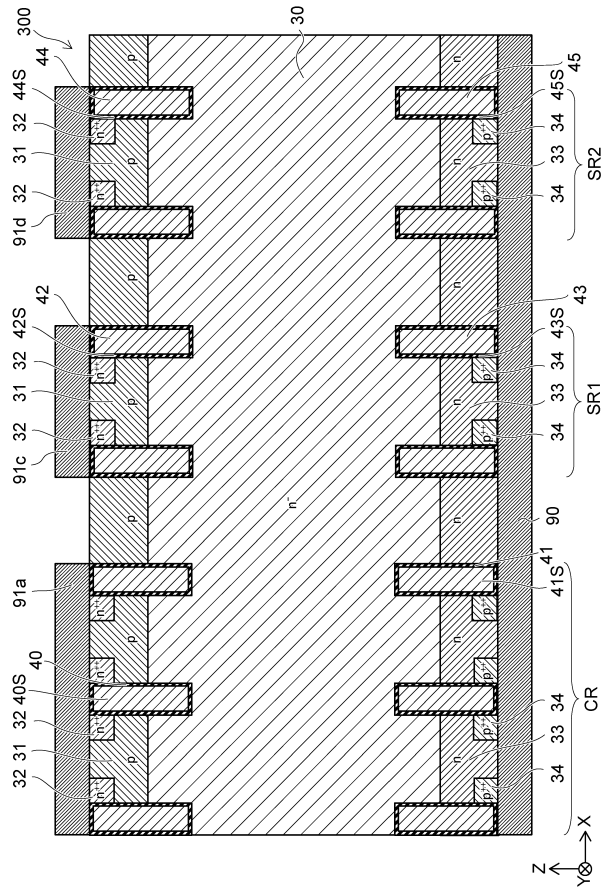
【図 3 3】



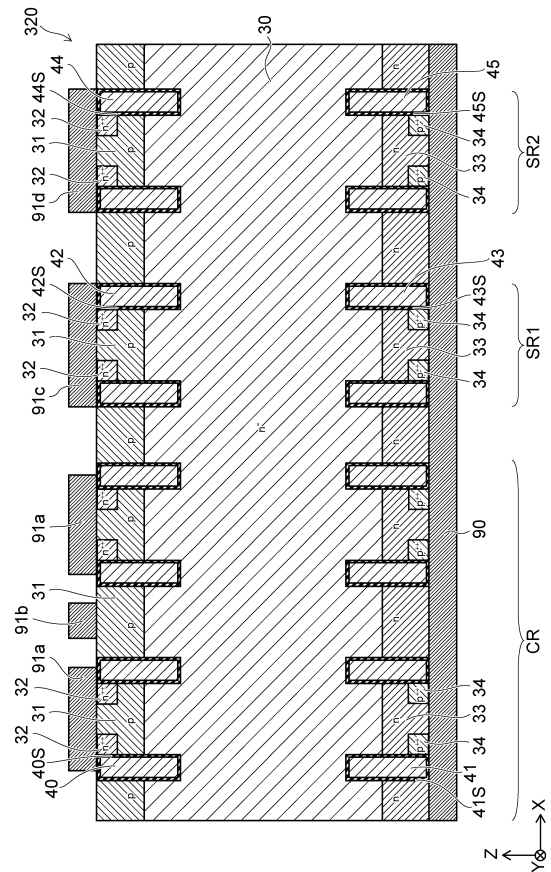
【図 3 4】



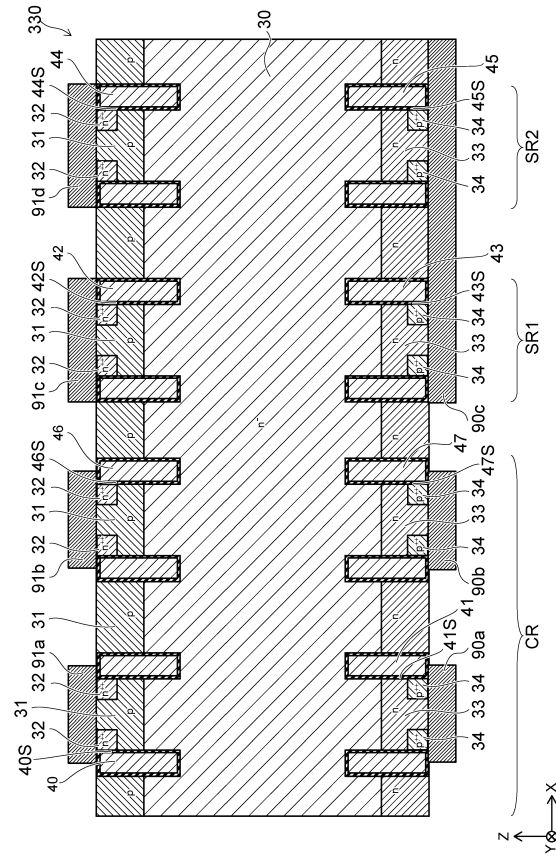
【 図 3 6 】



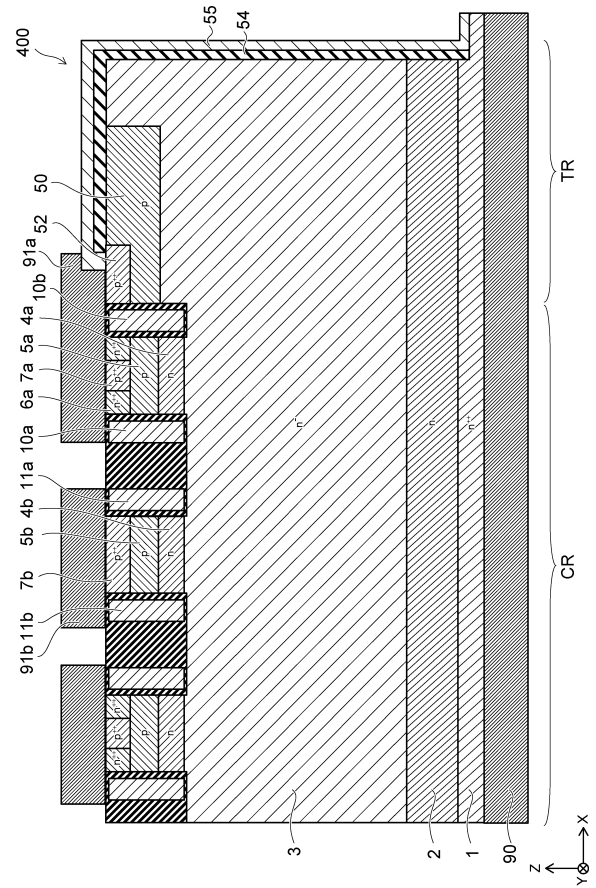
【 図 3 8 】



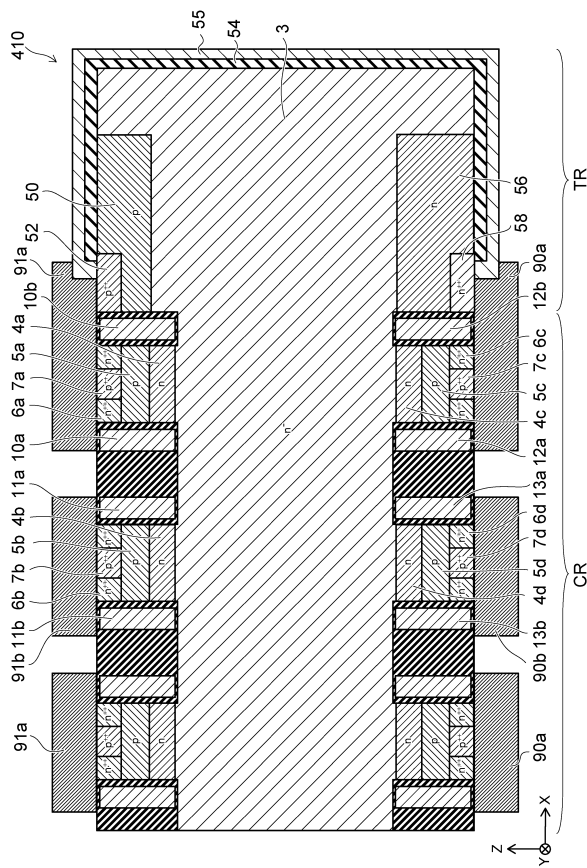
【図 39】



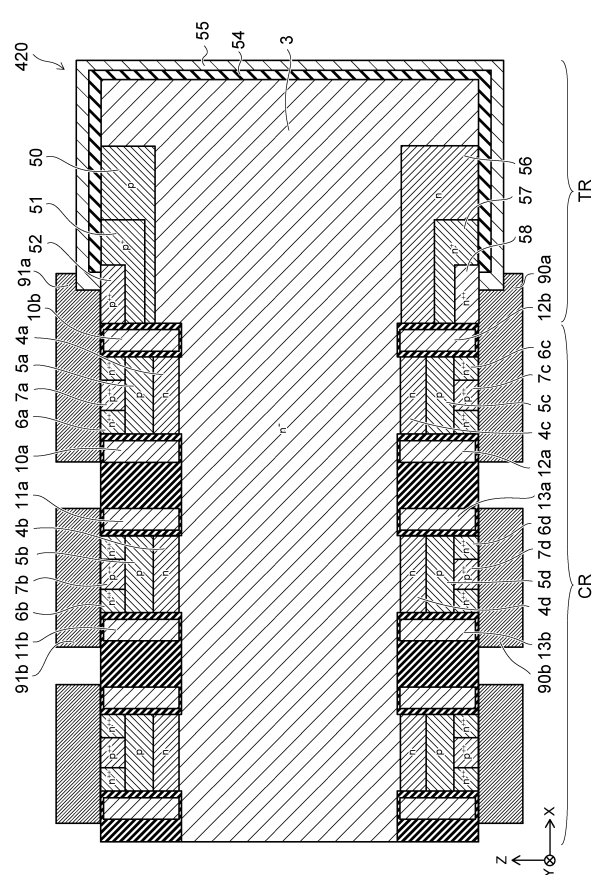
【図 40】



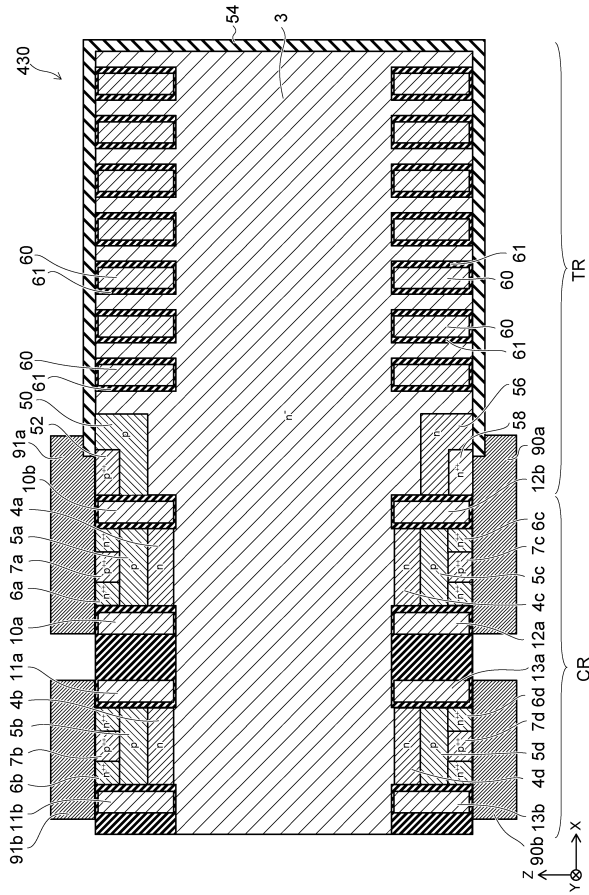
【図 41】



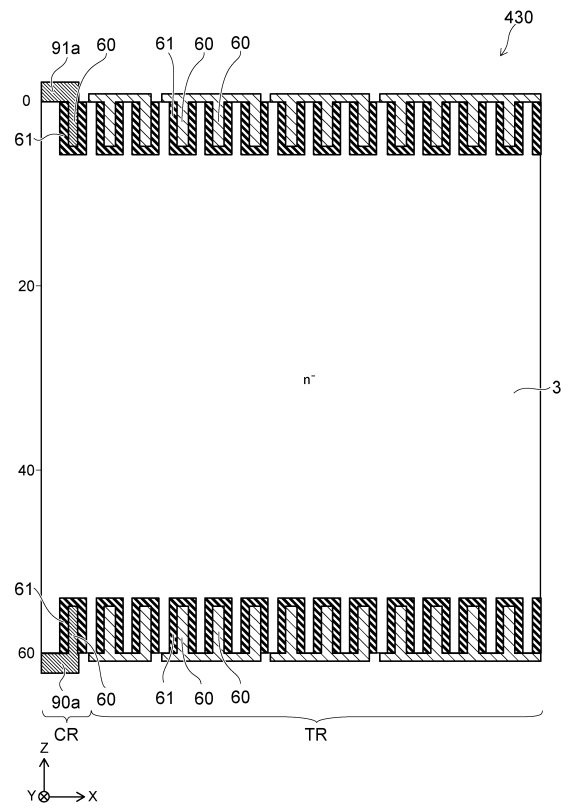
【図 42】



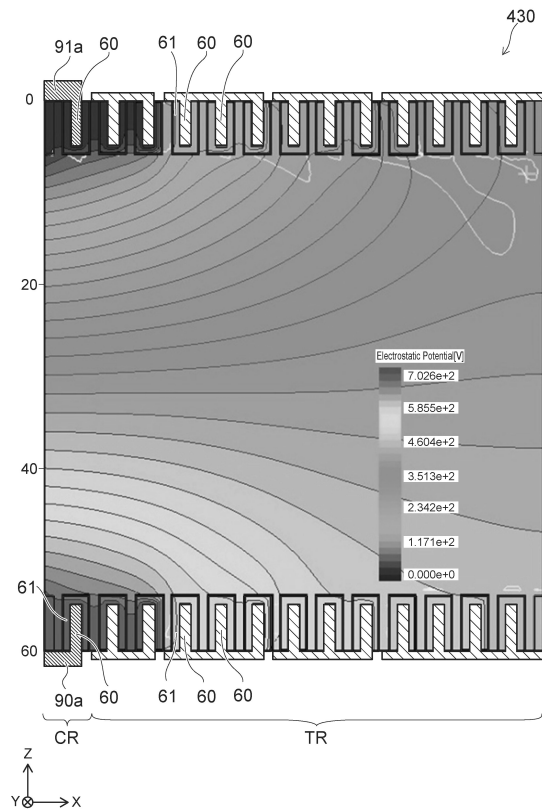
【図 4 3】



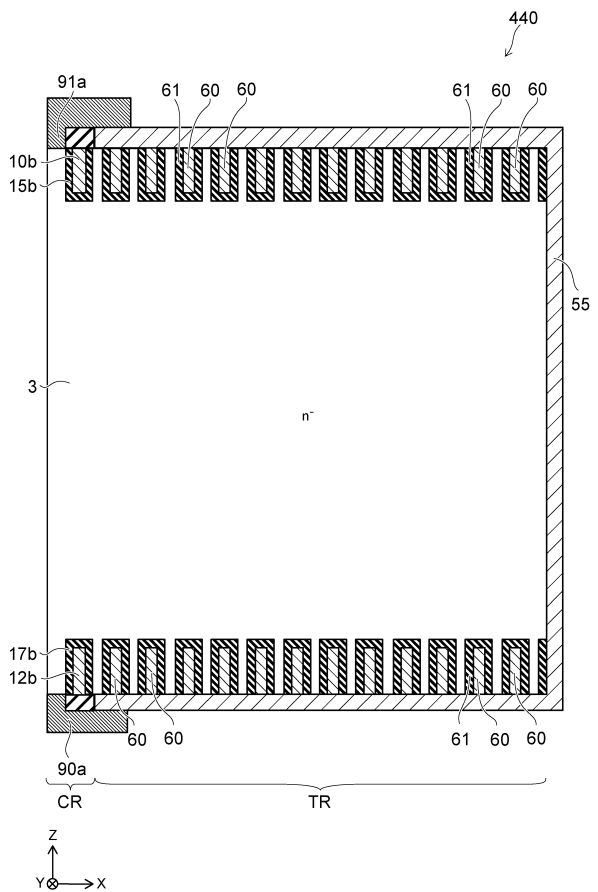
【図 4 4】



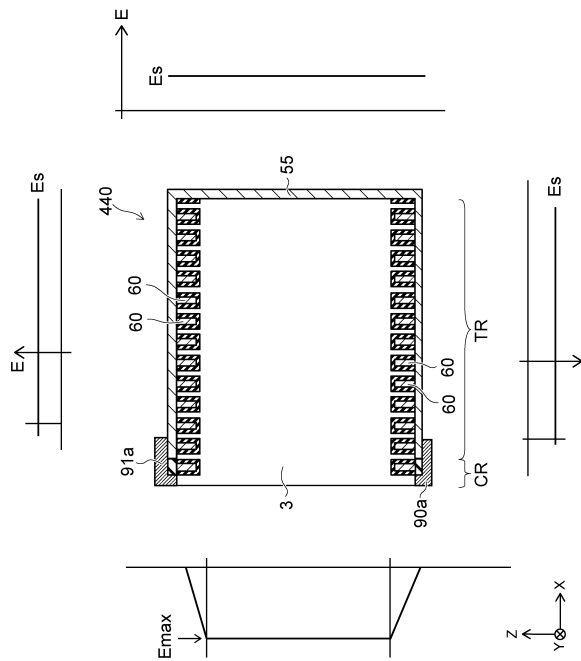
【図 4 5】



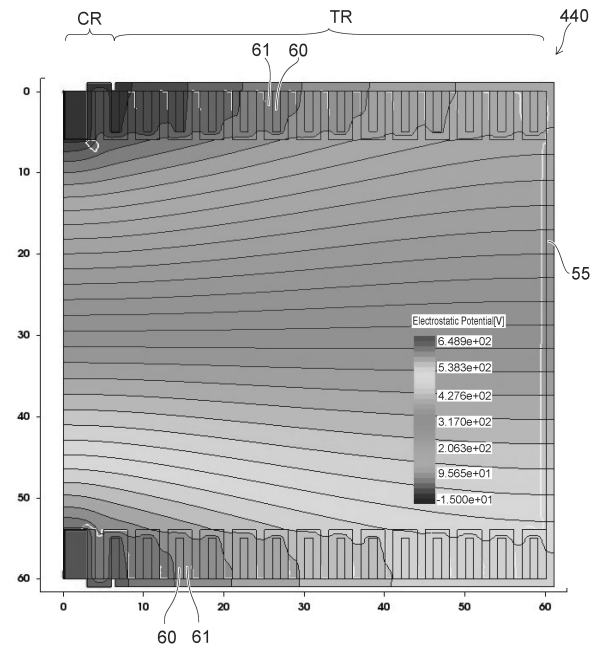
【図 4 6】



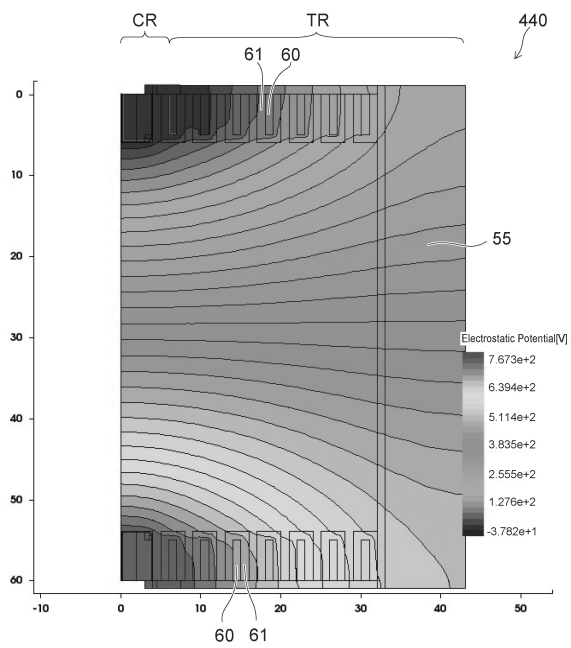
【図 47】



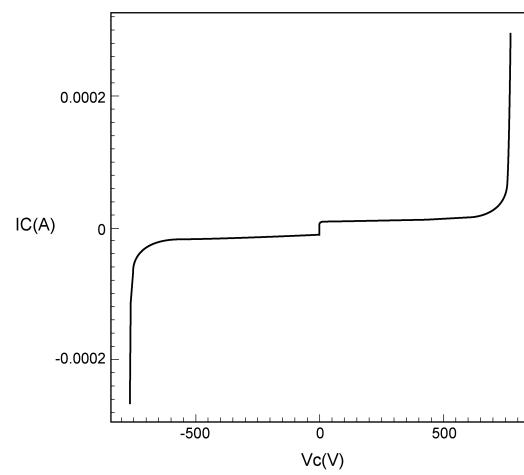
【図 48】



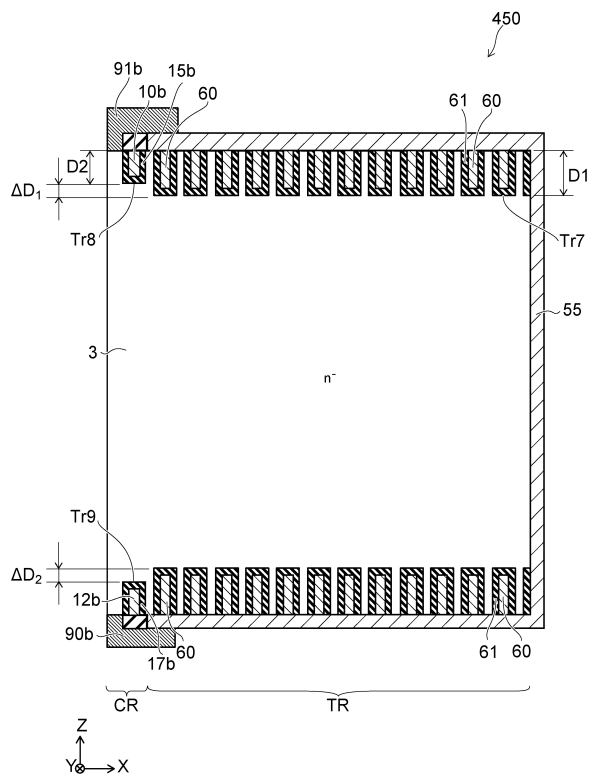
【図 49】



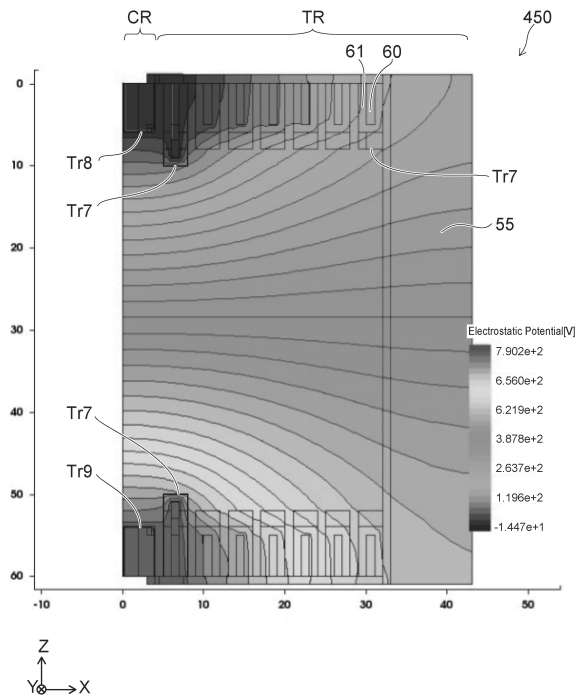
【図 50】



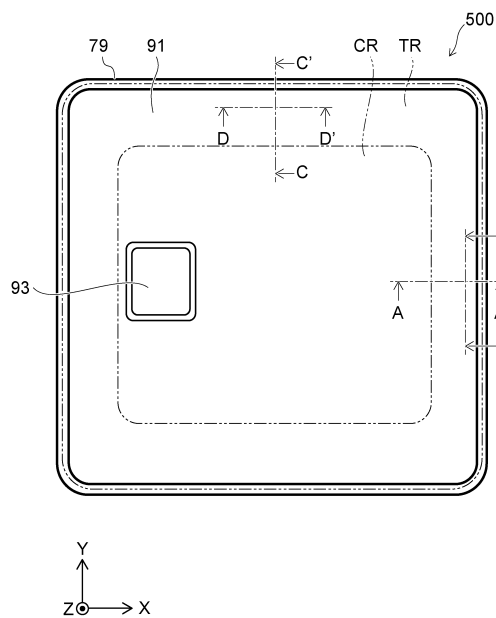
【 図 5 1 】



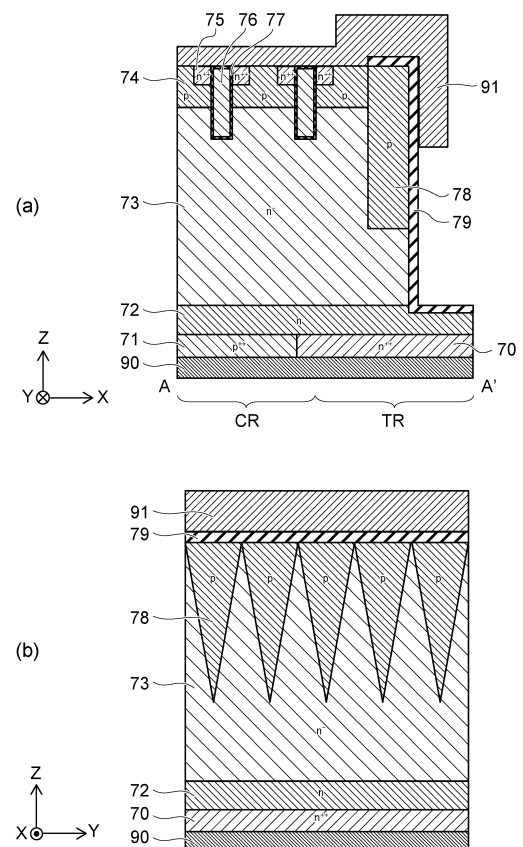
【 図 5 2 】



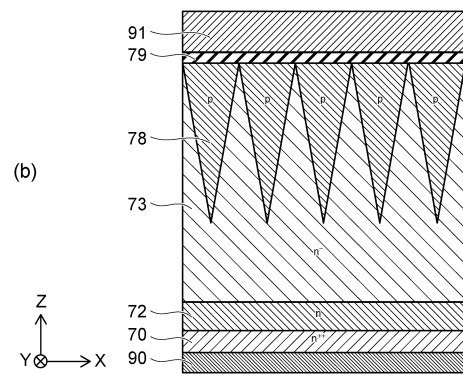
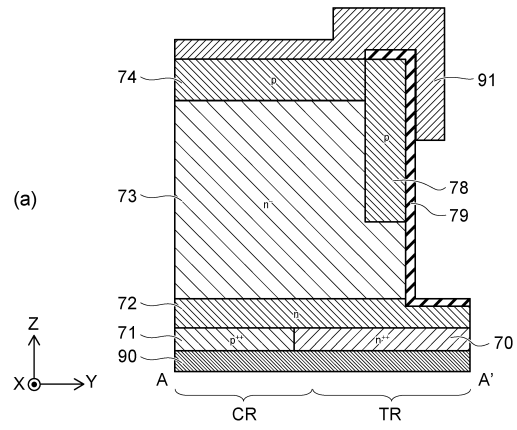
【 図 5 3 】



【 図 5 4 】



【図 55】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L	29/41	(2006.01)	H 0 1 L	29/78	6 5 2 F
H 0 1 L	29/423	(2006.01)	H 0 1 L	29/78	6 5 2 L
H 0 1 L	29/49	(2006.01)	H 0 1 L	29/78	6 5 2 S
			H 0 1 L	29/78	6 5 2 M
			H 0 1 L	29/78	6 5 6 A
			H 0 1 L	29/78	6 5 8 Z
			H 0 1 L	29/78	6 5 5 C
			H 0 1 L	29/78	6 5 5 A
			H 0 1 L	29/78	6 5 7 F
			H 0 1 L	29/78	6 5 2 N
			H 0 1 L	29/06	3 0 1 M
			H 0 1 L	29/06	3 0 1 S
			H 0 1 L	29/06	3 0 1 V
			H 0 1 L	29/78	6 5 2 P
			H 0 1 L	29/06	3 0 1 F
			H 0 1 L	29/06	3 0 1 G
			H 0 1 L	29/44	L
			H 0 1 L	29/58	G
			H 0 1 L	29/44	Y

(56)参考文献 特開 2 0 0 1 - 3 2 0 0 4 9 (J P , A)
 特開 2 0 1 0 - 2 2 5 8 1 6 (J P , A)
 特開 2 0 0 5 - 3 4 0 6 2 6 (J P , A)
 特開平 1 0 - 2 5 6 5 5 0 (J P , A)
 特開 2 0 1 5 - 1 7 6 9 2 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 9 / 7 8
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 9 / 0 6
H 0 1 L	2 9 / 1 2
H 0 1 L	2 9 / 4 1
H 0 1 L	2 9 / 4 2 3
H 0 1 L	2 9 / 4 9
H 0 1 L	2 9 / 7 3 9