



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0114465
(43) 공개일자 2023년08월01일

(51) 국제특허분류(Int. Cl.)
G11C 5/04 (2006.01) G11C 11/4096 (2015.01)
G11C 5/06 (2006.01) G11C 7/10 (2021.01)
(52) CPC특허분류
G11C 5/04 (2018.05)
G11C 11/4096 (2018.05)
(21) 출원번호 10-2022-0010644
(22) 출원일자 2022년01월25일
심사청구일자 2022년01월25일

(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
변경수
서울특별시 서초구 도구로 73, 801호(방배동, 대성아파트)
(74) 대리인
양성보

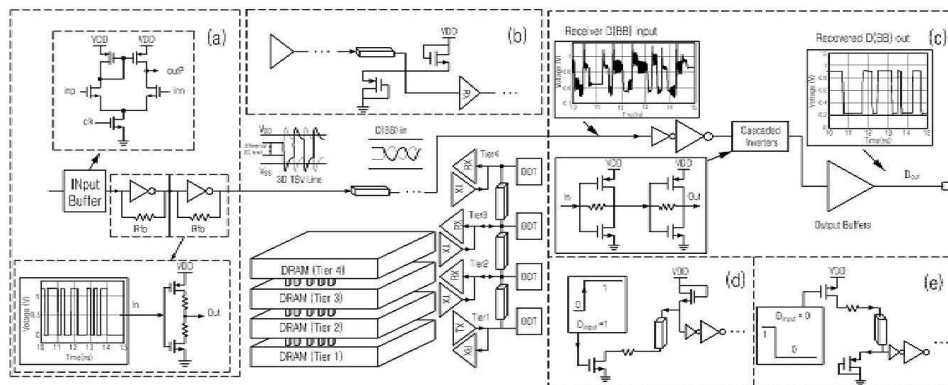
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 고성능 3D 고대역 메모리 시스템을 위한 EA 최적화 기법 및 저항 피드백을 이용한 3D I/O 인터페이스 설계

(57) 요약

제안하는 EA 최적화 기법 및 저항 피드백을 이용한 3D I/O 인터페이스를 이용하는 고성능 3D 고대역 메모리 시스템이 제시된다. 본 발명에서 제안하는 EA 최적화 기법 및 저항 피드백을 이용한 3D I/O 인터페이스를 이용하는 고성능 3D 고대역 메모리 시스템은 3D 고대역 메모리 및 MD I/O 인터페이스(Multi-Drop I/O interface)를 포함하고, 상기 MD I/O 인터페이스는 TSV 채널 중단부를 통해 수신부와 연결되는 송신부, 직렬로 연결된 nMOS 다이오드 및 pMOS 다이오드를 통해 수신부와 연결되는 TSV 채널 중단부 및 상기 TSV 채널 중단부를 통해 송신부로부터 입력 받은 데이터를 복구하는 수신부를 포함한다.

대표도



(52) CPC특허분류

G11C 5/06 (2013.01)

G11C 7/1048 (2013.01)

명세서

청구범위

청구항 1

3D 고대역 메모리; 및
MD I/O 인터페이스(Multi-Drop I/O interface)를 포함하고,
상기 MD I/O 인터페이스는,
TSV 채널 종단부를 통해 수신부와 연결되는 송신부;
직렬로 연결된 nMOS 다이오드 및 pMOS 다이오드를 통해 수신부와의 종단을 형성하는 TSV 채널 종단부; 및
상기 TSV 채널 종단부를 통해 송신부로부터 입력 받은 데이터를 복구하는 수신부
를 포함하는 3D 고대역 메모리 시스템.

청구항 2

제1항에 있어서,
상기 송신부는,
수신부 및 TSV 채널 종단부와 매칭되고 수신부의 입력 CMOS 인버터의 임계 전압 레벨을 제어하는
3D 고대역 메모리 시스템.

청구항 3

제1항에 있어서,
상기 TSV 채널 종단부는,
수신부에서의 전압 스윙을 감소시키고 대역폭 성능을 향상시키며 임피던스 매칭을 위해 저임피던스 종단(low-impedance termination)으로 다이오드 비선형성을 사용하는
3D 고대역 메모리 시스템.

청구항 4

제1항에 있어서,
상기 TSV 채널 종단부는,
nMOS 다이오드 또는 pMOS 다이오드 중 하나의 다이오드 만이 종단을 형성함으로써 단락 전류를 방지하고, 매칭
을 통해 전류 입력의 신호 무결성을 증가시키는
3D 고대역 메모리 시스템.

청구항 5

제1항에 있어서,
상기 수신부는,
상기 TSV 채널 종단부를 통해 송신부로부터 입력 받은 데이터를 복구하기 위한 인버터 캐스케이드 전압 증폭기
를 포함하는
3D 고대역 메모리 시스템.

청구항 6

제5항에 있어서,

상기 수신부는,

최대 출력 데이터 전송 속도를 위한 대역폭을 증가시키기 위해 이퀄라이저 회로를 이용하는

3D 고대역 메모리 시스템.

청구항 7

제5항에 있어서,

상기 수신부는,

송신부의 출력에 값에 따른 신호 경로에 따라 인버터 증폭기의 두 스테이지에 걸친 저항을 사용하여 피드백을 형성하는

3D 고대역 메모리 시스템.

발명의 설명

기술 분야

[0001] 본 발명은 3D 적층 고대역 메모리(High Bandwidth Memory; HBM)에 대한 새로운 저항 피드백 및 링 증폭 기술을 사용한 고성능 및 에너지 효율적인 3D 포인트 투 포인트(Point-to-Point; P2P) 및 멀티 드롭 메모리 인터페이스(multi-drop memory interface)에 관한 것이다.

배경 기술

[0002] 스마트폰, 노트북 및 휴대용 통신 시스템과 같은 모바일 장치가 미디어 집약적이고 빠른 그래픽 처리 능력을 지속적으로 발전함에 따라 모바일 메모리 인터페이스 설계에서 고전력 효율과 넓은 대역폭 작동에 대한 중요한 수요가 크게 증가했다. 그러나 멀티 드롭 메모리 버스를 위한 현재의 2D 메모리 인터페이스 기술은 특히 제한된 대역폭, 높은 전력 소비, 그리고 2D의 경계 전용 패드/패킹 제한으로 인해 더 큰 폼 팩터 등 심각한 한계를 가지고 있다.

[0003] 일반적인 메모리 인터페이스는 각각 15.8pJ/b/pin과 6.6pJ/b/pin의 전력 효율로 1.8Gb/s/pin 및 2.15Gb/s/pin에서 작동한다[4, 5]. 최첨단 모바일 3D 고대역 메모리(High-Bandwidth Memory; HBM)는 신호 무결성, 처리량, 메모리 용량을 크게 증가시키는 3D 적층 공정을 사용하여 4.6Gb/s로 동작할 수 있다.

[0004] 현재의 2D 모바일 메모리 인터페이스는 전압 또는 전류 모드 신호를 사용할 수 있는 포인트 투 포인트(Point-to-Point; P2P) 및 멀티 드롭(Multi-Drop; MD) 버스의 두 가지 I/O 토폴로지를 기반으로 한다[7]. P2P 토폴로지에서는 리플렉션(reflections)은 하나의 스텝(stub)에서만 일어나기 때문에 메모리 채널의 더 나은 신호 무결성과 더 높은 대역폭에서의 동작을 가져온다. 그러나 2D MD 버스에서는 메모리 장치가 여러 DIMM 모듈에 마운트된다. 채널 임피던스 불연속 및 긴 2D 메모리 채널의 심각한 크로스토크(crosstalk)로 인해 상당한 신호 무결성 저하와 지연 시간이 길어진다. 따라서, 데이터 대역폭과 에너지 효율성을 더욱 확장하기 위해 3D-IC 적층 기능이 적용된다. 3D 이기종 I/O 적층은 수직 짧은(vertically short) 3D P2P 및 MD 메모리 채널로 신호 무결성 향상과 대기 시간 단축을 달성할 수 있다. 또한 3D I/O는 3D 채널을 통해 여러 개의 D램 다이를 적층하여 대용량 메모리 사용이 가능하다. 따라서, 3D P2P와 MD I/O는 미래의 모바일 메모리 인터페이스와 3D 고대역 메모리를 위한 솔루션이 될 수 있다[8]. 하지만, 전압 모드 SSTL, HSTL 푸시풀 I/O 신호를 사용하는 현재의 2D 모바일 메모리 인터페이스[9, 10] 및 3D-I/O 프로토타입[11]은 여전히 대역폭이 제한적이고 전력 소비량이 높으며 향후 전력 확장성이 낮다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 이루고자 하는 기술적 과제는 3D 적층 고대역 메모리(High-Bandwidth Memory; HBM)에 대한 새로운 저항 피드백 및 링 증폭 기술을 이용하여 에너지 효율적인 P2P(Point-to-Point) 및 MD(Multi-Drop) 메모리 인터페이스를 제공하는데 있다. 또한, 최고의 대역폭과 에너지 효율을 위해 TSV(Through Silicon Via) 채널을 포함

한 3D HBM 송신부, 수신부 및 종단부 토폴로지를 다목적 진화 알고리즘(Evolutionary Algorithm; EA)을 통해 더욱 최적화하고자 한다.

과제의 해결 수단

- [0006] 일 측면에 있어서, 본 발명에서 제안하는 EA 최적화 기법 및 저항 피드백을 이용한 3D I/O 인터페이스를 이용하는 고성능 3D 고대역 메모리 시스템은 3D 고대역 메모리 및 MD I/O 인터페이스(Multi-Drop I/O interface)를 포함하고, 상기 MD I/O 인터페이스는 TSV 채널 종단부를 통해 수신부와 연결되는 송신부, 직렬로 연결된 nMOS 다이오드 및 pMOS 다이오드를 통해 수신부와 종단을 형성하는 TSV 채널 종단부 및 상기 TSV 채널 종단부를 통해 송신부로부터 입력 받은 데이터를 복구하는 수신부를 포함한다.
- [0007] 본 발명의 실시예에 따른 송신부는 수신부 및 TSV 채널 종단부와 매칭되고 수신부의 입력 CMOS 인버터의 임계 전압 레벨을 제어한다.
- [0008] 본 발명의 실시예에 따른 TSV 채널 종단부는 수신부에서의 전압 스윙을 감소시키고 대역폭 성능을 향상시키며 임피던스 매칭을 위해 저임피던스 종단(low-impedance termination)으로 다이오드 비선형성을 사용한다.
- [0009] 본 발명의 실시예에 따른 TSV 채널 종단부는 nMOS 다이오드 또는 pMOS 다이오드 중 하나의 다이오드 만이 종단을 형성함으로써 단락 전류를 방지하고, 매칭을 통해 전류 입력의 신호 무결성을 증가시킨다.
- [0010] 본 발명의 실시예에 따른 수신부는 상기 TSV 채널 종단부를 통해 송신부로부터 입력 받은 데이터를 복구하기 위한 인버터 캐스캐이드 전압 증폭기를 포함한다.
- [0011] 본 발명의 실시예에 따른 수신부는 최대 출력 데이터 전송 속도를 위한 대역폭을 증가시키기 위해 이퀄라이저 회로를 이용한다.
- [0012] 본 발명의 실시예에 따른 수신부는 송신부의 출력에 값에 따른 신호 경로에 따라 인버터 증폭기의 두 스테이지에 걸친 저항을 사용하여 피드백을 형성한다.

발명의 효과

- [0013] 본 발명의 실시예들에 따르면 3D 적층 고대역 메모리(High-Bandwidth Memory; HBM)에 대한 새로운 저항 피드백 및 링 증폭 기술을 이용하여 에너지 효율적인 P2P(Point-to-Point) 및 MD(Multi-Drop) 메모리 인터페이스를 제공할 수 있다. 또한, 최고의 대역폭과 에너지 효율을 위해 TSV(Through Silicon Via) 채널을 포함한 3D HBM 송신부, 수신부 및 종단부 토폴로지를 다목적 진화 알고리즘(Evolutionary Algorithm; EA)을 통해 더욱 최적화할 수 있다.

도면의 간단한 설명

- [0014] 도 1은 종래기술에 따른 2D 및 3D DRAM I/O 토폴로지를 설명하기 위한 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 3D I/O 인터페이스를 종래기술과 비교하기 위한 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 고성능 3D 고대역 메모리 시스템을 위한 저항 피드백을 이용한 3D I/O 인터페이스를 설명하기 위한 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 TSV 채널을 설명하기 위한 도면이다.
- 도 5는 본 발명의 일 실시예에 따른 고성능 3D 고대역 메모리 시스템을 위한 EA 최적화 기법 및 저항 피드백을 이용한 3D I/O 인터페이스 설계의 시뮬레이션 과정을 설명하기 위한 도면이다

발명을 실시하기 위한 구체적인 내용

- [0015] 본 발명에서는 3D 적층 고대역 메모리(High-Bandwidth Memory; HBM)에 대한 새로운 저항 피드백 및 링 증폭 기술을 사용한 고성능 및 에너지 효율적인 3D 포인트 투 포인트(Point-to-Point; P2P) 및 멀티 드롭 메모리 인터페이스(Multi-Drop Memory Interface)를 제안한다. 최고의 성능과 에너지 효율을 위해 전산지능 툴을 활용하고 다목적 효율적 진화 알고리즘(Evolutionary Algorithm; EA)을 통해 3D HBM 송신기, 수신기, 3D TSV(Through Silicon Via) 채널을 포함한 전체 구조를 완벽하게 최적화한다. 3D TSV 및 μ -범프 채널을 모델링하고 3D EM 솔버 툴(HFSS)을 사용하여 S-매개변수를 생성하도록 획득된다. 제안된 설계는 65nm CMOS 기술로 제작된 다중 3D

메모리 인터페이스 프로토타입(P2P, 4 및 8 멀티 드롭)에서 검증되었다. 결과는 1 GS/s로 샘플링된 나이퀴스트 주파수 입력에 대해 3D HBM 송신기와 수신기가 각각 1.2mV 및 2.1mW를 소비한다는 것을 보여준다. 액티브 트랜스시버는 0.01mm^2 다이 면적만 차지하며 4개의 멀티 드롭 3D I/O를 통해 1.6Gb/s의 속도로 2^{23} -1 PRBS로 에러 프리 작동(error-free operation)(BER < 10^{-15})을 달성한다. 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

- [0017] 도 1은 종래기술에 따른 2D 및 3D DRAM I/O 토폴로지를 설명하기 위한 도면이다.
- [0018] 도 1(a)는 2D P2P(Point-to-Point) 및 MD(Multi-Drop) 방식을 나타내는 도면이고, 도 1(b)는 3D P2P 및 MD I/O 인터페이스를 나타내는 도면이고, 도 1(c)는 전압 모드 2D 전송 라인의 단순화된 방식을 나타내는 도면이다.
- [0019] 3D P2P 적층에서는 DRAM이 뒤집혀 CPU 다이 위에 쌓이지만 3D MD에서는 CPU와 다중 DRAM 간의 데이터 통신을 가능하게 하는 3D 채널을 사용하여 다중 DRAM 다이를 CPU 위에 쌓는다. 그러나 3D의 종합적인 분석과 3D 설계에 관한 기술은 많지 않다. 대역폭/에너지 효율성 및 3D 종단이 전체 성능에 미치는 영향을 고려해야 한다.
- [0021] 도 2는 본 발명의 일 실시예에 따른 3D I/O 인터페이스를 종래기술과 비교하기 위한 도면이다.
- [0022] 도 2(a) 본 발명의 일 실시예에 따른 전압 모드에서 ODT(On-Die-Termination) 없이 기존 CMOS 로직을 사용한 3D P2P[2] 및 MD [3] I/O를 나타내는 도면이고, 도 2(b)는 전압 모드에서도 다이 터미네이션이 있는 CMOS 로직 IO 인터페이스를 나타내는 도면이고, 도 2(c)는 제안하는 3D RLW P2P 및 MD I/O 인터페이스를 나타내는 도면이다.
- [0023] 도 2는 기존의 MD 트랜스시버의 단순화된 회로 구조를 보여준다. 도 2(a)에서 볼 수 있듯이, 일반적인 3D P2P 및 MD I/O는 간단한 CMOS 로직(다시 말해, 인버터 토폴로지)을 사용한다. 이러한 3D CMOS 로직 I/O의 주요 장점은 단순성과 낮은 실리콘 면적이다. 그러나 그것의 데이터 대역폭은 제한적이며(예를 들어, Gb/s [2][3]), 3D MD 사례의 ODT 체계에 매우 민감하다. 따라서, HSTL을 활용한 3D I/O는 더 높은 대역폭(3D P2P I/O에서의 Gb/s [15])을 확장하는 데 사용된다. HSTL 입력 버퍼는 노이즈 저항성이 강하며, 클럭 입력 버퍼로 주로 사용된다. HSTL 출력 버퍼는 고속 메모리 애플리케이션을 위한 I/O 인터페이스이며 주소 버스를 다중 메모리 뱅크로 구동하는 데 이상적이다. HSTL 출력 버퍼는 4가지 유형으로 나뉜다. 일반적으로 사용되는 유형 HSTL 클래스 I가 본 발명에 적용되었다. HSTL 클래스 I 전압 표준 및 부하 구조에 따르면 2개의 N MOSFET이 출력 구동 FET로 사용되며, 3모드 섹션에서 작동한다. 구동 FET의 컨덕턴스는 회로 전방에서 생성되는 신호에 의해 제어된다.
- [0024] 3D HSTL I/O는 종단 저항기가 있는 푸시-풀 드라이버를 사용하는 HSTL 송신기와 차동 증폭기와 ODT 방식을 활용하여 임피던스 매칭에 의해 3D MD 신호 무결성을 향상시키는 HSTL 수신기로 구성된다. 그러나 3D HSTL I/O 인터페이스는 3D P2P와 비교하여 전력 소비량 증가 및 ODT 종단 구성에 대한 민감도와 같은 고유한 한계를 가지고 있다. 따라서 진화 알고리즘을 통해 완전히 최적화된 ODT 구성과 3D 적층 HBM 장치에 대한 새로운 저항 피드백 로우스윙(Resistive-Feedback Low-swing RFL) 3D I/O 신호를 통해 개선된 3D MD HSTL I/O를 제안한다.
- [0025] 제안하는 RFL P2P 및 MD 3D I/O 인터페이스는 저항 피드백 송신기가 훨씬 더 작은 출력 전압 스윙(즉, $P = I \times \Delta V$)을 제공할 수 있고 3D MD I/O의 경우 ODT 구성의 감도가 낮기 때문에 향상된 대역폭/전력 효율성을 제공할 수 있다. 제안하는 RLW 3D I/O의 단순성으로 인해, 메인스트림(mainstream) LP-DDR 3D HBM JEDEC 사양과 완전히 호환될 수 있다[16].
- [0026] 채널에서의 신호 전파는 감쇠, 임피던스 불일치 및 원치 않는 추가 방해로 인해 신호 저하를 일으킬 수 있다 [17]. 감쇠는 채널 길이 및 신호 주파수에 따라 증가한다. 동일한 대역폭 내에서 3D TSV 채널은 길이가 짧아 2D PCB 메탈 라인에 비해 신호 감쇠가 적다. 2D PCB 메탈 라인은 회로를 주의 깊게 설계하지 않으면 심각한 임피던스 불일치 문제를 일으킬 수 있다. 특히 메모리를 확장하기 위해 모듈을 추가할 때 채널 종단 상황이 변경되어 결과적으로 임피던스 불일치를 피하기 어렵다. 원하는 임피던스 매칭 네트워크는 회로 설계 복잡성을 증가시킨다. 또한 3D TSV 채널의 길이는 신호 파장(다중-Gb/s 데이터 속도 신호의 경우)에 비해 짧기 때문에 높은 임피던스와 높은 엔드포인트 종단 임피던스에 의해 잘 매칭될 수 있다. 첨단 3D IC 설계를 위해 고속 IO TSV 채널을 설계하고 신호 무결성 분석을 수행하기 위해 TSV를 모델링하고 분석하는 연구가 많이 이뤄졌다. 종래기술[18]에서 TSV는 기가헤르츠 범위까지의 기하학적 및 재료 정보와 같은 설계 매개변수를 사용하여 전기적으로 모델링된

다.

- [0028] 도 3은 본 발명의 일 실시예에 따른 고성능 3D 고대역 메모리 시스템을 위한 저항 피드백을 이용한 3D I/O 인터페이스를 설명하기 위한 도면이다.
- [0029] 글로벌 상호 연결 신호에서 가장 최신 속도 향상 방법은 풀스윙 전압 모드 토폴로지를 가진 리피터(repeater) 삽입 기술을 구현한다. 리피터 블록은 상호 연결 채널 길이에 대한 지연의 2차 의존성의 선형 관계를 개선한다. 전력 인식 신호의 경우 송신기(TX) 측에서 전류 모드 드라이버가 사용된다. 송신기 드라이버의 전력 소비를 줄이기 위해 출력 스윙이 최소화되었다. 특정 전력 소비량 CMOS 인버터는 가장 큰 스몰 신호 전압 이득(largest small signal voltage gain)을 제공하기 때문에, 수신기 전력 소비를 최소화하기 위해 구현된 기술은 인버터 캐스케이드 증폭기를 사용한다.
- [0030] 본 발명의 실시예에 따른 고성능 3D 고대역 메모리 시스템은 3D 고대역 메모리 및 MD I/O 인터페이스(Multi-Drop I/O interface)를 포함하고, 상기 MD I/O 인터페이스는 종단부(다시 말해, TSV 채널 종단부)를 통해 수신부와 연결되는 송신부, 직렬로 연결된 nMOS 다이오드 및 pMOS 다이오드를 통해 수신부와 종단을 형성하는 TSV 채널 종단부 및 상기 TSV 채널 종단부를 통해 송신부로부터 입력 받은 데이터를 복구하는 수신부를 포함한다.
- [0031] 도 3(a)는 본 발명의 일 실시예에 따른 송신부를 나타내는 도면이고, 도 3(b)는 본 발명의 일 실시예에 따른 TSV 채널 종단부를 나타내는 도면이고, 도 3(c)는 본 발명의 일 실시예에 따른 수신부를 나타내는 도면이고, 도 3(d)는 본 발명의 일 실시예에 따른 하이(high) 입력 신호 동작을 나타내는 도면이고, 도 3(e)는 본 발명의 일 실시예에 따른 로우(low) 입력 신호 동작을 나타내는 도면이다.
- [0032] 도 3은 본 발명의 실시예에 따른 로직 칩의 송신부가 DRAM 중 하나로 데이터를 보낸다고 가정할 때 TSV(Through Silicon Via) 데이터 채널을 통해 송신부(TX)가 수신부(RX)에 연결되는 제안하는 4드롭 소스 동기화의 개념도를 도시한다. BBTX(Baseband TX) 출력은 BBRX 종단부와 매칭되고 BBRX 입력 CMOS 인버터의 임계 전압 레벨(하이/로우)을 로직 임계값 전압보다 높거나 낮게 제어한다.
- [0033] 본 발명의 실시예에 따른 TSV 채널 종단부는 수신부에서의 전압 스윙을 감소시키고 대역폭 성능을 향상시키며 임피던스 매칭을 위해 저임피던스 종단(low-impedance termination)으로 다이오드 비선형성을 사용한다.
- [0034] 도 3(b)와 같이, VDD에서 VSS까지 pMOS 다이오드와 직렬로 연결된 nMOS 다이오드가 수신부(RX) 다이오드 종단을 형성한다. 각 순간 단 하나의 다이오드(pMOS 또는 nMOS)만이 종단을 형성하여 VDD-VSS 경로를 통한 단락 전류를 방지한다. 이러한 인버터 캐스캐이딩(cascading) 구성과 다이오드 종단은 매칭을 통해 전류 입력의 사소한 변동을 무효화한다.
- [0035] 도 3(c)는 제안하는 베이스 밴드 수신부(Baseband Receiver; BBRX)를 도시한다. 채널에서 입력되는 데이터를 복구하기 위해 인버터 캐스캐이드 전압 증폭기가 구현되었다. 이 토폴로지는 상당히 제한된 3dB 대역폭으로 대량의 저주파 전압 이득(Low-Frequency Voltage Gain) 및 UGBW(Unity Gain Bandwidth)을 제공한다. 최대 출력 데이터 전송 속도는 3dB 대역폭에 의해 제한되므로 대역폭을 증가시키기 위해 이퀄라이저 회로를 구현해야 한다. 이 목적을 달성하기 위해 인버터 증폭기의 두 단계에 걸친 저항을 사용하여 피드백 분기를 형성했다. 도 3(d) 및 도 3(e)는 송신부(TX) 출력이 TSV 채널 종단부를 통해 수신부(RX) 입력 전압을 제어하며 이 출력 값에 따라 생성된 신호 경로에 따라 수신부(RX) 종단이 VDD 또는 VSS에 연결된 다이오드로 전환되는 것을 도시한다.
- [0037] 도 4는 본 발명의 일 실시예에 따른 TSV 채널을 설명하기 위한 도면이다.
- [0038] 도 4(a) 내지 도 4(c)는 실리콘 기판 내부의 2개의 접지 TSV 채널로 둘러싸인 싱글 엔드 신호(single-ended signal) TSV 채널(μ 범프가 있는 TSV)에 대한 등가 회로 및 관련 매개변수를 보여준다. 도 4(a)는 펄스 입력 신호에 대한 HFSS의 시뮬레이션된 TSV 채널 출력의 전력 스펙트럼을 보여준다. 접지 TSV는 신호 TSV를 차폐하고 3D 라우팅 신호 무결성을 노이즈에 덜 민감하게 만든다. 이러한 모델에는 3D 채널 신호 무결성을 저하시킬 수 있는 인접한 두 TSV 간의 커플링 효과가 포함된다. 실리콘 기판 내부의 TSV 채널을 에몰레이트하기 위해 5개의 금속 계층(M2-M6)이 구현된다. 각 기생 요소의 물리적 의미는 도 4(d)에 포함되어 있다. 이러한 모델은 μ 범프와 IMD(Inter-Metal Dielectric) 내 실리콘 기판, C_{bump1} , C_{bump2} , 하부 산화층 사이에 형성되는 다른 기생 효과를 고려한다. 분석 방정식은 설계 매개변수를 포함한 물리적 구성으로부터 도출된다. 도 4(e)는 1, 2, 4개의 DRAM

에 대한 2D 및 3D 채널 모델의 주파수 응답을 보여준다. 구현된 크기는 도 4(e) 표에 나열되어 있다[21].

- [0040] 도 5는 본 발명의 일 실시예에 따른 고성능 3D 고대역 메모리 시스템을 위한 EA 최적화 기법 및 저항 피드백을 이용한 3D I/O 인터페이스 설계의 시뮬레이션 과정을 설명하기 위한 도면이다.
- [0041] 제안하는 고성능 3D 고대역 메모리 시스템을 위한 EA 최적화 기법 및 저항 피드백을 이용한 3D I/O 인터페이스 설계는 휴리스틱 다목적 진화 방법을 사용하여 전력, 대역폭 및 영역 효율성과 같은 구별 불가능하고 신뢰할 수 없는 적합성 매개변수 간에 일반 합성 계산 효율성을 절충한다. 또한 계층 간 TSV 채널의 영향과 트랜지스터 크기와 같은 특정 설계 매개변수 모두를 고려한다. TSV 구조와 회로 하위 블록의 공동 최적화를 고려할 때 서로 다른 성능 매개변수가 충돌한다. 따라서, 최적화 문제는 그 중에서 절충(pareto-fronts)을 필요로 한다[22].
- [0042] 제안하는 3D 트랜스시버의 진화를 시뮬레이션하기 위해 일종의 MATLAB-HSPICE 툴 박스(도 5 (a)) 인터페이스가 만들어졌다. 진화적 솔버(evolutionary solver)는 유전 알고리즘(Genetic Algorithm; GA)이다. 각 HSPICE 시뮬레이션 후 MATLAB은 HSPICE를 사용하여 원하는 성능 매개변수를 평가하고 새로운 설계를 GA에 공급한다[23]. 솔루션 공간 X 의 n 차원 결정 변수 벡터 $x=\{x_1, \dots, x_n\}$ 이 주어지면(즉, X 는 전체 설계 매개 변수 공간을 나타낸다), TSV 최적화 문제는 K 목적 함수 $\mathbf{z}(x^*) = \{z_1(x^*), \dots, z_K(x^*)\}$ 의 집합을 최소화하는 벡터 x^* 를 찾는 것으로 공식화할 수 있다.
- [0043] 솔루션 공간 X 는 일반적으로 $j = 1, \dots, m$ 및 결정 변수에 대한 경계에 대해 $g_j(x^*)=b_j$ 로 표시된 동일 제약 조건의 집합에 의해 제한된다. 적합성 함수의 예시로서 TSV에 대해 식(1)이 제안된다:
- $$\text{fitness function} = \frac{k_0 \times \text{Settling time} + k_1 \times \text{errorband} + k_2 \times \text{Overshoot} + k_3 \times \text{peak_time}}{k_4 \times \text{Peak_absolute_value}} \quad \text{식(1)}$$
- [0044]
- [0045] 이 목표를 달성하려면 전체 적합성이 낮은 솔루션은 정착 시간, 오류 대역, 오버슈트 비율, 피크 시간 및 더 높은 피크 절대값이 필요하다.
- [0046] GA는 축소된 독립 변수 집합, 즉 유전자를 통해 크기를 조정하여 모든 관련 TSV 및 회로 하위 블록 매개 변수를 추출하려고 한다. 이 변수들은 도 5(b)와 같이 염색체 끈을 형성한다. TSV 진화를 위해 구현된 유전자는 각각 미세 범프 직경, 미세 범프 높이, 중간 IMD 높이를 나타내는 h_{tsv} , d_{tsv} , d_{bump} , h_{bump} , t_{ox} , h_{imd} 이다. 도 5(c)는 식 (1)의 일관된 용어를 보여준다.
- [0047] 제안하는 3D P2P, 4드롭, 8드롭 트랜스시버는 메모리 적층 시스템에서 다중드롭 버스를 시연하기 위해 65nm CMOS 공정으로 제작되었으며 측정을 수행하였다. 이 측정에 따르면 BBTX는 $\pm 20\%$ 전체 범위 내에서 채널의 피크 주파수 변화에 맞춰 스펙트럼을 조정할 수 있다.
- [0048] P2P의 경우, 신호 손실은 매우 작으며, 종단은 임피던스 매칭이 없어도 최대 데이터 속도에 큰 영향을 미치지 않는다. 측정된 최대 데이터 속도는 8드롭의 경우 3Gb/s, 4드롭의 경우 5Gb/s, P2P의 경우 10Gb/s이다. TSV는 전기적 특성이 훨씬 개선되었기 때문에 병렬 종단 회로를 제거할 수 있으며, 결과적으로 용량 부하가 상당히 낮아진다. 또한 DRAM용 CMOS 버퍼와 로직 다이 상호 연결은 출력을 적절하게 구동할 수 있다. P2P, 4-드롭, 8-드롭 하위 모델은 BER = 10⁻⁶에서 각각 182 ps, 169 ps, 177 ps 수평 마진을 가진다.
- [0049] 2D의 종래 구조와 결과를 비교하기 위해 세 가지 사례를 비교하였다. 2D PCB 메탈 라인 시뮬레이션은 TSV 모델 대신 10cm 전송 라인 모델이 상호연결로 사용된다. 2D 및 3D 측정으로 요약한 결과를 비교하고 표 1 및 표 2에 나열한다.

<표 1>

Type		HSTL	CMOS w/o T	CMOS w/ T
3D TSV	2-tiers	Max. Data rate	9G	3G
		Power consumption	21.91m	376.4u
		Delay	158.3ps	244.4ps
	4-tiers	Max. Data rate	5G	1G
		Power consumption	22.54m	441.6u
		Delay	172ps	261ps

<표 2>

Type		HSTL	CMOS w/o T	CMOS w/ T
2D PCB metal line	2-tiers	Max. Data rate	9G	3G
		Power consumption	21.91m	376.4u
		Delay	158.3p	244.4p
	4-tiers	Max. Data rate	5G	1G
		Power consumption	22.54m	441.6u
		Delay	192.4p	607.3p

표 1은 다양한 3D 구성의 전력 소비량, 지연 및 최대 데이터 속도를 보여준다. 표 2에는 CMOS 및 HSTL 로직의 다양한 2D 구성에 대한 성능 매개변수가 나열되어 있다. CMOS 로직은 항상 HSTL보다 전력 소비량이 적다.

표 2에 표시된 것처럼, 종단(T)을 추가하면 임피던스 일치로 인해 CMOS 로직에서는 더 높은 최대 데이터 속도에 도달한다. 최대 스윙 제한으로 전력 소비량도 줄었다. 차동 증폭기는 작은 스윙 입력 신호를 감지하는 반면 인버터는 감지하지 못하기 때문에 HSTL은 멀티 드롭 사례에서 CMOS 로직보다 높은 최대 데이터 속도를 보여준다. 이 4가지 구성 중 최대 데이터 속도는 3D 멀티 드롭의 경우 최대 9Gb/s, 3D P2P의 경우 10Gb/s이다.

이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

<참고문헌>

[1] Xie, Yuan, et al. "Design space exploration for 3D architectures." ACM Journal on Emerging Technologies in Computing Systems (JETC) 2.2 (2006): 65-103.

[2] Leibowitz, Brian, et al. "A 4.3 GB/s mobile memory interface with power-efficient bandwidth scaling." IEEE Journal of Solid-State Circuits 45.4 (2010): 889-898.

[3] Oh, Tae-Young, et al. "A 7Gb/s/pin GDDR5 SDRAM with 2.5 ns bank-to-bank active time and no bank-group restriction." 2010 IEEE International Solid-State Circuits Conference-(ISSCC). IEEE, 2010.

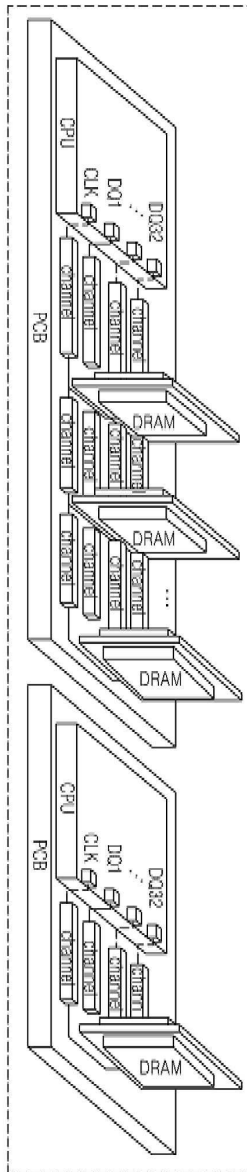
[4] Kaviani, Kambiz, et al. "A tri-modal 20-Gbps/link differential/DDR3/GDDR5 memory interface." IEEE Journal of Solid-State Circuits 47.4 (2012): 926-937.

[5] Solid State Technology Association: DDR3 SDRAM Specification. JEDEC, 2008, JESD79-3B.

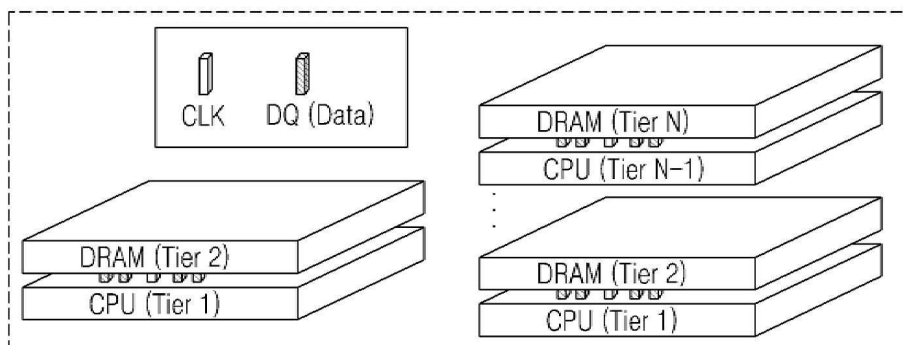
- [0067] [6] Lee, Dong Uk, et al. "A 1.2 V 8 Gb 8-channel 128 GB/s high-bandwidth memory (HBM) stacked DRAM with effective I/O test circuits." *IEEE Journal of Solid-State Circuits* 50.1 (2015): 191-203.
- [0068] [7] Bashirullah, Rizwan, Wentai Liu, and Ralph K. Cavin. "Current-mode signaling in deep submicrometer global interconnects." *IEEE Transactions on Very Large Scale Integration (VLSI) Systems* 11.3 (2003): 406-417.
- [0069] [8] Kumanoya, Masaki, et al. "Trends in high-speed DRAM architectures." *IEICE Transactions on Electronics* 79.4 (1996): 472-481.
- [0070] [9] Byun, Gyung-Su, et al. "An energy-efficient and high-speed mobile memory I/O interface using simultaneous bi-directional dual (Base+ RF)-band signaling." *IEEE Journal of Solid-State Circuits* 47.1 (2012): 117-130.
- [0071] [10] Chang, Daniel W., et al. "Reevaluating the latency claims of 3D stacked memories." *Design Automation Conference (ASP-DAC), 2013 18th Asia and South Pacific*. IEEE, 2013.
- [0072] [11] Yi, Il-Min, et al. "A 40-mv-swing single-ended transceiver for tsv with a switched-diode rx termination." *IEEE Transactions on Circuits and Systems II: Express Briefs* 61.12 (2014): 987-991.
- [0073] [12] Bae, Woorham, Byoung-Joo Yoo, and Deog-Kyoon Jeong. "Design of CMOS 5 Gb/s 4-PAM transceiver frontend for low-power memory interface." *SoC Design Conference (ISOC), 2012 International*. IEEE, 2012.
- [0074] [13] Pandey, Bishwajeet, Tanesh Kumar, and Teerath Das. "Design of power optimized memory circuit using High Speed Transceiver Logic IO Standard on 28nm Field Programmable Gate Array." *Optimization, Reliability, and Information Technology (ICROIT), 2014 International Conference on*. IEEE, 2014.
- [0075] [14] Farjad-Rad, Ramin, C-KK Yang, and Mark A. Horowitz. "A 0.3- μm CMOS 8-Gb/s 4-PAM serial link transceiver." *IEEE Journal of Solid-State Circuits* 35.5 (2000): 757-764.
- [0076] [15] Yi, Il-Min, et al. "A 40 mV-Differential-Channel-Swing Transceiver Using a RX Current-Integrating TIA and a TX Pre-Emphasis Equalizer With a CML Driver at 9 Gb/s." *IEEE Transactions on Circuits and Systems I: Regular Papers* 63.1 (2016): 122-133.
- [0077] [16] S. Piersanti, et al. "Transient analysis of TSV equivalent circuit considering nonlinear MOS capacitance effects," *IEEE Trans. Electromagnetic Compatibility*, vol. 57, no.5, pp. 1216-1225, 2015.
- [0078] [17] J. Kim, et al. "TSV modeling and noise coupling in 3D IC," *Electronic System-Integration Technology Conference (ESTC)*, Sep. 2010, pp. 1-6.
- [0079] [18] J. Kim, et al. "High-frequency scalable electrical model and analysis of a through silicon via (TSV)," *IEEE Trans. on Components, Packaging and Manufacturing Technology* vol. 1, no. 2, pp. 181-195, 2011.
- [0080] [19] S. Jung, J. Lee, and J. Kim, "Yield-Aware Pareto Front Extraction for Discrete Hierarchical Optimization of Analog Circuits," *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems*, vol. 33, no. 10, pp. 1437-1449, Oct. 2014.
- [0081] [20] D. Goldberg, *Genetic Algorithms in Search, Optimization & Machine Learning*, Addison-Wesley, LISA, 1989.

도면

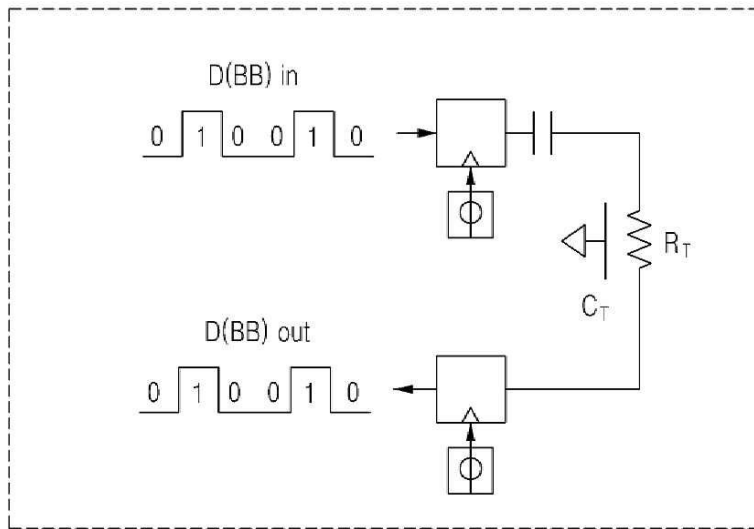
도면1



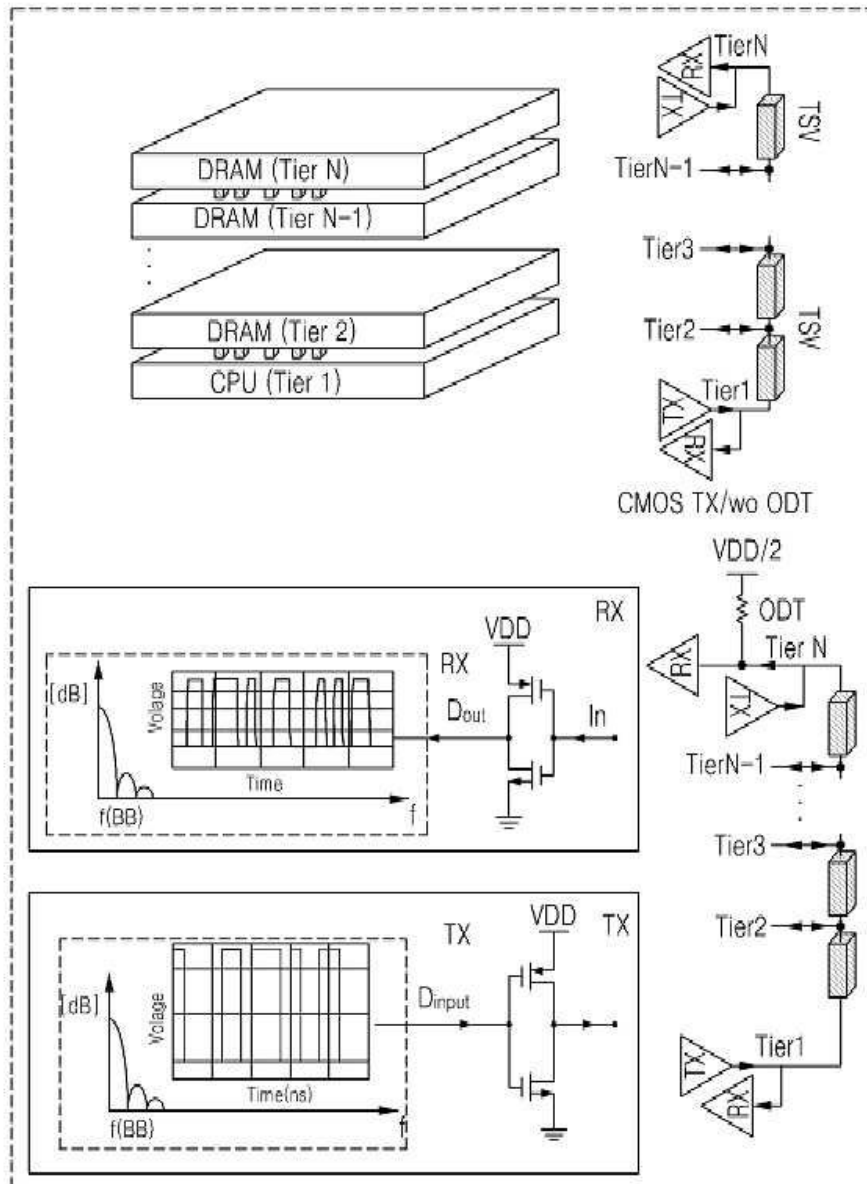
도면1b



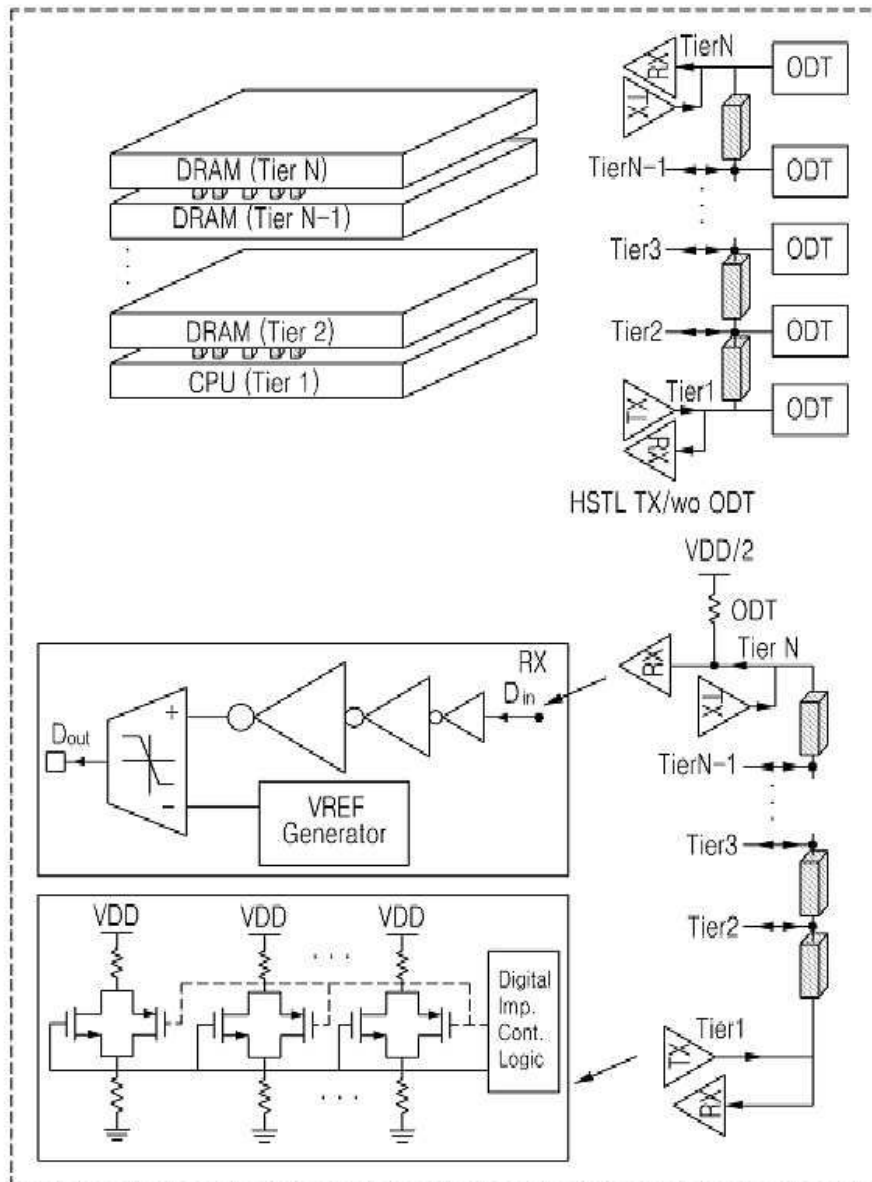
도면1c



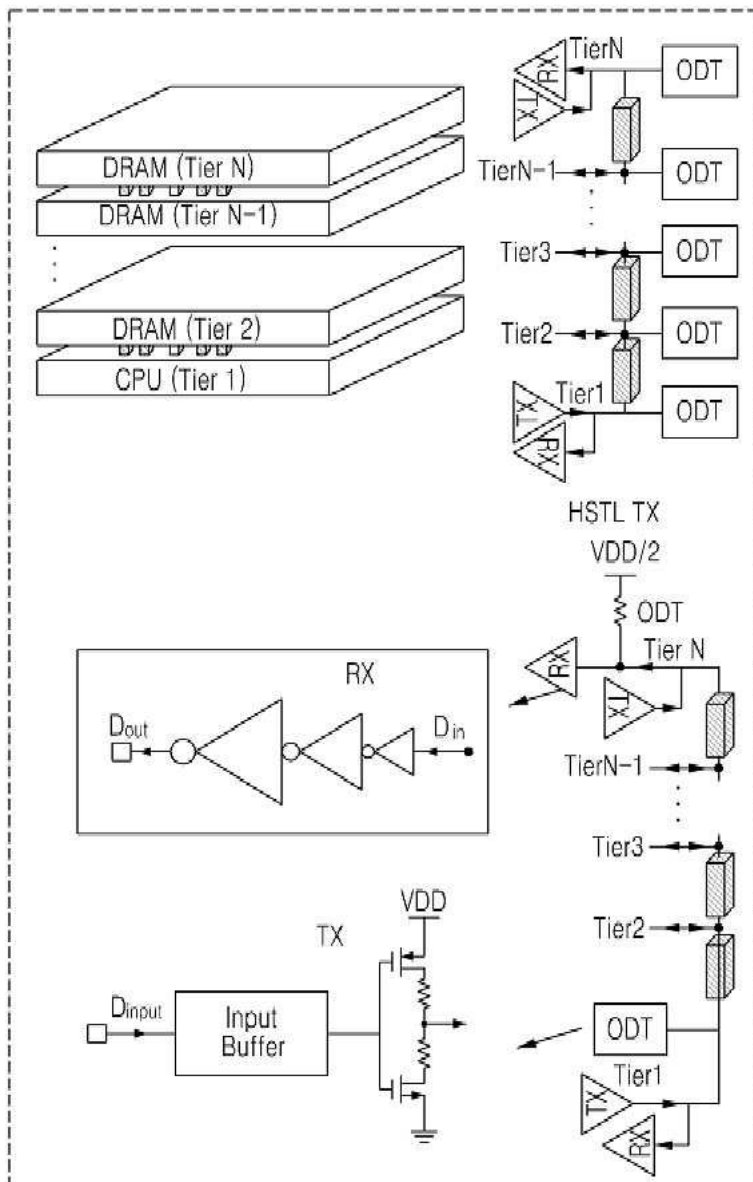
도면2a



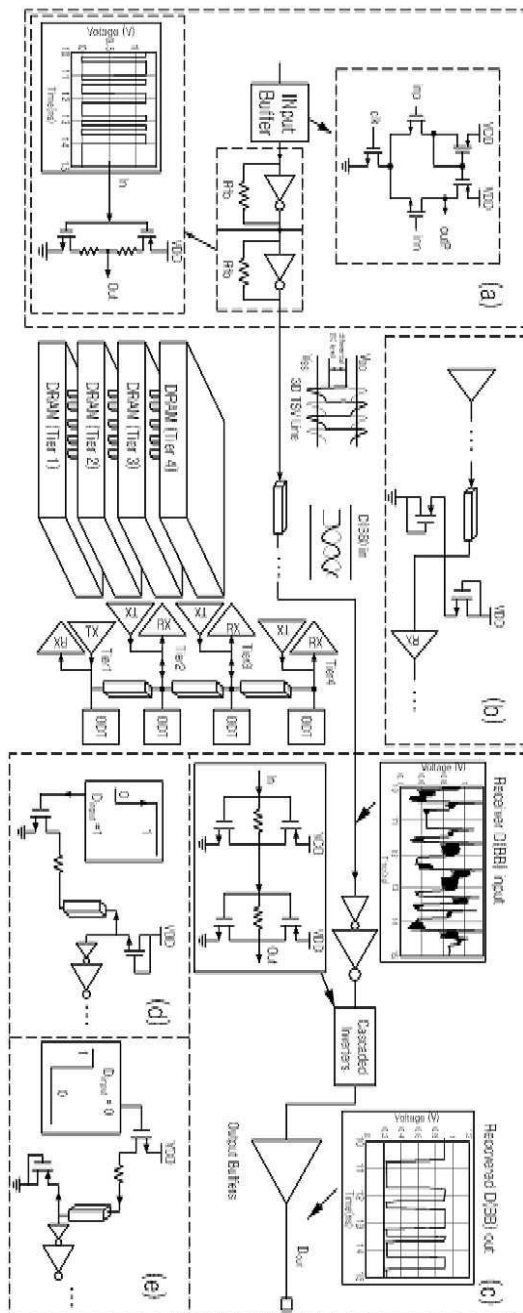
도면 2b



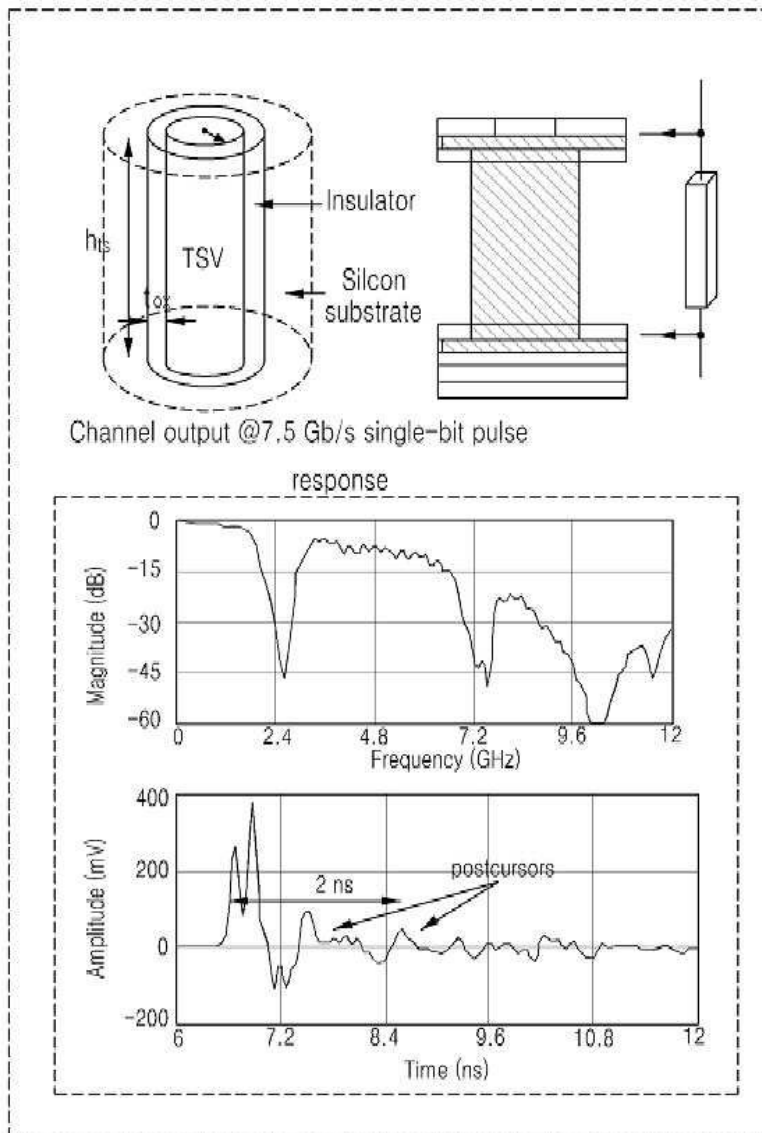
도면2c



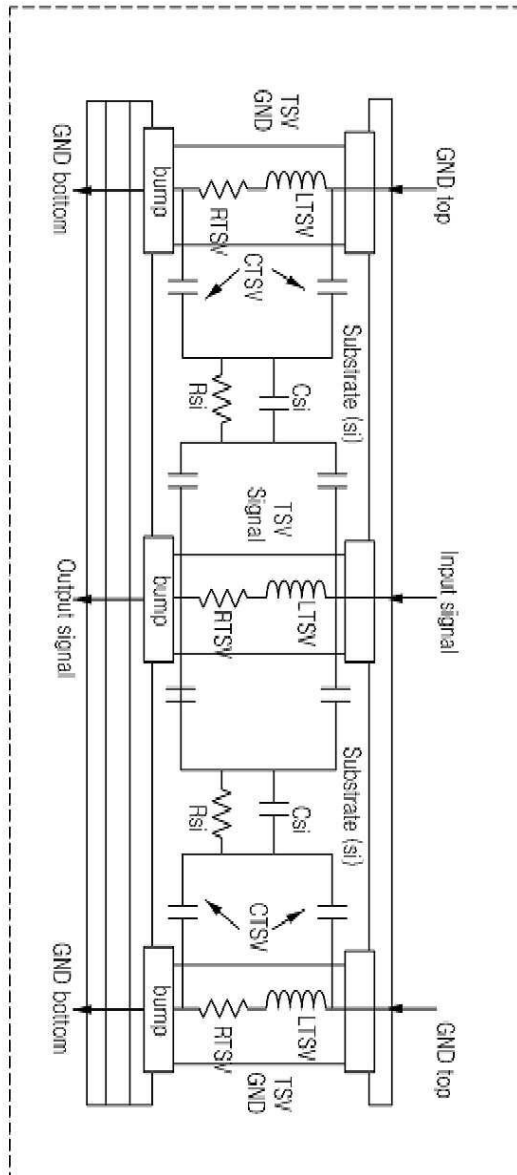
도면3



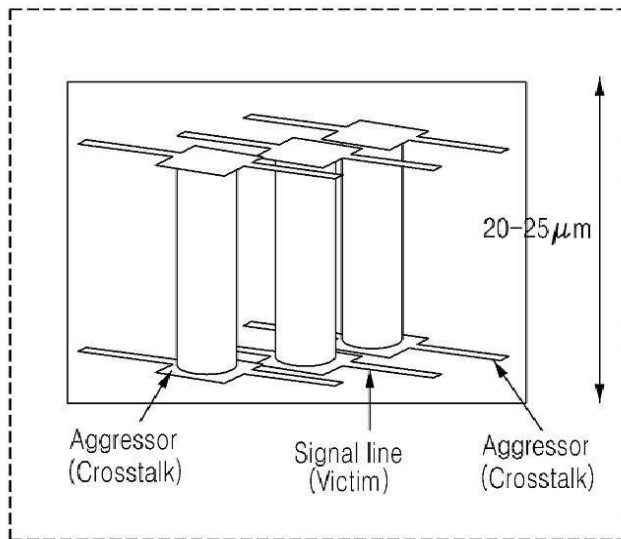
도면4a



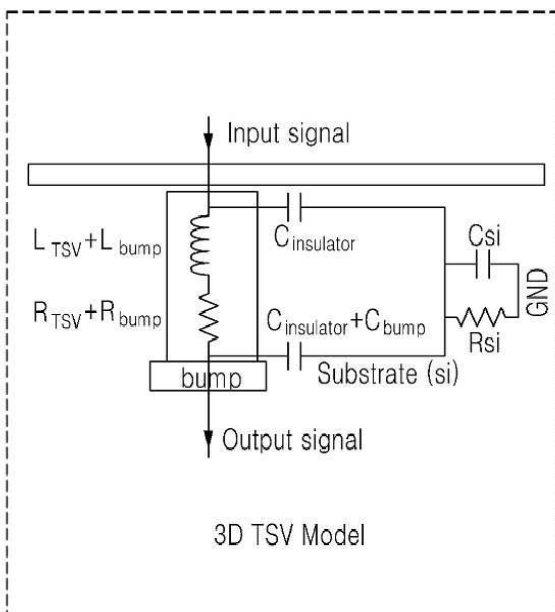
도면4b



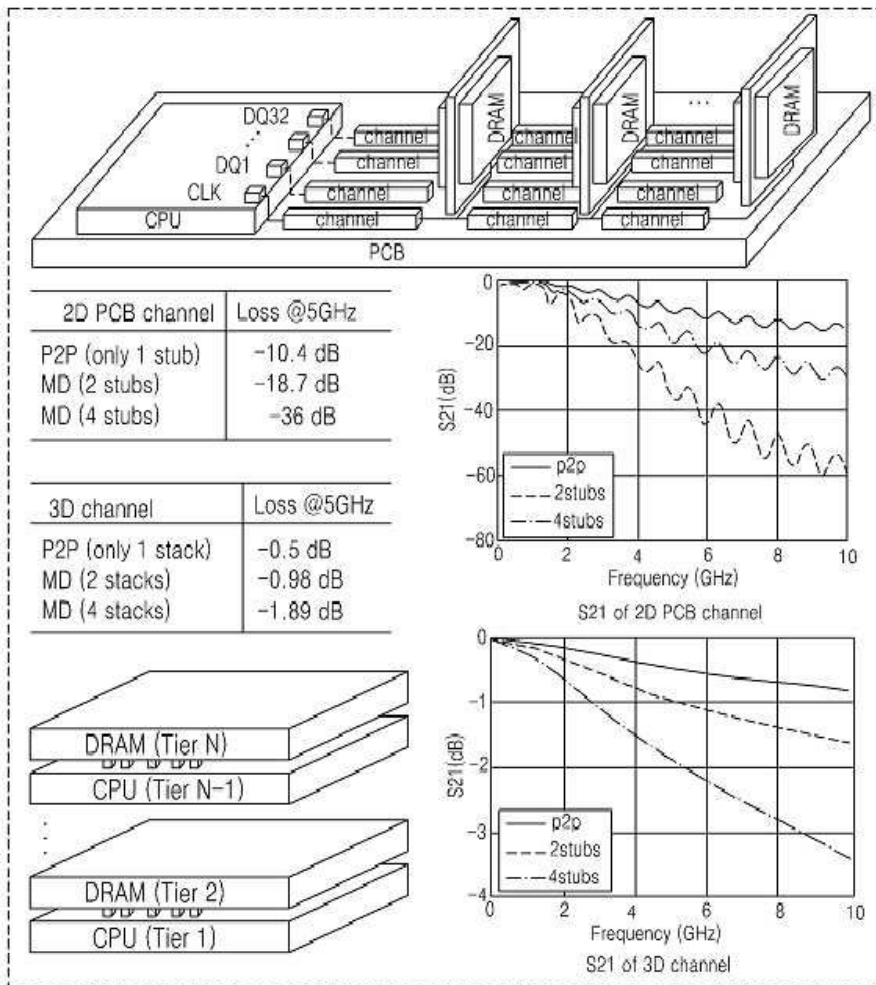
도면4c



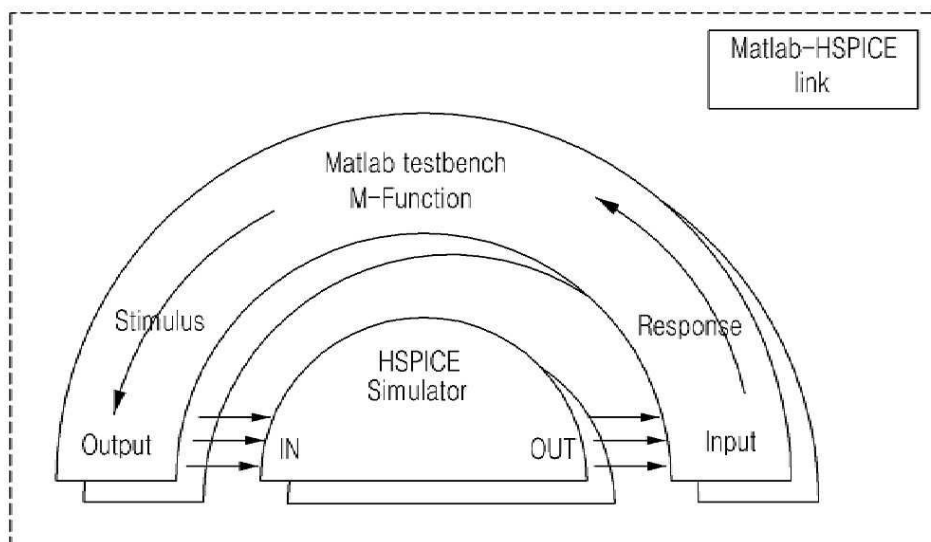
도면4d



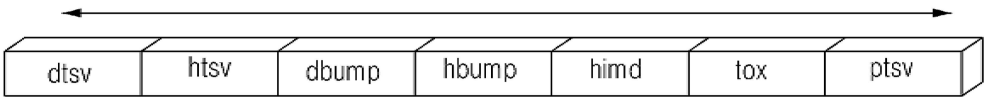
도면4e



도면5a



도면5b



도면5c

