

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 993 835**

51 Int. Cl.:

H04L 7/00 (2006.01)

G06N 10/00 (2012.01)

G01R 31/00 (2006.01)

G06F 1/03 (2006.01)

H04J 4/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **27.03.2020 PCT/NL2020/050210**

87 Fecha y número de publicación internacional: **01.10.2020 WO20197396**

96 Fecha de presentación y número de la solicitud europea: **27.03.2020 E 20715492 (3)**

97 Fecha y número de publicación de la concesión europea: **25.09.2024 EP 3949244**

54 Título: **Método de sincronización de una pluralidad de dispositivos y sistema configurado para realizar el método**

30 Prioridad:

27.03.2019 EP 19165419

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

10.01.2025

73 Titular/es:

**QBLOX B.V. (100.00%)
Delftechpark 22
2628 XH Delft, NL**

72 Inventor/es:

VLOTHUIZEN, WOUTER JAN

74 Agente/Representante:

GONZÁLEZ PECES, Gustavo Adolfo

ES 2 993 835 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Método de sincronización de una pluralidad de dispositivos y sistema configurado para realizar el método

Campo de la invención

5 La presente invención está dirigida a un método de sincronización de una pluralidad de dispositivos, en el que cada uno de la pluralidad de dispositivos opera en sincronización con una señal de reloj interno de tal manera que las acciones realizadas por cada dispositivo se cronometran basándose en ciclos de tiempo definidos por una periodicidad de la señal de reloj interno, siendo la señal de reloj interno de al menos uno de los dispositivos periódica a una primera frecuencia, en el que la pluralidad de dispositivos se sincroniza mutuamente a través de una línea compartida a la que están conectados todos los dispositivos de la pluralidad de dispositivos. La invención se dirige además a un sistema
10 dispuesto para realizar el método.

Antecedentes

Una pluralidad de dispositivos que cooperativamente es realizar una o más tareas críticas de tiempo, típicamente puede hacerlo sobre la base de una sincronización común entre los dispositivos que cooperan. Normalmente, esto se consigue compartiendo una señal de reloj común. Aunque esto proporciona una solución perfectamente viable en
15 muchas situaciones, ya no proporciona una solución suficientemente eficaz para procesos de tiempo crítico muy rápidos y/o procesos entre dispositivos distribuidos que pueden estar alejados unos de otros. En particular, en estas situaciones el retardo de propagación de las señales que viajan (de un dispositivo a otro) impone una limitación a las frecuencias de funcionamiento alcanzables de los dispositivos.

Por ejemplo, considérese un generador de forma de onda arbitraria (AWG) que funciona a una frecuencia interna de
20 250 megahercios (MHz) y que tiene que funcionar en sincronía con dispositivos AWG similares que funcionan a esta misma frecuencia. Los dispositivos están interconectados mediante cableado, por ejemplo de fibra óptica, de forma que el dispositivo más alejado está conectado a una distancia de cable de 10 metros del dispositivo AWG considerado. Tomando una estimación aproximada, las señales transmitidas a través de la fibra óptica viajan a una velocidad del 70 % de la velocidad de la luz, es decir, $2 \cdot 10^8$ metros/segundo. Esto significa que una señal óptica puede recorrer un
25 cable de fibra óptica de 10 metros en sólo 50 nanosegundos. Sin embargo, teniendo en cuenta que la frecuencia interna del AWG es de 250 MHz, un solo ciclo temporal del AWG tiene una duración de sólo 4 nanosegundos. Por lo tanto, el tiempo de viaje de 50 nanosegundos (100 nanosegundos ida y vuelta) se corresponde con 13 ciclos de tiempo del AWG considerado (25 ciclos ida y vuelta). Para que estos dispositivos puedan realizar conjuntamente determinadas tareas de forma simultánea o casi simultánea, se requiere una forma de sincronización muy precisa. Para que ambos
30 dispositivos generen un evento durante ciclos de tiempo coincidentes, la señal de disparo debe estar disponible para ambos dispositivos durante estos ciclos de tiempo coincidentes. Esto requiere que la señal de disparo esté disponible en todas partes del sistema de dispositivos con una precisión inferior a 4 nanosegundos para ser recibida durante el mismo ciclo. Pero lo ideal es que la precisión sea aún mayor (por ejemplo, en 2 nanosegundos o menos). La forma estándar de sincronizar los dispositivos por este motivo no es suficiente.

35 Con respecto a lo anterior, se hace referencia, por ejemplo, a "Scalable Self-Adaptive Synchronous Triggering System in Superconducting Quantum Computing", de Li-Hua Sun et al., ARXIV.ORG, CORNELL UNIVERSITY ITHACA; y Anon. "Multiple AWG's Synchronization", Euvis Application Notes, páginas 1-3, disponible en http://www.euvis.com/downloads/mod/sync/AN_AWG_Synchronization.pdf.

40 Se hace referencia adicional al documento US 2011/276820 A1 (PATEL KUNAL H [US] ET AL.) 10 de noviembre de 2011.

Sumario de la invención

Es un objeto de la presente invención proporcionar un método de sincronización para sincronizar una pluralidad de dispositivos, que supere las desventajas de los métodos de la técnica previa, que sea muy preciso y que tenga un diseño relativamente simple tal que pueda implementarse sin mucha dificultad.

45 Con este fin, se proporciona por la presente un método de sincronización de una pluralidad de dispositivos, en el que cada uno de la pluralidad de dispositivos funciona en sincronización con una señal de reloj interno de tal manera que las acciones realizadas por cada dispositivo se cronometran basándose en ciclos de tiempo definidos por una periodicidad de la señal de reloj interno, siendo la señal de reloj interno de al menos uno de los dispositivos periódica a una primera frecuencia, en el que la pluralidad de dispositivos se sincroniza mutuamente a través de una línea
50 compartida a la que están conectados todos los dispositivos de la pluralidad de dispositivos; el método comprende: proporcionar, desde un reloj de sistema a cada uno de la pluralidad de dispositivos, una señal de reloj de sistema que es periódica a una segunda frecuencia menor que la primera frecuencia, definiendo así la segunda frecuencia una pluralidad de ciclos secuenciales de reloj de sistema; sincronizar, en cada uno de la pluralidad de dispositivos, la señal de reloj interno basándose en la señal de reloj de sistema recibida; y desencadenar, por al menos un dispositivo de la pluralidad de dispositivos y en sincronización con la señal de reloj de sistema, un evento de sincronización de sistema que comprende: cambiar, por el al menos un dispositivo durante un primer ciclo de tiempo, un estado de señal de una
55 señal de línea compartida común en la línea compartida tal como para señalar el evento de sincronización; y

5 monitorizar, por cada uno de la pluralidad de dispositivos durante un segundo ciclo de tiempo, la señal de línea compartida común en la línea compartida para registrar el cambio en el estado de señal de la señal de línea compartida común; en el que el segundo ciclo ocurre más tarde que el primer ciclo de tiempo y está separado del mismo por uno o más ciclos de tiempo adicionales, en el que una duración desde un inicio del primer ciclo hasta un final del segundo ciclo es menor que una duración de un ciclo de reloj del sistema.

10 El presente método utiliza dos señales de reloj, es decir, una señal de reloj del sistema "lenta" y una señal de reloj interno "rápida", para coordinar las acciones de sincronización realizadas en una línea compartida. La señal de reloj del sistema proporciona una señal de reloj principal a la que se alinean, es decir, se sincronizan, todas las señales de reloj interno de cada uno de los dispositivos. Estas señales de reloj interno son señales internas individuales del dispositivo que definen el tamaño de la etapa o ciclo de tiempo en el que se realizan los actos y se registran los eventos dentro de cada dispositivo. La señal lenta del reloj del sistema también se utiliza como base para activar un evento de sincronización en la línea compartida. Si uno de los dispositivos necesita señalar una próxima sincronización de los dispositivos del sistema, cambia el estado de la señal de la línea compartida (por ejemplo, de alta a baja). Sin embargo, de acuerdo con la invención, se aplica la política de que esto sólo se puede realizar durante el primer ciclo de tiempo mencionado anteriormente. Otros dispositivos supervisan la línea compartida, pero esta supervisión, de acuerdo con la política aplicada, sólo puede realizarse durante un ciclo de tiempo determinado, es decir, el segundo ciclo de tiempo. Dado que la señal de activación se basa en la señal de reloj del sistema, que es recibida por todos los dispositivos, cada dispositivo supervisa la línea compartida durante un ciclo de tiempo que es un mismo número de ciclos de tiempo después de la recepción de un cambio en la señal de reloj del sistema. De este modo, al registrar un cambio en el estado de la señal, todos los dispositivos realizan conjuntamente los actos requeridos de forma bien orquestada.

20 Al utilizar un reloj de sistema lento en combinación con el reloj interno rápido, se dispone de un presupuesto de tiempo para realizar la sincronización en todo el sistema que es igual a un número de ciclos de tiempo del reloj interno rápido. Esto permite que el cambio de señal en la línea compartida se distribuya por todo el sistema, teniendo en cuenta el retardo de propagación, de forma que esté disponible para todos los dispositivos del sistema tras una serie de ciclos de tiempo. El momento de la supervisión se produce para todos los dispositivos más o menos al mismo tiempo, y en un momento en el que el cambio de señal en la línea compartida es visible para todos los dispositivos. Por lo tanto, la sincronización realizada en respuesta a la recepción de este cambio de estado de la señal durante la etapa de supervisión se realiza más o menos al mismo tiempo.

25 El evento de sincronización puede ser desencadenado por un solo dispositivo, o por varios o incluso por todos los dispositivos. La señal de línea compartida cambiará cuando el primero de los dispositivos realice el evento de sincronización. El cambio en la señal de la línea compartida puede ser una transición de alta a baja o de baja a alta. Sin embargo, se ha comprobado que se puede medir mejor una transición descendente, por lo que se prefiere que el evento de sincronización sea una bajada de la señal de la línea compartida, es decir, una transición de alta a baja.

30 De acuerdo con algunas realizaciones, el método comprende además una etapa de contar, por cada uno de la pluralidad de dispositivos, los ciclos de tiempo definidos por la señal de reloj interno utilizando un contador de sincronización; en el que la etapa de activación se realiza en un valor de contador de sincronización predefinido. En este caso, el disparo se realiza a un valor determinado del contador de sincronización. La supervisión se realiza en otro valor del contador de sincronización, posterior al disparo. El presupuesto de ciclos de tiempo se corresponde, por tanto, con el número de ciclos entre el cambio real del estado de la señal en la línea compartida común (que tiene lugar directamente después de la activación o un número limitado de ciclos después de ésta) y la supervisión. Dentro de este presupuesto de ciclo de tiempo, el cambio en la señal de línea compartida común debe transmitirse a los otros dispositivos para que sea perceptible en la línea compartida en cada dispositivo durante la supervisión.

35 De acuerdo con algunas realizaciones, la señal de reloj del sistema se distribuye a cada dispositivo utilizando un sistema de distribución de reloj, en el que el sistema de distribución está dispuesto para entregar la señal de reloj del sistema a todos los dispositivos simultáneamente y de tal manera que para cada dos dispositivos de la pluralidad de dispositivos una diferencia de tiempo de viaje entre los tiempos de viaje de las señales de reloj del sistema a cada uno de los dos dispositivos es menor que un solo ciclo de tiempo tal como se define por la primera frecuencia, preferentemente menos de la mitad de un ciclo de tiempo, más preferentemente menos de un cuarto de ciclo de tiempo. Se permite una ligera diferencia de sincronización entre las señales de reloj del sistema recibidas por los dispositivos del sistema. Dado que las señales se transmiten a través de una infraestructura fija (por ejemplo, fibra óptica, cable de cobre, transmisión inalámbrica), la asimetría en la recepción de la señal del reloj del sistema por parte de los distintos dispositivos es fija a lo largo del tiempo: no cambiará. Además, como también se conoce la velocidad de propagación de las señales, la no sincronización de las señales de reloj del sistema recibidas por los distintos dispositivos puede ajustarse adaptando la longitud de los cables. Por ejemplo, de acuerdo con algunas realizaciones, el sistema de distribución de reloj comprende un cable entre cada dispositivo y el reloj del sistema para incluir así una pluralidad de cables, en el que una diferencia en la longitud del cable entre cada dos cables de la pluralidad de cables es menor que 1 metro, preferentemente menor que 40 centímetros, más preferentemente menor que 20 centímetros. Considerando, por ejemplo, una velocidad de propagación de $2 \cdot 10^8$ m/s, una diferencia de longitud de 20 centímetros se corresponde con una diferencia de tiempo de 1 nanosegundo.

40 En una realización preferida, la primera frecuencia es un número entero varias veces mayor que la segunda frecuencia. De este modo, se garantiza que un número entero de ciclos de tiempo quepa en un solo ciclo del reloj del sistema. La

señal de reloj interno se sincroniza para alinearse con la señal de reloj del sistema. Por lo tanto, las transiciones del reloj del sistema (es decir, considerando la señal del reloj del sistema como una señal de bloque que varía entre 0 y 1 periódicamente) siempre coinciden con las transiciones de la señal del reloj interno y, por lo tanto, se producen en un ciclo de tiempo predecible de cada dispositivo. En combinación con el uso de un contador de sincronización, el contador de sincronización puede en algunas realizaciones ser periódicamente reiniciado en sincronía con la señal de reloj del sistema, de tal manera que este contador contaría periódicamente un número fijo de ciclos de tiempo antes de reiniciar la cuenta. Por lo tanto, se puede acordar dentro del sistema un ciclo de tiempo preseleccionado que se utilizará para supervisar la línea compartida, de modo que todos los dispositivos supervisen la línea compartida durante el mismo ciclo de tiempo (por ejemplo, 15 ciclos de tiempo después del inicio).

5 La primera frecuencia puede estar dentro de un intervalo de 1 megahercio a 10 gigahercios, preferentemente entre 50 megahercios y 1 gigahercio (GHz), más preferentemente entre 100 megahercios (MHz) y 500 megahercios, por ejemplo 250 megahercios. La segunda frecuencia está comprendida entre 20 kilohercios y 2 gigahercios, preferentemente entre 1 megahercio y 200 megahercios, más preferentemente entre 1 megahercio y 100 megahercios, por ejemplo 10 megahercios. El uso de un reloj de sistema de 10 MHz con un reloj interno de 250 MHz proporciona 25 ciclos de tiempo durante cada ciclo de reloj del sistema. Este número es indicativo del presupuesto total de tiempo disponible para realizar toda la sincronización, incluida la transmisión de la señal. Algunos ciclos se utilizan dentro del dispositivo de disparo y para resolver imprecisiones en la sincronización, pero este número de ciclos es fijo y conocido. Por lo tanto, el presupuesto de tiempo para la transmisión de la señal en la línea compartida también es fijo y conocido, y puede ajustarse para permitir que todos los dispositivos vean el cambio de estado de la señal en la línea compartida durante la supervisión de esta en el segundo ciclo de tiempo.

En algunas realizaciones, el contador de sincronización se pone a cero periódicamente una vez cada ciclo de reloj del sistema, en el que el primer ciclo de tiempo y el segundo ciclo de tiempo están separados en el tiempo por la mitad de un ciclo de reloj del sistema. Esto permite que la segunda parte del ciclo del reloj del sistema esté disponible para enviar señales de retorno al dispositivo de disparo de transmisión.

25 En algunas realizaciones, las señales de reloj interno de todos los dispositivos de la pluralidad de dispositivos son periódicas a la primera frecuencia, de tal manera que todos los dispositivos operan a una misma frecuencia de reloj interno. Sin embargo, en otras realizaciones, para uno o más dispositivos de la pluralidad de dispositivos, las señales de reloj interno son periódicas en una o más frecuencias adicionales diferentes de la primera frecuencia, y en el que la etapa de cambio se realiza en respuesta a un primer cambio de señal de la señal de reloj del sistema y la etapa de monitorización se realiza en respuesta a un segundo cambio de señal de la señal de reloj del sistema. En esta última clase de realizaciones, las etapas para activar el cambio del estado de la señal en la línea compartida y realizar la supervisión se basan directamente en las transiciones de la señal de reloj del sistema, ya que las señales de reloj interno funcionan a frecuencias diferentes y, por lo tanto, sus ciclos de tiempo no son los mismos. Alternativamente, en los casos en que se conozcan las diferentes señales de reloj interno, esto puede compensarse en cada dispositivo utilizando un valor de contador de sincronización diferente para realizar la supervisión, por ejemplo, de forma que ésta tenga lugar más o menos simultáneamente en todos los dispositivos. Cada dispositivo funciona a un ciclo de tiempo determinado por su señal de reloj interno.

De acuerdo con un segundo aspecto, se proporciona un sistema que comprende una pluralidad de dispositivos, un reloj de sistema, un sistema de distribución de reloj entre el reloj de sistema y cada dispositivo, y una línea compartida que interconecta la pluralidad de dispositivos y está configurada para permitir la sincronización mutua de los dispositivos a través de la línea compartida, en el que cada dispositivo funciona en sincronía con una señal de reloj interno tal que las acciones realizadas por dicho dispositivo se cronometran basándose en ciclos de tiempo definidos por la periodicidad de la señal de reloj interno, en el que al menos uno de los dispositivos está dispuesto para proporcionar la señal de reloj interno de forma que sea periódica con una primera frecuencia, en el que el reloj del sistema y el sistema de distribución de reloj están configurados para proporcionar, a cada uno de la pluralidad de dispositivos, una señal de reloj del sistema que sea periódica con una segunda frecuencia menor que la primera frecuencia, definiendo así la segunda frecuencia una pluralidad de ciclos secuenciales de reloj del sistema; en el que cada dispositivo está configurado para sincronizar su señal de reloj interno basándose en la señal de reloj del sistema recibida; y en el que al menos un dispositivo de la pluralidad de dispositivos está configurado para activar, en sincronización con la señal de reloj del sistema, un evento de sincronización del sistema; el evento de sincronización del sistema comprende: cambiar, por el al menos un dispositivo durante un primer ciclo de tiempo, un estado de señal de una señal de línea compartida común en la línea compartida tal como para señalar el evento de sincronización; y monitorizar, por cada uno de la pluralidad de dispositivos durante un segundo ciclo de tiempo posterior al primer ciclo de tiempo, la señal de línea compartida común en la línea compartida para registrar el cambio de estado de señal de la señal de línea compartida común; en el que cada dispositivo está configurado para realizar la supervisión durante el segundo ciclo después de que hayan transcurrido uno o más ciclos de tiempo adicionales, y de tal manera que la duración desde el inicio del primer ciclo hasta el final del segundo ciclo sea inferior a la duración de un ciclo de reloj del sistema. El evento de sincronización puede ser desencadenado por un solo dispositivo, por varios o incluso por todos. La señal de línea compartida cambiará cuando el primero de los dispositivos realice el evento de sincronización. El cambio en la señal de la línea compartida puede ser una transición de alta a baja o de baja a alta. Sin embargo, se ha comprobado que se puede medir mejor una transición descendente, por lo que se prefiere que el evento de sincronización sea una bajada de la señal de la línea compartida, es decir, una transición de alta a baja.

El presente método de sincronización puede aplicarse en muchos tipos de aplicaciones diferentes en las que deben sincronizarse dispositivos. Sin embargo, su fiabilidad hace que el método de sincronización sea especialmente útil en computación cuántica, por ejemplo. Por lo tanto, en algunas realizaciones de la presente invención, los dispositivos son elementos de un ordenador cuántico.

5 **Breve descripción de los dibujos**

La invención se dilucidará además mediante la descripción de algunas realizaciones específicas de la misma, haciendo referencia a los dibujos adjuntos. La descripción detallada proporciona ejemplos de posibles realizaciones de la invención, pero no debe considerarse que describa las únicas realizaciones incluidas en el ámbito de aplicación. El ámbito de la invención se define en las reivindicaciones, y la descripción debe considerarse ilustrativa sin ser limitativa de la invención. En los dibujos:

- La figura 1 ilustración esquemática de un sistema de acuerdo con una realización de la presente invención;
- La figura 2 ilustra esquemáticamente un dispositivo que puede formar parte de un sistema de acuerdo con una realización;
- La figura 3 ilustra esquemáticamente señales operativas dentro de un sistema que son ilustrativas de un método de acuerdo con una realización.

Descripción detallada

La figura 1 ilustra esquemáticamente un sistema de entrada según una realización de la presente invención. El sistema 1 comprende un reloj de sistema 3. El reloj del sistema 3 está configurado para proporcionar una señal de reloj del sistema a los elementos del sistema 1. La señal de reloj del sistema es una señal de reloj global que se utilizará dentro del sistema 1. Por ejemplo, la señal de reloj del sistema puede ser una señal de bloque periódica que tenga una periodicidad o frecuencia de 10 megahercios. El experto puede apreciar que cualquier otra frecuencia o forma de onda puede aplicarse igualmente, siempre que (como se explicará más adelante) múltiples ciclos de tiempo de funcionamiento de una señal de reloj interno de los instrumentos 6 dentro del sistema 1 quepan en un solo ciclo de la señal de reloj del sistema 32.

La señal de reloj del sistema 32 se distribuirá a través de un sistema de distribución de reloj 5. El sistema de distribución de reloj proporciona la señal de reloj del sistema 32 a través de una pluralidad de conexiones comunicativas 4 hacia una pluralidad de instrumentos 6 del sistema. Preferentemente, la distribución de la señal de reloj del sistema 32 a cada uno de los instrumentos 6 se realiza de forma que los retardos de propagación entre el reloj del sistema 3 y cada uno de los instrumentos 6 a través del sistema de distribución de reloj 5 sean más o menos iguales. De este modo, los flancos de la señal de bloque de la señal de reloj del sistema 32 serán recibidos por cada uno de los instrumentos 6 más o menos al mismo tiempo. Sin embargo, esto no es un requisito esencial para el sistema, siempre y cuando las diferencias de temporización o los retrasos de la señal de reloj del sistema entre los distintos instrumentos 6 sean fijos y predecibles. Esto permite compensar los retrasos, donde sea necesario, más adelante.

El sistema 1 comprende además una pluralidad de instrumentos 6, en la figura 1 numerados como 6-1.... 6-i... 6-N. La figura 1 ilustra esquemáticamente un total de i instrumentos 6, donde $1 \leq i \leq N$. El sistema 1 puede comprender cualquier número deseado de instrumentos y, por tanto, N puede ser cualquier valor entero comprendido entre 2 e infinito.

En lo sucesivo, el primer instrumento 6 del sistema 1 se designará mediante el número de referencia 6-1, y el último instrumento 6 del sistema 1 se designará mediante el número de referencia 6-N. Cualquier instrumento arbitrario 6 entre el primer y el último instrumento, se designará con el número de referencia 6-i.

Cada uno de los instrumentos 6-1 a 6-N comprende una entrada de reloj de sistema 4 y una entrada/salida de línea compartida 7. La entrada y la salida de cada uno de los instrumentos 6-1 a 6-N se designan de manera similar como 4-1 a 4-N y 7-1 a 7-N. Los instrumentos 6-1 a 6-N, como se ha descrito, están todos conectados a una línea compartida 8. La línea compartida común 8 contiene una señal de línea común que puede recibirse a través de la entrada/salida 7-i (donde i va de 1 a N). La línea compartida 8 puede utilizarse del siguiente modo.

Por defecto, la señal de línea compartida en la línea compartida 8 puede ser alta ("1") o baja ("0"). Considerando una señal de línea compartida que por defecto comienza como una señal baja con el valor ("0"), cada uno de los instrumentos 6-1 a 6-N está habilitado para llevar la señal de línea compartida a alto (valor "1") en cualquier momento. Si la señal de línea compartida en la línea compartida 8 es elevada por cualquiera de los instrumentos 6-1 a 6-N (o por múltiples instrumentos 6), permanecerá elevada hasta que todos los instrumentos 6-1 a 6-N hayan liberado la señal de línea compartida de forma que vuelva a ser baja. Una línea compartida 8 puede lograrse de esta manera en una disposición óptica o eléctrica. Aunque a veces puede preferirse el uso de conexiones de fibra óptica, una línea compartida 8 que lleve una señal de línea compartida común puede implementarse en un diseño eléctrico así como en un diseño óptico. Por ejemplo, en un sistema eléctrico es más fácil diseñar una función lógica "O" en la que la línea compartida cambia cuando el primer dispositivo realiza el evento de sincronización. Por ejemplo, puede aplicarse un transistor en combinación con una resistencia elevadora.

En una disposición eléctrica, la línea compartida 8 puede ser por defecto baja (por ejemplo, nivel de tensión: 0 V) o

alto (por ejemplo, nivel de tensión: 5 V). Por ejemplo, la señal de línea compartida en la línea compartida 8 puede ser una señal alta de 5 voltios mantenida utilizando una resistencia elevadora. Cada uno de los instrumentos 6-1 a 6-N puede ser habilitado, para llevar la señal de la línea compartida a bajo conectándola selectivamente a masa. La señal de línea compartida en la línea compartida 8 sólo volverá a ser alta cuando cada uno de los instrumentos 6-1 a 6-N haya liberado las líneas compartidas a través de su salida 7-1 a 7-N, en cuyo caso la fuente de tensión mantiene de nuevo la señal de línea compartida a 5 voltios. Puede ser apreciado, alternativamente la señal de línea compartida en la línea compartida 8 puede ser mantenida en 0 voltios, y puede ser selectivamente levantada por cualquiera de los instrumentos 6-1 a 6-N a 5 voltios. En un diseño óptico, la línea compartida 8 puede implementarse de forma diferente. Por ejemplo, en un diseño óptico, la señal de la línea 8 puede ser baja por defecto (es decir, oscura, la fibra no está encendida). Cada instrumento 6-1 a 6-N puede ser habilitado para iluminar la fibra óptica de tal manera que la señal en la fibra se vuelve alta. Si varios instrumentos 6 iluminan la línea compartida 8 de esta manera, y uno o más instrumentos (pero no todos) dejan de iluminar la fibra, la señal en la línea compartida 8 permanecerá alta. Sólo si todos los instrumentos 6-1 a 6-N dejan de iluminar la línea 8, la línea 8 volverá a estar baja (oscura). Por lo tanto, la línea compartida permanecerá alta hasta que todos los instrumentos 6-1 a 6-N la hayan liberado.

La línea compartida 8 se utilizará en el sistema 1 para coordinar el proceso de sincronización entre los diversos dispositivos 6-1 a 6-N. Con este fin, cualquiera de los instrumentos 6-1 a 6-N puede iniciar la sincronización tirando de la línea compartida 8 alta, y los otros instrumentos 6-1 a 6-N se darán cuenta del cambio de estado de la señal en la línea compartida 8, iniciando así una acción de sincronización.

La figura 2 ilustra esquemáticamente un dispositivo 6 que puede utilizarse en un sistema 1 de la figura 1. El dispositivo 6 incluye una entrada de reloj del sistema 4 y una entrada/salida de línea compartida 7. El instrumento 6 puede ser cualquier tipo de instrumento que se utilice en el sistema 1 a sincronizar, y puede ser, por ejemplo, un instrumento sensor, un instrumento actuador o algún tipo de máquina. Por ejemplo, el instrumento 6 puede incluir un convertidor analógico-digital (ADC) y/o un convertidor digital-analógico (DAC) 20 que permite convertir cualquier señal eléctrica analógica en una señal digital que puede utilizarse en el sistema. Por ejemplo, el sistema 1 puede ser un sistema de análisis para analizar las señales de medición de una pluralidad de dispositivos de medición que supervisan un determinado proceso o experimento científico. Los sensores del sistema 1 pueden estar conectados al sistema a través de uno o más ADC para proporcionar sus señales de detección para análisis posteriores. Una parte central de cada dispositivo 6 puede estar formada por una matriz de puertas programables de campo 10 que opera el dispositivo. La parte principal de la FPGA 10 puede ser un controlador 21 que realiza el procesamiento de las señales recibidas del ADC 20 o que proporciona señales convertidas por el DAC 20. Los elementos 20 y 21 son partes funcionales del dispositivo 6, pero no desempeñan (en este contexto) ningún papel en el método de sincronización aquí descrito.

La señal de reloj del sistema 32 se recibe por la entrada de reloj del sistema 4 y se proporciona a un bucle de fase bloqueada (PLL). Una unidad de bucle de enganche de fase es un sistema de control que genera una señal de entrada recibida a través de la entrada 4. El bucle de enganche de fase 12 recibe la señal de reloj del sistema a través de la entrada 4 y proporciona, en sus salidas 13 y 14, una señal de referencia a través de la salida 14 que es idéntica a la señal de reloj del sistema recibida en la entrada 4. En la salida 13, proporciona además una señal de reloj interno rápido que está sincronizada con la señal de reloj del sistema recibida en la entrada 4. Por lo tanto, ambas señales proporcionadas a través de la salida 13 y 14 del PLL están sincronizadas con la señal de entrada recibida por la entrada 4. La señal de reloj del sistema sincronizado en la salida 14 y la señal de reloj interno en la salida 13 se proporcionan a un controlador dedicado 17 que controla todas las acciones realizadas en la línea compartida 8 a la que el dispositivo 6 está conectado a través de la entrada/salida 7. El controlador dedicado 17 está habilitado para activar un dispositivo 6 para tirar de la señal de línea compartida a alta (o a baja) cuando se desee. El controlador dedicado 17 también está configurado para observar la línea compartida 8. Por lo tanto, el controlador dedicado 17 desempeña un papel importante en la coordinación de las diversas etapas del método de sincronización de la presente invención dentro del dispositivo 6. El controlador dedicado 17 está conectado a una interfaz de línea compartida 19 que realiza las acciones reales en la línea compartida y proporciona el estado de la señal de la línea compartida al controlador dedicado 17 cuando es necesario.

La figura 3 ilustra esquemáticamente un método de sincronización de acuerdo con la presente invención, ilustrando las diversas señales operativas de interés que se utilizan dentro del sistema 1. En la figura 3, la señal de reloj interno rápido se indica con el número de referencia 30. La señal de reloj lento del sistema se indica con el número de referencia 32. En el ejemplo ilustrado en la figura 3, la señal de reloj interno 30 es una señal de bloque periódica de 250 megahercios. Se puede apreciar, una señal de reloj que es periódica a una frecuencia diferente o es periódica con una forma de onda diferente (por ejemplo, triangular, senoidal, o cualquier otra cosa), también se puede aplicar cuando se desee. El uso de señales de bloque es conveniente en un sistema digital, y por lo tanto se utiliza en el presente ejemplo. La periodicidad de la señal de reloj interno rápido 30 define una pluralidad de ciclos de tiempo 31 que en la figura 3 están separados con delimitadores 34. El inicio de cada ciclo de tiempo 31 se activa por el flanco ascendente de la señal de reloj interno rápido 30. La señal de reloj interno rápido 30 y la señal de reloj de sistema externo lento 32 están sincronizadas entre sí. Aquí, en la figura 3, la sincronización se ha realizado alineando los flancos descendentes de la señal de reloj interno 30 y la señal de reloj de sistema externo 32 como se ilustra dentro del óvalo 33. El flanco descendente 35 de la señal de reloj del sistema 32 cae así a mitad de camino durante un ciclo de tiempo de la señal de reloj interno 30. Puede apreciarse que la sincronización entre la señal de reloj interno 30 y la señal de reloj de sistema 32 puede realizarse alineando el flanco ascendente de la señal de reloj interno 30 con el

flanco descendente de la señal de reloj de sistema 32 o de cualquier otra forma. Esto no es importante para el método de la presente invención, siempre que ambas señales 30 y 32 estén sincronizadas. La señal interna 40 ilustra la versión muestreada de la señal de reloj del sistema 32 dentro del instrumento 6. Como el inicio de cada ciclo de tiempo del instrumento 6 está indicado por los delimitadores 34, en la señal muestreada 40 el flanco descendente de la señal de reloj del sistema 32 se producirá medio ciclo de tiempo más tarde de cuando se produjo realmente en la señal de reloj del sistema 32. Esto se ilustra en la señal muestreada 40. En caso de que el flanco descendente de la señal de reloj del sistema 32 se hubiera sincronizado con el flanco ascendente de la señal de reloj interno 30, la señal muestreada 40 mostraría el flanco descendente 42 un ciclo de tiempo completo antes. Del mismo modo, el flanco ascendente 36 de la señal de reloj del sistema 32 también se representará en la señal muestreada 40. Sin embargo, dependiendo de cómo se sincronicen entre sí las señales 32 y 30, este flanco ascendente puede aparecer en cualquier parte del círculo 41 ilustrado en la figura 3.

La señal operativa 47 es una señal de disparo que se proporciona en respuesta a la detección del flanco descendente 42 de la señal de reloj de sistema 32. Se basa en la versión muestreada de la señal de reloj del sistema proporcionada por la señal muestreada 40. Dado que el controlador dedicado 17, en este ejemplo, requiere dos ciclos de tiempo para procesar el flanco descendente 42 detectado y proporcionar un disparo 46 en respuesta al mismo, se muestran dos ciclos de tiempo 43 y 44 entre la aparición del flanco descendente 42 en la señal muestreada 40 y el flanco ascendente del disparo 46 en la señal de disparo 47.

El controlador dedicado 17, simultáneamente con la generación del disparo 46 en la señal de disparo 47, reinicia un contador de sincronización 50 al valor "0". Esto se ilustra con el número de referencia 51. El contador de sincronización 50 se incrementa en cada ciclo de tiempo, contando de "0" hacia arriba. Simultáneamente con la generación del disparador 46, durante el ciclo de tiempo 45 que está asociado con el valor "0" del contador de sincronización en 51, la interfaz de línea compartida 19 pone en alto la señal de línea compartida. Esto está representado por la señal 55 del controlador FPGA de línea compartida. A partir de ese momento, cualquiera de los otros dispositivos 6 puede recibir en cualquier momento el cambio de estado de la señal de la línea compartida a medida que se propaga a través de la línea compartida 8. Como se ha explicado anteriormente, considerando que la línea 8 es una fibra óptica, las señales ópticas se propagan a una velocidad de $2 \cdot 10^8$ m/s y, por tanto, recorren la distancia de 1 metro de cable óptico en 5 nanosegundos. En el ejemplo de la figura 3, el cambio de estado de la señal de línea compartida de la línea compartida 8 puede ser recibido por cualquiera de los instrumentos 6 del sistema 1 en algún momento de los instantes 57 y 58 ilustrados. La duración de tiempo entre los momentos 57 y 58 se asemeja a la tolerancia de retardo de propagación del método de sincronización de la presente invención. Un cambio de estado de la señal que es detectable para el controlador dedicado 17 a través de la interfaz de línea compartida 19, requiere aproximadamente un ciclo de tiempo para ser procesado por el controlador dedicado 17. Por lo tanto, en la señal de recepción de línea compartida sincronizada 60, el flanco ascendente que indica la disponibilidad del cambio de señal de línea compartida al controlador dedicado 17 estará disponible durante cualquiera de los ciclos de tiempo entre el ciclo de tiempo 61 y 62 ilustrados en la figura 3.

De acuerdo con la presente invención, dependiente del contador de sincronización se predefine un ciclo de tiempo específico en la política de sincronización para permitir la monitorización de cualquier cambio en la señal de línea compartida. Aquí, cualquier supervisión se realiza durante el ciclo de tiempo que corresponde al valor "15" del contador de sincronización. Por lo tanto, en la señal de línea compartida muestreada 65 utilizada por el controlador dedicado 17, este flanco ascendente está disponible a partir del ciclo de tiempo correspondiente con el valor "15" del contador de sincronización. Dado que todos los aparatos 6-1 a 6-N de la figura 1, de acuerdo con la política acordada, realizan la monitorización de la línea compartida cuando el contador de sincronización 50 alcanza el valor "15", el cambio de estado de la señal en la línea compartida 8 es recibido por todos los aparatos 6-1 a 6-N más o menos al mismo tiempo. En caso de que teóricamente todos los instrumentos 6-1 a 6-N recibieran la señal de reloj del sistema 32 con un retardo de propagación idéntico a través del sistema de distribución de reloj 5, no habría diferencia de tiempo en la aparición de flancos en la señal de reloj del sistema 32. En ese caso, todos los dispositivos realizarían perfectamente una sincronización exactamente al mismo tiempo. En realidad, sin embargo, son esperables y están permitidas pequeñas diferencias en los retardos de propagación de las señales de reloj del sistema tal como las reciben los distintos dispositivos 6-1 a 6-N. Estas diferencias de tiempo se manifestarán en la sincronización de las acciones realizadas por los distintos instrumentos 6-1 a 6-N que se sincronizan mutuamente sobre la base del presente método. Para el método de la presente invención, esto no importa siempre que estas diferencias sean conocidas y predecibles.

Tras la detección del cambio de estado de la señal en la señal muestreada 65, en el ciclo de tiempo 52 cuando el contador de sincronización alcanza el valor "15", un contador adicional o contador TICK 66 puede ponerse a cero para indicar el primer ciclo de tiempo después de la sincronización. En el ciclo de tiempo 67, el contador TICK tiene el valor "0". A partir de entonces, el contador se incrementará cada ciclo de tiempo 31.

El retardo de sincronización, el retardo entre la sincronización de las dos señales de reloj 30 y 32 y la sincronización real de los diversos dispositivos 6-1 a 6-N, se indica mediante 72. De hecho, la longitud de tiempo entre el inicio del ciclo de tiempo 45 cuando el contador de sincronización 50 tiene un valor "0", y el inicio del ciclo de tiempo 52 cuando se permite la monitorización de la línea compartida 8, define el presupuesto de tiempo disponible para realizar la sincronización entre los distintos dispositivos. Como puede apreciarse, en ausencia de la señal de reloj de sistema lento 32, la sincronización entre los diversos dispositivos tendría que realizarse sobre la base de la señal de reloj rápida 30 de los diversos dispositivos. La sincronización tendría que realizarse dentro de un único ciclo de tiempo 31

de la señal de reloj interno rápida 30. El envío de un disparador a través de cualquier red de distribución hacia otro dispositivo suele requerir más de un único ciclo de tiempo, y no se conocerá la hora de recepción del disparador por cada dispositivo. Convencionalmente, una señal de reloj rápida central podría distribuirse a una pluralidad de dispositivos a través de longitudes de cable (casi) iguales, de modo que -como con la presente señal de reloj del sistema 32- las diferencias mutuas se mantengan fijas y pequeñas. Sin embargo, la coordinación de las acciones que deben realizar conjuntamente varios dispositivos será más compleja si se comunican mutuamente una franja horaria acordada. Esto tiene un efecto negativo en el rendimiento general del sistema. En el sistema de la presente invención, todas las acciones pueden coordinarse mediante la activación a través de la línea compartida 8.

La señal de reloj de sistema lento 32 de la presente invención define un presupuesto de temporización para realizar la sincronización. El contador de sincronización 50 se reiniciará de nuevo al detectar el flanco descendente en la señal de reloj de sistema muestreada 40. El contador TICK 66 puede continuar contando o puede ser reiniciado en cualquier momento deseado.

El método de la presente invención permite sincronizar con gran precisión la pluralidad de dispositivos 6 dentro del sistema 1, de una manera predecible tal que cualquier retardo entre varios dispositivos 6 es fijo y predecible. La precisión con la que esto puede realizarse es suficiente para permitir la sincronización de los distintos dispositivos controlados por un ordenador cuántico. Sin embargo, el presente método también puede aplicarse en muchas otras situaciones en las que la pluralidad de dispositivos cooperativamente preformas una determinada tarea, en la que los distintos dispositivos mutuamente tienen que estar sincronizados. En principio, haciendo coincidir las longitudes del cable del sistema de distribución de reloj 5, y la entrada 4-1 a 4-N de los dispositivos 6-1 a 6-N, es posible reducir las diferencias de retardo de propagación de la señal de reloj del sistema 32 entre varios dispositivos a menos de 1 nanosegundo. Una señal de reloj interno 30 con una frecuencia de 250 megahercios, define ciclos de tiempo con una duración de 4 nanosegundos. Por lo tanto, la presente invención permite realizar la sincronización entre los diversos dispositivos de tal manera que todos los dispositivos se sincronizan dentro de una fracción de un solo ciclo de tiempo definido por sus señales de reloj interno 30. Cabe señalar que no es esencial que la señal de reloj interno 30 tenga una periodicidad con una frecuencia de 250 megahercios, esta frecuencia puede ser diferente, pero lo ideal es que la frecuencia sea un múltiplo entero de la frecuencia de la señal de reloj del sistema 32. Incluso no es necesario que todos los dispositivos 6-1 a 6-N funcionen con una señal de reloj interno 30 de una misma frecuencia. Las frecuencias de los sistemas de reloj interno de varios dispositivos pueden diferir sin poner en peligro la previsibilidad de la sincronización de las señales.

La presente invención se ha descrito en términos de algunas realizaciones específicas de la misma. Se apreciará que las realizaciones que se muestran en los dibujos y se describen en el presente documento tienen únicamente fines ilustrativos y no pretenden en modo alguno restringir la invención. Se cree que el funcionamiento y la construcción de la presente invención serán evidentes a partir de la descripción anterior y los dibujos anexos a la misma. Estará claro para el experto que la invención no se limita a ninguna realización descrita en el presente documento y que son posibles modificaciones que deben considerarse dentro del ámbito de las reivindicaciones adjuntas. También las inversiones cinemáticas se consideran inherentemente divulgadas y dentro del ámbito de la invención. Además, cualquiera de los componentes y elementos de las diversas realizaciones divulgadas pueden combinarse o pueden incorporarse en otras realizaciones cuando se considere necesario, deseado o preferido, sin apartarse del ámbito de la invención tal como se define en las reivindicaciones.

En las reivindicaciones, cualquier signo de referencia no se interpretará como limitativo de la reivindicación. Los términos "que comprende" e "incluyendo", cuando se utilizan en esta descripción o en las reivindicaciones adjuntas, no deben interpretarse en un sentido exclusivo o exhaustivo, sino más bien en un sentido inclusivo. Así pues, la expresión "que comprende", tal como se utiliza en el presente documento, no excluye la presencia de otros elementos o etapas además de los enumerados en cualquier reivindicación. Además, las palabras "un" y "una" no deben interpretarse como limitadas a "sólo uno", sino que se utilizan para significar "al menos uno", y no excluyen una pluralidad. Las características que no se describen o reivindican de forma específica o explícita pueden incluirse adicionalmente en la estructura de la invención dentro de su ámbito de aplicación. Expresiones como: "medios para ..." debe leerse como: "componente configurado para ..." o "miembro construido para ..." y debe interpretarse que incluyen equivalentes para las estructuras divulgadas. El uso de expresiones como: "crítico", "preferido", "especialmente preferido", etc. no pretende limitar la invención. Por lo general, pueden realizarse adiciones, supresiones y modificaciones dentro del ámbito del experto sin apartarse del ámbito de la invención, tal y como se determina en las reivindicaciones. La invención se puede practicar de otra manera entonces según lo descrito específicamente en el presente documento, y es limitada solamente por las reivindicaciones adjuntas.

REIVINDICACIONES

1. Método de sincronización de una pluralidad de dispositivos (6), en el que cada uno de la pluralidad de dispositivos (6) funciona en sincronía con una señal de reloj interno de tal manera que las acciones realizadas por cada dispositivo (6) se cronometran basándose en ciclos de tiempo (31) definidos por una periodicidad de la señal de reloj interno, siendo la señal de reloj interno de al menos uno de los dispositivos (6) periódica a una primera frecuencia, en el que la pluralidad de dispositivos (6) se sincroniza mutuamente a través de una línea compartida (8) a la que están conectados todos los dispositivos (6) de la pluralidad de dispositivos (6); el método comprende:
- 5 proporcionar, desde un reloj del sistema a cada uno de la pluralidad de dispositivos (6), una señal de reloj del sistema que sea periódica a una segunda frecuencia menor que la primera frecuencia, definiendo así la segunda frecuencia una pluralidad de ciclos secuenciales de reloj del sistema;
- 10 sincronizar, en cada uno de la pluralidad de dispositivos (6), la señal de reloj interno en función de la señal de reloj del sistema recibida; y
- activar, por al menos un dispositivo (6) de la pluralidad de dispositivos (6) y en sincronización con la señal de reloj del sistema, un evento de sincronización del sistema que comprende:
- 15 cambiar, mediante el al menos un dispositivo (6) durante un primer ciclo de tiempo (45), un estado de señal de una señal de línea compartida común en la línea compartida (8) para señalar el evento de sincronización; y
- supervisar, por cada uno de la pluralidad de dispositivos (6) durante un segundo ciclo de tiempo (52), la señal de línea compartida común en la línea compartida (8) para registrar el cambio de estado de la señal de línea compartida común;
- 20 en el que el segundo ciclo se produce más tarde que el primer ciclo de tiempo (45) y está separado de éste por uno o más ciclos de tiempo adicionales (31), en el que la duración desde el inicio del primer ciclo hasta el final del segundo ciclo es inferior a la duración de un ciclo de reloj del sistema.
2. Método según la reivindicación 1, en el que el método comprende además una etapa de recuento, por cada uno de la pluralidad de dispositivos (6), de los ciclos de tiempo (31) definidos por la señal de reloj interno utilizando un contador de sincronización (50); en el que la etapa de activación se realiza a un valor predefinido del contador de sincronización.
- 25 3. Método según la reivindicación 1 o 2, en el que la señal de reloj del sistema se distribuye a cada dispositivo (6) utilizando un sistema de distribución de reloj, en el que el sistema de distribución está dispuesto para entregar la señal de reloj del sistema a todos los dispositivos (6) simultáneamente y de tal manera que para cada dos dispositivos (6) de la pluralidad de dispositivos (6) una diferencia de tiempo de viaje entre los tiempos de viaje de las señales de reloj del sistema a cada uno de los dos dispositivos (6) es inferior a un solo ciclo de tiempo (31) definido por la primera frecuencia, preferentemente inferior a la mitad de un ciclo de tiempo (31), más preferentemente inferior a un cuarto de ciclo de tiempo (31).
- 30 4. Método según la reivindicación 3, en el que el sistema de distribución del reloj comprende un cable entre cada dispositivo (6) y el reloj del sistema para incluir así una pluralidad de cables, en el que una diferencia de longitud de cable entre cada dos cables de la pluralidad de cables es inferior a 1 metro, preferentemente inferior a 40 centímetros, más preferentemente inferior a 20 centímetros.
- 35 5. Método según una o varias de las reivindicaciones anteriores, en el que la primera frecuencia es un número entero múltiplo de la segunda frecuencia.
6. Método según una o varias de las reivindicaciones anteriores, en el que la primera frecuencia está comprendida entre 1 megahercio y 10 gigahercios, preferentemente entre 50 megahercios y 1 gigahercio, más preferentemente entre 100 megahercios y 500 megahercios, por ejemplo 250 megahercios.
- 40 7. Método según una o varias de las reivindicaciones anteriores, en el que la segunda frecuencia está comprendida entre 20 kilohercios y 2 gigahercios, preferentemente entre 1 megahercio y 200 megahercios, más preferentemente entre 1 megahercio y 100 megahercios, por ejemplo 10 megahercios.
- 45 8. Método según una o varias de las reivindicaciones anteriores, en el que el contador de sincronización (50) se pone a cero periódicamente en sincronización con la señal de reloj del sistema.
9. Método según la reivindicación 8, en el que el contador de sincronización (50) se pone a cero periódicamente una vez cada ciclo de reloj del sistema, en el que el primer ciclo de tiempo (45) y el segundo ciclo de tiempo (52) están separados en el tiempo por la mitad de un ciclo de reloj del sistema.
- 50 10. Método según una o varias de las reivindicaciones precedentes, en el que las señales de reloj interno de todos los dispositivos (6) de la pluralidad de dispositivos (6) son periódicas a la primera frecuencia, de manera que todos los dispositivos (6) funcionan a una misma frecuencia de reloj interno.
11. Método según una o más de las reivindicaciones 1-9, en el que para uno o más dispositivos (6) de la pluralidad de dispositivos (6) las señales de reloj interno son periódicas a una o más frecuencias adicionales diferentes de la primera

frecuencia, y en el que la etapa de cambio se realiza en respuesta a un primer cambio de señal de la señal de reloj del sistema y la etapa de monitorización se realiza en respuesta a un segundo cambio de señal de la señal de reloj del sistema.

5 12. Sistema que comprende una pluralidad de dispositivos (6), un reloj de sistema, un sistema de distribución de reloj entre el reloj de sistema y cada dispositivo (6), y una línea compartida (8) que interconecta la pluralidad de dispositivos (6) y está configurada para permitir la sincronización mutua de los dispositivos (6) a través de la línea compartida (8),

10 en el que cada dispositivo (6) funciona en sincronización con una señal de reloj interno, de manera que las acciones realizadas por dicho dispositivo (6) se cronometran en función de ciclos de tiempo (31) definidos por la periodicidad de la señal de reloj interno, en el que al menos uno de los dispositivos (6) está dispuesto para proporcionar la señal de reloj interno de manera que sea periódica con una primera frecuencia,

en el que el reloj del sistema y el sistema de distribución de reloj están configurados para proporcionar, a cada uno de la pluralidad de dispositivos (6), una señal de reloj del sistema que es periódica a una segunda frecuencia menor que la primera frecuencia, definiendo así la segunda frecuencia una pluralidad de ciclos secuenciales de reloj del sistema;

15 en el que cada dispositivo (6) está configurado para sincronizar su señal de reloj interno basándose en la señal de reloj del sistema recibida; y

en el que al menos un dispositivo (6) de la pluralidad de dispositivos (6) está configurado para activar, en sincronización con la señal de reloj del sistema, un evento de sincronización del sistema; el evento de sincronización del sistema comprende:

20 cambiar, mediante el al menos un dispositivo (6) durante un primer ciclo de tiempo (45), un estado de señal de una señal de línea compartida común en la línea compartida (8) para señalar el evento de sincronización; y supervisar, por cada uno de la pluralidad de dispositivos (6) durante un segundo ciclo de tiempo (52) posterior al primer ciclo de tiempo (45), la señal de línea compartida común en la línea compartida (8) para registrar el cambio de estado de la señal de línea compartida común;

25 en el que cada dispositivo (6) está configurado para realizar la supervisión durante el segundo ciclo después de que hayan transcurrido uno o más ciclos de tiempo adicionales (31), y de manera que la duración desde el inicio del primer ciclo hasta el final del segundo ciclo sea inferior a la duración de un ciclo de reloj del sistema.

30 13. Sistema según la reivindicación 12, en el que cada dispositivo (6) de la pluralidad de dispositivos (6) está configurado para contar los ciclos de tiempo (31) definidos por la señal de reloj interno utilizando un contador de sincronismo (50); en el que el al menos un dispositivo (6) está configurado para realizar el disparo a un valor predefinido del contador de sincronismo.

35 14. Sistema según la reivindicación 12 o 13, en el que el sistema de distribución del reloj, para transportar la señal del reloj del sistema, comprende un cable entre cada dispositivo (6) y el reloj del sistema para incluir así una pluralidad de cables, en el que una diferencia de longitud de cable entre cada dos cables de la pluralidad de cables es inferior a 1 metro, preferentemente inferior a 40 centímetros, más preferentemente inferior a 20 centímetros.

15. Sistema según cualquiera de las reivindicaciones 12-14, en el que los dispositivos (6) son elementos de un ordenador cuántico.

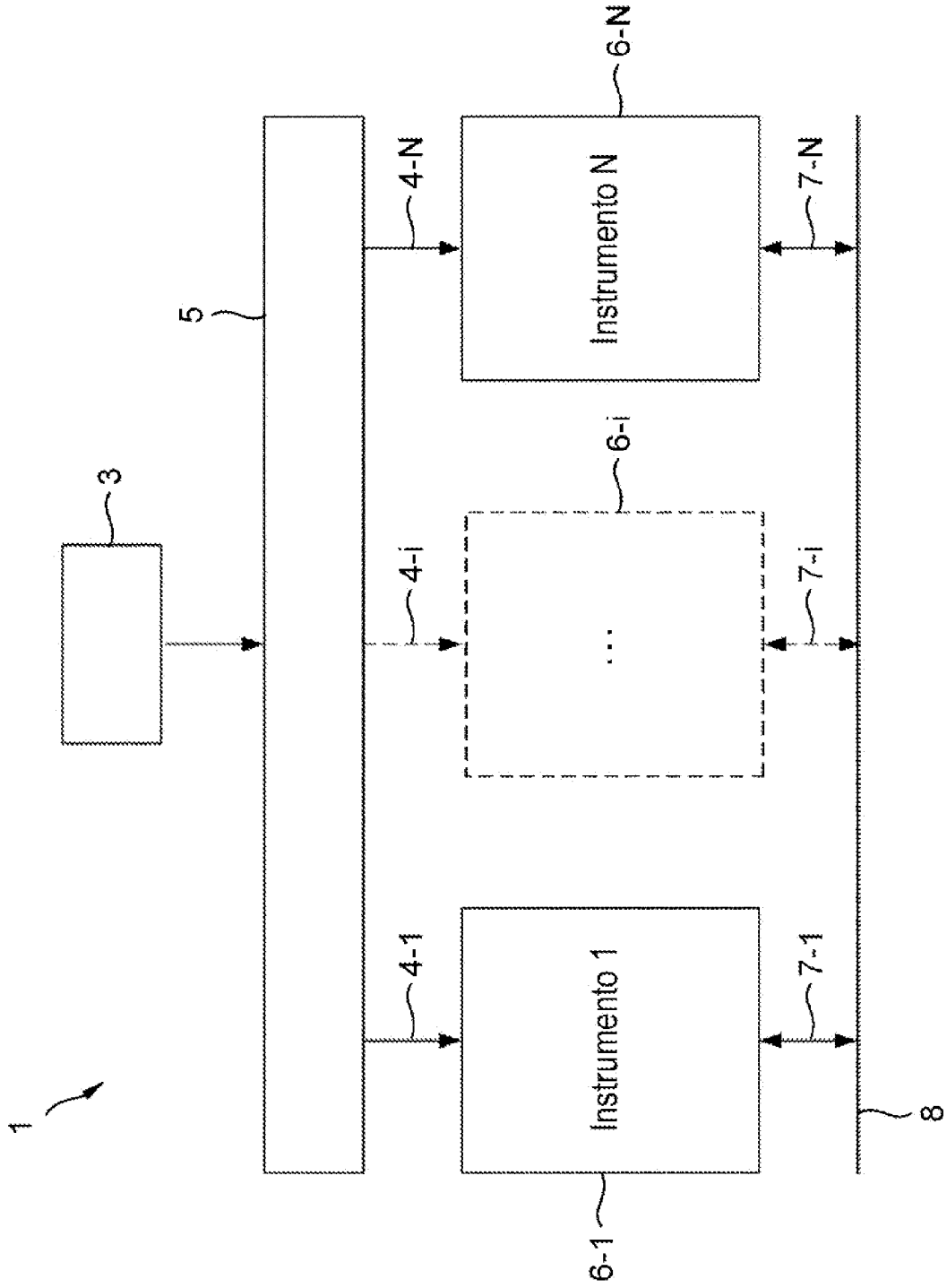


Fig. 1

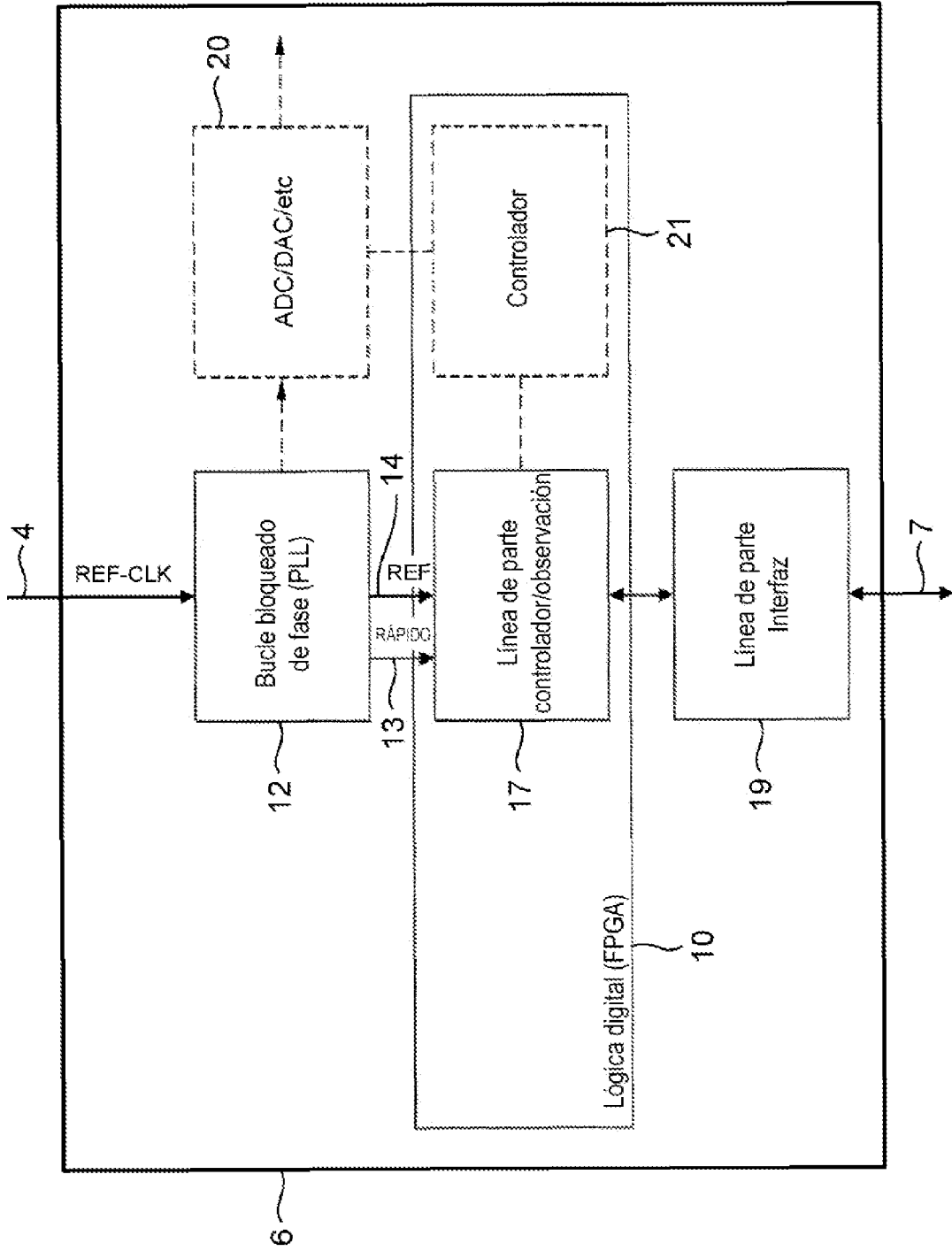


Fig. 2

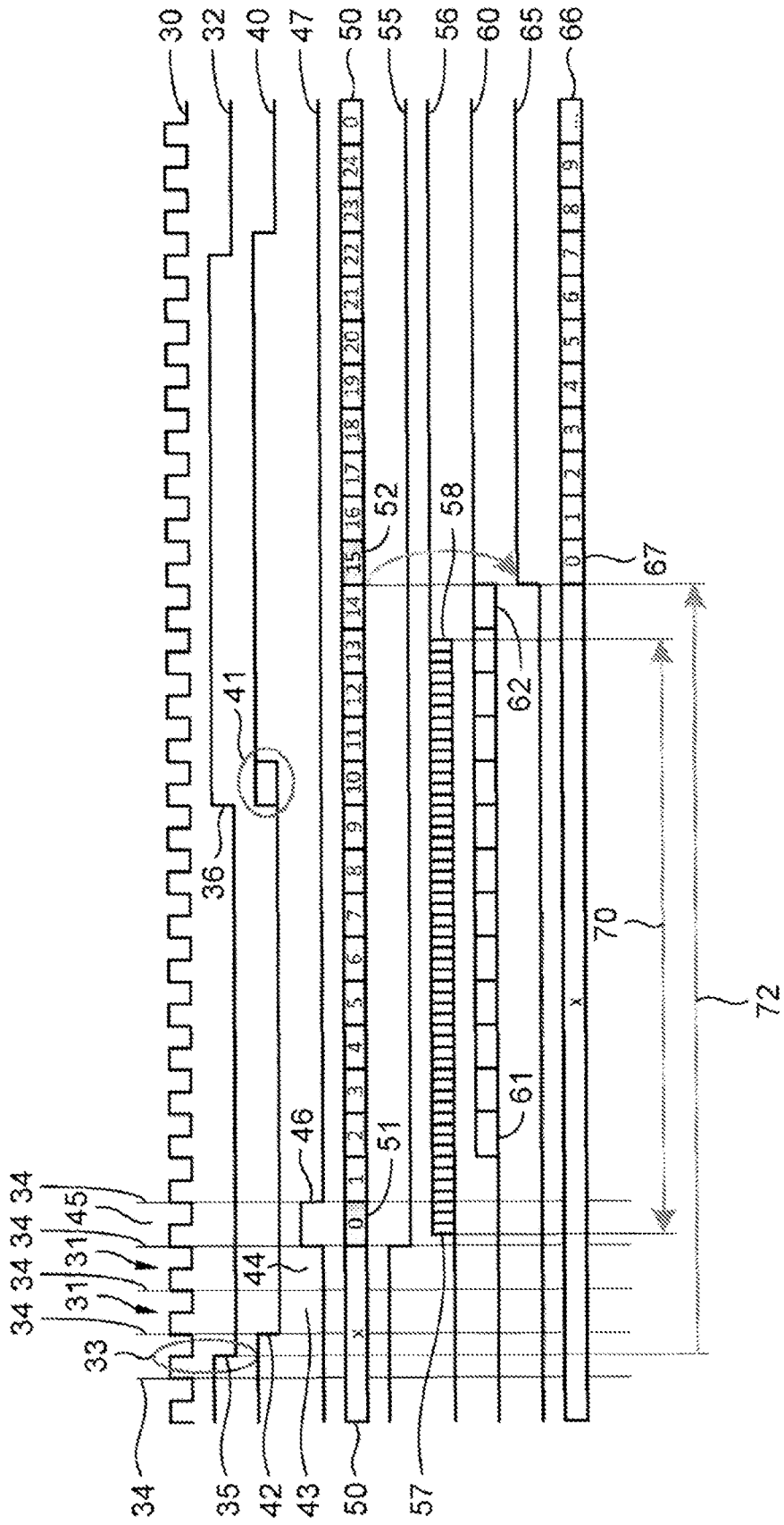


Fig. 3