



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년10월05일
(11) 등록번호 10-1187640
(24) 등록일자 2012년09월26일

(51) 국제특허분류(Int. Cl.)
G11C 11/4093 (2006.01) G11C 11/4096 (2006.01)
G11C 11/4076 (2006.01) G11C 11/409 (2006.01)
(21) 출원번호 10-2010-0083471
(22) 출원일자 2010년08월27일
심사청구일자 2010년08월27일
(65) 공개번호 10-2012-0019892
(43) 공개일자 2012년03월07일
(56) 선행기술조사문헌
KR100929845 B1
KR1020090032925 A
KR1020050011984 A
KR1020050002484 A

(73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
이강열
대전광역시 유성구 엑스포로123번길 65-38, 203동 1702호 (도룡동, 스마트시티)
(74) 대리인
특허법인 신성

전체 청구항 수 : 총 9 항

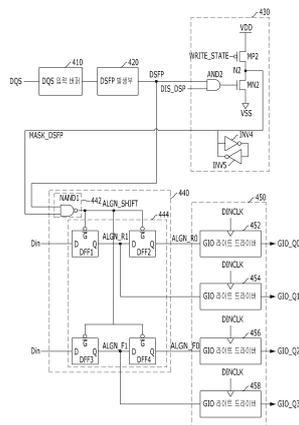
심사관 : 윤혜숙

(54) 발명의 명칭 동기식 반도체 메모리 장치

(57) 요약

동기식 반도체 메모리 장치의 라이트 경로에 관한 것으로, 데이터 스트로브 신호를 버퍼링하기 위한 데이터 스트로브 신호 입력 버퍼와, 데이터 스트로브 신호 입력 버퍼의 출력신호를 입력받아 데이터 스트로브 신호의 폴링 에지에 대응하는 데이터 정렬 기준펄스를 생성하기 위한 데이터 정렬 기준펄스 발생부와, 데이터 정렬 기준펄스, 데이터 스트로브 종료신호 및 라이트 펄스에 응답하여 데이터 정렬 중단신호를 생성하기 위한 데이터 정렬 중단 신호 발생부와, 데이터 정렬 기준펄스에 응답하여 입력 데이터를 정렬하되 데이터 정렬 중단신호에 응답하여 입력 데이터의 정렬을 중단하는 데이터 정렬부와, 데이터 전송부에서 전송된 데이터를 입력받아 데이터 입력 클럭에 동기시켜 글로벌 데이터 라인으로 출력하기 위한 글로벌 데이터 라인 라이트 구동부를 포함하는 동기식 반도체 메모리 장치가 제공된다.

대표도 - 도4



특허청구의 범위

청구항 1

데이터 스트로브 신호에 응답하여 데이터 정렬 기준펄스를 생성하기 위한 데이터 정렬 기준펄스 발생부;

상기 데이터 정렬 기준펄스, 데이터 스트로브 종료신호 및 라이트 펄스에 응답하여 데이터 정렬 중단신호를 생성하기 위한 데이터 정렬 중단신호 발생부; 및

상기 데이터 정렬 기준펄스에 응답하여 입력 데이터를 정렬하되 상기 데이터 정렬 중단신호에 응답하여 상기 입력 데이터의 정렬을 중단하는 데이터 정렬부를 포함하며,

상기 데이터 정렬 중단신호는 상기 데이터 스트로브 신호의 입력을 차단하기 위해 피드백 신호로서 이용되는 동기식 반도체 메모리 장치.

청구항 2

제1항에 있어서,

데이터 입력 클럭에 응답하여 상기 데이터 정렬부에서 정렬된 데이터를 입력받아 글로벌 데이터 라인으로 전송하기 위한 글로벌 데이터 라인 라이트 구동부를 더 포함하는 동기식 반도체 메모리 장치.

청구항 3

제1항 또는 제2항에 있어서,

상기 데이터 정렬부는,

상기 데이터 정렬 중단신호에 따라 상기 데이터 정렬 기준펄스를 선택적으로 차단하기 위한 차단부; 및

상기 차단부의 출력신호에 응답하여 상기 입력 데이터를 전송하기 위한 데이터 전송부를 구비하는 동기식 반도체 메모리 장치.

청구항 4

데이터 스트로브 신호를 버퍼링하기 위한 데이터 스트로브 신호 입력 버퍼;

상기 데이터 스트로브 신호 입력 버퍼의 출력신호를 입력받아 상기 데이터 스트로브 신호의 예정된 에지에 대응하는 데이터 정렬 기준펄스를 생성하기 위한 데이터 정렬 기준펄스 발생부;

상기 데이터 정렬 기준펄스, 데이터 스트로브 종료신호, 라이트 펄스에 응답하여 데이터 정렬 중단신호를 생성하기 위한 데이터 정렬 중단신호 발생부; 및

상기 데이터 정렬 기준펄스에 응답하여 입력 데이터를 정렬하되 상기 데이터 정렬 중단신호에 응답하여 상기 입력 데이터의 정렬을 중단하는 데이터 정렬부를 포함하며,

상기 데이터 스트로브 신호 입력 버퍼는 상기 데이터 정렬 중단신호에 따라 디스에이블되는 동기식 반도체 메모리 장치.

청구항 5

제4항에 있어서,

상기 데이터 전송부에서 전송된 데이터를 입력받아 데이터 입력 클럭에 동기시켜 글로벌 데이터 라인으로 출력

하기 위한 글로벌 데이터 라인 라이트 구동부를 더 포함하는 동기식 반도체 메모리 장치.

청구항 6

제4항 또는 제5항에 있어서,

상기 데이터 정렬 중단신호 발생부는,

상기 데이터 정렬 기준펄스와 상기 데이터 스트로브 종료신호를 입력으로 하는 앤드 게이트;

상기 라이트 펄스를 게이트 입력으로 하며 소오스가 전원전압단에 접속되고 드레인이 상기 데이터 정렬 중단신호 발생부의 출력단에 접속된 풀업 PMOS 트랜지스터;

상기 앤드 게이트의 출력신호를 게이트 입력으로 하며 소오스가 접지전압단에 접속되고 드레인이 상기 데이터 정렬 중단신호 발생부의 출력단에 접속된 풀다운 NMOS 트랜지스터; 및

상기 데이터 정렬 중단신호 발생부의 출력단에 접속되며 상기 데이터 정렬 중단신호를 래칭하기 위한 래치를 구비하는 동기식 반도체 메모리 장치.

청구항 7

제4항 또는 제5항에 있어서,

상기 데이터 정렬 중단신호에 따라 상기 데이터 정렬 기준펄스를 선택적으로 차단하기 위한 차단부; 및

상기 차단부의 출력신호에 응답하여 입력 데이터를 전송하기 위한 데이터 전송부를 구비하는 동기식 반도체 메모리 장치.

청구항 8

제7항에 있어서,

상기 차단부는 상기 데이터 정렬 기준펄스 및 상기 데이터 정렬 차단신호를 입력으로 하는 낸드 게이트를 구비하는 동기식 반도체 메모리 장치.

청구항 9

제7항에 있어서,

상기 데이터 전송부는 다수의 D 플립플롭을 구비하는 동기식 반도체 메모리 장치.

명세서

기술분야

[0001] 본 발명의 반도체 설계 기술에 관한 것으로, 더욱 상세하게는 동기식 반도체 메모리 장치의 라이트 경로에 관한 것이다.

배경기술

[0002] DRAM을 비롯한 반도체 메모리 장치는 칩셋(메모리 컨트롤러)으로부터 라이트 데이터를 받아들이고, 칩셋으로 리드 데이터를 전송한다. 한편, 동기식 반도체 메모리 장치의 경우, 칩셋과 메모리가 모두 시스템 클럭에 의해 동기되어 동작한다. 그런데, 칩셋으로부터 데이터를 반도체 메모리 장치에 전달할 때 데이터와 시스템 클럭의 로딩(loading)과 트레이스(trace)이 서로 다르고, 또 시스템 클럭과 다수의 메모리 간의 위치 차이에 의해 데이터와

시스템 클럭 간에 스큐(skew)가 발생한다.

- [0003] 이러한 데이터와 시스템 클럭 간의 스큐를 줄이기 위하여, 칩셋에서 데이터를 메모리로 전송할 때 데이터와 함께 데이터 스트로브 신호(DQS)를 함께 전송한다. 데이터 스트로브 신호(DQS)는 일명 에코 클럭(echo clock)이라 불리우며, 데이터와 동일한 로딩과 궤적을 가지기 때문에 메모리 측에서 이 신호를 이용하여 데이터를 스트로빙하면 시스템 클럭과 메모리 간의 위치 차이에 의해 발생하는 스큐를 최소화할 수 있다. 한편, 리드 동작시에는 메모리가 데이터와 함께 리드 DQS를 칩셋으로 전송하게 된다.
- [0004] 도 1은 종래기술에 따른 동기식 반도체 메모리 장치의 라이트 경로를 나타낸 회로도이다.
- [0005] 도 1을 참조하면, 종래기술에 따른 동기식 반도체 메모리 장치의 라이트 경로에는, DQS 버퍼 디스에이블 신호(DISABLE_DQS)에 응답하여 데이터 스트로브 신호(DQS)를 버퍼링하기 위한 DQS 입력 버퍼(110)와, DQS 입력 버퍼(110)의 출력신호를 입력받아 데이터 스트로브 신호(DQS)의 폴링 에지에 대응하는 데이터 정렬 기준펄스(DSFP)를 생성하기 위한 DSFP 발생부(120)와, 데이터 정렬 기준펄스(DSFP), 데이터 스트로브 종료신호(DIS_DSP), 라이트 펄스(WRITE_STATE)에 응답하여 DQS 버퍼 디스에이블 신호(DISABLE_DQS)를 생성하기 위한 DQS 버퍼 디스에이블 신호 발생부(130)와, 데이터 정렬 기준펄스(DSFP)에 응답하여 데이터 입력 버퍼(도면에 미도시)로부터 전달된 입력 데이터(Din)를 정렬하기 위한 데이터 정렬부(140)와, 데이터 정렬부(140)로부터 출력된 정렬 데이터(ALGN_R0, ALGN_R1, ALGN_F0, ALGN_F1)를 데이터 입력 클럭(DINCLK)에 동기시켜 글로벌 데이터 버스(GIO_Q0, GIO_Q1, GIO_Q2, GIO_Q3)에 전달하기 위한 GIO 라이트 구동부(150)가 구비된다.
- [0006] 여기서, 데이터 스트로브 종료신호(DIS_DSP)는 라이트 커맨드 인가 시점으로부터 버스트 길이(BL)에 대응하는 시간 이후에 논리 하이 레벨로 펄싱하는 신호이다. 그리고, 라이트 펄스(WRITE_STATE)는 라이트 커맨드 인가시 논리 로우 레벨로 펄싱하는 신호로, 내부 라이트 신호(INT_WT, 도 2 참조)가 활성화되기 이전에 논리 로우 레벨로 활성화된다. 또 데이터 입력 클럭(DINCLK)은 라이트 커맨드로부터 라이트 레이턴시(WL)를 고려한 일정 시간 이후에 논리 하이 레벨로 펄싱하는 신호이다.
- [0007] 한편, DQS 버퍼 디스에이블 신호 발생부(130)는 데이터 정렬 기준펄스(DSFP) 및 데이터 스트로브 종료신호(DIS_DSP)를 입력으로 하는 앤드 게이트(AND1)와, 소오스가 전원전압(VDD)단에 접속되고 드레인이 DQS 버퍼 디스에이블 신호 발생부(130)의 출력단(N1)에 접속되며 라이트 펄스(WRITE_STATE)를 게이트 입력으로 하는 풀업 PMOS 트랜지스터(MP1)와, 소오스가 접지전압(VSS)단에 접속되고 드레인이 DQS 버퍼 디스에이블 신호 발생부(130)의 출력단(N1)에 접속되며 앤드 게이트(AND1)의 출력신호를 게이트 입력으로 하는 풀다운 NMOS 트랜지스터(MN1)와, DQS 버퍼 디스에이블 신호 발생부(130)의 출력단(N1)을 래칭하기 위한 래치(INV1 및 INV2)를 구비한다.
- [0008] 그리고, 데이터 정렬부(140)는 데이터 정렬 기준펄스(DSFP)를 입력으로 하는 인버터(INV3)와, 인버터(INV3)의 출력신호의 폴링 에지에 응답하여 입력 데이터(Din)를 전송하는 제1 D 플립플롭(142)과, 인버터(INV3)의 출력신호의 폴링 에지에 응답하여 제1 D 플립플롭(142)으로부터 출력된 정렬 데이터(ALGN_R1)를 전송하는 제2 D 플립플롭(144)과, 인버터(INV3)의 출력신호의 폴링 에지에 응답하여 입력 데이터(Din)를 전송하는 제3 D 플립플롭(146)과, 인버터(INV3)의 출력신호의 폴링 에지에 응답하여 제3 D 플립플롭(146)으로부터 출력된 정렬 데이터(ALGN_F1)를 전송하는 제4 D 플립플롭(148)을 구비한다.
- [0009] 또한, GIO 라이트 구동부(150)는 제2 D 플립플롭(144)으로부터 출력된 정렬 데이터(ALGN_R0)를 데이터 입력 클럭(DINCLK)에 동기시켜 제1 글로벌 데이터 라인(GIO_Q0)에 전달하기 위한 제1 GIO 라이트 드라이버(152)와, 제1 D 플립플롭(142)으로부터 출력된 정렬 데이터(ALGN_R1)를 데이터 입력 클럭(DINCLK)에 동기시켜 제2 글로벌 데이터 라인(GIO_Q1)에 전달하기 위한 제2 GIO 라이트 드라이버(154)와, 제4 D 플립플롭(148)으로부터 출력된 정렬 데이터(ALGN_F0)를 데이터 입력 클럭(DINCLK)에 동기시켜 제3 글로벌 데이터 라인(GIO_Q2)에 전달하기 위한 제3 GIO 라이트 드라이버(156)와, 제3 D 플립플롭(146)으로부터 출력된 정렬 데이터(ALGN_F1)를 데이터 입력 클럭(DINCLK)에 동기시켜 제4 글로벌 데이터 라인(GIO_Q3)에 전달하기 위한 제4 GIO 라이트 드라이버(158)를 구비한다.
- [0010] 도 2에는 도 1에 도시된 회로의 타이밍 다이어그램이 도시되어 있다.
- [0011] 도 2를 참조하면, 우선, 라이트 커맨드가 인가되면 반도체 메모리 장치는 데이터 스트로브 신호(DQS)와 함께 데이터(DQ)를 받아들인다. 도면에서는 연속된 라이트 커맨드가 인가된 경우를 나타내고 있으며(BL=4), 'INT_WT'는 라이트 커맨드를 받아서 생성된 내부 라이트 신호를 나타낸 것이다.
- [0012] 한편, DSFP 발생부(120)는 데이터 스트로브 신호(DQS)의 폴링 에지마다 논리레벨 하이로 활성화되는 데이터 정

렬 기준펄스(DSFP)를 생성하고, 데이터 정렬부(140)에서는 데이터 정렬 기준펄스(DSFP)의 라이징 에지에 맞춰 정렬 데이터(ALGN_R0, ALGN_R1, ALGN_F0, ALGN_F1)를 출력한다.

- [0013] 그리고, 데이터(DQ)의 입력이 완료되어 데이터 정렬 기준펄스(DSFP)와 데이터 스트로브 종료신호(DIS_DSP)가 모두 논리 하이 레벨이 되면, DQS 버퍼 디스에이블 신호 발생부(130)는 DQS 버퍼 디스에이블 신호(DISABLE_DQS)를 논리 로우 레벨로 천이시킨다. 이에 따라 DQS 입력 버퍼(110)가 디스에이블되며 데이터 스트로브 신호(DQS)를 더 이상 받아들이지 않도록 한다.
- [0014] 한편, 정렬 데이터(ALGN_R0, ALGN_R1, ALGN_F0, ALGN_F1)는 데이터 입력 클럭(DINCLK)에 동기되어 제1 내지 제4 GIO 라이트 드라이버(152, 154, 156, 158)에 의해 제1 내지 제4 글로벌 데이터 라인(GIO_Q0, GIO_Q1, GIO_Q2, GIO_Q3)으로 전달된다.
- [0015] 그런데, 데이터 스트로브 신호(DQS)가 토글링하다가 마지막 폴링 에지 이후 다시 하이임피던스(Hi-Z) 상태로 돌아갈 때, 1회의 링잉(ringing)이 발생하는 경우가 종종 나타난다. 이러한 현상을 라이트 포스트앰블 링잉(write postamble ringing)이라 하며, 더욱 자세하게는 데이터 스트로브 신호(DQS)의 토글링이 끝난 후 하이임피던스(Hi-Z) 상태로 되돌아가는 것이 아니라 노이즈로 인해 데이터 스트로브 신호(DQS)의 천이가 발생하는 현상을 말한다.
- [0016] 도 3은 라이트 포스트앰블 링잉 현상이 발생한 경우의 도 1에 도시된 회로의 타이밍 다이어그램이다.
- [0017] 도 3을 참조하면, 데이터 스트로브 신호(DQS)가 토글링하다가 마지막 폴링 에지 이후 다시 하이임피던스(Hi-Z) 상태로 돌아갈 때, 링잉이 발생한 것을 확인할 수 있다.
- [0018] 이와 같이 DQS 버퍼 디스에이블 신호(DISABLE_DQS)가 논리 로우 레벨로 천이하기 전에 발생하게 되면, DSFP 발생부(120)에서 이를 데이터 스트로브 신호(DQS)의 폴링 에지로 인식하여 데이터 정렬 기준펄스(DSFP)에 작은 글리치(glitch)가 발생하게 된다.
- [0019] 그리고, 이러한 글리치에 의해 정렬 데이터(ALGN_R0, ALGN_R1, ALGN_F0, ALGN_F1)의 값이 일찍 바뀌게 되고, 이에 따라 데이터 입력 클럭(DINCLK)의 라이징 에지에서 잘못된 데이터가 입력되면서 제1 내지 제4 글로벌 데이터 라인(GIO_Q0, GIO_Q1, GIO_Q2, GIO_Q3)에 원하지 않는 데이터가 실리게 되는 오동작(fail)을 유발하는 문제점이 있었다.
- [0020] 다시 말해, DQS 버퍼 디스에이블 신호(DISABLE_DQS)가 퍼드백되어 DQS 입력 버퍼(110)를 제어하는 구조에서는 DQS 버퍼 디스에이블 신호(DISABLE_DQS)가 활성화된 시점이 결국 DQS 입력 버퍼(110)를 디스에이블시키는 시점이므로, 데이터 정렬 기준펄스(DSFP)에 발생한 글리치(glitch)는 DQS 입력 버퍼(110)가 디스에이블되기 이전에 이미 입력되는 시간적인 취약점이 있었다. 그로 인해 정렬 데이터(ALGN_R0, ALGN_R1, ALGN_F0, ALGN_F1)의 값이 일찍 바뀌게 되면서 제1 내지 제4 글로벌 데이터 라인(GIO_Q0, GIO_Q1, GIO_Q2, GIO_Q3)에 원하지 않는 데이터가 실리게 되는 문제점이 발생하는 것이다.
- [0021] 이러한 문제점은 전술한 바와 같이 라이트 커맨드가 연속적으로 인가되는 경우뿐만 아니라, 라이트 커맨드가 단독으로 인가되는 경우에도 발생할 수 있다.

발명의 내용

해결하려는 과제

- [0022] 본 발명은 데이터 스트로브 신호(DQS)의 라이트 포스트앰블 링잉 현상에 의한 데이터 오류 발생을 방지할 수 있는 동기식 반도체 메모리 장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

- [0023] 본 발명의 일 측면에 따르면, 본 발명은 데이터 스트로브 신호에 응답하여 데이터 정렬 기준펄스를 생성하기 위한 데이터 정렬 기준펄스 발생부와, 데이터 정렬 기준펄스, 데이터 스트로브 종료신호 및 라이트 펄스에 응답하여 데이터 정렬 중단신호를 생성하기 위한 데이터 정렬 중단신호 발생부와, 데이터 정렬 기준펄스에 응답하여 입력 데이터를 정렬하되 데이터 정렬 중단신호에 응답하여 입력 데이터의 정렬을 중단하는 데이터 정렬부를 포

함한다.

[0024] 본 발명의 다른 측면에 따르면, 본 발명은 데이터 스트로브 신호를 버퍼링하기 위한 데이터 스트로브 신호 입력 버퍼와, 데이터 스트로브 신호 입력 버퍼의 출력신호를 입력받아 데이터 스트로브 신호의 폴링 에지에 대응하는 데이터 정렬 기준펄스를 생성하기 위한 데이터 정렬 기준펄스 발생부와, 데이터 정렬 기준펄스, 데이터 스트로브 종료신호 및 라이트 펄스에 응답하여 데이터 정렬 중단신호를 생성하기 위한 데이터 정렬 중단신호 발생부와, 데이터 정렬 기준펄스에 응답하여 입력 데이터를 정렬하되 데이터 정렬 중단신호에 응답하여 입력 데이터의 정렬을 중단하는 데이터 정렬부와, 데이터 전송부에서 전송된 데이터를 입력받아 데이터 입력 클럭에 동기시켜 글로벌 데이터 라인으로 출력하기 위한 글로벌 데이터 라인 라이트 구동부를 포함한다.

발명의 효과

[0025] 본 발명은 데이터 스트로브 신호(DQS)의 라이트 포스트앰플 링잉 현상에 따라 발생하는 비정상적인 정렬 데이터의 전송 동작을 차단함으로써 라이트 경로의 오동작을 방지할 수 있는 효과가 있다.

도면의 간단한 설명

[0026] 도 1은 종래기술에 의한 동기식 반도체 메모리 장치의 라이트 경로를 나타낸 회로도.
 도 2는 도 1에 도시된 회로의 타이밍 다이어그램.
 도 3은 라이트 포스트앰플 링잉 현상이 발생한 경우의 도 1에 도시된 회로의 타이밍 다이어그램.
 도 4는 본 발명의 일 실시예에 의한 동기식 반도체 메모리 장치의 라이트 경로를 나타낸 회로도.
 도 5는 도 4에 도시된 회로의 타이밍 다이어그램.
 도 6은 본 발명의 다른 실시예에 의한 동기식 반도체 메모리 장치의 라이트 경로를 나타낸 회로도.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0028] 도 4에는 본 발명의 일 실시예에 의한 동기식 반도체 메모리 장치의 라이트 경로를 나타낸 회로도도 도시되어 있다.

[0029] 도 4를 참조하면, 동기식 반도체 메모리 장치의 라이트 경로에는, 데이터 스트로브 신호(DQS)를 버퍼링하기 위한 DQS 입력 버퍼(410)와, DQS 입력 버퍼(410)의 출력신호를 입력받아 데이터 스트로브 신호(DQS)의 폴링 에지에 대응하는 데이터 정렬 기준펄스(DSFP)를 생성하기 위한 DSFP 발생부(420)와, 데이터 정렬 기준펄스(DSFP), 데이터 스트로브 종료신호(DIS_DSP), 라이트 펄스(WRITE_STATE)에 응답하여 데이터 정렬 중단신호(MASK_DSFP)를 생성하기 위한 데이터 정렬 중단신호 발생부(430)와, 데이터 정렬 기준펄스(DSFP)에 응답하여 입력 데이터(Din)를 정렬하되 데이터 정렬 중단신호(MASK_DSFP)에 응답하여 입력 데이터(Din)의 정렬을 중단하는 데이터 정렬부(440)와, 데이터 정렬부(440)로부터 출력된 정렬 데이터(ALGN_R0, ALGN_R1, ALGN_F0, ALGN_F1)를 데이터 입력 클럭(DINCLK)에 동기시켜 제1 내지 제4 글로벌 데이터 라인(GIO_Q0, GIO_Q1, GIO_Q2, GIO_Q3)에 전달하기 위한 GIO 라이트 구동부(450)가 구비된다.

[0030] 여기서, 데이터 스트로브 종료신호(DIS_DSP)는 라이트 커맨드 인가 시점으로부터 버스트 길이(BL)에 대응하는 시간 이후에 논리 하이 레벨로 펄싱하는 신호이다. 그리고, 라이트 펄스(WRITE_STATE)는 라이트 커맨드 인가시 논리 로우 레벨로 펄싱하는 신호로, 내부 라이트 신호(INT_WT, 도 5 참조)가 활성화되기 이전에 논리 로우 레벨로 천이되는 신호이다. 또 데이터 입력 클럭(DINCLK)은 라이트 커맨드로부터 라이트 레이턴시(WL)를 고려한 일정 시간 이후에 논리 하이 레벨로 펄싱하는 신호이다.

[0031] 한편, 데이터 정렬 중단신호 발생부(430)는, 데이터 정렬 기준펄스(DSFP) 및 데이터 스트로브 종료신호(DIS_DSP)를 입력으로 하는 앤드 게이트(AND2)와, 소오스가 전원전압단(VDD)에 접속되고 드레인이 데이터 정렬 중단신호 발생부(430)의 출력단(N2)에 접속되며 라이트 펄스(WRITE_STATE)를 게이트 입력으로 하는 풀업 PMOS

트랜지스터(MP2)와, 소오스가 접지전압단(VSS)에 접속되고 드레인이 데이터 정렬 중단신호 발생부(430)의 출력단(N2)에 접속되며 앤드 게이트(AND2)의 출력신호를 게이트 입력으로 하는 풀다운 NMOS 트랜지스터(MN2)와, 데이터 정렬 중단신호 발생부(430)의 출력단(N2)을 래칭하기 위한 래치(INV4 및 INV5)를 구비한다.

[0032] 그리고, 데이터 정렬부(440)는 데이터 정렬 중단신호(MASK_DSFP)에 따라 데이터 정렬 기준펄스(DSFP)를 선택적으로 차단하기 위한 차단부(442)와, 차단부(442)의 출력신호(ALGN_SHIFT)에 응답하여 입력 데이터(Din)를 전송하기 위한 데이터 전송부(444)를 구비한다. 여기서, 차단부(442)는 데이터 정렬 기준펄스(DSFP) 및 데이터 정렬 중단신호(MASK_DSFP)를 입력으로 하는 낸드 게이트(NAND1)로 구현되기 때문에, 데이터 정렬 중단신호(MASK_DSFP)가 활성화됨에 의해 데이터 정렬 기준펄스(DSFP)를 강제적으로 차단하게 된다. 그리고, 데이터 전송부(444)는 차단부(442)의 출력신호(ALGN_SHIFT)의 폴링 에지에 응답하여 입력 데이터(Din)를 전송하는 제1 D 플립플롭(DFF1)과, 차단부(442)의 출력신호(ALGN_SHIFT)의 폴링 에지에 응답하여 제1 D 플립플롭(DFF1)으로부터 출력된 정렬 데이터(ALGN_R1)를 전송하는 제2 D 플립플롭(DFF2)과, 차단부(442)의 출력신호(ALGN_SHIFT)의 폴링 에지에 응답하여 입력 데이터(Din)를 전송하는 제3 D 플립플롭(DFF3)과, 차단부(442)의 출력신호(ALGN_SHIFT)의 폴링 에지에 응답하여 제3 D 플립플롭(DFF3)으로부터 출력된 정렬 데이터(ALGN_F1)를 전송하는 제4 D 플립플롭(DFF4)을 구비한다.

[0033] 또한, GIO 라이트 구동부(450)는 제2 D 플립플롭(DFF2)으로부터 출력된 정렬 데이터(ALGN_R0)를 데이터 입력 클럭(DINCLK)에 동기시켜 제1 글로벌 데이터 라인(GIO_Q0)에 전달하기 위한 제1 GIO 라이트 드라이버(452)와, 제1 D 플립플롭(DFF1)으로부터 출력된 정렬 데이터(ALGN_R1)를 데이터 입력 클럭(DINCLK)에 동기시켜 제2 글로벌 데이터 라인(GIO_Q1)에 전달하기 위한 제2 GIO 라이트 드라이버(454)와, 제4 D 플립플롭(DFF4)으로부터 출력된 정렬 데이터(ALGN_F0)를 데이터 입력 클럭(DINCLK)에 동기시켜 제3 글로벌 데이터 라인(GIO_Q2)에 전달하기 위한 제3 GIO 라이트 드라이버(456)와, 제3 D 플립플롭(DFF3)으로부터 출력된 정렬 데이터(ALGN_F1)를 데이터 입력 클럭(DINCLK)에 동기시켜 제4 글로벌 데이터 버스(GIO_Q3)에 전달하기 위한 제4 GIO 라이트 드라이버(458)를 구비한다.

[0034] 이하, 본 발명의 일 예에 의한 동기식 반도체 메모리 장치의 동작을 도 5를 참조하여 설명한다.

[0035] 도 5에는 도 4에 도시된 회로의 타이밍 다이어그램이 도시되어 있다.

[0036] 도 5를 참조하면, 우선, 라이트 커맨드가 인가되면 메모리는 데이터 스트로브 신호(DQS)와 함께 데이터(DQ)를 받아들인다. 도면에서는 연속된 라이트 커맨드가 인가된 경우를 나타내고 있으며(BL=4), 'INT_WT'는 라이트 커맨드를 받아서 생성된 내부 라이트 신호를 나타낸 것이다.

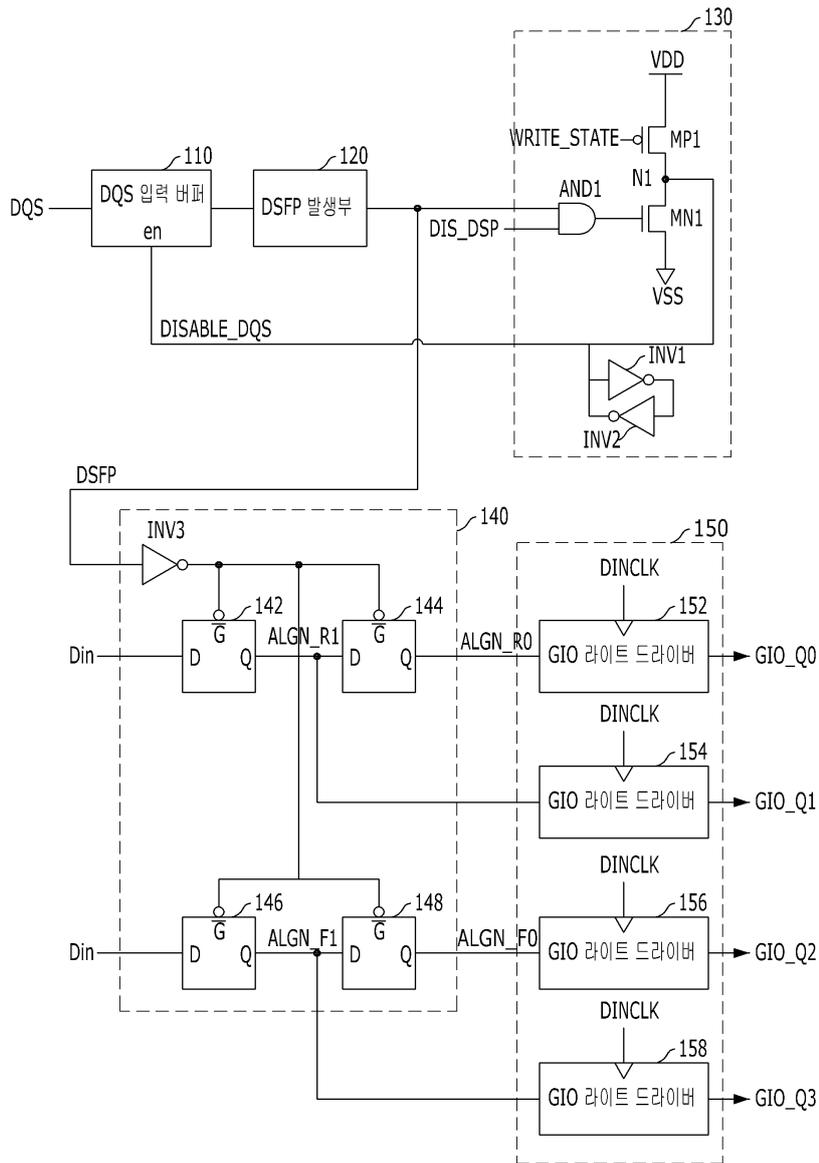
[0037] 그러면, DSFP 발생부(420)는 데이터 스트로브 신호(DQS)의 폴링 에지마다 논리 하이 레벨로 활성화되는 데이터 정렬 기준펄스(DSFP)를 생성하고, 데이터 정렬 중단신호 발생부(430)는 데이터 정렬 기준펄스(DSFP), 데이터 스트로브 종료신호(DIS_DSP), 라이트 펄스(WRITE_STATE)에 응답하여 논리 하이 레벨의 데이터 정렬 중단신호(MASK_DSFP)를 출력한다. 여기서, 데이터 정렬 중단신호(MASK_DSFP)의 생성 과정을 더욱 자세하게 설명하면, 앤드 게이트(AND2)는 하나의 입력단으로 논리 로우 레벨의 데이터 스트로브 종료신호(DIS_DSP)를 입력받기 때문에, 나머지 다른 하나의 입력단으로 입력되는 데이터 정렬 기준펄스(DSFP)의 논리 레벨에 상관없이 무조건 논리 로우 레벨의 출력신호를 출력한다. 이에 따라, 풀다운 NMOS 트랜지스터(MN2)는 턴 오프 상태가 된다. 반면, 풀업 PMOS 트랜지스터(MP2)는 내부 라이트 신호(INT_WT)가 활성화되기 이전에 논리 로우 레벨로 활성화되는 라이트 펄스(WRITE_STATE)에 의해 턴 온 상태가 된다. 따라서, 데이터 정렬 중단신호 발생부(430)는 논리 하이 레벨의 데이터 정렬 중단신호(MASK_DSFP)를 출력하며, 이때, 데이터 정렬 중단신호(MASK_DSFP)의 논리 레벨 상태는 출력단(N2)에 접속된 래치(INV4, INV5)에 의해 래칭된다.

[0038] 이에 따라, 데이터 정렬부(440)는 데이터 정렬 기준펄스(DSFP)에 응답하여 정렬 데이터(ALGN_R0, ALGN_R1, ALGN_F0, ALGN_F1)를 GIO 라이트 구동부(450)로 출력한다. 이를 더욱 자세하게 설명하면, 낸드게이트(NAND1)로 구현된 차단부(442)는 하나의 입력단으로 논리 하이 레벨의 데이터 정렬 중단신호(MASK_DSFP)를 입력받기 때문에, 나머지 하나의 입력단으로 입력되는 데이터 정렬 기준펄스(DSFP)를 반전시켜 출력한다. 이에 따라, 데이터 전송부(444), 즉 제1 내지 제4 D 플립플롭(DFF1, DFF2, DFF3, DFF4)은 차단부(442)의 출력신호(ALGN_SHIFT)의 폴링 에지에 맞춰 각각의 정렬 데이터(ALGN_R0, ALGN_R1, ALGN_F0, ALGN_F1)를 제1 내지 제4 GIO 라이트 드라이버(452, 454, 456, 458)로 출력한다.

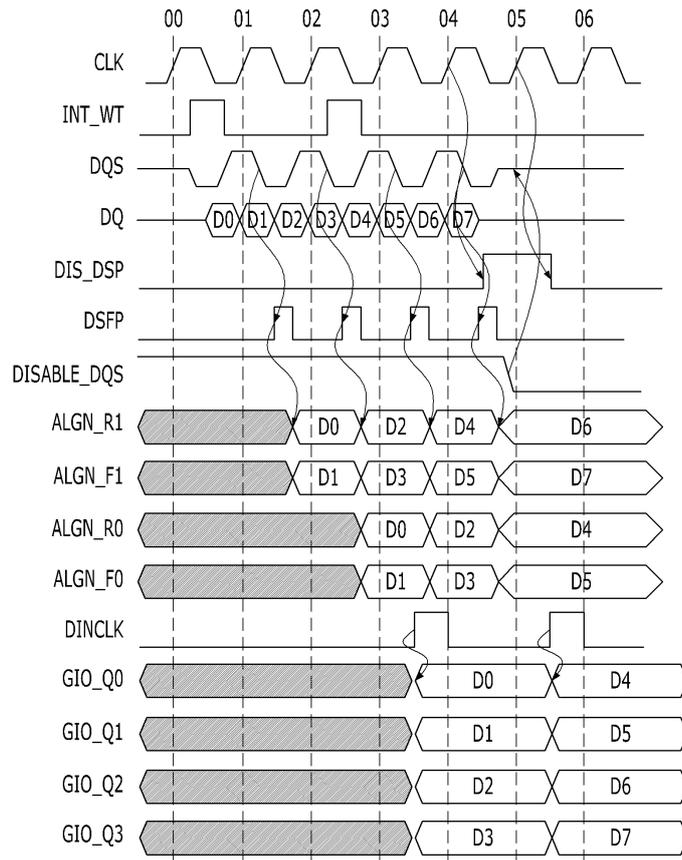
[0039] 그러면, 제1 내지 제4 GIO 라이트 드라이버(452, 454, 456, 458)는 입력된 각각의 정렬 데이터(ALGN_R0, ALGN_R1, ALGN_F0, ALGN_F1)를 데이터 입력 클럭(DINCLK)에 동기시켜 제1 내지 제4 글로벌 데이터 라인

도면

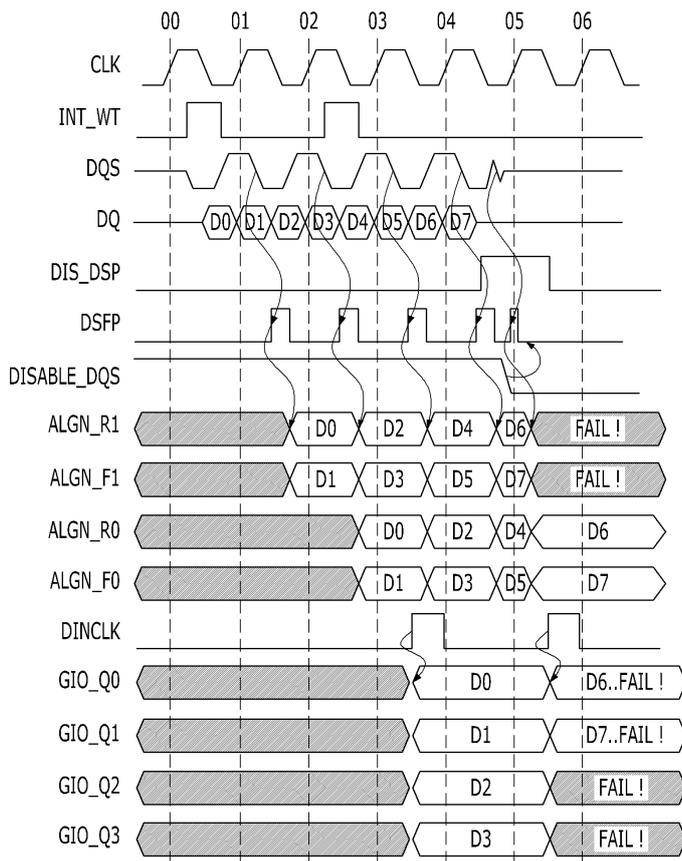
도면1



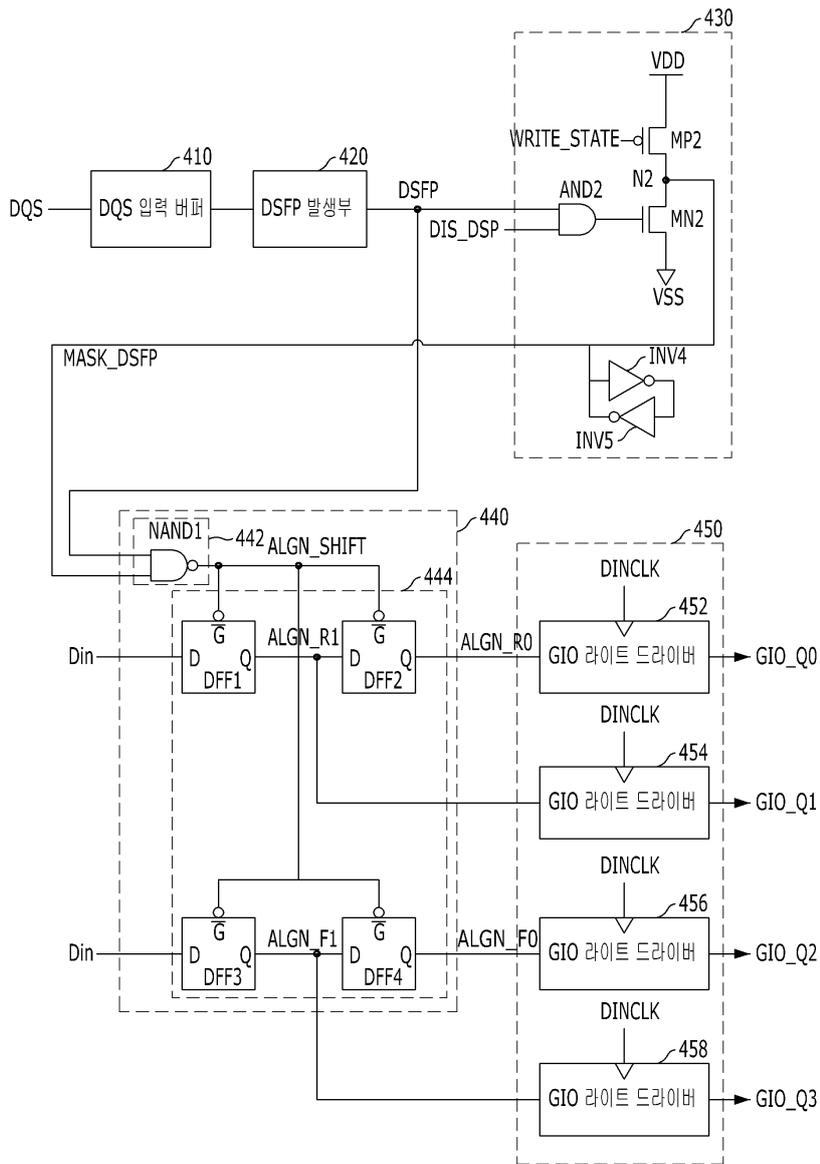
도면2



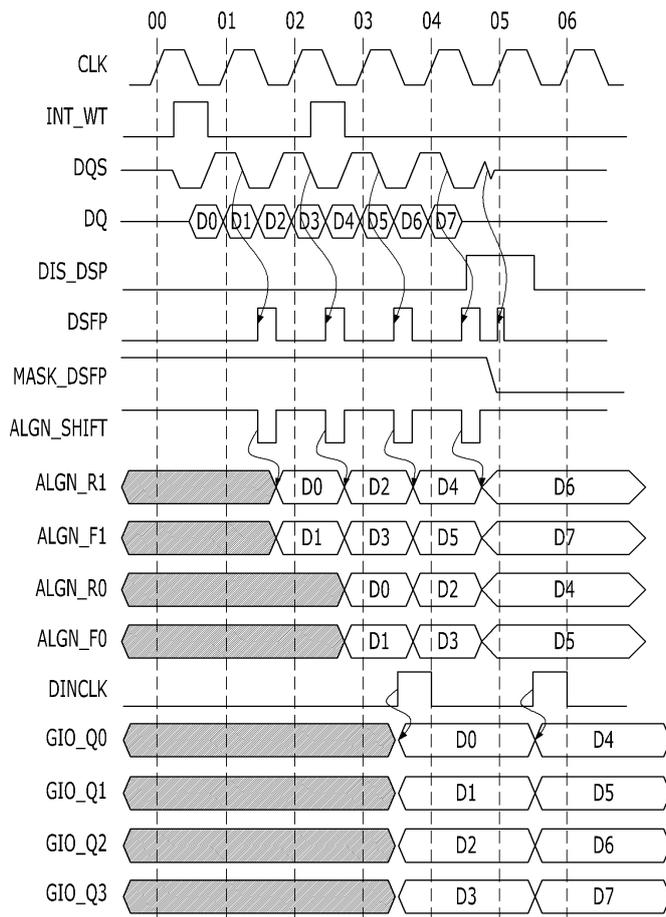
도면3



도면4



도면5



도면6

