

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5528782号  
(P5528782)

(45) 発行日 平成26年6月25日 (2014. 6. 25)

(24) 登録日 平成26年4月25日 (2014. 4. 25)

(51) Int.Cl.

F I

G 0 6 F 12/16 (2006.01)

G 0 6 F 12/16 3 4 O P

請求項の数 13 外国語出願 (全 18 頁)

(21) 出願番号 特願2009-269278 (P2009-269278)  
 (22) 出願日 平成21年11月5日 (2009. 11. 5)  
 (65) 公開番号 特開2010-157216 (P2010-157216A)  
 (43) 公開日 平成22年7月15日 (2010. 7. 15)  
 審査請求日 平成24年11月5日 (2012. 11. 5)  
 (31) 優先権主張番号 12/347, 935  
 (32) 優先日 平成20年12月31日 (2008. 12. 31)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 509325673  
 ジョセフ エディントン  
 アメリカ合衆国 カリフォルニア州 95  
 814 サクラメント フィフティーン  
 ストリート 1510 アパートメント  
 シー  
 (73) 特許権者 509325684  
 ヒシャム チョードゥリー  
 アメリカ合衆国 カリフォルニア州 95  
 628 フェア オークス ワインディン  
 グ ウェイ 8842 #124  
 (74) 代理人 100082005  
 弁理士 熊倉 禎男  
 (74) 代理人 100067013  
 弁理士 大塚 文昭

最終頁に続く

(54) 【発明の名称】 停電後の不揮発性メモリの回復

(57) 【特許請求の範囲】

【請求項 1】

停電後の不揮発性メモリの回復方法において、  
 メモリアレイのページを第1の選択された論理的ページからスキミングして第1のフ  
 リーページを見出すステップを備え、

前記第1のフリーページは、

ページがデータを含むかどうか決定することをマーキングし、

前記ページがデータを含むとの決定に基づいて、コミットマーカが前記ページのヘ  
 ッダに存在するかどうか決定し、

コミットマーカが前記ページのヘッダに存在するとの決定に基づいて、次のペー  
 ジをスキミングし、

コミットマーカが前記ページのヘッダに存在しないとの決定に基づいて、前記ペ  
 ージに続くページを前記第1のフリーページに指定し、そして

前記ページがデータを含まないとの決定に基づいて、前記ページに続くページを前記  
 第1のフリーページに指定する、

ことによって決定され、

前記第1のフリーページを使用可能とマーキングするステップを備え、

使用可能とマーキングされた前記ページに次の書き込みサイクルで書き込みするステッ  
 プを備えた、方法。

【請求項 2】

10

20

前記第 1 のフリーページが前記メモリアレイのページのスキヤニングのシーケンスの少なくとも第 2 のページであるかどうか決定することをマーキングするステップと、

前記第 1 のフリーページが少なくとも前記第 2 のページであるとの決定に基づいて、前記第 1 のフリーページの前のページを無効とマーキングするステップと、

無効とマーキングされた前記ページを消去するステップと、  
を更に備えた請求項 1 に記載の方法。

【請求項 3】

ページをスキヤニングする前記ステップは、前記ページを、連続した順序でスキヤニングすることを含む、請求項 1 に記載の方法。

【請求項 4】

コミットマーカが前記ページのヘッダに存在するかどうか決定するステップは、前記ページに関連したメモリアレイのスベアエリアにおいて前記ヘッダを読み取ることを含む、請求項 3 に記載の方法。

【請求項 5】

無効とマーキングする前記ステップは、ページに関連したヘッダヘマーカを書き込むことを含む、請求項 2 に記載の方法。

【請求項 6】

前記メモリアレイは、ブロックへと分割され、各ブロックは、複数のページを含み、ページをスキヤニングする前記ステップは、ブロックのページをスキヤニングすることを含み、前記方法は、更に、

他の各ブロックのページをスキヤニングして各ブロックにおける第 1 のフリーページを見出すステップと、

前記第 1 のフリーページが前記メモリアレイのページのスキヤニングのシーケンスの少なくとも第 2 のページであるとの決定に基づいて、各ブロックにおける前記第 1 のフリーページの前のページを無効とマーキングするステップと、

前記第 1 のフリーページを各ブロックにおいて使用可能とマーキングするステップと、  
を備えた請求項 1 に記載の方法。

【請求項 7】

メモリアレイのための停電回復システムにおいて、

メモリアレイのページをスキヤニングして第 1 のフリーページを見出すためのページスキャナを備え、

前記第 1 のフリーページは、

ページがデータを含むかどうか決定することをマーキングし、

前記ページがデータを含むとの決定に基づいて、コミットマーカが前記ページのヘッダに存在するかどうか決定し、

コミットマーカが前記ページのヘッダに存在するとの決定に基づいて、次のページをスキヤニングし、

コミットマーカが前記ページのヘッダに存在しないとの決定に基づいて、前記ページに続くページを前記第 1 のフリーページに指定し、そして

前記ページがデータを含まないとの決定に基づいて、前記ページに続くページを前記第 1 のフリーページに指定する、  
ことによって決定され、

前記第 1 のフリーページを使用可能とマークするためのページマーカを備え、

使用可能とマークされた前記ページに次の書き込みサイクルで書き込みするためのプログラム回路を備えた、システム。

【請求項 8】

前記第 1 のフリーページが前記メモリアレイのスキヤニングされたページのシーケンスの少なくとも第 2 のページであるとの決定に基づいて、前記ページマーカは、更に、第 1 のフリーページの前のページを無効とマークし、そして前記プログラム回路は、更に、無効とマークされた前記ページを消去する、請求項 7 に記載のシステム。

10

20

30

40

50

## 【請求項 9】

停電後の不揮発メモリを回復させるメモリデバイスにおいて、  
複数のブロックへとグループ分けされる複数のメモリセルを含むメモリセルアレイと、  
前記メモリセルアレイに結合され、メモリアレイのページをスキャンして第 1 のフリー  
ページを見出すためのメモリコントローラを備え、

前記第 1 のフリーページは、

ページがデータを含むかどうか決定することをマーキングし、

前記ページがデータを含むとの決定に基づいて、コミットマーカが前記ページのヘ  
ッダに存在するかどうか決定し、

コミットマーカが前記ページのヘッダに存在するとの決定に基づいて、次のペー  
ジをスキャンし、

コミットマーカが前記ページのヘッダに存在しないとの決定に基づいて、前記ペ  
ージに続くページを前記第 1 のフリーページに指定し、そして

前記ページがデータを含まないとの決定に基づいて、前記ページに続くページを前記  
第 1 のフリーページに指定する、  
ことによって決定され、

前記メモリコントローラは、更に、前記第 1 のフリーページを使用可能とマークし、そ  
して前記使用可能とマークされたページへ書き込みを行うように構成されている、  
メモリデバイス。

## 【請求項 10】

前記メモリコントローラは、前記ページを、連続した順序でスキャンする、請求項  
9 に記載のデバイス。

## 【請求項 11】

前記メモリセルアレイは、フラッシュメモリセルアレイである、請求項 9 に記載のデバ  
イス。

## 【請求項 12】

前記メモリセルアレイは、相変化メモリセルアレイである、請求項 9 に記載のデバイス  
。

## 【請求項 13】

1 つ又はそれ以上のプロセッサによって実行されるべき動作の命令を含むコンピュータ  
読み取り可能な記憶媒体において、前記プロセッサの動作は、

メモリアレイのページを、第 1 の選択された論理的ページからスキャンして第 1 の  
フリーページを見出すステップを含み、

前記第 1 のフリーページは、

ページがデータを含むかどうか決定することをマーキングし、

前記ページがデータを含むとの決定に基づいて、コミットマーカが前記ページのヘ  
ッダに存在するかどうか決定し、

コミットマーカが前記ページのヘッダに存在するとの決定に基づいて、次のペー  
ジをスキャンし、

コミットマーカが前記ページのヘッダに存在しないとの決定に基づいて、前記ペ  
ージに続くページを前記第 1 のフリーページに指定し、そして

前記ページがデータを含まないとの決定に基づいて、前記ページに続くページを前記  
第 1 のフリーページに指定する、  
ことによって決定され、

前記第 1 のフリーページを使用可能とマーキングするステップを含み、

使用可能とマーキングされた前記ページに次の書き込みサイクルで書き込みするステッ  
プを含む、コンピュータ読み取り可能な記憶媒体。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、停電後の不揮発性メモリの回復に係る。

【背景技術】

【0002】

不揮発性メモリデバイスは、記憶されたデータを安全に維持するために電力を要求することなくデータを記憶するという利益をもたらす。しかしながら、記憶されたデータの読み取り及びデータの最初の書き込みには、電力が必要である。多くの不揮発性メモリ形式では、典型的に、停電に関わりなく読み取りオペレーション中にデータは安全である。しかしながら、書き込みプロセス中に電力が遮断又は停電した場合には、書き込みが停止するだけでなく、幾つかのセルには、不安定な値が書き込まれることがある。従って、復電した後に、どこで書き込みを再開すべきか決定することは困難である。

10

【0003】

更に、メモリに既に書き込まれた値をチェックしても、どこで書き込みを再開すべきか確実に指示できないことがある。例えば、フラッシュメモリの場合、メモリセルの値は、電荷をセットすることにより記憶される。電荷素子の電圧がスレッシュホールドと比較され、記憶された値が0であるか1であるか決定する。意図された電荷がセットされる前に停電が生じたために記憶された値がほぼスレッシュホールドである場合には、それが、あるときには、0と読まれ、又、他のときには、1と読まれる。同様に、相変化メモリセルでは、相変化材料の抵抗をセットすることにより値が記憶される。抵抗値がスレッシュホールドと比較され、抵抗値がスレッシュホールドに近い場合に、セルは、あるときには、0と読まれ、又、他のときには、1と読まれる。メモリセルがある範囲の値をとることのできるいずれの形式の不揮発性メモリでも、このような不安定な又は一貫性のない値が生じることになる。

20

【0004】

停電後にフラッシュメモリに留まる不安定なデータのためにクラッシュを生じることからシステムを保護する方法が存在する。この保護方法は、典型的に、メモリデバイス全体をスキニングするか、又はファイル全体を再び始めから書き直すことを含む。しかしながら、不安定なメモリ値では、メモリをスキニングしても、正確な答えが得られないことがある。他方、データの再書き込みには、時間がかかる。

【0005】

本発明の要旨は、明細書の結論部分に詳細に指摘され、個別に請求される。しかしながら、本発明は、その編成及び動作方法、並びにその目的、特徴及び効果と共に、添付図面を参照した以下の詳細な説明から最も良く理解できよう。

30

【図面の簡単な説明】

【0006】

【図1】一実施形態によりページ及びブロックへと編成されるメモリセルをもつフラッシュメモリアレイのブロック図である。

【図2】一実施形態によりメモリアレイのページをスキニングして第1のフリーページを見出すためのプロセスフロー図である。

【図3】別の実施形態によりメモリアレイのページをスキニングして第1のフリーページを見出すためのプロセスフロー図である。

40

【図4】一実施形態によりメモリアレイのブロックを通してページをスキニングして第1のフリーブロックを見出すためのプロセスフロー図である。

【図5】別の実施形態によりメモリアレイのブロックを通してページをスキニングして第1のフリーブロックを見出すためのプロセスフロー図である。

【図6】一実施形態により図2から5のプロセスを具現化できる移動装置のブロック図である。

【図7】一実施形態による停電回復システムのブロック図である。

【発明を実施するための形態】

【0007】

図示簡単化及び明瞭化のために、図示された要素は、必ずしも正しいスケールで描かれ

50

ていないことが明らかである。例えば、幾つかの要素の大きさは、明瞭化のために、他の要素に対して誇張されている。更に、適切と考えられるところでは、対応する要素又は同様の要素を指示するために幾つかの図面において参照番号が繰り返されている。

【 0 0 0 8 】

本発明の実施形態は、フラッシュ又は他の不揮発性メモリハードウェアのプログラミングオペレーション中に停電事故が生じたときにデータの完全性に対して完全なカバレッジを与えることができる。従って、不安定な、破損した又は部分的にプログラムされたデータ断片を、良好なデータ断片から安全に区別することができる。これは、停電回復を最適な仕方で行うことができるようにする。これは、メモリの部分的再書き込みをメモリデバイスの特定エリアへ向けることができ、より少ない書き込みサイクルで、完全な停電回復を得られるようにする。これは、書き込みの回数を減少することにより良好なメモリ寿命サイクルを与える。又、特に、NAND形式のフラッシュメモリデバイスに対してハードウェアエラーを回避する上で助けとなる。本発明の実施形態は、NOR(not or)フラッシュ、NAND(not and)フラッシュ、及びPCMを含む広範囲な異なる不揮発性メモリに適用することができる。又、広範囲な異なるメモリファイルシステム及びメモリセクタマネジメントシステムにも適用することができる。

10

【 0 0 0 9 】

本発明の一実施形態によれば、ブロックごとにデータをメモリデバイスに書き込むために逐次のモデルが使用される。このモデルでは、デバイスに新たなデータを書き込むときに第1の使用可能なスペース又は第1のフリースペースが常に使用される。システムの初期化中、及び予期せぬ遮断に続いて、メモリの非書き込みエリアへのワーストケースの破損が仮定される。例えば、フラッシュメモリでは、1つのブロックのページが逐次に書き込まれるので、停電又は電力遮断が生じたときに、全メモリブロック又は全メモリアレイを無効化する必要はない。むしろ、どのページが破損を被るかを知的に決定することで、それらの特定ページを修理の焦点とすることができる。

20

【 0 0 1 0 】

使用中のメモリデバイスにデータ断片を書き込む間に停電が生じたときにデータの破損が発生する。この破損により、未知の状態が存在するデバイス内のビットが生じる。未知の状態とは、正しい値のこともあるし、間違った値のこともあるし、或いは不安定又は非信頼性の無効値のこともある。

30

【 0 0 1 1 】

停電から完全に回復するためには、全メモリを再書き込みしなければならないか、又はアレイ内の各メモリセルの状態を決定する何らかの方法が必要ではない。上述したように、フラッシュ及びPCMを含む多数の形式の不揮発性メモリシステムでは、プログラム又は消去オペレーション中のシステム電力の中断が、あるメモリセルを未知の状態のままにし、及びおそらく、そのようにする。これらの状態は、0であるか、1であるか又はそれらの間のどこかである。

【 0 0 1 2 】

回復するための1つの解決策は、単にフラッシュを読み取り、消去された値としてそれが読み取られる場合に、消去された状態にあると仮定することである。しかしながら、フラッシュメモリにおける各セルの値は、アナログ状態で存在するので、プログラミング又は消去が首尾良く行われた後でなければ、2進値を表すものと考えることができない。

40

【 0 0 1 3 】

別の解決策は、最初に、メモリのあるエリアを、そのエリアに値を書き込む前に、無効(又はダーティ)とマークすることである。しかしながら、あるフラッシュデバイスは、それが消去されなければならない前に、ページに対して限定された数のプログラミングオペレーションしか許さないで、「ダーティ」マーカーを書き込むと、書き込まれたデータの断片ごとに遂行されなければならない書き込みの回数が増加する。これは、書き込みソフトウェアの書き込み速度を下げる。というのは、ページを消去して同じ値を再書き込みしなければならない頻度が高くなるからである。

50

## 【 0 0 1 4 】

別の解決策は、メモリエリアのどんなエリアが常時使用されるか安全に追跡するよう試みることである。この解決策は、ランタイムの書き込み速度を下げる。別の解決策では、特定の書き込みシーケンスを使用して、欠陥が発生するおそれを最小にする。

## 【 0 0 1 5 】

別の解決策では、各ページが読み取られて、その有効性が確認される。これは、時間がかかるだけでなく、完全に安全ではない。というのは、不安定なセルが、あるときには、正確に読み取りを行い、又、別のときには、不正確な読み取りになるからである。

## 【 0 0 1 6 】

対照的に、本発明の実施形態では、ワーストケースを仮定することで、各データビットを読み取らねばならないオーバーヘッドが排除され、安定なメモリセルのみの使用を保証することができる。換言すれば、本発明の実施形態では、各データエリアは、その旨指示がない限り、使用が安全でないと仮定する。以下に述べるように、プログラム又は消去オペレーション中に停電事故が生じた場合に、システムは安全に維持され回復される。同時に、システム性能は妥協されることがない。

## 【 0 0 1 7 】

フラッシュメモリシステムの一実施例が図 1 に示されている。このシステムは、コントローラ 1 1 1 及びアレイ 1 1 3 を有する。コントローラは、入力 / 出力バス 1 1 5 に結合され、データを受け取ってアレイに記憶すると共に、アレイから読み取ったデータを伝送する。又、コントローラは、メモリバス 1 1 7 にも結合され、このバスを経て、アレイを制御し維持する。又、データをアレイに書き込むと共に、アレイからメモリバスを経てデータを読み取る。

## 【 0 0 1 8 】

アレイ 1 1 3 は、1 つ以上のブロック 1 1 9 に分割され、各ブロックは、1 つ以上のページ 1 2 1 を含む。ページは、電荷を使用してデータを記憶するために個々のメモリセル 1 2 3 を含む。又、ブロックは、メモリセルを読み取り、書き込み及びフラッシュするための必要な回路も含む。これらは、行コントローラ 1 2 5 及び列コントローラ 1 2 7 として図 1 に示されている。特定のシステムにおけるコンポーネントの数は、システムのコンフィギュレーション及びその意図されたアプリケーションに依存する。1 つのページは、5 1 2 から 2 K の 8 ビットバイトのデータを記憶するためのセルをもつことができる。しかしながら、1 6、3 2 及び 6 4 ビットバイトが使用されてもよく、又、ページのサイズは、それより小さくても大きくてもよい。各ブロックは、1 6、3 2、6 4 又は 1 2 8 ページを有するが、それより大きくても小さくてもよい。各アレイは、アプリケーションに基づいて、8 又は 1 6 ブロックを有する。あるアレイは、構造を簡単化するために単一のブロックを有する。大きなアレイは、より多数のブロックを有することができる。ここに与えられる数は、一例に過ぎず、本発明は、特定のブロックサイズに限定されるものではない。

## 【 0 0 1 9 】

典型的なフラッシュ動作では、一度に 1 つの全ブロックがフラッシュされる。これは、ブロックに記憶された値を消去し、全てのビットを同じ値、典型的に、0 にセットする。しかしながら、フラッシュされたセルは、むしろ値 1 を有すると解釈されてもよい。次いで、各セルは、必要に応じて、1 でプログラムされるか、又は 0 状態に留まることが許される。書き込みプロセスは、フラッシュされたセルをプログラミングすることより成る。各セルがプログラムされた後は、再びフラッシュされた後でなければ再書き込みすることができない。これは、全ブロックを消去するので、記憶されたデータに僅かな変更を頻繁に有するメモリとしては、小さなブロックが好ましい。大きなブロックは、変更の頻度が低いか又はコストがより重要なメモリにとってより効率的である。

## 【 0 0 2 0 】

データは、典型的に、一度に 1 ページが書き込まれる。典型的な実施例では、データは、単一の書き込みサイクルにおいて同じページに全部が書き込まれる。書き込みサイクル

10

20

30

40

50

が完了すると、そのページに対してコミットマーカが入れられ、ページに再び書き込むことができない。書き込みサイクル中に電力が遮断された場合には、メモリの値が不安定になる。別のメモリ構成では、コミットマーカが書き込まれる前に2つ以上の書き込みサイクルを単一のページに向けることができる。

#### 【0021】

図1のフラッシュメモリ実施例では、ページは、デバイスに書き込むことのできるデータ要素の最小の粒度と考えられる。同様に、最も大きなデータ断片サイズは、ブロックの残りであると考えられる。この実施例では、データ断片は、ブロック境界を横切ることがない。他の形式のメモリは、ページ及びブロックへと編成することができ、或いはここに述べる解決策は、他の形式のメモリ構造に適応させることができる。

10

#### 【0022】

停電中にデバイスが動作する場合には、フラッシュメモリセルアレイに、あるページを書き込むことがある。停電の後に、デバイスの各有効ブロックを繰り返し通ることで、各ページの各ヘッダをスキャンして、空きページヘッダを見出すことができる。このページは、第1の非書き込みページ、又はフラッシュされるがプログラムされないページと考えることができる。

#### 【0023】

あるフラッシュメモリアレイでは、各ページが、フリースペース或いはスペアエリア又はスペースと称される特別なセルを有する。これらのセルは、ページ内の他のセルがフェイルした場合に使用されるべきアレイに組み込まれ、そしてハウスキーピング又はマネージメントの目的で使用することもできる。ヘッダは、このフリーページに記憶されてもよい。

20

#### 【0024】

一実施例では、各ページは、エラー修正コード(ECC)及びヘッダを有する。ヘッダは、ページが首尾良く完全にプログラムされるか又は書き込まれたときに、コミットマーカを書き込むために使用される。コミットマーカは、プログラミングオペレーションが首尾良く完了したかどうか指示するために使用できる。マーカは、プログラミングオペレーションが首尾良く完了した後に書き込まれる。フラッシュメモリの場合に、セルがフラッシュ又は消去された後に、セルに書き込みするプロセスは、プログラミングと称される。

30

#### 【0025】

一実施例では、各ページは、ページがフラッシュされたとき及びページがプログラムされたときに書き込まれるヘッダを有する。このヘッダは、次いで、プログラムされた有効なレジスタの数を追跡する。ヘッダの読み取りが完全な場合には、ページが、プログラムされたレジスタを有し、ページは、フリーではなく、そしてこれは第1のブロックであるから、プロセスは、第1の非書き込みページへ進む。それとは別に、ヘッダは、全ブロックのみに対するものでもよいし、アレイの他のサブセットに対するものでもよい。ヘッダは、フリースペースにあってもよいし、個別のテーブルにあってもよいし、或いはページ又はブロックの特に割り当てられた部分にあってもよい。

40

#### 【0026】

停電の後に、メモリがスキャンされて、どのページが有効であり、どのページが有効でないか決定する。メモリマネージメントソフトウェアのようなメモリマネージャを再スタートするか又はマウンティングするときにブロックのいずれか1つが停電データを含むと仮定するのが最も安全である。ブロックをスキャンするとき、ブロックを見出すことのできる停電状態は、次の4つが考えられる。

- 1) 最後に見つかったデータ断片は、コミットマーカを含む。
- 2) 最後に見つかったデータ断片は、空き断片である。
- 3) 不完全なデータ断片が見つかる。これは、無効ヘッダ、又はコミットマーカをもたない有効ヘッダにより指示することができる。
- 4) リクレイム又はフラッシュ消去がブロックにおいて進行し、データもヘッダも存在

50

しない。

【 0 0 2 7 】

ケース 1 及び 2 では、停電の仮定は、このブロック（停電を経験したもの）への最後の書き込みが、ブロックをスキニングする時に見つかった第 1 のフリーページへのものであることを意味する。一実施例では、取るべきアクションは、このページ（第 1 のフリーページ）をダーティと物理的にマークし、そしてそれに続くページをこのブロックにおける第 1 の使用可能なフリーページとして使用することである。ダーティマーカーは、このページのデータが有効でないこと、及びそれを、メモリアレイの形式に基づいて、新たなデータでフラッシュ、クリア、リクレイム又は再書き込みすべきであることを指示する 1 つの仕方である。同様に、最初に見つかったフリーページがブロックの第 1 ページである場合には、その第 1 のフリーページをダーティとマークすることができる。しかしながら、このケースでは、以前の有効なデータ断片が存在しない。次のページが第 1 のフリーページとなり、これは、新たな書き込みが行われるところである。

10

【 0 0 2 8 】

ダーティマーカーは、種々の異なる仕方で書き込むことができる。一実施例において、ヘッダ id 又はヘッダにおける異なるフィールドの組合せが全て 0 にプログラムされる。しかしながら、それに代わって、他のマーカーを使用することもできる。このブロックのその後のマウントは、無効ヘッダフィールドを伴うデータ断片をダーティスペースとして見る。

【 0 0 2 9 】

20

ダーティマーカーは、明確な利益を与える。メモリコントローラは、新たなデータの書き込みを開始するときに、次の位置を探す。これは、そのシーケンスで書き込まれた最後の位置の後の位置である。この位置は、第 1 のフリーページ内にある。ページがダーティを示すようにマークされない場合に、その後のマウントは、スキップされたページを第 1 のフリーページであると考え、ページは、それをダーティとマークすることにより、スキップされ、次のページが使用される。これは、このページが再び使用される前にこのページをクリアするのを許す。

【 0 0 3 0 】

ケース 3 では、ヘッダが無効であるか、又はデータ断片がコミットマークを有していない。このようなページ又はブロックは、停電が生じたときに書き込み中であつた。従って、影響を受ける全てのデータは、信頼性がなく、これは、ヘッダに書き込まれる情報、例えば、有効又は無効断片のサイズを含む。一実施例では、このデータ断片のいずれかのページへ書き込んでいる間に停電が発生し、そして特定のページを安全に決定できないと仮定する。それ故、データ断片は、ブロックの残りである最大サイズのものであると仮定する。従って、このブロックの残りは、ダーティであると考えられ、そのようにマークすることができる。付加的なデータ断片がそれらのページに書き込まれようとしていない場合には、その影響を受けるページをダーティと実際にマークする必要はない。無効ヘッダを見るか又はコミットマークを見ないその後のマウントは、そのたびに同じ仕方でブロックをポピュレートする。

30

【 0 0 3 1 】

40

他方、ヘッダが不安定である場合には、将来のマウントがこの断片の第 1 ページをフリースペースとして読み取ってもよい。これは、停電ケース 1 に対応する。不安定なヘッダは、ダーティとマークされ、それに依存することはない。いずれにせよ、ダーティとマークされたスペースは、ブロックがリクレイムされたときに回復される。これらの実施例を通して明らかなように、マウント中に全ての停電ケースをハンドリングすることで、システム始動後の書き込み性能への影響が防止される。

【 0 0 3 2 】

ケース 4 では、ブロックにおいてリクレイムが進行中である場合には、リクレイムプロセスが単に再スタートされる。他の解決策は必要とされない。より特定にこのケースに対処するために他の解決策を使用することができる。

50

## 【 0 0 3 3 】

上述した考え方は、フローチャートを使用して示すことができる。図 2 は、一形式の基本的ページスキニングの一例である。図 2 のプロセスは、次のフリーページを見出すことを目的としてブロックの各ページを通してスキャンする。フリーページとは、プログラミングに使用される次のページである。換言すれば、フリーページは、このブロックに書き込まれる次のページである。

## 【 0 0 3 4 】

ボックス 2 1 1 において、ページスキャンプロセスが開始される。これは、いつでも行うことができるが、上述した実施例では、メモリへの書き込み中に停電が生じた後に行われる。又、これは、始動のたびに、又は停電事故の後の始動のたびに行うことができる。初期化は、始動すべきブロックを選択する。典型的に、2 つ以上のブロックがある場合には、それらブロックは、例えば、0 から 4 までの数字の指示子を伴う何らかの仕方で順序付けされる。この順序付けは、それらが埋められる順序に対応する。第 1 のブロックは、典型的に、アレイにおける唯一のブロックであるか、又は 0 で示された第 1 ブロックである。しかしながら、プロセスは、いずれのブロックで開始してもよい。

## 【 0 0 3 5 】

ボックス 2 1 3 において、シーケンスにおける第 1 ページが選択される。上述したように、メモリコントローラは、典型的に、アレイ内のページ書き込むためにそれが使用するシーケンスを有する。特定のシーケンスは、メモリアレイの特定の設計に依存する。番号 0 は、典型的に、物理的又は位置的な順序付けではなく、論理的な順序付けに対応する。ボックス 2 1 5 において、ページごとのスキャンが開始する。

## 【 0 0 3 6 】

ページがいずれのデータも含まない場合には、ボックス 2 1 7 において、ページがダーティとマークされる。図 2 に示す解決策では、管理されるデバイスにおいて見出された第 1 の空のページのみがダーティとマークされ、それに続くページが第 1 のフリーページとなることに注意されたい。ボックス 2 1 9 では、このページが最後のページであるかどうか決定される。もしそうでない場合には、ボックス 2 2 1 において、次のページがフリーページとしてマークされ、そしてボックス 2 2 3 において、プロセスが終了となる。他方、データを伴わないこのページが最後のページである場合には、ボックス 2 2 5 において、フリーページは存在せず、プロセスは、ボックス 2 2 3 で終了となる。

## 【 0 0 3 7 】

スキャン中のページがデータを含む場合には、プロセスは、次いで、ボックス 2 2 7 において、ヘッダをコミットマーカに対してチェックする。この実施例では、ページが首尾良く且つ完全に書き込まれた後に、コミットマーカがヘッダに書き込まれる。或いは又、全ブロックに対してのみコミットマーカが存在してもよい。これは、各ページに書き込むときに時間を節約し、又、停電は稀な事故であるから、停電が生じたときにシステムの回復への影響はめったにない。

## 【 0 0 3 8 】

ページに対してコミットマーカがない場合には、ボックス 2 1 7 において、ページが再びダーティとマークされる。ダーティページで上述したように、ボックス 2 1 9 において、次のページがある場合には、ボックス 2 2 1 において、それがフリーとマークされる。

## 【 0 0 3 9 】

データを伴うページに対してコミットマーカがある場合には、それが良好なページであり、スキャンは、次のページへと続くことが仮定される。図 2 のボックス 2 2 9 において、現在ページが最後のページでない場合には、ボックス 2 3 1 において、スキャンは、次のページへと続く。これが第 1 の繰り返しである場合には、現在ページは、第 1 ブロック (ブロック 0) において第 1 ページ (ページ 0) となる。ブロックと同様に、それらは、典型的に、順序付けされ、そして全ての書き込みは、そのページがいっぱいになるまで 1 つのページに行われる。次いで、書き込みは、シーケンスにおいて次のページへ進む (

ページ 1、ブロック 0)。従って、この停電回復プロセス中に、ページは、同じ順序で分析される。

【 0 0 4 0 】

ボックス 2 2 9 において、現在ページが最後のページである場合には、ボックス 2 2 5 において、フリーページはなく、プロセスは、ボックス 2 2 3 で終了となる。

【 0 0 4 1 】

図 2 の戻りループで示されたように、図 2 のプロセスは、一度に 1 ページで、メモリアレイの各有効ブロックを通して繰り返すことができる。このプロセスは、第 1 の非書き込みページを見出すまで、各ページをスキャンする。これは、一実施形態では、ページヘッダが空きであることにより指示される。

10

【 0 0 4 2 】

図 3 は、上述したオペレーションの変更を示す。図 3 は、コミットマーク決定ボックス 2 2 7 との間の接続が変更された以外は、図 2 と同じである。ここでは、ボックス 2 1 5 においてページがデータを含むが、ボックス 2 2 7 においてコミットマークを含まないときには、ボックス 2 1 7 においてページダーティをマークするのではなく、プロセスは、3 3 3 で示されるように続き、2 2 5 において、ブロックを、フリーページをもたないものとマークする。従って、プロセスは、ボックス 2 1 5、2 2 7、2 2 9 及び 2 3 1 を経て循環するブロックの各ページを通してスキャンする。次のフリーページが見出されたときには、そのフリーページが、プログラミングに使用されるべき次のページであり、プロセスは、先行ページをダーティとマークしてフリーページを指示するように分岐する。

20

【 0 0 4 3 】

図 3 において、プロセス及びファイルシステムには、コミットマークを書き込む変更がなされる。この実施例では、コミットマークは、ページごとに保持されず、多数のページの大きな断片に対して保持される。この断片は、ブロックであり、又は他のページグループを使用することもできる。図 2 の実施例では、ボックス 2 1 5 において、グループコミットマーカを分析することができる。しかしながら、図 3 では、データ断片がプログラムされ始めたがコミットマーカが見つからない場合に、ページの全範囲が無効化されるようにプロセスが更に洗練化される。このアルゴリズムは、依然、ワーストケースのページ破損を仮定する原理に従う。しかし、ここでは、プログラム領域の最小粒度は、1 ページからブロックの残り又は他のページグループへと増加する。

30

【 0 0 4 4 】

それとは別に、プロセスは、データを含まない 2 つの連続するページを見出し、次いで、第 1 のページを無効にするよう試みることができる。この変更は、依然、書き込むことのできる最後のページを見出して、それを無効にする。これら全ての変更において、コミットされたデータに続いて空きページがあるか、又はブロックの始めに空きページがある場合には、最悪でも、1 ページしか破損されていない。このため、プロセスは、そのページをダーティとマークし、次のページをフリーとマークするボックス 2 1 7、2 1 9 及び 2 2 1 を含む。

【 0 0 4 5 】

同じ位置から読み取る上述した不安定なセルは、0 (プログラムされたビット) を出力してもよいし、又は、時々、1 (最近フラッシュされたフリービット又は空きに対応する) を出力してもよい。フラッシュメモリのオペレーションにおいて、セルは、首尾良くフラッシュされるか又は首尾良くプログラムされた場合だけ信頼できるものとなる。これらプロセスのいずれかが中断された場合には、セルが不安定であるか又は破損されている。安定な状態へ戻る唯一の方法は、セルを含むページ全体をフラッシュすることである。従って、空きヘッダをもつページは、フラッシュされ再書き込みされる。その後続ページもフラッシュされて、次のフリーページとなる。

40

【 0 0 4 6 】

以前のページが、有効で且つ確認されたデータ (非停電断片) を含まない場合には、このブロックにおける以前の有効データ断片 (又は有効断片が見つからない場合にはブロッ

50

クの開始)から前方に向かって、最大サイズのデータ断片が無効化されると仮定する。

【0047】

初期化中に第1のフリーブロックに対して少なくとも1ページを無効化することで失われるスペースは、取るに足らないものと考えられる。というのは、この状態は、予想外の遮断に続いて生じるに過ぎないからである。又、このスペースは、リクレイム又は不要データ収集手順により無効ページが既知の状態(消去された)にリセットされたときに取り戻される。この種のプロセスは、ページに書き込む前にページに破損がないことを保証する。

【0048】

図4は、本発明のより基本的な態様を示す。図4の実施例では、プロセスは、ボックス411で開始する。ボックス413において、第1ブロックが識別され、ページごとにスキニングが開始する。ボックス415では、ブロックの各ページがスキャンされる。ボックス417では、現在ブロックが最後のブロックである場合に、プロセスは、ボックス419で終了となる。現在ブロックが最後のブロックでない場合には、ボックス421において、プロセスは、次のブロックへ進んで、繰り返される。ページスキャンプロセスは、図2又は3のプロセスであるか、或いは他のプロセス及びここに述べる変形例のいずれかである。

【0049】

図5は、図4のプロセスの更なる変形例を示す。図4と同様に、プロセスは、ボックス511でスタートし、ボックス513において、第1の論理的ブロックへ初期化される。そのブロックのページがボックス515においてスキャンされる。プロセスは、ボックス517を経て繰り返され、ブロックが最後のブロックである場合に、プロセスは、ボックス519で終了となる。ボックス517において、現在ブロックが最後のブロックでない場合には、プロセスは、ボックス521において次のブロックへ進み、そしてボックス515へ繰り返される。

【0050】

しかしながら、図5の実施例では、ボックス523において単一のフリーページが見つかるまで各ブロックのページがスキャンされる。換言すれば、ボックス515において、ブロックのページがスキャンされる。フリーページが見つからない場合には、ボックス523の判断で、プロセスがボックス517に向けられ、そして図4の場合と同様に、プロセスは、次のブロックで繰り返すか、又は現在ブロックが最後のブロックである場合には終了となる。しかしながら、ページスキニングがフリーページを見つけた場合には、判断ボックス523は、プロセスをボックス519において終了させる。これは、ドライブをマウントして、破損したページを見出すのに要する時間を著しく短縮できる。

【0051】

この別の態様は、ブロックが常に同じシーケンス又は順序で使用されるときには特に良好に機能する。一度に1つのページしか使用されない場合には、ブロックにおける第1のフリーページが全メモリアレイに対する第1のフリーページとなる。従って、このページは、唯一の考えられる破損ページである。他方、メモリコントローラが、ページを通して常に同じシーケンスをたどらないか、又は2つ以上のページを同時に書き込むことができる場合には、プロセスは、全てのブロックを通り続けて、各ブロックに対する第1のフリーページを決定することができる。

【0052】

上述したように、フラッシュメモリの場合、メモリセルが非書き込みであるときには、確認された有効データも、確認された無効データも含まない。どれが有効データであるか又はどれが有効データでないかを決定するために様々な異なる方法が考えられる。上述した実施例では、有効データ断片が書き込まれた後にそれらをマークするためにコミットマーカが使用される。しかしながら、特定のアプリケーションに基づき、コミットマーカに代えて、他の解決策をとることもできる。又、コミットマーカ及び他の技術を、他の形式のメモリセル、例えば、PCM、MRAM及びFRAMに使用することもできる。

## 【 0 0 5 3 】

図 6 は、本発明の実施形態を適用できる例示的システム 6 1 1 を示す。ここに示す実施例では、システムは、モバイル、ハンドヘルド、セルラー電話であるが、若干変更することで、システムは、広範囲な異なる装置を表すことができる。システムは、チップセットを含んでも含まなくてもよい中央処理ユニット（CPU）6 1 3 により駆動される。CPU は、オペレーティングシステムを使用してプログラムを実行するアプリケーション区分 6 1 5 と、電話機能を取り扱う基本帯域区分 6 1 7 とを有する。両区分は、バスを経てシステムメモリと通信するメモリアンターフェイス 6 1 9 に結合される。

## 【 0 0 5 4 】

ここに示す実施例では、システムメモリは、高速アクセスのためにランダムアクセスメモリ（RAM）として具現化される揮発性区分 6 2 1 と、停電を切り抜けねばならないデータのためにフラッシュとして具現化される不揮発性区分 6 2 3 とを有する。典型的に、素早くアクセスされねばならないデータ及びインストラクションに対して短期間記憶として RAM が使用され、一方、オペレーティングシステム、システムパラメータ及びアプリケーションを記憶するためにフラッシュが使用される。或いは又、メモリは、完全にフラッシュの単一メモリとして具現化されてもよいし、又、フラッシュ区分は、他の形式の不揮発性メモリ、例えば、PCM（相変化メモリ）、MRM 又は FRM 或いはメモリ形式の何らかの組合せで具現化されてもよい。図 2 及び 3 に関して上述したオペレーションは、不揮発性メモリに適用される。停電事故では、揮発性メモリに記憶された全てのデータが失われる。

## 【 0 0 5 5 】

CPU の基本帯域区分は、ユーザインターフェイスに結合される。ここに示す実施例では、ユーザインターフェイスは、キーパッド 6 2 5 と、スピーカ及びマイクロホンに伴うヘッドセット 6 2 7 とを有する。特定のアプリケーションに基づき、タッチスクリーン、ブルーツース装置、加速度計、接近センサ及び他のインターフェイスのような種々の他のインターフェイスを使用することができる。又、基本帯域区分は、システムが無線接続を使用して外部装置と通信できるように、RF（高周波）回路 6 3 9 にも結合される。無線接続は、セルラー電話、データ、ワイヤレスネットワーク、又は必要に応じて他のインターフェイスでよい。

## 【 0 0 5 6 】

又、CPU は、種々の周辺機器 6 3 1、例えば、カメラ、ロケーションシステム、ディスプレイ、プリンタ、ブルーツース装置、及びシステム 6 1 1 の付加的な機能をサポートするための他の周辺機器、のいずれかに結合することもできる。又、図 6 は、種々のコンポーネントの電力消費を調整するためにバッテリーのような電源を含む電力マネジメントシステム 6 3 3 も示している。この装置は、CPU によりソフトウェア駆動及び制御されてもよいし、自律式でもよいし、或いは両方の組合せでもよい。一実施例では、この電力マネジメントにより、停電時に、CPU に対してアクセス可能なレジスタにフラグがセットされる。

## 【 0 0 5 7 】

図 7 は、上述したフロー図のプロセスを具現化することのできる停電回復システムの一実施例を示すブロック図である。このシステムは、ホストシステム 7 0 9 にアタッチされる。ホストシステムは、コンピュータ、セルラー電話、モバイルインターネット装置、娯楽システムコンポーネント、又は種々の他の装置のいずれかである。ホストシステムは、特殊なハードウェアの形態でよいメモリアンターフェイスコントローラ 7 1 1 に結合される。このメモリアンターフェイスコントローラは、ページスキャナ 7 1 3 及びページマーカー 7 1 5 に結合され、これらは、次いで、プログラム回路 7 1 7 及びセンス回路 7 1 9 に結合される。センス及びプログラム回路は、フラッシュメモリセル 7 2 0 - 1 から 7 2 0 - n に結合される。4 つのセルしか示されていないが、典型的に、実際のアレイには、数百、数千、又はそれ以上のセルがある。

## 【 0 0 5 8 】

ページスキャナは、上述したように、メモリセルのページをスキャンし、そしてどのページが有効で、フリーで、無効であるか決定するように動作する。ページマーカーは、ページスキャナの結果に基づき、及びメモリの使用中に、ページをマークするように動作する。センス回路は、セル及びマーカーの値を読み取り、それらの値をページスキャナに与える。プログラム回路は、セルへの書き込みを行い、そしてメモリアレイにマーカーがある場合には、マーカーを書き込む。マーカーが個別の位置にある場合には、それらが、その個別の位置に書き込まれる。メモリインターフェイスコントローラは、メモリ及びここに示す他のコンポーネントのオペレーションを制御する。又、ホストシステムへのインターフェイスのオペレーションも制御する。

【 0 0 5 9 】

10

「コンピュータ読み取り可能な媒体」という語は、プロセッサ、メモリコントローラ、又は他の適当な装置へプログラムインストラクションを実行のために与えるのに関与する適当な媒体を指す。このような媒体は、これに限定されないが、不揮発性媒体及び揮発性媒体を含む多数の形態をとることができる。不揮発性媒体は、例えば、光学又は磁気ディスク、ソリッドステート記憶装置及び他のメモリ、ROM、等を含む。揮発性媒体は、ダイナミックメモリ、例えば、システムメモリ、DRAM、SRAM、及び他の形式の揮発性メモリを含む。コンピュータ読み取り可能な媒体の共通形態は、例えば、磁気媒体（例えば、フロッピーディスク、フレキシブルディスク、ハードディスク、磁気テープ、及び他の磁気媒体）、光学媒体（例えば、コンパクトディスクリードオンリメモリ（CD-ROM）、及び他の光学媒体）、パターンをもつ物理的媒体（例えば、パンチカード、ペーパーテープ、他の物理的媒体）、メモリチップ又はカートリッジ（例えば、RAM、プログラマブルリードオンリメモリ（PROM）、消去可能なプログラマブルリードオンリメモリ（EPROM）、フラッシュメモリ、及び他のメモリチップ又はカートリッジ）、並びにコンピュータで読み取ることのできる他の媒体を含む。

20

【 0 0 6 0 】

以下の詳細な説明では、本発明の完全な理解を与えるために多数の特定の細部について述べる。しかしながら、当業者であれば、本発明は、これら特定の細部を伴わずに実施できることが理解されよう。他の点では、本発明を不明瞭にしないために、良く知られた方法、手順、コンポーネント及び回路は、詳細に述べない。

【 0 0 6 1 】

30

詳細な説明のある部分は、コンピュータメモリ内のデータビット又は2進デジタル信号に対するオペレーションのアルゴリズム及び記号表現に関して表される。これらのアルゴリズムの説明及び表現は、データ処理技術の当業者がそれらの仕事の実体を他の当業者に伝えるために使用される技術である。

【 0 0 6 2 】

アルゴリズムは、ここでは、一般的に、希望の結果を導くアクション及びオペレーションの自己一貫性シーケンスであると考えられる。これらは、物理量の物理的操作を含む。通常、必ずしもそうでないが、これらの量は、記憶、転送、合成、比較、その他、操作することのできる電氣的又は磁氣的信号の形態をとる。主として共通使用の理由で、これらの信号をビット、値、エレメント、記号、キャラクタ、項、番号、等として参照するのが時々は便利であると分かっている。しかしながら、これら及び同様の語は、全て、適当な物理量に関連されるべきであり、且つそれらの量に適用される便利な表示に過ぎないことを理解されたい。

40

【 0 0 6 3 】

特に指示のない限り、以下の説明から明らかなように、明細書全体にわたり、「処理」、「コンピューティング」、「計算」、「決定」、等の語を使用する説明は、コンピューティングシステムのレジスタ及び/又はメモリ内の物理的（電子的）量として表されたデータを、コンピューティングシステムのメモリ、レジスタ又は他のそのような情報記憶、伝達又は表示装置内の物理的量として同様に表された他のデータへと操作及び/又は変換するコンピュータ又はコンピューティングシステム又は同様の電子的コンピューティング

50

装置のアクション及び／又はプロセスを指すことが明らかである。

【 0 0 6 4 】

本発明の実施形態は、ここに述べるオペレーションを遂行するための装置を包含する。装置は、望ましい目的に対して特別に構成されてもよいし、或いは装置に記憶されたプログラムにより選択的にアクチベートされ又は再構成される汎用のコンピューティング装置を含んでもよい。このようなプログラムは、これに限定されないが、フロッピーディスク、光学ディスク、コンパクトディスクリードオンリメモリ ( C D - R O M )、磁気 - 光学ディスクを含む任意の形式のディスク、リードオンリメモリ ( R O M )、ランダムアクセスメモリ ( R A M )、電氣的にプログラム可能なリードオンリメモリ ( E P R O M )、電氣的に消去可能でプログラム可能なリードオンリメモリ ( E E P R O M )、磁気又は光学カード、或いは電子的インストラクションを記憶するのに適し且つコンピューティング装置のためのシステムバスに結合できる他の形式の媒体、等の記憶媒体に記憶することができる。

10

【 0 0 6 5 】

ここに示したプロセス及び表示は、特定のコンピューティング装置又は他の装置に固有に関連していない。ここに述べる技術に基づくプログラムと共に種々の汎用システムを使用することもできるし、或いは望ましい方法を遂行するように更に特殊な装置を構成するのが便利であると分かっている。種々のこれらシステムに対する望ましい構造は、ここでの説明から明らかとなろう。更に、本発明の実施形態は、特定のプログラミング言語を参照して説明しなかった。ここに述べる本発明の技術を実施するのに種々のプログラミング言語を使用できることが明らかであろう。更に、ここに述べるオペレーション、能力及び特徴は、ハードウェア ( 個別回路又は集積回路 ) 及びソフトウェアの組合せで実施できることを理解されたい。

20

【 0 0 6 6 】

「結合(coupled)」及び「接続(connected)」という語は、そこから派生する語と共に、使用することができる。これらの語は、互いに同意語として意図されていないことを理解されたい。むしろ、特定の実施形態では、「接続」とは、2つ以上の要素が互いに物理的又は電氣的に直接接触することを指示するために使用される。一方、「結合」とは、2つ以上の要素が互いに物理的又は電氣的に直接的又は間接的に ( それらの間に他の要素が介在して ) 接触すること、及び／又は2つ以上の要素が互いに協働又は相互作用する ( 例えば、原因と効果の関係のように ) ことを指示するために使用される。

30

【 0 0 6 7 】

本発明の特定の実施形態を以上に説明したが、本発明は、そのような実施形態の細部に限定されず、特許請求の範囲及びその合理的な等効物によって限定される。

【 符号の説明 】

【 0 0 6 8 】

- 1 1 1 : コントローラ
- 1 1 3 : アレイ
- 1 1 5 : 入力 / 出力バス
- 1 1 9 : ブロック
- 1 2 1 : ページ
- 1 2 3 : メモリセル
- 1 2 5 : 行コントローラ
- 1 2 7 : 列コントローラ
- 6 1 1 : システム
- 6 1 3 : 中央処理ユニット ( C P U )
- 6 1 5 : アプリケーション区分
- 6 1 7 : 基本帯域区分
- 6 1 9 : メモリインターフェイス
- 6 2 1 : 揮発性区分

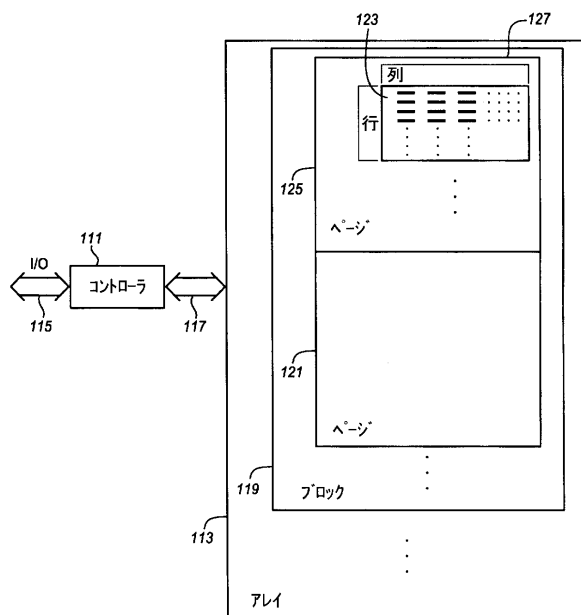
40

50

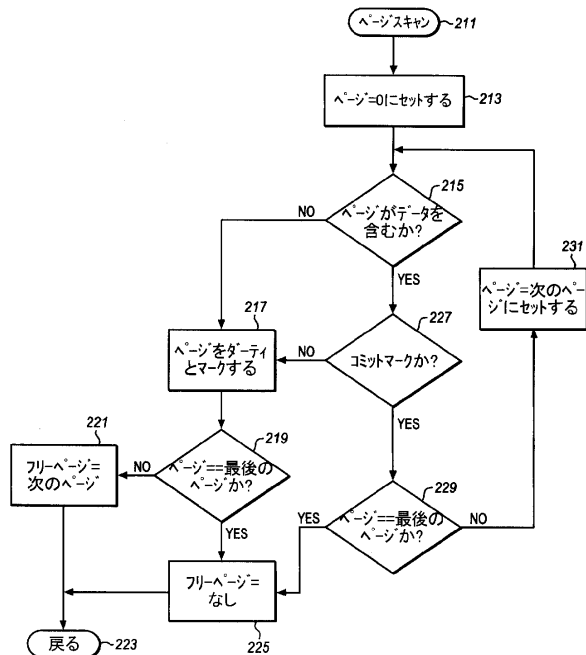
- 6 2 3 : 不揮発性区分
- 6 2 5 : キーパッド
- 6 2 7 : ヘッドセット
- 6 2 9 : R F 回路
- 6 3 1 : 周辺機器
- 6 3 3 : 電力マネージメントシステム
- 7 0 9 : ホストシステム
- 7 1 1 : メモリインターフェイスコントローラ
- 7 1 3 : ページスキャナ
- 7 1 5 : ページマーカー
- 7 1 7 : プログラム回路
- 7 1 9 : センス回路
- 7 2 0 : フラッシュメモリセル

10

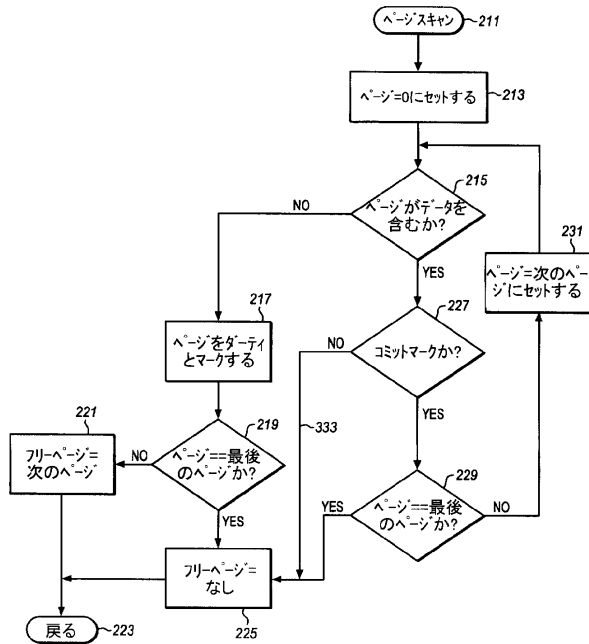
【図 1】



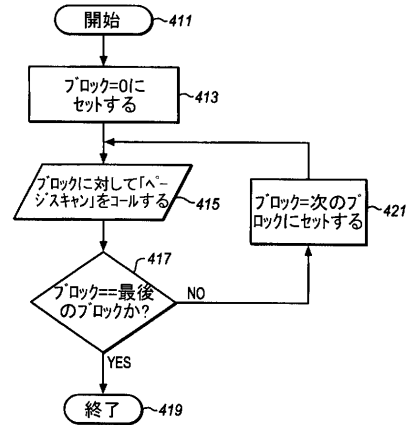
【図 2】



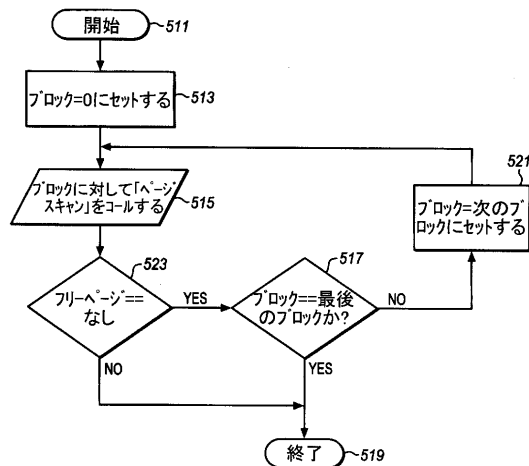
【図 3】



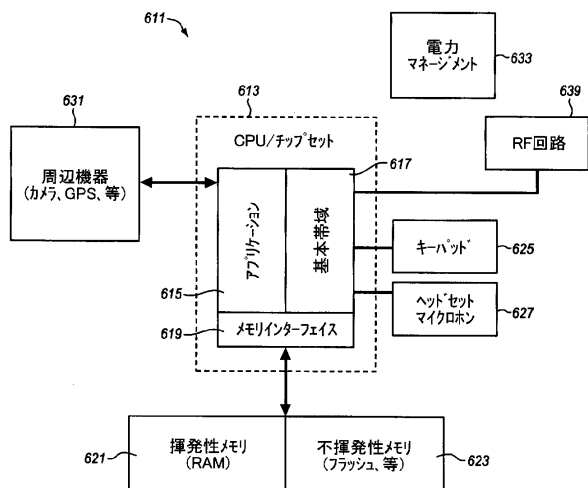
【図 4】



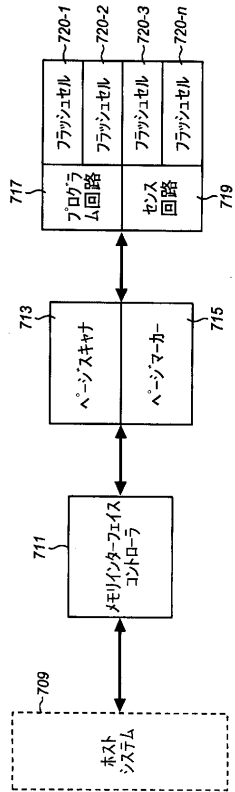
【図 5】



【図 6】



【図 7】



---

フロントページの続き

(74)代理人 100086771

弁理士 西島 孝喜

(74)代理人 100109070

弁理士 須田 洋之

(74)代理人 100109335

弁理士 上杉 浩

(72)発明者 ジョセフ エディントン

アメリカ合衆国 カリフォルニア州 9 5 8 1 4 サクラメント フィフティーンズ ストリート  
1 5 1 0 アpartment シー

(72)発明者 ヒシャム チョードウリー

アメリカ合衆国 カリフォルニア州 9 5 6 2 8 フェア オークス ワインディング ウェイ  
8 8 4 2 # 1 2 4

審査官 野田 佳邦

(56)参考文献 特開2006-195565(JP,A)

特開2003-015929(JP,A)

特開2007-058840(JP,A)

特開2004-264912(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 6 F 1 2 / 1 6