

申請日期	91.8.28
案號	91119574
類別	G11C 7/06

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	高密度記憶體感測放大器
	英文	HIGH DENSITY MEMORY SENSE AMPLIFIER
二、發明人	姓名	(1)佛瑞德理克A. 派尼爾 Frederick A. Perner (2)安卓L. 凡布魯克林 Andrew L. Van Brocklin (3)彼得J. 佛理克 Peter J. Fricke (4)小詹姆斯R. 伊頓 James R. Eaton Jr.
	國籍	美國 USA
住、居所		(1)美國加州帕羅亞托·拉摩納街3234號 3234 Ramona Street, Palo Alto, CA 94306, USA (2)美國俄勒岡州柯維理斯·西北快樂谷道6050號 6050 NW Happy Valley Drive, Corvallis, OR 97330, USA (3)美國俄勒岡州柯維理斯·羅德路7101號 7101 Rhoda Way, Corvallis, OR 97330, USA (4)美國加州帕羅亞托·夏斯塔道373號 373 Shasta Drive, Palo Alto, CA 94306, USA
三、申請人	姓名 (名稱)	美商·惠普公司 HEWLETT-PACKARD COMPANY
	國籍	美國 USA
	住、居所 (事務所)	美國加州帕羅亞托·哈諾維街3000號 3000 Hanover Street, Palo Alto, CA 94304, USA
	代表人 姓名	安 O. 巴斯金 Ann O. Baskins

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美國(地區) 申請專利，申請日期： 2001,10,11 案號： 09/976,304 ， 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

本發明係有關於記憶體感測放大器的領域。更特別地，本發明係有關於高密度記憶體感測放大器，其具有一控制感測電壓和數個提供一參考電流的電阻性元件。

在一隨機存取記憶體 (RAM) 陣列中，一放大器係用來感測一被定址之記憶體細胞的狀態並且提供一個代表所感測之狀態的訊號到該陣列的輸出。端視RAM陣列的類型而定，這感測放大器採取不同的形式。在一靜態隨機存取記憶體 (SRAM) 陣列或動態隨機存取記憶體 (DRAM) 陣列中，該記憶體經常是為揮發性 (volatile)，即，當該陣列斷電時係無法保存資料。如此的記憶體通常係複雜且需要像控制 (steering) (解碼器) 電路和時脈同步 (clocked)，電流模式放大器般之複雜的感測電路。

相對地，關涉到長期保存、高密度和快速存取，一非揮發性 (non-volatile) 記憶體陣列，像一交點 (cross-point) 陣列般，係使用像交點類型般之非常簡單的微型記憶體細胞。一非揮發性陣列可以是為一種於每一交點細胞處具有一熔絲或一抗熔絲 (anti-fuse) 的寫一次類型，或者是為一種像磁性隨機存取記憶體 (MRAM) 陣列般的多次讀寫類型，該磁性隨機存取記憶體陣列具有各能夠在兩個或更多個狀態之間改變的交點磁性細胞。

在如此之高密度電阻性記憶體陣列中的主要問題是為必需將一被選擇的記憶體細胞從未被選擇的記憶體細胞隔離俾可獲得該細胞狀態的準確感測。該等細胞的緊密度和微型尺寸致使來自未被選擇之細胞之與來自該被選擇之細

五、發明說明（2）

胞之電流干擾之“寄生”漏電流的重要問題。此外，該等細胞和該等導體的小尺寸導致較小之電壓和電流的結果，使得在電流與電壓測量上必須有較大的精確度俾可準確地決定該細胞內的資料。

例如，在MRAM陣列中，典型地一被選擇之細胞的磁性狀態，及因此由該細胞所儲存的資料，係由通過在處於不同細胞狀態之一列與行接點之被選擇之細胞之電流上的微小差異所決定。由於全部的記憶體細胞接點係經由很多平行路徑來連接在一起，感測一單一記憶體細胞的電阻性狀態會係不可靠的。就任一約定之記憶體細胞所感測的電阻係相等於該被感測之記憶體細胞接點的電阻與在其之之列和行之接點之細胞的電阻並聯。此外，在感測放大器中固有的微小差異在試圖感測一被選擇的記憶體細胞時會引致被施加到一電阻性交點陣列的微小差動電壓。這些微小差動電壓會引致與該等細胞狀態之感測干擾的寄生或“潛行路徑 (sneak path)”電流。因此，係必須把每一被選擇的細胞從該等未被選擇的細胞隔離俾可獲得該細胞資料的正確讀取。

由 Perner 於 2001 年 7 月 3 日取得的美國專利第 6,256,247 號案揭露一種包括一個差動放大器和兩個直接噴注前置放大器之高密度記憶體陣列的讀取電路。該等前置放大器藉由施加一相等電壓於該等細胞的輸入和輸出節點之間來提供該等未被選擇之細胞的“等電位 (equi-potential)”隔離，藉此把通過未被選擇之細胞

五、發明說明（3）

之不希望的電流降至最小程度。

像利用MRAM細胞之陣列般之高密度電阻性記憶體陣列的另一問題發生，因該等細胞狀態不是像在抗熔絲記憶體中由傳導或非傳導所測量。更確切地說，該MRAM細胞狀態係藉著在該細胞接點之導電率上之由於不同之磁性狀態而在電阻上之改變所致使的微小差異來被決定。因此，係決定性的提供從該細胞到該感測放大器之被感測之電流的準確“反映(mirror)”，及提供一種緊靠可靠之標準之測量該感測電流的裝置俾可決定該細胞的狀態。

一種手段係使用一參考記憶體陣列，在該參考記憶體陣列內，記憶體電路把資訊的單一位元儲存在一個記憶體細胞內。該資料係被儲存在處於一個狀態的該記憶體細胞內而且係與一個處於已知狀態的參考細胞作比較。該細胞資訊係藉由偵測該記憶體細胞與該參考細胞兩者之電阻上的差異來被讀取。在這手段中的感測手段依賴包括一串伴隨每一記憶體細胞和參考細胞之供在該等被選擇之記憶體細胞內之資料之可靠感測所需之隔離用的電晶體。一個很顯而易見的缺點是為由於在每一參考細胞和記憶體細胞內之電晶體的需求，一記憶體陣列的有效面積係被增加。這參考記憶體手段的例子係被顯示於在2000年4月25日授予Naji專利之美國專利第6,055,178號案中。

另一種手段係使用一對細胞來儲存一個位元的資料。該資料係被儲存在處於一個狀態的記憶體細胞內及在處於相反狀態的另一個記憶體細胞內。該細胞資訊係藉著偵測

五、發明說明（4）

該對細胞之記憶體接點之間之電阻上的差異來被讀取，稱為“位元，位元條 (bit, bit bar)”手段。來自該等細胞對的輸出倍增可供感測的訊號，藉此把錯誤減至最少程度。一個顯而易知的缺點是為由於每一儲存位元需要兩個記憶體細胞，一記憶體陣列的有效容量係被減半。這參考記憶體手段的例子係被顯示於在2001年2月20日授予Luk專利的美國專利第6,191,981號案中。

據此，高密度電阻性記憶體陣列係需要一實際電路來把來自該等未被選擇之細胞的漏電流減至最少程度，像藉由把跨接在未被選擇之細胞之接點的電壓電位降至最低程度般。此外，該被選擇的細胞係必須與該等未被選擇的細胞隔離以致於任何來自未被選擇之細胞的寄生電流不會使該被選擇之細胞電流的準確度失真。此外，很重要的是在不同之感測放大器中固有的輕微差異係被減至最小程度俾可避免該等測量電流的失真。此外，該感測細胞電流的反映或準確的轉換係必須被提供到該感測放大器俾可準確地對照一參考來測量該感測電流。最後，提供一參考電流的有效裝置是必須的，其不會拖累該陣列的有效儲存密度。

本發明提供一個與高密度記憶體整合一起的實用電路。本發明的電路把一準確的感測電壓施加到一被選擇的細胞及同時地到被選擇的參考細胞。它使一裝置把該被選擇的細胞與該等未被選擇的記憶體細胞隔離。此外，本發明在不需要整個參考記憶體陣列下提供一準確的參考給該感測電流。此外，與其他高密度感測手段比較起來，本發

五、發明說明（5）

明在維持讀取存取時間時提供電阻性記憶體細胞的存取和感測。

在本發明的一個較佳實施例中，一感測放大器係被提供，該感測放大器係用以響應於一個被施加在該感測記憶體細胞之讀取電壓來讀取在一電阻性記憶體陣列之多狀態記憶體細胞內的資料，並且包括一個具有第一和第二輸入節點的差動放大器。一感測電路係被設置俾可決定在被施加有讀取電壓之記憶體細胞內的電流及把代表該記憶體細胞電流的感測電流施加到該差動放大器的第一輸入節點。一具有用於把參考電流施加到該差動放大器之第二輸入節點之第一和第二電阻性元件的參考電路係被提供，該參考電流提供一個值，該值係與該感測電流作比較俾可決定該記憶體細胞的狀態。

該第一電阻性元件具有一個代表該記憶體細胞之第一狀態的第一電阻，而該第二電阻性元件具有一個代表該記憶體細胞之第二狀態的第二電阻。用於施加該讀取電壓到該第一和第二電阻性元件的電壓源藉著把通過該第一和第二電阻性元件的電流平均來產生一參考電流。一第一轉換器電晶體把該記憶體細胞感測電流施加到該差動放大器的第一節點，而一第二轉換器電晶體把該參考電流施加到該差動放大器的第二節點。一比較器電路係被用來把在該差動放大器之第一和第二輸入節點的訊號作比較俾可提供一個表示該被感測之記憶體細胞之狀態的輸出。

本發明的另一較佳實施例是為一種利用差動放大器來

五、發明說明（6）

讀取在一電阻性記憶體陣列之被感測之多狀態記憶體細胞內之資料的方法。該方法包含利用一個被施加到該記憶體細胞之讀取電壓來在該記憶體細胞內產生電流並且把一個代表在該記憶體細胞內之電流的感測電流施加到該差動放大器的第一輸入節點。一參考電流係利用一參考電路和第一與第二電阻性元件來被產生，而且該參考電流係被施加到該差動放大器的第二輸入節點，該參考電流提供一個值，該感測電流係與該值作比較俾可決定該記憶體細胞的狀態。

該參考電流係藉著產生一第一參考電流和一第二參考電流來被產生，該第一參考電流係藉著把該讀取電壓施加到一個具有一代表該記憶體細胞之第一狀態之電阻的第一參考元件來被產生，該第二參考電流係藉著把該讀取電壓施加到一個具有一代表該記憶體細胞之第二狀態之電阻的第二參考元件來被產生。

該第一和第二參考電流係被平均化，而該被平均化的電流係被施加到一差動放大器的第二輸入節點。一供應電壓係經由一鏡電晶體來被施加到該差動放大器的第一節點俾可產生一感測節點電壓，及經由一參考電晶體來被施加到該差動放大器的第二節點俾可產生一參考節點電壓。一第一電壓係被產生於代表該感測電流之差動放大器的第一節點，而一第二電壓係被產生於代表該參考電流之差動放大器的第二節點。於該差動放大器之第一和第二輸入節點上的第一和第二電壓係被比較俾可提供一個代表該被感測

五、發明說明（7）

之記憶體細胞之狀態的輸出。

本發明的其他特徵和優點將會由於後面配合該等附圖的詳細描述而變得明顯，該等附圖係舉例描繪本發明的原理。

第1圖是為顯示本發明之習知電阻性交點記憶體裝置的示意圖；

第2圖是為顯示一MRAM記憶體細胞與連接至它那裡之導體之習知結構的示意圖；

第3圖是為顯示本發明之MRAM記憶體細胞陣列和感測元件之結構的示意方塊圖；

第4圖是為顯示本發明之感測放大器的示意電路圖；及

第5圖是為本發明之感測一記憶體細胞之電阻狀態之方法的流程圖。

第1圖顯示一種典型習知交點記憶體陣列。在一個方向上延伸的列導體12係被稱為字線，而在一個通常與該第一方向垂直之第二方向上延伸的行導體14係被稱為位元線。該等記憶體細胞16通常係被排列成一正方形或長方形陣列以致於每一個記憶體細胞單元16係與一條字線12和一相交位元線14連接。

在一電阻性RAM陣列中，每一個記憶體細胞的電阻具有一個以上的狀態，而在該記憶體細胞內的資料是為該細胞之電阻性狀態的函數。該等電阻性記憶體細胞可以包括藉由影響該元件之標稱電阻之大小來儲存或產生資訊之一個或多個磁性層、一熔絲或抗熔絲、或任何的元件。在一電

五、發明說明（8）

阻性RAM陣列中使用之其他類型的電阻性元件包括作為一唯讀記憶體之部份的多晶矽電阻，及作為光學記憶體之部份的懸浮閘極電晶體、影像裝置或懸浮閘極記憶體裝置。

電阻性隨機存取記憶體的一種類型是為磁性隨機存取記憶體(MRAM)，在其中，每一個記憶體細胞係由數個由絕緣層所分隔的磁性層形成。一磁性層係被稱為一固守層(pinned layer)，在其中，磁性定向(magnetic orientation)係被固定以致於在一被施加之磁場的出現時不轉動。另一磁性層係被稱為感測層，在其中，磁性定向係可在一個與該固守層之狀態對準的狀態與一個與該固守層之狀態不對準的狀態之間變化。一絕緣通道障壁層係夾置於該磁性固守層與該磁性感測層之間。這絕緣通道障壁層允許量子機械隧穿電流在該感測層與該固守層之間流動。該隧穿係依賴電子旋轉，致使該記憶體細胞的電阻是為該感測層與該固守層之磁化之相對定向的函數。在該感測層之兩個狀態之接點電阻上的變化決定被儲存於該記憶體細胞內的資料。於2001年1月2日授予Brug等人的美國專利第6,169,686號案揭露如此的一種磁性記憶體細胞記憶體。

請參閱第2圖所示，一MRAM記憶體細胞係被顯示。記憶體單元16係被顯示為一個三-層記憶體細胞20。在每一細胞20中，資料的一位元係根據該細胞20之磁性感測層22的定向來被儲存。通常，該細胞20具有兩個對應於邏輯狀態"1"和"0"之穩定的磁性狀態。在該感測層22上的雙向

五、發明說明（9）

箭嘴15顯示這二進位狀態能力。於該細胞20中的固守層24係藉由一薄絕緣體26來與該感測層分隔。固守層24具有一固定的磁性定向，像由在層24上之單向箭嘴17所顯示般。當該感測層22的磁性狀態係被定向在與該固守層24之磁化之方向相同的方向時，該細胞磁化係被稱為“平行(parallel)”。同樣地，當該感測層22的磁性狀態係被定向在與該固守層24之磁化之方向相反的方向時，該細胞磁化係被稱為“反平行(anti-parallel)”。這些定向係分別對應於低電阻狀態和高電阻狀態。

一被選擇之記憶體細胞20的磁性狀態係可以藉著把電流施加到交越該被選擇之記憶體細胞的一字線12和一位元線14來被改變。該等電流產生兩個正交磁場，當組合時，該兩個正交磁場將會在該等平行與反平行狀態間切換該被選擇之記憶體細胞20之感測層的磁性定向。其他未被選擇的記憶體細胞僅從交越該等未被選擇之記憶體細胞之字線或位元線中之任一者接收一磁場。該單一場係不夠強來改變該等未被選擇之細胞之感測層的磁性定向，所以它們維持它們的磁性定向。

第3圖顯示本發明之交點電阻性記憶體陣列30。一系列選擇器電路32和一行解碼器電路34係被連接至該記憶體陣列30俾可藉由提供電壓於細胞36之適當的列和行來選擇一記憶體細胞36。一感測放大器38係經由該行解碼器電路34內的開關39來連接到該被選擇之記憶體細胞36的位元線40。該列選擇器電路32把一電壓 V_{row} 施加到該被選擇之

五、發明說明 (10)

記憶體細胞36的字線42，而一電壓 V_{read} 係被施加到該位元線40。相同的位元線電壓係被施加到沿著位元線40之所有未被選擇的細胞。然而，該等未被選擇的細胞接收一字線電壓 V_{row} ，以致於它們不提供任何實質的輸出電流於該位元線40上。在該記憶體細胞的選擇之後，於該感測放大器38內的放大器A1(見第4圖)動作來保持行40到該電壓 V_{read} 。

一記憶體控制器44接收讀取控制和選擇位址訊號46並且分別把在線47和48上之適當的列和行選擇訊號提供到列選擇電路32和行解碼器電路34。為了將要說明的目的，一比較器時鐘訊號49係被施加到感測放大器38。

如在第3圖中所示，參考元件50和51係並聯地與字線42相交連接。當該電壓 V_{row} 選擇記憶體細胞36時，它亦選擇參考元件50和51。在選擇之後，於感測放大器38內的運算放大器A2(第4圖)動作來保持行52和53在讀取電壓 V_{read} 。據此，參考元件50和51係遭遇被施加到該被選擇之記憶體細胞36的相同電壓。

該感測放大器38於S'處接收來自細胞36之表示儲存於其內之資料的訊號電流。同樣地，於S''處之來自參考元件50和51的輸出訊號電流係經由雙開關56來施加到感測放大器38。然後，感測放大器38把在S'處之來自該記憶體細胞的感測電流與在S''處的該參考電流作比較並且提供一個表示被儲存於記憶體細胞36內之資料的輸出訊號 V_o 。

五、發明說明 (11)

現在請參閱第4圖所示，電路60包括感測放大器38及其他相關的電路組件。該記憶體元件 R_M 係被假設為一個具有至少兩個由高與低電阻表示之記憶體狀態的電阻性裝置而且係可以包含兩個部份，一線性電阻性部份和一非線性電阻性部份。每一個記憶體元件 R_M 係與一對對應於該記憶體元件 R_M 之高與低電阻狀態的參考元件 R_H 和 R_L 連繫。放大器38具有一個與決定通過電阻性元件 R_M 之感測電流有關的感測側(左側)和一個從流過電阻性元件 R_H 和 R_L 之電流來提供一參考電流的參考側(右側)。

資料係藉著把通過該被選擇之記憶體細胞之反映感測電流與一反映平均參考電流作比較來被感測。該反映感測電流與該反映平均參考電流係以相似的形式來被產生。一感測電壓係被施加到該等感測和參考元件，而該等最終的感測電流和參考電流流過一組電流轉換裝置。在該參考電流轉換裝置中，該等 R_H 和 R_L 電流係被相加，而該總和係由一個大致等於二的因素分割俾可形成一反映平均參考電流。該等感測和平均參考電流轉換裝置的輸出係連接至一時鐘同步，差動電流比較器俾可完成該感測運作。

更詳細地描述第4圖的電路，該等電阻性元件 R_M , R_H , 和 R_L 係各與非線性電阻器串聯地連接，在這裡係分別由二極體62, 64和66代表。至每一個二極體的輸入是為該讀取電壓 V_R 。大量之未被選擇之細胞的組合寄生電阻係由電阻性元件 R_P 代表，其係與二極體68串聯。一外部供應的電壓 V_S 係被施加到所有該等未被選擇之細胞的二極體。同樣地，

五、發明說明 (12)

在該參考側，外部電壓 V_S 係被施加到一類似的二極體 69，該二極體 69 係與一電阻性元件 $R_{P/2}$ 串聯連接，該電阻性元件 $R_{P/2}$ 代表來自該兩個把寄生電阻連接至節點 70 之參考行的寄生電阻。該電阻性元件 $R_{P/2}$ 的輸出係連接至在節點 72 處之具有電位 V_S'' 之電阻性元件 R_H 和 R_L 的輸出。電阻性元件 R_P 的輸出係連接至在節點 70 處之具有電位 V_S' 之電阻性元件 R_M 的輸出。

一電壓控制電路係連接到節點 70 俾可把電位 V_S' 儘可能維持接近 V_S 。一電晶體 Q1 的汲極係連接至節點 70 而其之源極係接地。一高增益運算放大器 A1 具有 V_S 作為一個輸入，回饋輸入則係連接至節點 70。放大器 A1 的輸出供應到電晶體 Q1 的閘極。該電晶體 Q1 和該放大器 A1 動作來把在節點 70 的電位 V_S' 維持非常接近該陣列電壓 V_S 。

一相同的電壓控制電路係連接至在並聯之參考電阻性元件 R_H 和 R_L 之輸出處的節點 72。一電晶體 Q3 的汲極係連接至節點 72 而其之源極係接地。一高增益運算放大器 A2 具有 V_S 作為一個輸入，回饋輸入則係連接至節點 72。放大器 A2 的輸出供應至電晶體 Q3 的閘極。該電晶體 Q3 和該放大器 A2 把該電位 V_S'' 維持非常接近該陣列電壓 V_S 。

流過電晶體 Q1 的感測電流是為通過該被選擇之記憶體元件 R_M 之電流與流過該與該等未被選擇之細胞串聯之由二極體 68 和電阻性元件 R_P 代表之接近零偏壓二極體之寄生電流的總和。由於等電位隔離，在那裡， V_S V_S' ，及低洩漏二極體，該寄生電流將會比通過 R_M 的感測電流少很多。

五、發明說明 (13)

流過電晶體 Q3 的參考電流是為流過該等參考電阻性元件 R_H 和 R_L 之兩個電流與流過該與未被選擇之細胞串聯之由二極體 69 和電阻性元件 $R_P/2$ 代表之接近零偏壓二極體之寄生電流的總和。該節點 72 係作為這兩個電流的相加節點。

電晶體 Q1 的閘極係連接至一個把通過電晶體 Q1 之感測電流“反映”至包括電晶體 Q5 和 Q6 之差動放大器電路之轉換器電晶體 Q2 的閘極。電晶體 Q2 的汲極係連接至感測節點 74，把該被反映之感測電流提供作為一個到下面所述之差動放大器的輸入。

同樣地，電晶體 Q3 的閘極係連接至一個把通過電晶體 Q3 之參考電流“反映”至相同之差動放大器電路之轉換器電晶體 Q4 的閘極。該等電晶體 Q3 和 Q4 的尺寸比係大約 2 比 1，以致於在電晶體 Q4 中流動的反映電流，於此中稱為反映平均參考電流，是為該兩個參考電流的總和。該等電晶體 Q3 和 Q4 的尺寸比係由該等電路與裝置的物理特性來決定而且該比率係被調整俾可產生一個最佳的反映平均參考電流。電晶體 Q4 的汲極係連接至參考節點 75，把該反映平均參考電流提供作為至該差動放大器的另一個輸入。

以上所述之該等電壓控制電路和電流轉換器電路的設計和該等感測電壓 V_S 在該感測放大器 38 的感測側和參考側上係接近相同俾可把在該記憶體元件 R_M 與該等參考記憶體元件 R_H 和 R_L 之電阻之比較上的錯誤減至最小程度。

電晶體 Q5 和 Q6 及時鐘同步放大器 76 包含一個眾所周

五、發明說明（14）

知的差動放大器或時鐘同步電流比較器。該感測電流流過 Q1 而且一反映感測電流從電晶體 Q5 的汲極流出。該等參考電流係被相加並且流過電晶體 Q3 而一反映平均參考電流係從電晶體 Q6 的汲極流出。如果該反映感測電流係比該反映平均參考電流大的話，感測節點 74 的電壓將會被拉到低於參考節點 75 的電壓而該時鐘同步比較器放大器 76 的輸出電壓將會變成邏輯 0。如果該反映感測電流係比該反映平均參考電流小的話，感測節點 74 的電壓將會被拉到高於參考節點 75 的電壓，而該時鐘同步比較器放大器 76 的輸出將會變成邏輯 1。

注意的是比較器放大器 76 係被計時以致於在節點 74 和 75 上的電壓在該電路於一記憶體細胞被感測之後穩定化時能夠偶爾被取樣。該計時函數最好係從外部源 46 提供，如在第 3 圖中所示，其計時整個記憶體陣列的函數。

本發明的其中一個優點是為該感測放大器電路提供一個控制感測電壓 V_S' 和一控制參考電壓 V_S'' ，儘可能維持兩個電壓接近陣列電壓 V_S 。這結果使流過該等未被選擇之細胞的電流減至最少程度並且幫助把該感測放大器從剩下的陣列隔離。典型地， V_S 係被適度地選擇接近接地，可能在 100 毫伏特，以致於寄生漏電流係被維持儘可能低。

本發明的另一優點是為使用多於一個參考元件來提供一個平均電流，該平均電流可以端視該記憶體細胞的狀態來被調整到為一個比該感測電流大或小的選擇量。這手段與該“位元-位元條”手段成強烈的對比，在該手段中，最

五、發明說明（15）

終訊號係可能為該記憶體細胞訊號之值的兩倍。本發明之以上所述之手段的另一優點是為在該記憶體陣列內需要較小的電流和電壓，藉此降低該電路所需的電力，及散熱。

本發明的另一優點是為相對於需要大約兩倍之記憶體元件之量俾可提供需要之參考元件的位元-位元條設計它減少了所需之記憶體元件的數目。

現在請參閱第5圖所示，一個顯示本發明之較佳實施例之主要步驟的流程圖係被提供。該流程圖顯示一種利用差動放大器來讀取在一電阻性記憶體陣列之被感測之多狀態記憶體細胞內之資料的方法。於步驟80，一電流係利用一個被施加至其那裡的讀取電壓來被產生於該記憶體細胞內。接著，在步驟82，一個代表在該記憶體細胞內之電流的反映感測電流係被施加到該差動放大器的感測節點。於步驟84，一參考電流係利用一個具有第一和第二電阻性元件的參考電路來被產生。接著，在步驟86，該反映平均參考電流係被施加到該差動放大器的第二輸入節點，該反映平均參考電流提供一個參考值，該感測電流係與該參考值作比較來決定該記憶體細胞的狀態。

雖然未在第5圖中顯示，該參考電流可以藉由把該讀取電壓施加於一個具有代表該記憶體細胞之第一狀態之電阻的第一參考元件俾產生一第一參考電流來被產生。該讀取電壓係被施加於一個具有代表該記憶體細胞之第二狀態之電阻的第二參考元件來產生一第二參考電流。該第一和第二參考電流係被平均俾產生一個被施加到該差動放大器之

五、發明說明 (16)

第二節點的反映平均參考電流。

如在步驟88所示，一供應電壓係被施加越過一鏡電晶體到該運算放大器的第一節點來產生一感測節點電壓。於步驟90，一供應電壓係被施加越過一參考電晶體到該運算放大器的第二節點來產生一參考節點電壓。於步驟92，一第一輸出電壓係被產生於該差動放大器的第一節點表示該反映感測電流，而在步驟94，一第二輸出電壓係被產生於該第二節點表示該反映平均參考電流。步驟96包含把在該差動放大器之第一和第二輸入節點上的第一和第二電壓作比較來提供一個表示該被感測之記憶體細胞之狀態的輸出。最後，於步驟98，在該讀取運作期間一共用電壓係被施加到該記憶體陣列內之被選擇之記憶體細胞以外之記憶體細胞的輸入和輸出端，俾可把該記憶體陣列內的寄生電流減至最小程度。

要了解的是，該感測放大器38能夠適於一種更一般，每細胞多位元記憶體，在那裡，電阻性元件可以具有三個或更多個記憶體狀態而且該感測放大器38可以具有三個或更多個參考狀態。亦要了解的是，單一參考元件 R_H 和 R_L 可以被使用作為多記憶體細胞的共用參考。因此，較之該“位元-位元條”記憶體陣列系統，本發明的電路對在一記憶體陣列內之有效儲存係極度地有效利用。此外，該等參考元件 R_H 和 R_L 可以是為該記憶體陣列的一部份，如在第3圖中所示或者離開該記憶體陣列的位置，作為該感測放大器38的部份或相反。

五、發明說明 (17)

雖然以上的實施例係表示本發明，其他的實施例對於熟知此項技術的人仕來說，由於這說明書和後附申請專利範圍的深思，或者由於被揭露之本發明之實施例的實施而將會明顯。於此中之說明書和實施例係傾向於僅作為例證而已，本發明係由該等申請專利範圍與其之等效物所界定。

元件標號對照表

12	列導體	14	行導體
16	記憶體細胞	20	記憶體細胞
22	磁性感測層	15	箭嘴
24	固守層	26	絕緣體
17	箭嘴	30	記憶體陣列
32	列選擇器電路	34	行解碼器電路
36	記憶體細胞	38	感測放大器
39	開關	40	位元線
42	字線	A1	放大器
44	記憶體控制器	47	線
46	讀取控制與選擇位址訊號		
48	線	49	比較器時鐘訊號
50	參考元件	51	參考元件
52	行	53	行
A2	運算放大器	R _M	電阻性元件
R _H	電阻性元件	R _L	電阻性元件
62	二極體	64	二極體
66	二極體	R _P	電阻性元件

五、發明說明 (18)

68	二極體	$R_{P/2}$	電阻性元件
70	節點	72	節點
Q1	電晶體	Q3	電晶體
69	二極體	Q2	電晶體
Q5	電晶體	Q6	電晶體
Q4	電晶體	75	節點
76	時鐘同步放大器	74	感測節點

四、中文發明摘要（發明之名稱：高密度記憶體感測放大器）

一感測放大器38係被提供用於響應被施加於一被感測之記憶體RW之讀取電壓VR來讀取在一電阻性記憶體陣列30之一多狀態記憶體細胞RW內的資料，該感測放大器38包括一具有第一和第二輸入節點74,75的差動放大器Q5,Q6。一感測電路A1,Q1,Q2利用被施加至其那裡的讀取電壓VR來決定在該記憶體細胞RW內的電流並且把代表該記憶體細胞RW電流的感測電流施加到該差動放大器的第一輸入節點74。一參考電路A2,Q3,Q4具有第一和第二電阻性元件RH,RL，該參考電路係用於把一參考電流施加到該差動放大器的第二輸入節點75來產生一參考值，該感測電流係與該參考值作比較來決定該記憶體細胞RW的狀態。該第一電阻性元件RH具有一代表該記憶體細胞RW之第一狀態的電阻，而該第二電阻性元件RL具有一代表該記憶體細胞RW之第二狀態的電阻。該參考電路A2,Q3,Q4產生一個是為通過該第一和第二電阻性元件RH,RL之電流之平均的參考電流。一比較器電路76把在該差動放大器之第一和第二輸入節點74,75的訊號作比較來產生一個表示該被感測之記憶體細胞RW之狀態的輸出VO。

英文發明摘要（發明之名稱：HIGH DENSITY MEMORY SENSE AMPLIFIER）

A sense amplifier 38 is provided for reading data in a multiple-state memory cell RW of a resistive memory array 30 in response to a read voltage VR applied across the sensed memory cell RW, including a differential amplifier Q5, Q6 having first and second input nodes 74, 75. A sense circuit A1, Q1, Q2 determines the current in the memory cell RW with the read voltage VR applied thereto and applies a sense current representative of the memory cell RW current to the first input node 74 of the differential amplifier. A reference circuit A2, Q3, Q4 has first and second resistive elements RH, RL for applying a reference current to the second input node 75 of the differential amplifier to provide a reference value against which to compare the sense current to determine the state of the memory cell RW. The first resistive element RH has a resistance representative of a first state of the memory cell RW, and the second resistive element RL has a resistance representative of a second state of the memory cell RW. The reference circuit A2, Q3, Q4 provides a reference current that is an average of the currents through the first and second resistive elements RH, RL. A comparator circuit 76 compares the signals at the first and second input nodes 74, 75 of the differential amplifier to provide an output VO indicative of the state of the sensed memory cell RW.

六、申請專利範圍

1. 一種用於響應一被施加於被感測之記憶體細胞RM之讀取電壓來讀取一電阻性記憶體陣列30之多狀態記憶體細胞RM之資料的感測放大器38，包含：
 - (a) 一具有第一和第二輸入節點74,75的差動放大器Q5,Q6；
 - (b) 一用於利用被施加至其那裡之讀取電壓來決定該記憶體細胞內之電流及用於把代表記憶體細胞電流之感測電流施加到該差動放大器Q5,Q6之第一輸入節點之感測電路A1,Q1,Q2；及
 - (c) 一用於把一平均參考電流施加到該差動放大器Q5,Q6之第二輸入節點75之具有第一和第二電阻性元件RH,RL的參考電路A2,Q3,Q4，該參考電流提供一個值，該感測電流係與該值作比較俾可決定記憶體細胞RM的狀態。
2. 如申請專利範圍第1項所述之感測放大器，其中，該第一電阻性元件RH具有一個代表該記憶體細胞RW之第一狀態的第一電阻，該第二電阻性元件RL具有一個代表該記憶體細胞RW之第二狀態的第二電阻。
3. 如申請專利範圍第1項所述之感測放大器，其中，該參考電路A2,Q3,Q4是為一用於產生該參考電流作為通過該第一和第二電阻性元件RH,RL之電流之平均的平均電路。
4. 如申請專利範圍第3項所述之感測放大器，其中，該平均電路包括用於把通過該第一和第二電阻性元件RH,RL之

六、申請專利範圍

電流相加來產生一相加電流及用於把該相加電流分割一半來獲得該平均電流的平均元件A2,Q3,Q4。

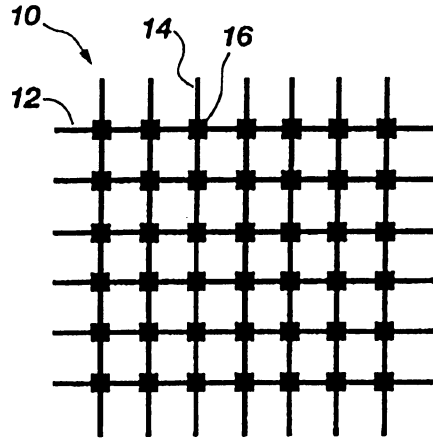
- 5.如申請專利範圍第4項所述之感測放大器，其中，該差動放大器Q5,Q6包括一電流鏡感測電路，該電流鏡感測電路具有一個連接至該第一輸入節點74的鏡電晶體Q5和一個連接至該第二輸入節點75的參考電晶體Q6。
- 6.如申請專利範圍第5項所述之感測放大器，更包含一比較器76，該比較器76係用於把在該差動放大器Q5,Q6之第一和第二輸入節點74,75的訊號作比較來產生一個表示該被感測之記憶體細胞RW之狀態的輸出VO。
- 7.如申請專利範圍第1項所述之感測放大器，更包含一用於把該感測電流施加到該差動放大器之第一節點74的第一轉換器電晶體Q2及一用於把該參考電流施加到該差動放大器之第二節點75的第二轉換器電晶體Q4。
- 8.一種利用差動放大器來讀取在一電阻性記憶體陣列之一被感測之多狀態記憶體細胞之資料的方法，包含：
 - (a) 利用一被施加至其那裡的讀取電壓來在該記憶體細胞內產生一電流；
 - (b) 把一代表在該記憶體細胞內之電流的感測電流施加到該差動放大器的第一輸入節點；
 - (c) 利用一個具有第一和第二電阻性元件之參考電路來產生一參考電流；及
 - (d) 把該參考電流施加到該差動放大器的第二輸入節點，該參考電流提供一個值，該感測電流係與該值作

六、申請專利範圍

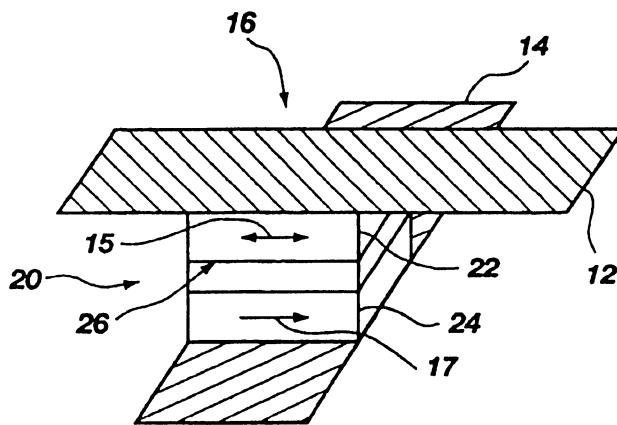
比較俾可決定該記憶體細胞的狀態。

- 9.如申請專利範圍第8項所述之方法，其中，該參考電流係藉由，(a)藉著把該讀取電壓施加於一具有代表該記憶體細胞之第一狀態之電阻之第一參考元件來產生一第一參考電流、(b)藉著把該讀取電壓施加於一具有代表該記憶體細胞之第二狀態之電阻之第二參考元件來產生一第二參考電流、及(c)從該第一和第二參考電流產生一平均電流並且把該平均電流施加到一差動放大器之第二輸入節點，來被產生。
- 10.如申請專利範圍第8項所述之方法，更包含產生一第一電壓於該差動放大器的第一節點表示該感測電流、產生一第二電壓於該第二節點表示該參考電流、及把在該差動放大器之第一和第二輸入節點上的第一和第二電壓作比較來產生一個表示該被感測之記憶體細胞之狀態的輸出。

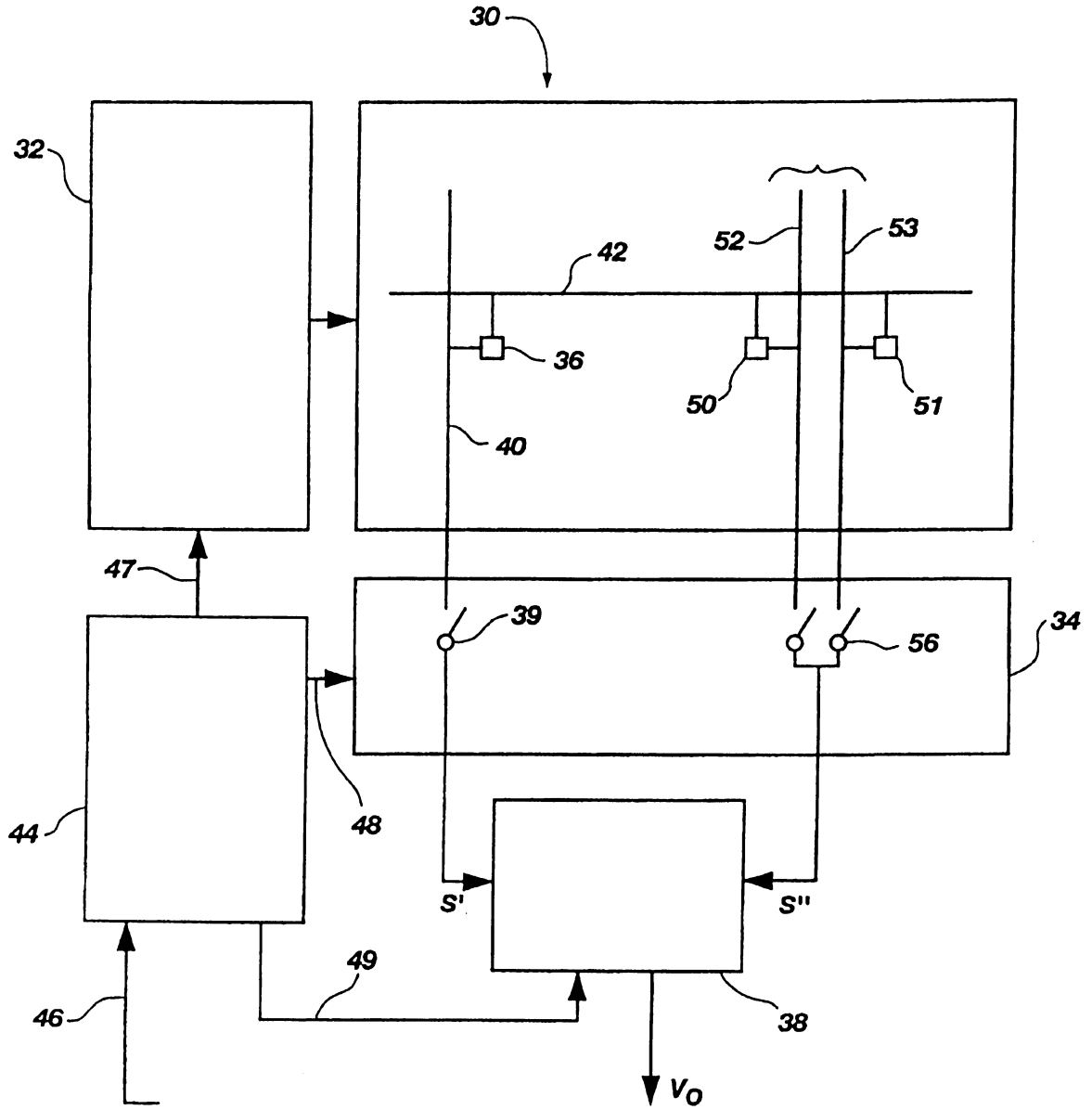
1/4



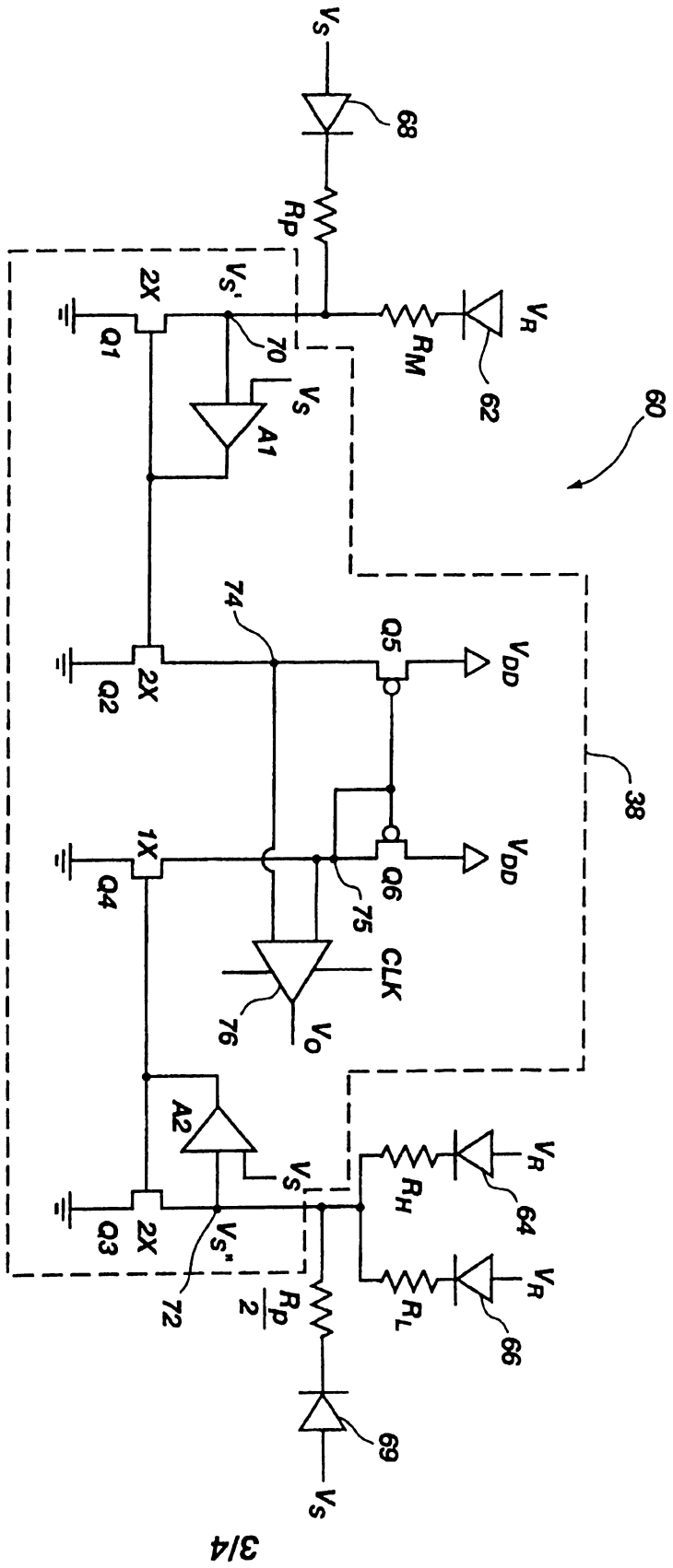
第 1 圖



第 2 圖



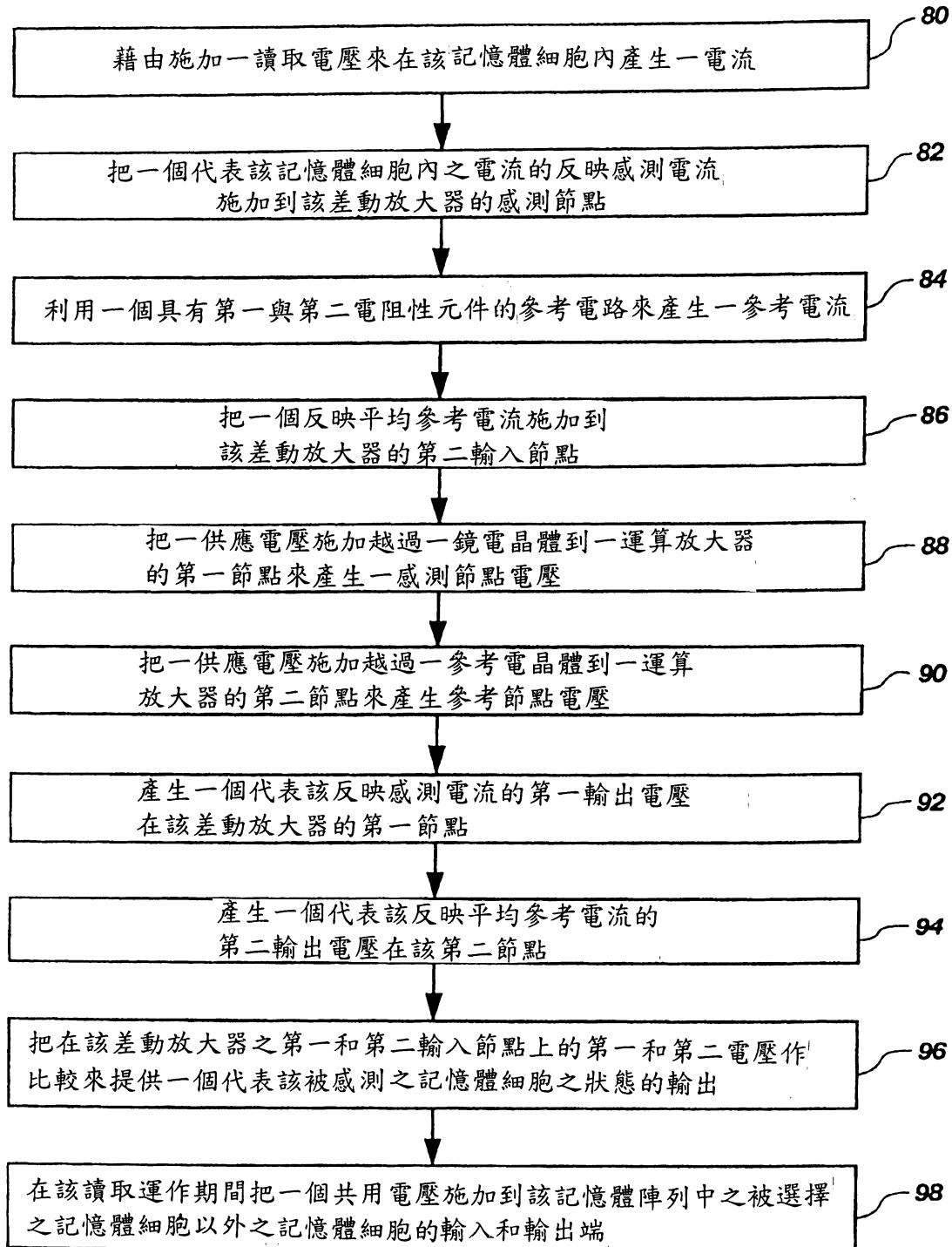
第 3 圖



第 4 圖

3/4

4/4



第 5 圖