



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

204 914

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 12. 11. 79
(21) PV 7718-79

(51) Int. Cl.³ G 06 F 3/02

(40) Zveřejněno 31. 07. 80
(45) Vydáno 01 07 83

(75)

Autor vynálezu SMÍŠEK JIŘÍ ing., PRAHA

(54)

Zapojení pro ovládání datového a adresního vysílače

1

Předmětem vynálezu je zapojení pro ovládání datového a adresního vysílače se dvěma adresními a s jedním datovým vysílačem, s čítačem instrukcí, s adresním registrem a s výstupním datovým registrem.

U počítačového systému, který je orientován na společnou asynchronní obousměrnou sběrnici, je řešen styk procesoru počítače se sběrnicí zpravidla pomocí přijímačů a vysílačů. Vysílače, ovládané hradlovacími signály z řadiče procesoru, zajišťují správné úrovně a posloupnosti logických signálů na adresních, datových a řídicích vodičích sběrnice. Při zápisu instrukce do instrukčního registru procesoru adresuje čítač instrukcí prostřednictvím adresního vysílače příslušnou buňku v operační paměti. Při vnější operaci adresuje adresní registr prostřednictvím adresního vysílače operand v operační paměti a výsledek posílá procesor přes výstupní datový registr a datový vysílač na odpovídající buňku v paměti. Při vnitřní operaci jsou operandy uloženy v zápisníkové paměti procesoru a výsledek se ukládá na příslušnou buňku této paměti. Přitom výsledek operace je uložen také ve výstupním datovém registru. V dosud známých zapojeních uvedeného typu je třeba při funkčním testování použít instrukce přesun obsahu buňky v zápisníkové paměti do buňky v operační paměti, aby bylo možné výsledek vnitřní operace porovnat se správnou hodnotou. To vyžaduje sestavení testovacího programu. Pokud funkčně testujeme pomocí aplikačního programu, může proběhnout posloupnost vnitřních operací, aniž bychom se dozvěděli o případné chybě a test se zbytečně prodlužuje.

Tuto nevýhodu odstraňuje zapojení pro ovládání datového a adresního vysílače podle vynálezu, jehož podstatou je, že hradlovací vstup datového vysílače je spojen s výstupem prvního součtového členu, který je opatřen vstupem prvního řadičového signálu a vstupem prvního diagnostického signálu, hradlovací vstup prvního adresního vysílače je spojen s výstupem součtového členu, který je opatřen vstupem druhého řadičového signálu a vstupem druhého diagnostického signálu a hradlovací vstup druhého adresního vysílače je spojen s výstupem třetího součtového členu, který je opatřen vstupem třetího řadičového signálu a vstupem třetího diagnostického signálu.

Výhodou tohoto zapojení je možnost vnějšími signály z testovacího zařízení zjistit po ukončení každé operace výsledek, stav čítače instrukcí a adresního registru a porovnat je se správnými hodnotami. V případě neshody test okamžitě končí. Tím se zkrátí doba testu.

Na výkrese je zapojení podle vynálezu, kde je uvedeno vzájemné propojení jednotlivých bloků společně s jejich označením.

Výstup 11 zápisníkové paměti 1 je spojen s datovou sběrnicí 16, s prvním vstupem 30 a s druhým vstupem 31 aritmetickologické sekce 3, jejíž výstup 32 je spojen se vstupem 40 výstupního datového registru 4. Přímý výstup 42 výstupního datového registru 4 je spojen s datovým vstupem 50 datového vysílače 5 a negovaný výstup 41 výstupního datového registru 4 je spojen se vstupem 10 zápisníkové paměti 1. Výstup 120 adresního registru 12 je spojen s adresním vstupem 130 druhého adresního vysílače 13 a výstup 151 čítače instrukcí 15 je spojen s adresním vstupem 80 prvního adresního vysílače 8. Datová sběrnice 16 je zapojena na výstup 52 datového vysílače 5, na datovou svorku 60 operační paměti 6 a na vstup 180 instrukčního registru 18. Adresní sběrnice 17 je zapojena na výstup 82 prvního adresního vysílače 8, na výstup 132 druhého adresního vysílače 13 a na adresní svorku 61 operační paměti 6. Hradlovací vstup 131 druhého adresního vysílače 13 je spojen s výstupem 140 třetího součtového členu 14, který je ovládán třetím řadičovým signálem 141 a třetím diagnostickým signálem 142. Hradlovací vstup 51 datového vysílače 5 je spojen s výstupem 70 prvního součtového členu 7, který je ovládán prvním řadičovým signálem 71 a prvním diagnostickým signálem 72. Hradlovací vstup 81 prvního adresního vysílače 8 je spojen s výstupem 90 druhého součtového členu 9, který je ovládán druhým řadičovým signálem 91 a druhým diagnostickým signálem 92. Funkce zapojení je následující:

Procesor má v čítači instrukcí 15 připravenou adresu instrukce a z řadiče se generuje první řadičový signál 91, který prostřednictvím hradlovacího vstupu 81 otevře první adresní vysílač 8. Adresa se šíří po adresní sběrnicí 17 a sejme se do adresní svorky 61 operační paměti 6. Adresovaná instrukce se vyšle z datové svorky 60 na datovou sběrnici 16, odkud se zapíše do instrukčního registru 18. Pokud daná instrukce vyvolá vnitřní operaci, operand se zápisníkové paměti 1 se z jejího výstupu 11 šíří ke zpracování v aritmetickologické sekci 3 a výsledek projde přes výstupní datový registr 4 opět na vstup 10 zápisníkové paměti 1. Při vnější operaci se operand adresuje z adresního registru 12 přes druhý adresní vysílač 13, který je otevřen třetím řadičovým signálem 141 prostřednictvím třetího součtového členu 14. Adresovaný operand se vyšle z operační paměti 6 na datovou sběrnici 16 a sejme se do procesoru ke zpracování v aritmetickologické sekci 3. Výsledek operace

se zapíše do výstupního datového registru 4. V daný okamžik se změní na základě prvního řadičového signálu 71 logická úroveň na hradlovacím vstupu 51 datového vysílače 5 a výsledek se vypustí na datovou sběrnici 16, odkud se sejme do datové svorky 60 operační paměti 6. Po ukončení vnitřní nebo vnější operace procesor uvolní datovou sběrnici 16 a adresní sběrnici 17 a testovací zařízení, které ovládá první diagnostický signál 72, druhý diagnostický signál 92 a třetí diagnostický signál 142 sejme obsah čítače instrukcí 15, výstupního datového registru 5 a adresního registru 12 a porovná je s očekávanými hodnotami.

Možnost použití uvedeného zapojení je u minipočítačů a malých počítačů s popsanou vnitřní strukturou procesoru.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení pro ovládání datového a adresního vysílače se dvěma adresními a s jedním datovým vysílačem, s čítačem instrukcí, s adresním registrem a s výstupním datovým registrem vyznačující se tím, že hradlovací vstup (51) datového vysílače (5) je spojen s výstupem (70) prvního součtového členu (7), který je opatřen vstupem (71) prvního řadičového signálu a vstupem (72) prvního diagnostického signálu, hradlovací vstup (81) prvního adresního vysílače (8) je spojen s výstupem (90) druhého součtového členu (9), který je opatřen vstupem (91) druhého řadičového signálu a vstupem (92) druhého diagnostického signálu a hradlovací vstup (131) druhého adresního vysílače (13) je spojen s výstupem (140) třetího součtového členu (14), který je opatřen vstupem (141) třetího řadičového signálu a vstupem (142) třetího diagnostického signálu.

