



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

210509

(11)

(B1)

(22) Přihlášeno 25 02 80
(21) (PV 1285-80)

(40) Zveřejněno 29 05 81

(45) Vydáno 15 07 83

(51) Int. Cl.³
G 06 F 9/46

(75)

Autor vynálezu

BEZDĚK ZDENĚK ing., KORVAS ZDENĚK ing. CSc.,
RŮŽICKOVÁ VANDA ing., PRAHA

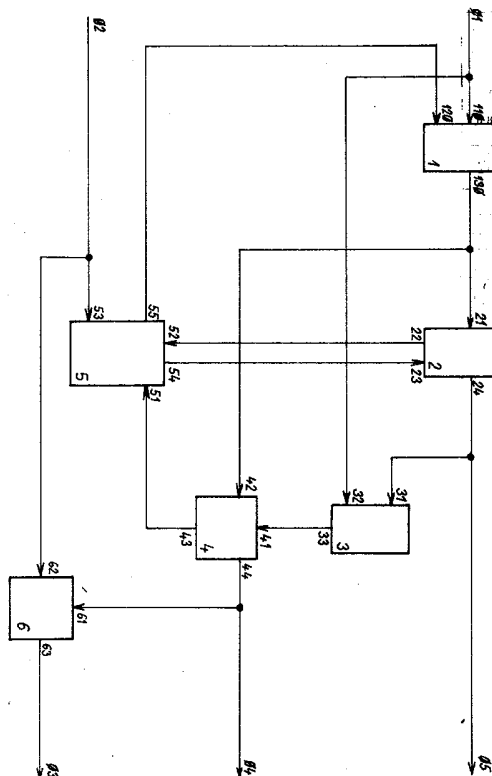
(54) Obvod pro řízení styku mezi procesory

Vynález se týká zapojení obvodu, který řídí spojení na sběrnici víceprocesorového počítačového systému.

Vynález řeší problém zapojení řídicího obvodu, který s minimálním zpožděním přiděluje sběrnici podle žádostí jednotlivých procesorů, přičemž se respektuje priorita procesorů, doba uklidnění sběrnice (v závislosti na umístění procesoru), řídicí obvod má možnost zablokovat sběrnici pro jeden procesor a umožňuje také jednoduchým způsobem kontrolovat délku spojení i délku blokování sběrnice.

Podstata vynálezu je v tom, že obvod pro řízení styku obsahuje jediný registr žádostí, z něhož jsou odvozeny signály "přiděleno procesoru X", které jsou současně závislé na dalších podmínkách podle bodu 1 předmětu vynálezu.

Využití vynálezu je možné v řídicích obvodech víceprocesorových samočinných počítačů.



Vynález se týká obvodu pro řízení styku mezi procesory ve víceprocesorovém systému. Řeší otázku vyhodnocení žádostí o styk jednotlivých procesorů, majících různou prioritu zvláště s ohledem na rychlost vyhodnocení žádostí při respektování fyzikálních poměrů na přidělovacích sběrnicích propojujících procesory mezi sebou.

Dosavadní známé zapojení sestává ze dvou sériově řazených registrů žádostí, vyhodnocovacího obvodu priorit a registru vybrané žádosti, tj. signálu "přiděleno procesoru". První synchronizační registr žádostí je nahráván pulsem A, druhý registr žádostí a registr přidělena pulsem B, takže doba vyhodnocení aktuálního stavu žádostí je delší než jedno spojení.

Tuto nevýhodu odstraňuje obvod pro řízení styku mezi procesory podle vynálezu, jehož podstatou je, že sestává z jediného registru žádostí, přičemž na datový vstup registru žádostí a druhý vstup komparátoru žádostí a signálů "přiděleno procesoru x" je připojen vstup žádostí, zatímco výstup registru žádostí je propojen s prvním vstupem vyhodnocovacího obvodu priority s vysílači signálů "přiděleno procesoru x" a s druhým vstupem generátoru signálu "začátek spojení", zatímco druhý výstup vyhodnocovacího obvodu priorit s vysílači signálů "přiděleno procesoru x" je připojen na první vstup komparátoru žádostí a signálů "přiděleno procesoru x" a současně tvoří výstup celého obvodu, zatímco výstup komparátoru žádostí a signálů "přiděleno procesoru x" je propojen s prvním vstupem generátoru signálu "začátek spojení", jehož první výstup je připojen na první vstup časovacího obvodu, na jehož druhý vstup je připojen první výstup vyhodnocovacího obvodu priority s vysílači signálů "přiděleno procesoru x" a na jehož třetí vstup jsou připojeny vstupy vnějších podmínek spojení a signálu "konec spojení", zatímco druhý výstup časovacího obvodu je připojen na hodinový vstup registru žádostí, první výstup je připojen na druhý vstup vyhodnocovacího obvodu priority s vysílači signálů "přiděleno procesoru x" a vstupy vnějších podmínek spojení a signálu "konec spojení" jsou připojeny na druhý vstup obvodu pro kontrolu délky spojení a blokování, na jehož první vstup je připojen druhý výstup generátoru signálu "začátek spojení", přičemž tento výstup je současně výstupem pro označení všem procesorům začátku spojení, zatímco výstup obvodu pro kontrolu délky spojení a blokování je výstupem pro označení chybného překročení délky spojení nebo blokování.

Zapojení podle vynálezu má proti známým zapojením řadu výhod. Především používá pouze jediný registr, takže přidělování probíhá z posledního, aktuálního stavu žádostí procesorů a rychlost vyhodnocení žádostí je dána pouze rychlostí vyhodnocovacího obvodu priorit s vysílači signálů "přiděleno procesoru x", který je pouze dvojestupňový, přičemž druhý stupeň tvoří přímo vysílače signálů "přiděleno procesoru x", které pracují jako vyhodnocovací obvody i jako vysílače ovládané z časovacího obvodu, čímž jsou potlačovány přechodové stavy na sběrnici během vyhodnocování.

Zapojení umožňuje přímým ovládním vysílačů z časovacích obvodů volit několik režimů vysílání signálů "přiděleno procesoru x" v závislosti na podmínkách spojení. Umožňuje v případě potřeby vyřazení nahrávání nových žádostí a obsazení sběrnic jedním procesorem na základě jeho opakovaných žádostí se signálem blokování, vyhodnocovaných komparátorem žádostí a signálů "přiděleno procesoru x", i když některá z nových žádostí je od procesoru s vyšší prioritou žádosti než má procesor, který sběrnice obsadil.

Proti zablokování sběrnic neukončeným spojením nebo trvalému obsazení sběrnic procesorem, který však z nějakého důvodu znovu o styk nežádá, je zapojení podle vynálezu chráněno obvodem kontroly délky spojení a blokování, který po uplynutí zvoleného intervalu obnoví normální činnost obvodu.

Zapojení podle vynálezu je schematicky znázorněno na výkresu.

Sestává z registru 1 žádostí, vyhodnocovacího obvodu 2 priorit s vysílači signálů "přiděleno procesoru x", komparátoru 3 žádostí a signálů "přiděleno procesoru x", generátoru 4

signálu "začátek spojení", časovacího obvodu 5 a obvodu 6 kontroly délky spojení a blokování.

Na datový vstup 110 registru 1 žádostí jsou přivedeny žádosti jednotlivých procesorů o sběrnici ze vstupu 01. Na hodinový vstup 120 registru 1 žádostí je z druhého výstupu 55 časovacího obvodu 5 přiveden nahrávací impuls. Nahráné žádosti z výstupu 130 registru 1 žádostí jsou vedeny na první vstup 21 vyhodnocovacího obvodu 2 priority s vysílači signálů "přiděleno procesoru x" a na druhý vstup 42 generátoru 4 signálu "začátek spojení".

Z prvního výstupu 22 vyhodnocovacího obvodu 2 priority s vysílači signálů "přiděleno procesoru x" je na druhý vstup 52 časovacího obvodu 5 přiveden signál o nahrání žádosti některého procesoru. Z prvního výstupu 54 časovacího obvodu 5 jsou na druhý vstup 23 vyhodnocovacího obvodu 2 priorit s vysílači signálů "přiděleno procesoru x" přivedeny ovládací signály vysílačů signálů "přiděleno procesoru x".

Z druhého výstupu 24 vyhodnocovacího obvodu 2 priority s vysílači signálů "přiděleno procesoru x" jsou na první vstup 31 komparátoru 3 žádostí a signálů "přiděleno procesoru x" přivedeny signály "přiděleno procesoru x", které jsou zároveň přes výstup 05 vedeny k jednotlivým procesorům. Druhý vstup 32 komparátoru 3 žádostí a signálů "přiděleno procesoru x" je připojen na vstup žádostí 01.

Výstup 33 komparátoru 3 žádostí a signálů "přiděleno procesoru x" je připojen na první vstup 41 generátoru 4 signálu "začátek spojení". Z druhého výstupu 44 generátoru 4 signálu "začátek spojení" propojeného na první vstup 61 obvodu 6 kontroly délky spojení a blokování je veden signál "začátek spojení", který je zároveň přes výstup 04 veden do všech procesorů. Z prvního výstupu 43 generátoru 4 signálu "začátek spojení" jsou vedeny podmínky určující začátek spojení na první vstup 51 časovacího obvodu 5.

Na třetí vstup 53 časovacího obvodu 5 a druhý vstup 62 obvodu 6 pro kontrolu délky spojení a blokování jsou přivedeny ze vstupu 02 signály "konec spojení" a vnější podmínky spojení, které udávají jedná-li se o spojení s hlavní pamětí a mají-li zůstat sběrnice po spojení zablokovány pro procesor, který je má právě přiděleny. Dále sem jsou přiváděny synchronizační hodinové impulsy, které určují jednotlivé intervaly, tzv. takty hodin. Z výstupu 63 obvodu 6 pro kontrolu délky spojení a blokování jsou přes výstup 03 vedeny signály o překročení těchto časů.

Nemá-li "přiděleno" žádný procesor, uzavřou se v každém taktu hodin vysílače signálů "přiděleno procesoru x", poté se nahraje registr 1 žádostí a po odeznění přechodového děje se vysílače signálů "přiděleno procesoru x" otevřou. Nebyla-li nahrána žádná žádost, děj se v dalším taktu hodin opakuje. Byla-li nahrána do registru 1 žádostí alespoň jedna žádost je ve vyhodnocovacím obvodu 2 s vysílači signálů "přiděleno procesoru x" vybrána žádost procesoru s nejvyšší prioritou z žádajících a po otevření vysílačů je tomuto procesoru vysílán signál "přiděleno procesoru".

Časovací obvod 5 ponechá nadále vysílače signálů "přiděleno procesoru x" trvale otevřeny. Zároveň je na základě nenulovosti obsahu registru 1 žádostí generován v generátoru 4 signálu "začátek spojení" signál "začátek spojení", kterým se zároveň rozbíhá obvod 6 kontroly délky spojení a blokování, který čítá takty hodin. Nepřejde-li signál "konec spojení" dříve, než je načítána zvolená hodnota, vydá obvod 6 kontroly délky spojení a blokování signál o překročení délky spojení.

Během spojení jsou do časovacího obvodu 5 přivedeny ze vstupu 02 vnější podmínky spojení, tj. jedná-li se o spojení s pasivním procesorem, tj. hlavní pamětí a je-li požadováno obsazení sběrnic procesorem, který spojení uskutečňuje, po konci spojení, tj. je-li požadováno tzv. blokování sběrnic. Spojení končí volaný procesor signálem "konec spojení", který způsobí v obvodu 6 kontroly délky spojení a blokování zastavení čítání a v časovacím obvodu 5 následující funkci:

1. není požadováno blokování sběrnic a je spojení s pasivním procesorem, tj. s hlavní pamětí:

Ještě v době signálu "konec spojení" jsou v závislosti na vzdálenosti volajícího procesoru od volaného zablokovány vysílače signálů "přiděleno procesoru x", přehrán registr 1 žádostí a vysílače signálů "přiděleno procesoru x" opět odblokovány. Tím je dosaženo žádoucí mezery mezi koncem signálu "přiděleno procesoru x" a začátkem eventuelního nového signálu "přiděleno procesoru y". V takto vzniklé mezeře nastane uklidnění sběrnic mezi dvěma spojeními bez ztráty času.

2. není požadováno blokování sběrnic a je spojení s aktivním procesorem:
Vysílače signálů "přiděleno procesoru x" jsou zablokovány až po konci signálu "konec spojení", registr 1 žádostí je nahráván až v dalším taktu. Uklidnění sběrnic vyžaduje v tomto případě jeden takt navíc, což vzhledem k malé četnosti těchto případů nevádí.

3. je požadováno blokování sběrnic:
Vysílače signálů "přiděleno procesoru x" zůstávají otevřeny, registr 1 žádostí se nepřehrává, v obvodu 6 kontroly délky spojení a blokování se rozbíhá čítání délky blokování. Nové žádosti se vyhodnocují komparátorem 1 žádostí a signálů "přiděleno procesoru x". Žádosti jiných procesorů, než který má "přiděleno", se ignorují. Přijde-li nová žádost od procesoru, který má "přiděleno", dříve, než je v obvodu 6 kontroly délky spojení a blokování načítána zvolená hodnota, generátor 4 signálu "začátek spojení" vygeneruje signál "začátek spojení", který zároveň zastaví kontrolu délky blokování. Nepřijde-li nová žádost od tohoto procesoru včas, obvod 6 kontroly délky spojení a blokování vygeneruje signál o překročení délky blokování sběrnic a zároveň blokování zruší.

Zapojení podle vynálezu lze s výhodou použít při řízení provozu na sdílených sběrnících víceprocesorových počítačů.

PŘEDMĚT VYNÁLEZU

Obvod pro řízení styku mezi procesory, vyznačený tím, že sestává z jediného registru (1) žádostí, přičemž na datový vstup (110) registru (1) žádostí a druhý vstup (32) komparátoru (3) žádostí a signálů "přiděleno procesoru x" je připojen vstup (01) žádostí, zatímco výstup (130) registru (1) žádostí je propojen s prvním vstupem (21) vyhodnocovacího obvodu (2) priority s vysílači signálů "přiděleno procesoru x" a s druhým vstupem (42) generátoru (4) signálu "začátek spojení", zatímco druhý výstup (24) vyhodnocovacího obvodu (2) priorit s vysílači signálů "přiděleno procesoru x" je připojen na první vstup (31) komparátoru (3) žádostí a signálů "přiděleno procesoru x" a současně tvoří výstup (05) celého obvodu, zatímco výstup (33) komparátoru (3) žádostí a signálů "přiděleno procesoru x" je propojen s prvním vstupem (41) generátoru (4) signálu "začátek spojení", jehož první výstup (43) je připojen na první vstup (51) časovacího obvodu (5), na jehož druhý vstup (52) je připojen první výstup (21) vyhodnocovacího obvodu (2) priority s vysílači signálů "přiděleno procesoru x" a na jehož třetí vstup (53) jsou připojeny vstupy (02) vnějších podmínek spojení a signálu "konec spojení", zatímco druhý výstup (55) časovacího obvodu (5) je připojen na hodinový vstup (120) registru (1) žádostí, první výstup (54) je připojen na druhý vstup (23) vyhodnocovacího obvodu (2) priority s vysílači signálů "přiděleno procesoru x" a vstupy (02) vnějších podmínek spojení a signálu "konec spojení" jsou připojeny na druhý vstup (62) obvodu (6) pro kontrolu délky spojení a blokování, na jehož první vstup (61) je připojen druhý výstup (44) generátoru (4) signálu "začátek spojení", přičemž tento výstup (44) je současně výstupem (04) pro označení všem procesorům začátku spojení, zatímco výstup (63) obvodu (6) pro kontrolu délky spojení a blokování je výstupem (03) pro označení chybného překročení délky spojení nebo blokování.

1 list výkresů

