

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年7月2日(02.07.2020)



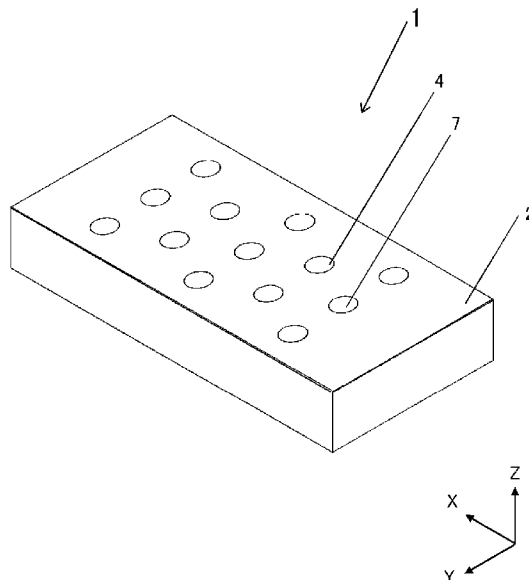
(10) 国際公開番号

WO 2020/137878 A1

- (51) 国際特許分類:
H01L 23/12 (2006.01) *H05K 1/02* (2006.01)
- (21) 国際出願番号: PCT/JP2019/050085
- (22) 国際出願日: 2019年12月20日(20.12.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-240989 2018年12月25日(25.12.2018) JP
- (71) 出願人: 京セラ株式会社 (**KYOCERA CORPORATION**) [JP/JP]; 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 Kyoto (JP).
- (72) 発明者: 小川 成敏 (**OGAWA, Narutoshi**); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP). 北原 光 (**KITAHARA, Hikaru**); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP). 坂井 光治 (**SAKAI, Mitsuharu**); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) **Title:** SUBSTRATE FOR MOUNTING ELECTRONIC COMPONENT, AND ELECTRONIC DEVICE

(54) 発明の名称: 電子部品実装用基板および電子装置



(57) **Abstract:** A substrate for mounting an electronic component according to an embodiment of the present disclosure is provided with a substrate and a plurality of via conductors. The substrate has a mounting region for mounting an electronic component, and one or more insulating layers. The plurality of via conductors penetrate through the insulating layers in a thickness direction of the substrate. When the insulating layers are viewed in plan, the plurality of via conductors are arranged in (m) columns in the X-direction and (n) rows in the Y-direction (m and n are natural numbers), and are posi-

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

tioned only either in an odd-numbered row of an odd-numbered column and an even-numbered row of an even-numbered column, or in an even-numbered row of an odd-numbered column and an odd-numbered row of an even-numbered column.

(57) 要約：本開示の一実施形態に係る電子部品実装用基板は、基板と、複数のビア導体とを備える。基板は、電子部品が実装される実装領域と、絶縁層を1層以上有する。複数のビア導体は、基板の厚み方向に絶縁層を貫通する。複数のビア導体は、絶縁層を平面視した場合に、X方向に(m)列、Y方向に(n)行(m, nは自然数)に並び、奇数列の奇数行目かつ偶数列の偶数行目のみ、または、奇数列の偶数行目かつ偶数列の奇数行目のみのどちらかに位置する。

明 細 書

発明の名称： 電子部品実装用基板および電子装置

技術分野

[0001] 本開示は、電子部品が実装される電子部品実装用基板および電子装置に関する。

背景技術

[0002] 絶縁層を含む配線基板を備えた電子部品実装用基板が知られている。また、このような電子部品実装用基板に電子部品が実装された電子装置が知られている（特許文献1 参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2017-157693号公報

発明の概要

[0004] 本開示の一実施形態に係る電子部品実装用基板は、基板と、複数のビア導体とを備える。基板は、電子部品が実装される実装領域と、絶縁層を1層以上有する。複数のビア導体は、基板の厚み方向に絶縁層を貫通する。複数のビア導体は、絶縁層を平面視した場合に、X方向に（m）列、Y方向に（n）行（m，nは自然数）に並び、奇数列の奇数行目かつ偶数列の偶数行目のみ、または、奇数列の偶数行目かつ偶数列の奇数行目のみのどちらかに位置する。

[0005] 本開示の一実施形態に係る電子装置は、電子部品実装用基板と、電子部品実装用基板に実装された電子部品とを備えている。

図面の簡単な説明

[0006] [図1]図1は、本開示の一実施形態に係る電子部品実装用基板の斜視図である。

[図2]図2は、本開示の一実施形態に係る電子部品実装用基板の平面図である。

[図3]図 3 は、本開示の一実施形態に係る電子部品実装用基板の平面図である。

[図4]図 4 は、本開示の一実施形態に係る電子部品実装用基板の平面図である。

[図5]図 5 は、本開示の一実施形態に係る電子部品実装用基板の平面図である。

[図6]図 6 は、本開示の一実施形態に係る電子部品実装用基板の平面図である。

[図7]図 7 は、本開示の一実施形態に係る電子部品実装用基板の図 2 の A - A 線での断面図である。

[図8]図 8 は、本開示の一実施形態に係る電子部品実装用基板の図 2 の B - B 線での断面図である。

[図9]図 9 は、本開示の一実施形態に係る電子装置の断面図である。

[図10]図 10 は、本開示の一実施形態に係る電子装置の断面図である。

[図11]図 11 は、本開示の一実施形態に係る電子装置の断面図である。

[図12]図 12 は、本開示の一実施形態に係る電子部品実装用基板の平面図である。

[図13]図 13 は、本開示の一実施形態に係る電子部品実装用基板の図 12 の C - C 線での断面図である。

発明を実施するための形態

[0007] <電子部品実装用基板 1 および電子装置 21 の構成>

図面を参照し、本開示のいくつかの例示的な実施形態を説明する。なお、以下の説明では、電子部品実装用基板 1 に電子部品 10 が実装された構成を電子装置 21 とする。電子部品実装用基板 1 および電子装置 21 は、いずれの方向が上方若しくは下方とされてもよいが、便宜的に、直交座標系 $x y z$ を定義するとともに、 z 方向の正側を上方とする。また、電子部品 10 は、例えば、コンデンサ、LD (Laser diode) または PD (Photo Diode) 等の光半導体素子あるいは、CCD (Charge Coupled Device) 型または CMOS

(Complementary Metal Oxide Semiconductor) 型等の撮像素子であってもよい。また、電子部品 10 は、LED (Light Emitting Diode) 等の発光素子またはLSI (Large Scale Integration) 等の集積回路等であってもよい。

[0008] 電子部品実装用基板 1 は、基板 2 を有する。基板 2 は、平板部と平板部上に位置した枠部とを有してもよいし、枠部のみ、または、平板部のみを有しても良い。なお、図 1 ～図 3 に示す例では、電子部品実装用基板 1 は、枠部と、平板部とを有している。

[0009] 枠部および平板部を構成する絶縁層 5 の材料は例えば、電気絶縁性セラミックスまたは樹脂（例えば、プラスチック、熱可塑性樹脂）等が使用される。なお、本明細書において、基板 2 は、枠部、平板部、およびその両方を含む絶縁基体のことを指す。基板 2 は、絶縁層 5 を 1 層以上有している。

[0010] 枠部および平板部を形成する絶縁層 5 の材料として使用される電気絶縁性セラミックスとしては例えば、酸化アルミニウム質焼結体、ムライト質焼結体、炭化珪素質焼結体、窒化アルミニウム質焼結体、窒化珪素質焼結体またはガラスセラミック焼結体等である。枠部、平板部を形成する絶縁層 5 の材料として使用される樹脂としては例えば、熱可塑性の樹脂、エポキシ樹脂、ポリイミド樹脂、アクリル樹脂、フェノール樹脂またはフッ素系樹脂等を用いてもよい。フッ素系樹脂としては例えば、ポリエステル樹脂または四フッ化エチレン樹脂等を用いてもよい。

[0011] 基板 2 は、前述したように、枠部のみ、平板部のみで形成されていてもよいし、枠部の上面または枠部の下面、または、枠部の上面および枠部の下面に平板部を積層して形成されていてもよい。

[0012] 枠部、平板部を含む基板 2 は、図 1 ～図 3 に示すように 6 層の絶縁層 5 から形成されていてもよいし、5 層以下または 7 層以上の絶縁層 5 から形成されていてもよい。絶縁層 5 が 5 層以下の場合には、電子部品実装用基板 1 の薄型化を図ることができる。また、絶縁層 5 が 6 層以上の場合には、電子部品実装用基板 1 の剛性を高めることができる。

[0013] 基板 2 は例えば、最外周の 1 辺の大きさは 0.3 mm ～ 10 cm であって

もよい。基板 2 は、平面視した場合に、基板 2 が矩形状であるとき、正方形であってもよいし長方形であってもよい。また基板 2 の厚みは 0.2 mm 以上であってもよい。

[0014] 枠部と平板部は、同一の材料であっても良いし、異なる材料であっても良い。枠部と平板部とが同一の材料であるときには、枠部と平板部とを同じ温度で焼成することができる。また、得られた枠部および平板は、熱膨張率等の基本的な物性が近似したものとなるため、電子部品 10 を実装した後に電子部品 10 が発熱した場合に、熱膨張差によるクラック等の発生が少ない。また、枠部と平板部とが異なる材料であるときには、場合に依じた素材を選択することができる。

[0015] 枠部、平板部の上面または平板部の下面には、電極パッド 3 が位置していてもよい。また、平板部の上面または下面には、絶縁層 5 間に形成される内部配線 6 および内部配線 6 同士あるいは、電極パッド 3 と内部配線 6 等を上下に接続する複数のビア導体 4 が位置していてもよい。これら内部配線 6 またはビア導体 4 は、基板 2 の表面に内部配線 6 またはビア導体 4 の一部が露出していてもよい。ビア導体 4 は、基板 2 の厚み方向に絶縁層 5 を貫通している。

[0016] 絶縁層 5 が電気絶縁性セラミックスを含む場合、電極パッド 3、内部配線 6 およびビア導体 4 は、絶縁層 5 タングステン (W)、モリブデン (Mo)、マンガン (Mn)、銀 (Ag)、若しくは銅 (Cu) を含んでいてもよい。また、絶縁層 5 が電気絶縁性セラミックスを含む場合、電極パッド 3、内部配線 6 およびビア導体 4 は、タングステン (W)、モリブデン (Mo)、マンガン (Mn)、銀 (Ag)、若しくは銅 (Cu) のうち少なくとも 1 種以上の金属材料を含有する合金等を含んでいてもよい。

[0017] 絶縁層 5 が樹脂を含む場合、電極パッド 3、内部配線 6 およびビア導体 4 は、絶縁層 5 銅 (Cu)、金 (Au)、アルミニウム (Al)、ニッケル (Ni)、モリブデン (Mo)、若しくはチタン (Ti) を含んでいてもよい。また、絶縁層 5 が樹脂を含む場合、電極パッド 3、内部配線 6 およびビア

導体 4 は、銅（Cu）、金（Au）、アルミニウム（Al）、ニッケル（Ni）、モリブデン（Mo）、若しくはチタン（Ti）のうち少なくとも 1 種以上の金属材料を含有する合金等を含んでいてもよい。

[0018] 複数のビア導体 4 は、X 方向に（m）列、Y 方向に（n）行（m，n は自然数）並んで配置されている。ビア導体 4 は、平面視した場合に、奇数列の奇数行目かつ偶数列の偶数行目のみ、または、奇数列の偶数行目かつ偶数列の奇数行目のみのどちらかに位置している。ここに記載のビア導体 4 の配置は、格子状のマス目に応じたものである。このとき、自然数は数学の一般的な自然数のことであり、正の整数である。ビア導体 4 は格子状に位置していることによって、電子部品実装用基板 1 に対して均一に電気抵抗がかかるようにできる。また、複数のビア導体 4 が配置される列の間隔および行の間隔が同じ場合において、m と n は、同じ自然数であってもよい。複数のビア導体 4 が配置される列の間隔および行の間隔が同じであるとともに、m と n が同じ自然数であれば、電子部品実装用基板 1 に対して一層均一に電気抵抗がかかるようにできる。

[0019] 本開示の一実施形態に係る電子部品実装用基板 1 は、上述した構成であることによって、電子部品実装用基板 1 の電気抵抗値を低く保ち、かつ、電子部品実装用基板 1 の平坦性を保つことができる。

[0020] なお、ビア導体が密集している電子部品実装用基板である場合、電気抵抗値を下げることもできたとしても熱変形等によって基板の平坦性が損なわれるおそれがある。これに対し、本開示の電子部品実装用基板 1 は、上述したビア導体 4 の配置により、電子部品実装用基板 1 の抵抗値を低くし、かつ、電子部品実装用基板 1 の平坦性を保つことができる。

[0021] 基板 2 は、平面視した場合に、基板 2 の端部に給電点 7 を有していてもよい。基板 2 が給電点 7 を有しているとき、複数のビア導体 4 は、給電点 7 に近い第 1 列より、第 2 列の数が多くなってもよい。給電点 7 に近い第 1 列のビア導体 4 の数よりも、第 2 列のビア導体 4 の数が多くなっているときには、不要なビア導体 4 を設けることなく、電子部品実装用基板 1 の電気抵

抗値を下げることができる。

[0022] 基板 2 は、第 1 絶縁層 5 a および第 2 絶縁層 5 b を有していてもよい。第 1 絶縁層 5 a および第 2 絶縁層 5 b は、複数のビア導体 4 を有しているとともに、平面透視した場合、第 1 絶縁層 5 a の複数のビア導体 4 と、第 2 絶縁層 5 b の複数のビア導体 4 とが少なくとも一部が重なって位置していてもよい。第 1 絶縁層 5 a の複数のビア導体 4 と、第 2 絶縁層 5 b の複数のビア導体 4 とが少なくとも一部が重なって位置している場合、第 1 絶縁層 5 a の複数のビア導体 4 と、第 2 絶縁層 5 b の複数のビア導体 4 とを作製する工程を簡略化できる。なお、本開示での平面透視とは、図 1 に示す z 方向の負側に透視することを指す。

[0023] また、第 1 絶縁層 5 a および第 2 絶縁層 5 b は、複数のビア導体 4 を有しているとともに、平面透視した場合、第 1 絶縁層 5 a の複数のビア導体 4 と、第 2 絶縁層 5 b の複数のビア導体 4 とが離れて位置していてもよい。言い換えれば、平面透視した場合、第 1 絶縁層 5 a の複数のビア導体 4 と、第 2 絶縁層 5 b の複数のビア導体 4 とが重なって位置しなくてもよい。第 1 絶縁層 5 a の複数のビア導体 4 と、第 2 絶縁層 5 b の複数のビア導体 4 とが離れて位置しているときには、絶縁層 5 の各層で、ビア導体 4 の数を減らすことができるとともに、電子部品実装用基板 1 全体の電気抵抗値を低くできる。

[0024] 基板 2 を平面視した場合、複数のビア導体 4 は、複数のビア導体 4 のうち近接している 3 つのビア導体 4 が正三角形に位置していてもよい。近接している 3 つのビア導体 4 が平面視した場合に正三角形に位置しているときには、電子部品実装用基板 1 が均一な電気抵抗値を生じるようにできる。

[0025] 電極パッド 3、内部配線 6 およびビア導体 4 の露出表面に、めっき層が設けられてもよい。外部回路接続用の電極パッド 3、内部配線 6 およびビア導体 4 の露出表面は、めっき層によって酸化を低減できる。

[0026] <電子装置 2 1 の構成>

電子装置 2 1 の例を図 1 ～図 3 に示す。電子装置 2 1 は、電子部品実装用

基板 1 と、電子部品実装用基板 1 に実装された電子部品 10 を備えている。

[0027] 電子装置 21 は、電子部品実装用基板 1 と、電子部品実装用基板 1 に実装された電子部品 10 を有している。電子部品 10 は、例えば CMOS (Complementary Metal Oxide Semiconductor)、CCD (Charge Coupled Device) 等の撮像素子であってもよい。または、電子部品 10 は、LED (Light Emitting Diode) 等の発光素子、あるいは、LSI (Large Scale Integrated) 等の集積回路等であってもよい。なお、電子部品 10 は、接着材を介して、基板 2 の上面に配置されていてもよい。電子部品 10 が、接着材を介して、基板 2 の上面に配置されるとき、基板 2 の上面は電子部品 10 の実装領域として機能する。接着材は、例えば、銀エポキシまたは熱硬化性樹脂等を用いることができる。

[0028] 電子装置 21 は、蓋体 12 を有していてもよい。蓋体 12 は、電子部品 10 を覆うとともに、電子部品実装用基板 1 の上面に接合されていてもよい。ここで、電子部品実装用基板 1 は枠部の上面で蓋体 12 と接続してもよいし、蓋体 12 支え、基板 2 の上面であって電子部品 10 を取り囲むように設けられた枠状体を設けてもよい。また、枠状体と基板 2 とは同じ材料から構成されていてもよいし、別の材料で構成されていてもよい。

[0029] 枠状体と基板 2 と、が同じ材料である場合、基板 2 と枠状体とは開口部を設けて最上層の絶縁層 5 と一体化するように作られていてもよいし、基板 2 と枠状体とを、ろう材等でそれぞれ接合してもよい。

[0030] また、基板 2 と枠状体とが別の材料である例として枠状体が蓋体 12 と基板 2 とを接合する蓋体接合材 14 と同じ材料である場合がある。このとき、蓋体接合材 14 を厚く設けることで、蓋体 12 および基板 2 を接着するとともに、蓋体 12 を支えることができる。蓋体接合材 14 は例えば熱硬化性樹脂または低融点ガラスまたは金属成分を含むろう材等が挙げられる。また、枠状体と蓋体 12 とが同じ材料である場合は、枠状体と蓋体 12 とが一体として構成されていてもよい。

[0031] 蓋体 12 は、例えば電子部品 10 が CMOS、CCD 等の撮像素子、また

はLED等の発光素子である場合、ガラス材料等の透明度の高い部材が用いてもよい。また蓋体12は例えば、電子部品10が集積回路等であるとき、金属製材料または有機材料が用いられてもよい。

[0032] 蓋体12は、蓋体接合材14を介して電子部品実装用基板1と接合している。蓋体接合材14を構成する材料として例えば、熱硬化性樹脂または低融点ガラスまたは金属成分を含むろう材等を用いることができる。

[0033] <電子部品実装用基板1および電子装置21の製造方法>

次に、本開示の一実施形態の電子部品実装用基板1および電子装置21の製造方法の一例を説明する。なお、下記で示す本開示の一実施形態の電子部品実装用基板1および電子装置21の製造方法の一例は、多数個取り配線基板を用いた基板2の製造方法である。

[0034] (1) まず、基板2を構成するセラミックグリーンシートを形成する。例えば、主に酸化アルミニウム (Al_2O_3) 質焼結体である基板2を得る場合は、 Al_2O_3 の粉末に焼結助材としてシリカ (SiO_2)、マグネシア (MgO) またはカルシア (CaO) 等の粉末を添加する。そして Al_2O_3 の粉末に、適当なバインダー、溶剤および可塑剤を更に添加した混合物は、混練することでスラリー状となる。多数個取り用のセラミックグリーンシートは、スラリー状の混合物に、ドクターブレード法またはカレンダーロール法等の成形方法を施すことで得ることができる。

[0035] なお、基板2が例えば主に樹脂を含む場合は、所定の形状に成形できるような金型を用いて、トランスファーモールド法またはインジェクションモールド法等で硬化前の樹脂を成形することによって基板2を形成することができる。また、基板2は、例えばガラスエポキシ樹脂のように、ガラス繊維を含む基材に樹脂を含浸させたものであってもよい。この場合には、ガラス繊維からを含む基材にエポキシ樹脂の前駆体を含浸させ、このエポキシ樹脂前駆体を所定の温度で熱硬化させることによって基板2を形成できる。

[0036] (2) 次に、スクリーン印刷法等によって、金属ペーストが(1)の工程で得られたセラミックグリーンシートの電極パッド3、外部回路接続用の電

極パッド、内部配線 6 およびビア導体 4 となる部分に塗布または充填する。

この金属ペーストは、前述した金属材料を含む金属粉末に適当な溶剤およびバインダーを加えて混練することによって、適度な粘度に調整して作製する。なお、金属ペーストは、基板 2 との接合強度を高めるために、ガラスまたはセラミックスを含んでいても構わない。

[0037] また、基板 2 が樹脂を含む場合には、電極パッド 3、外部回路接続用の電極パッド、内部配線 6 およびビア導体 4 は、スパッタ法、蒸着法等によって作製することができる。

[0038] (3) 次に、前述のグリーンシートを金型等によって加工する。ここで凹部は、基板 2 となるグリーンシートの所定の箇所に、金型、パンチング、またはレーザー等を用いて設けてもよい。

[0039] (4) 次に、各絶縁層 5 となるセラミックグリーンシートを積層し、加圧する。絶縁層 5 基板 2 (電子部品実装用基板 1) となるセラミックグリーンシート積層体は、上述の (1) から (4) の工程により作製してもよい。また凹部は、セラミックグリーンシート積層体の所定の位置に設けてもよい。また、凹部は、複数のセラミックグリーンシート積層することで設けてもよく、焼成後に凹部となる位置に対して貫通孔を作製するにあたり、セラミックグリーンシートに、金型、パンチング、またはレーザー等を用いてもよい。

[0040] (5) 次に、このセラミックグリーンシート積層体を約 1500℃~1800℃の温度で焼成することで、基板 2 (電子部品実装用基板 1) が複数配列された多数個取り配線基板を得る。なお、(5) の工程によって、前述した金属ペーストは、基板 2 (電子部品実装用基板 1) となるセラミックグリーンシートと同時に焼成され、電極パッド 3、内部配線 6 およびビア導体 4 となる。

[0041] (6) 次に、基板 2 (電子部品実装用基板 1) が複数配列された多数個取り配線基板の表面に、めっき等の表面処理を行う。

[0042] (7) 次に、複数の基板 2 (電子部品実装用基板 1) を、焼成して得られ

た多数個取り配線基板を分断することで得られる。分断では、基板2（電子部品実装用基板1）の外縁となる箇所に沿って多数個取り配線基板に分割溝を形成し、この分割溝に沿って破断させて分割する方法を用いることができる。あるいは、スライシング法等により基板2（電子部品実装用基板1）の外縁となる箇所に沿って切断する方法等を用いることができる。なお、分割溝は、焼成後にスライシング装置により多数個取り配線基板の厚みより小さく切り込むことによって形成してもよい。あるいは、分割溝は、多数個取り配線基板用のセラミックグリーンシート積層体にカッター刃を押し当てたり、スライシング装置によりセラミックグリーンシート積層体の厚みより小さく切り込んだりすることで形成してもよい。なお、上述した多数個取り配線基板は、複数の基板2（電子部品実装用基板1）に分割する前に電解を用いて、電極パッド3、外部回路接続用の電極パッドおよび露出した配線導体にめっきを被着させてもよい。または、電極パッド3、外部回路接続用の電極パッドおよび露出した配線導体は、多数個取り配線基板を複数の基板2（電子部品実装用基板1）分割した後に、電界を用いてめっきを被着してもよい。

[0043] 基板2が樹脂の場合には、例えばスライシング法、レーザーカッティング法等を用いて分断することができる。

[0044] （8）次に、電子部品10を、電子部品実装用基板1の上面または下面に実装する。なお、電子部品実装用基板1の面のうち、電子部品10が実装される領域を実装領域とする。電子部品10はワイヤボンディング等の電子部品接続材13で電子部品実装用基板1と電氣的に接合させる。またこのとき、電子部品10は、電子部品10または電子部品実装用基板1に接着剤等を設けることで、電子部品実装用基板1に固定してもよい。また、電子部品実装用基板1と蓋体12とは、電子部品10を電子部品実装用基板1の実装領域に実装した後に、蓋体接合材14を用いて接合してもよい。

[0045] 以上（1）～（8）の工程のようにして電子部品実装用基板1を作製し、電子部品実装用基板1の実装領域に電子部品10を実装することで、電子装

置 2 1 を作製することができる。なお、上記（１）～（８）の工程順番および、工程の回数等は指定されない。また、上述した（１）～（８）の工程の全てを経る必要はない。

[0046] なお、本開示は上述の実施形態の例に限定されるものではない。また、各構成は数値等の種々の変形が可能である。また、例えば、図 1 ～図 1 1 に示す例では、電極パッド 3 の形状は、断面視した場合に、矩形状であるが、円形状あるいはその他の多角形状であってもかまわない。また、本開示の一実施形態における電極パッド 3 の配置、数、形状および電子部品 1 0 の実装方法等は指定されない。なお、本開示の一実施形態における種々の組み合わせは上述の実施形態の例に限定されるものでない。

符号の説明

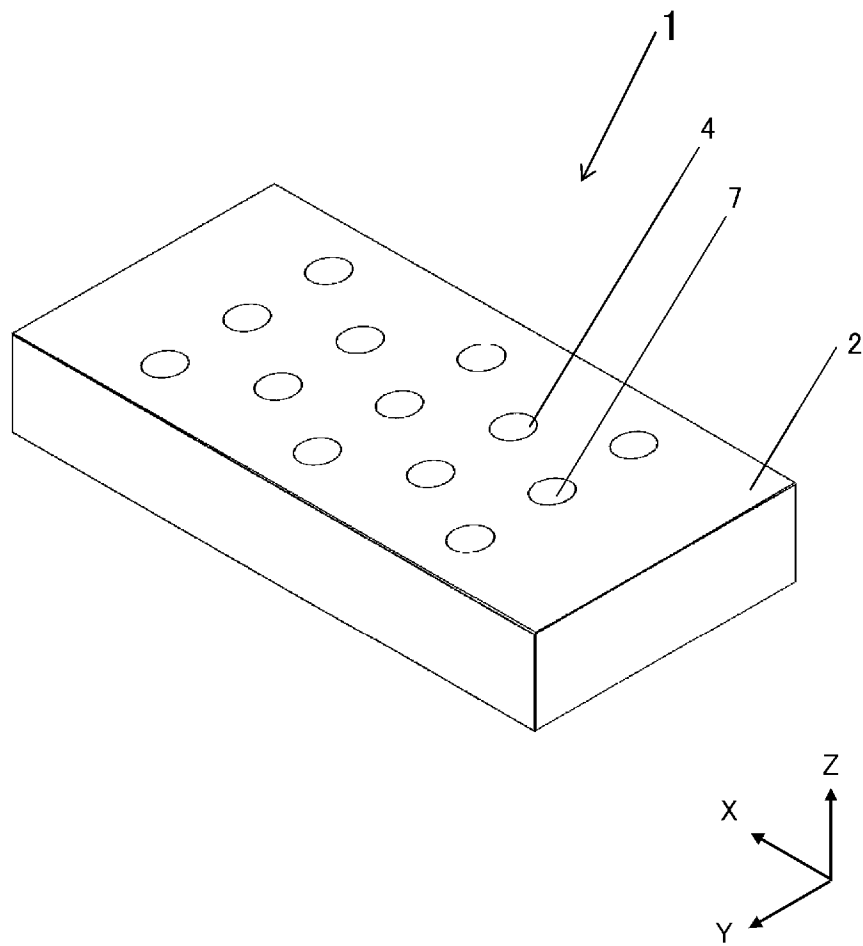
[0047] 1 電子部品実装用基板
2 基板
3 電極パッド
4 ビア導体
5 絶縁層
5 a 第 1 絶縁層
5 b 第 2 絶縁層
6 内部配線
7 給電点
1 0 電子部品
1 2 蓋体
1 3 電子部品接合材
2 1 電子装置

請求の範囲

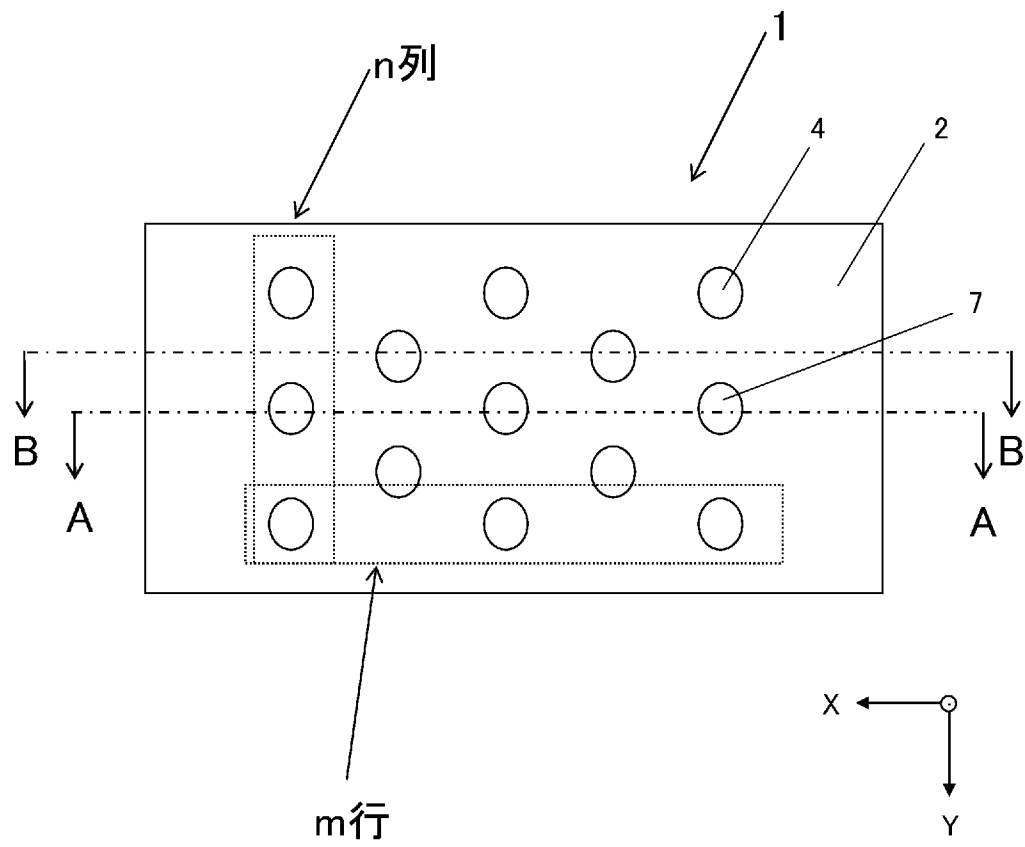
- [請求項1] 電子部品が実装される実装領域と絶縁層を1層以上有する基板と、前記基板の厚み方向に前記絶縁層を貫通する、複数のビア導体と、を備え、
前記複数のビア導体は、前記絶縁層を平面視した場合に、X方向に（m）列、Y方向に（n）行（m，nは自然数）に並び、奇数列の奇数行目かつ偶数列の偶数行目のみ、または、奇数列の偶数行目かつ偶数列の奇数行目のみのどちらかに位置する、電子部品実装用基板。
- [請求項2] mとnは同じ自然数である、請求項1に記載の電子部品実装用基板。
- [請求項3] 前記基板は、平面視した場合に、端部に給電点を有し、
前記複数のビア導体は、前記給電点に近い第1列より、第2列の数が多い、請求項1または請求項2に記載の電子部品実装用基板。
- [請求項4] 前記基板は、第1絶縁層および第2絶縁層を有し、
前記第1絶縁層および前記第2絶縁層は、それぞれ前記複数のビア導体を有し、平面透視した場合に、前記第1絶縁層の前記複数のビア導体と、前記第2絶縁層の前記複数のビア導体とが少なくとも一部が重なって位置している、請求項1～3のいずれか1つに記載の電子部品実装用基板。
- [請求項5] 前記基板は、第1絶縁層および第2絶縁層を有し、
前記第1絶縁層および前記第2絶縁層は、それぞれ前記複数のビア導体を有し、平面透視した場合に、前記第1絶縁層の前記複数のビア導体と、前記第2絶縁層の前記複数のビア導体とが離れて位置している、請求項1～3のいずれか1つに記載の電子部品実装用基板。
- [請求項6] 平面視した場合、前記複数のビア導体のうち近接している3つのビア導体は正三角形に位置している、請求項1～5のいずれか1つに記載の電子部品実装用基板。
- [請求項7] 請求項1～6のいずれか1つに記載の電子部品実装用基板と、

前記実装領域に実装された電子部品と、を備える電子装置。

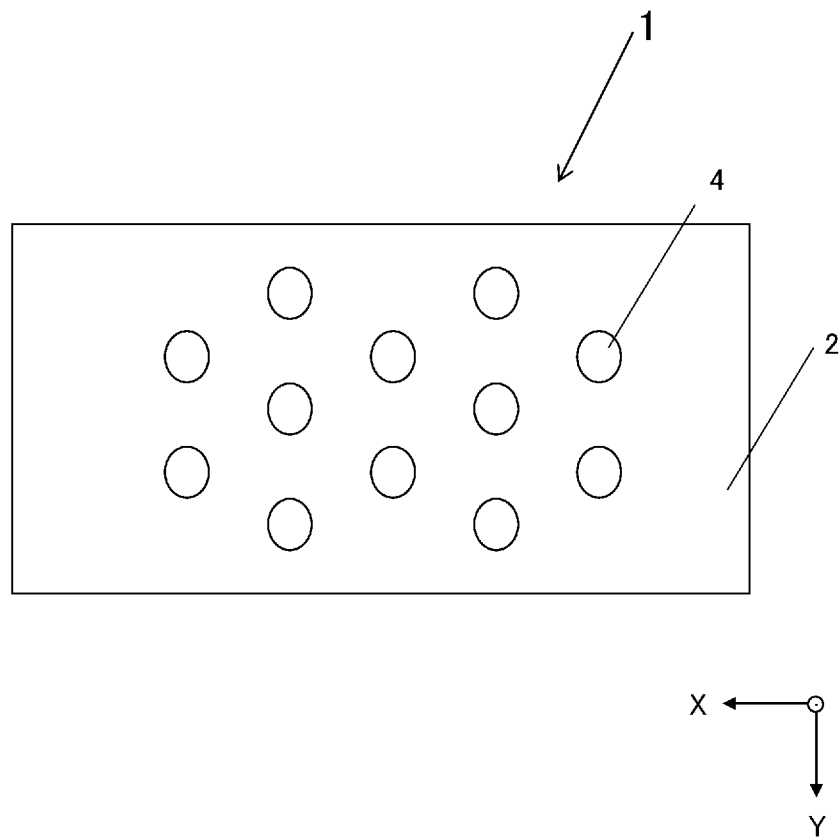
[図1]



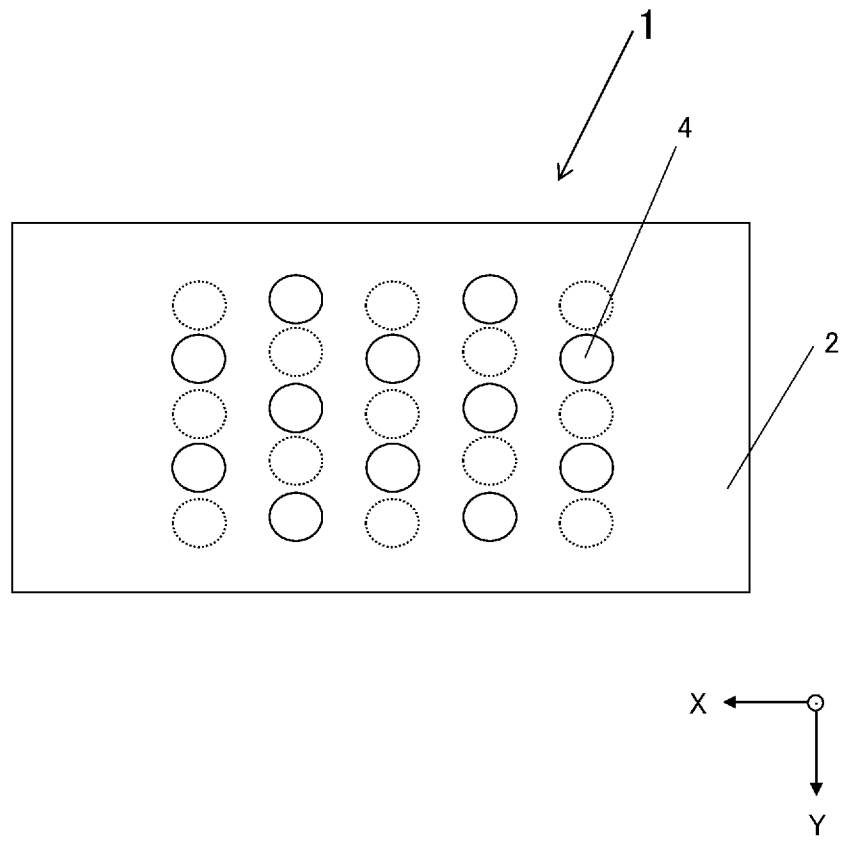
[図2]



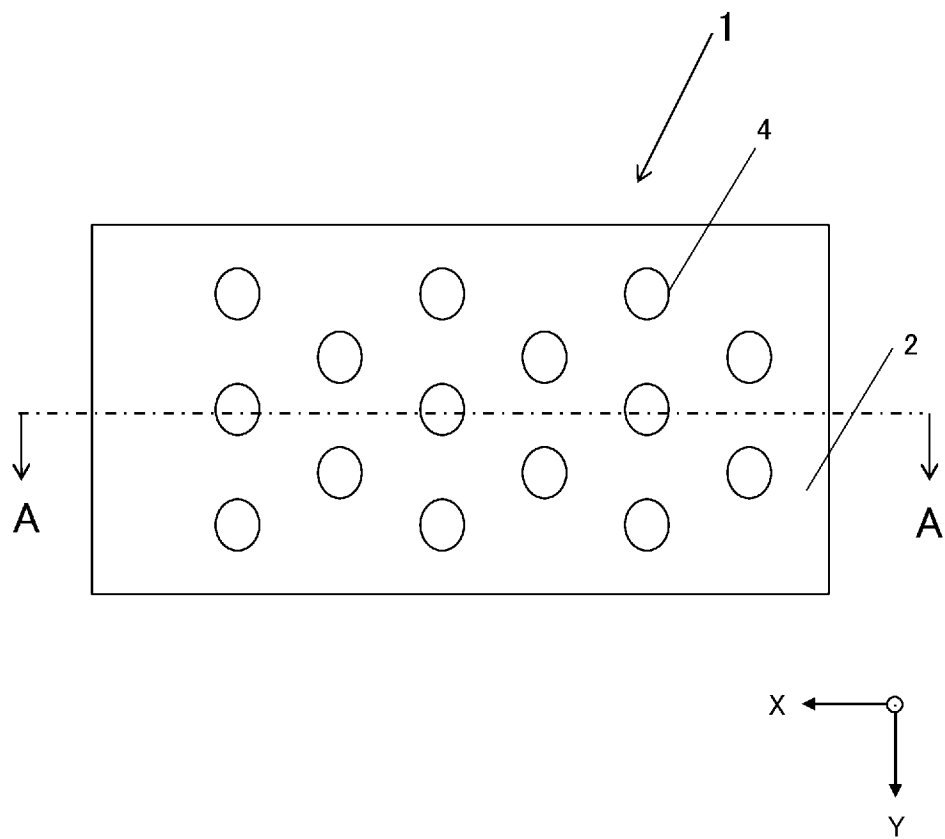
[図3]



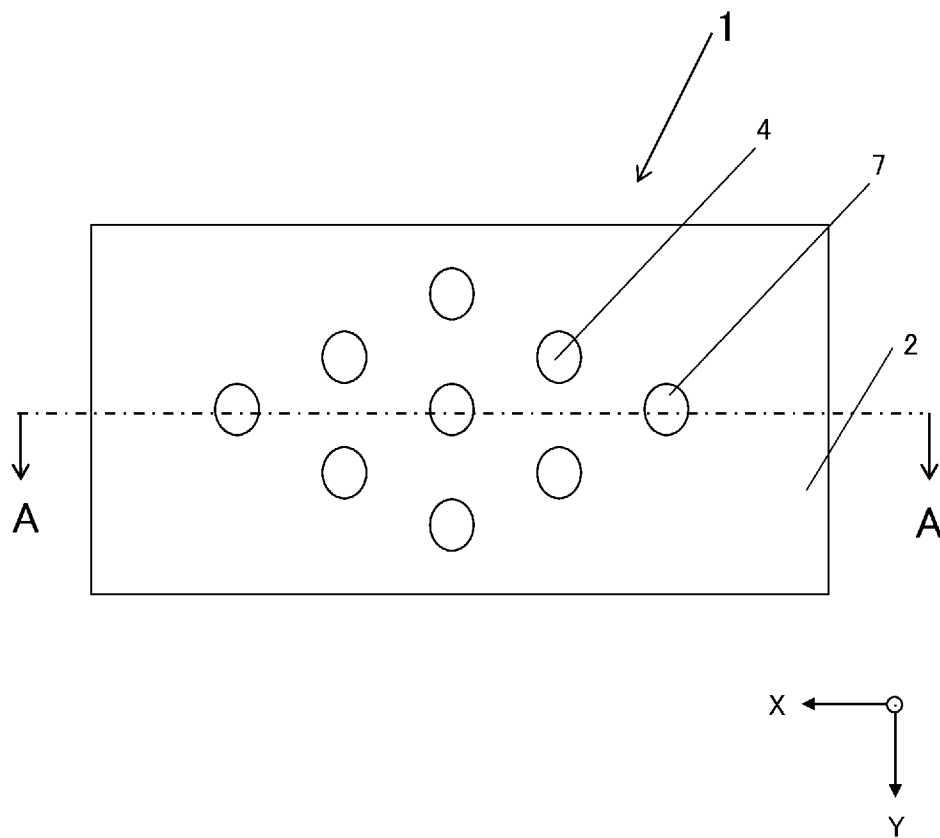
[図4]



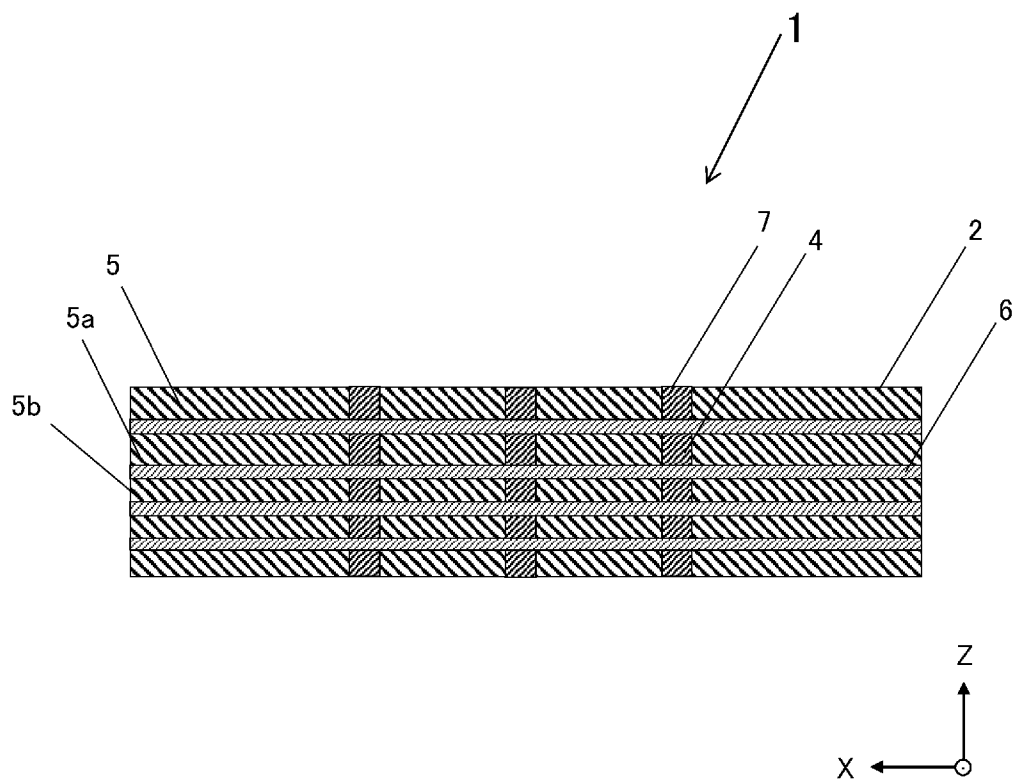
[図5]



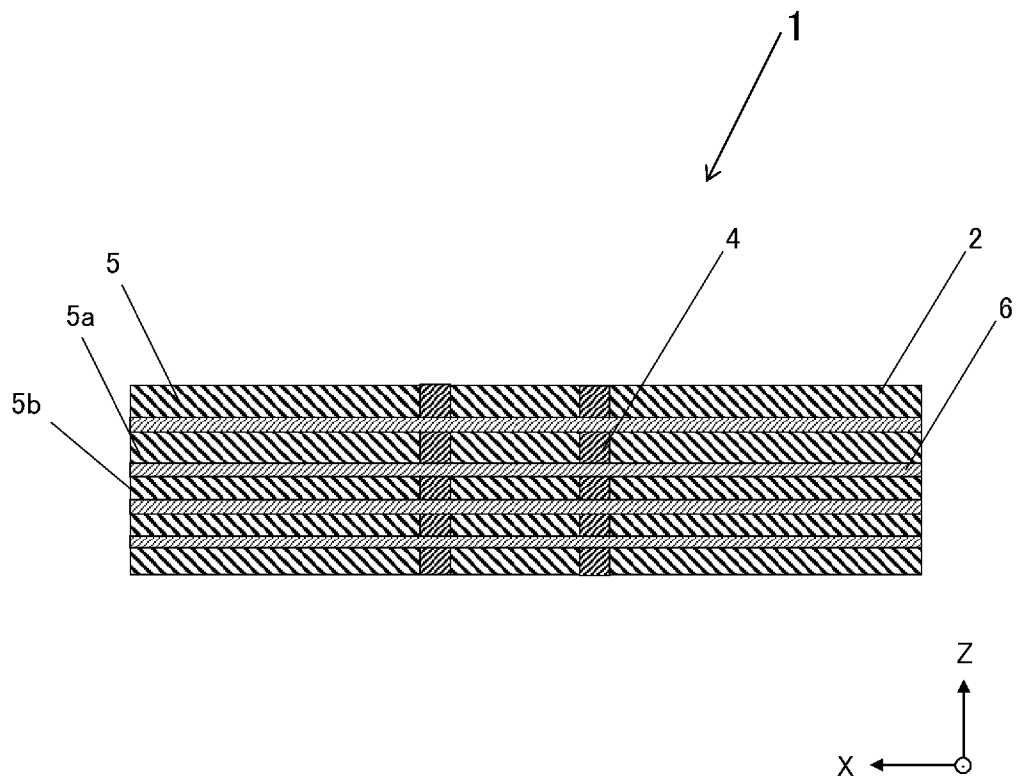
[図6]



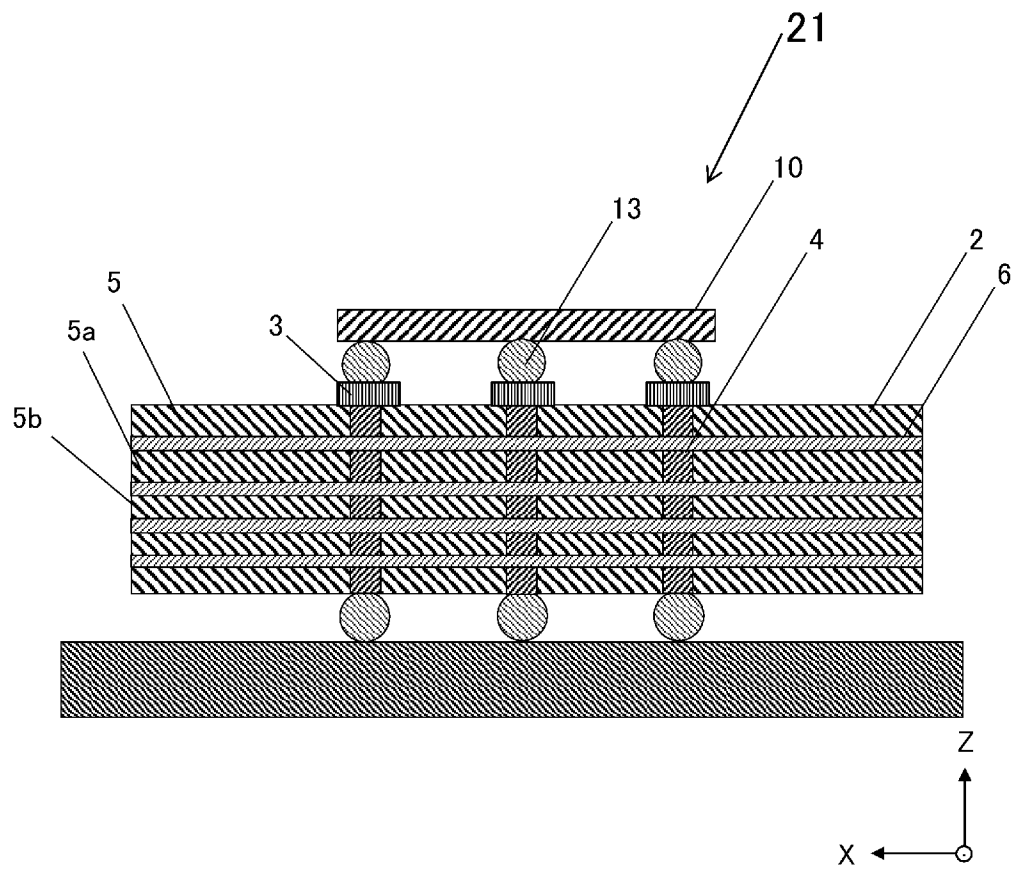
[図7]



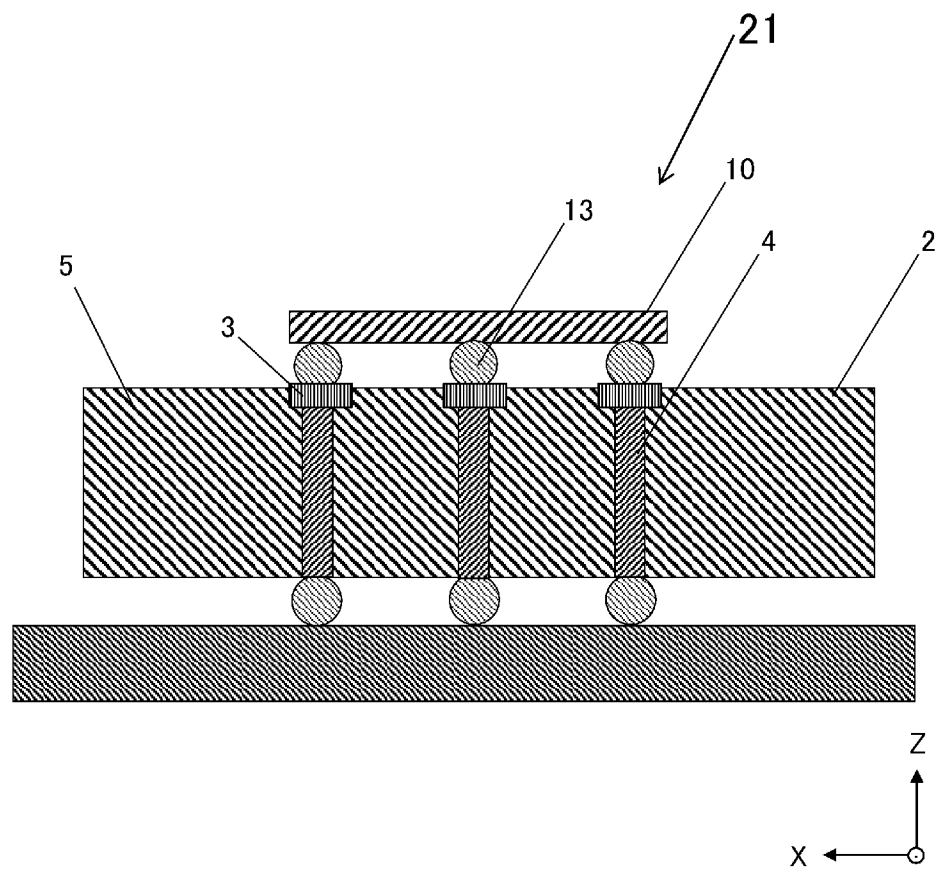
[図8]



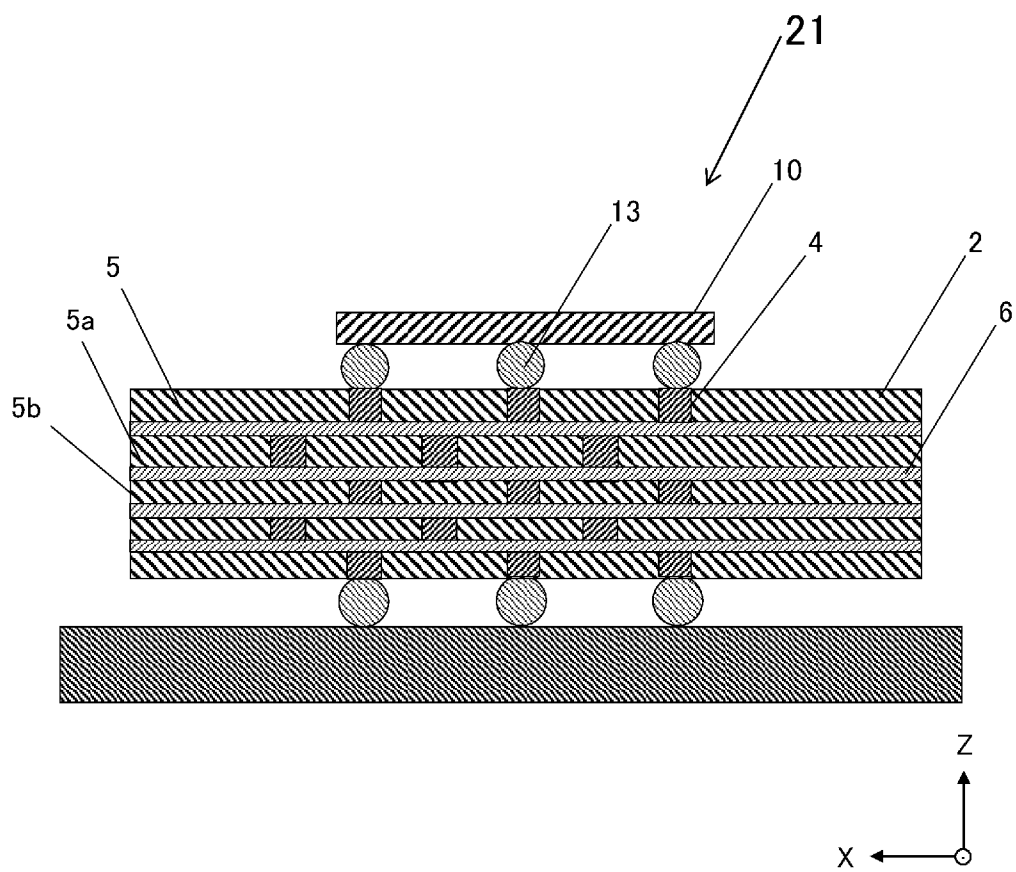
[図9]



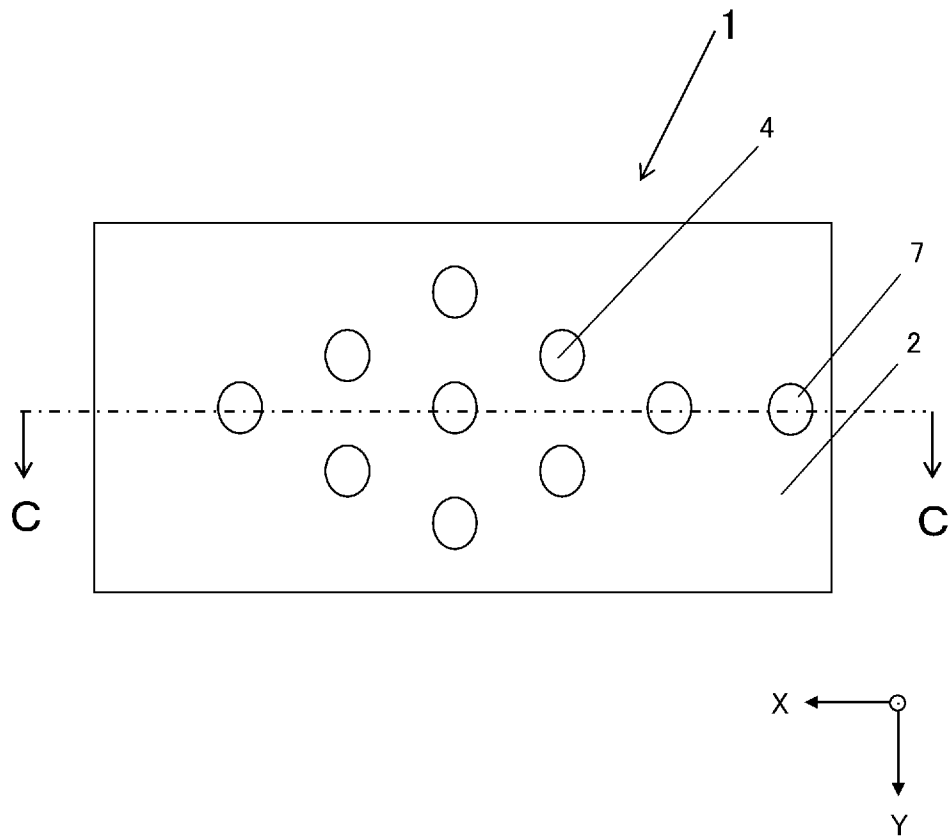
[図10]



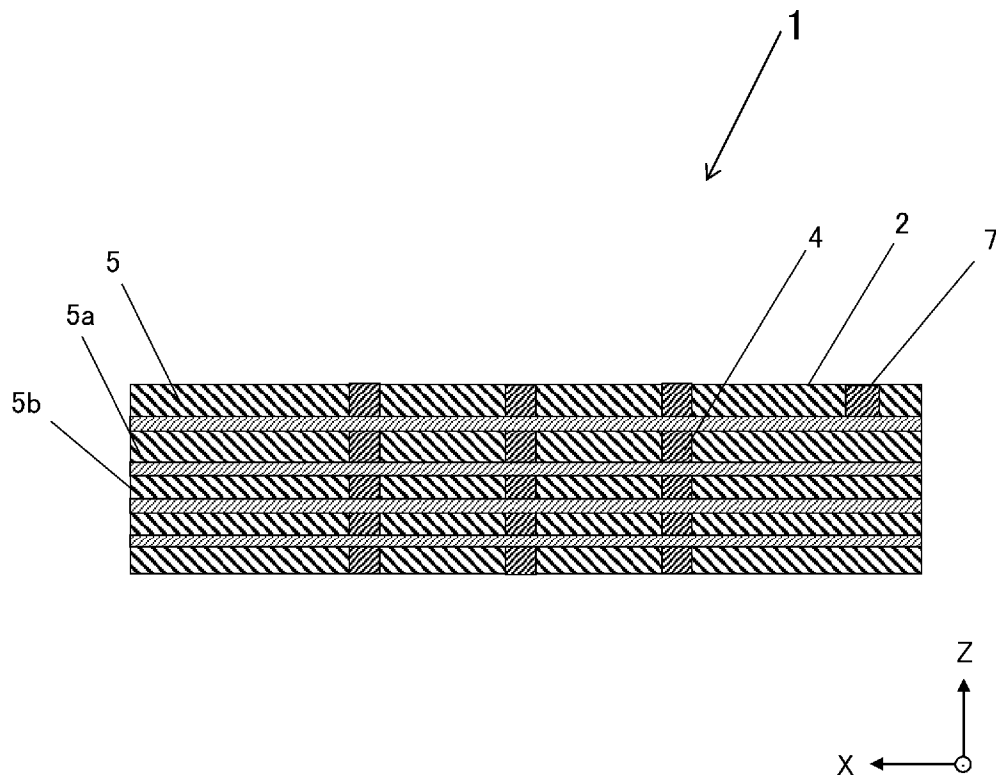
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/050085

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L23/12 (2006.01) i, H05K1/02 (2006.01) i

FI: H05K1/02 C, H01L23/12 N, H01L23/12 Q

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L23/12, H05K1/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2005/029581 A1 (IBIDEN CO., LTD.) 31 March 2005, paragraphs [0022]-[0026], fig. 2-5	1-3, 7 4-6
X A	JP 9-153679 A (KYOCERA CORP.) 10 June 1997, paragraphs [0023]-[0050], fig. 1, 3	1, 4, 6-7 2, 3, 5
X A	JP 2018-152508 A (IBIDEN CO., LTD.) 27 September 2018, paragraphs [0009]-[0026], fig. 1-3	1, 4, 7 2-3, 5-6
P, X P, A	JP 2019-79969 A (KYOCERA CORP.) 23 May 2019, paragraphs [0008]-[0020], fig. 1, 2	1, 4-7 2-3

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28.01.2020

Date of mailing of the international search report
10.02.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2019/050085

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
WO 2005/029581 A1	31.03.2005	US 2006/0202322 A1 paragraphs [0048]- [0052], fig. 2-5 EP 1667225 A1 paragraphs [0032]- [0036], fig. 2-5 CN 1777989 A page 10, line 14 to page 11, line 24, fig. 2-5	
JP 9-153679 A	10.06.1997	(Family: none)	
JP 2018-152508 A	27.09.2018	US 2018/0270951 A1 paragraphs [0028]- [0044], fig. 1-3	
JP 2019-79969 A	23.05.2019	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/12(2006.01)i; H05K 1/02(2006.01)i FI: H05K1/02 C; H01L23/12 N; H01L23/12 Q		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L23/12; H05K1/02		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2005/029581 A1（イビデン株式会社）31.03.2005（2005-03-31） 段落[0022]-[0026], 図2-5	1-3, 7
A		4-6
X	JP 9-153679 A（京セラ株式会社）10.06.1997（1997-06-10） 段落 [0023] - [0050], 図1, 3	1, 4, 6-7
A		2, 3, 5
X	JP 2018-152508 A（イビデン株式会社）27.09.2018（2018-09-27） 段落 [0009] - [0026], 図1-3	1, 4, 7
A		2-3, 5-6
P, X	JP 2019-79969 A（京セラ株式会社）23.05.2019（2019-05-23） 段落 [0008] - [0020], 図1-2	1, 4-7
P, A		2-3
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 28.01.2020		国際調査報告の発送日 10.02.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 三森 雄介 5D 4061 電話番号 03-3581-1101 内線 3551

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/050085

引用文献			公表日	パテントファミリー文献	公表日
WO	2005/029581	A1	31.03.2005	US 2006/0202322 A1 Paragraphs[0048]- [0052], Figs. 2-5 EP 1667225 A1 Paragraphs[0032]- [0036], Figs. 2-5 CN 1777989 A 第10頁第14行-第11頁第24 行, 図2-5	
JP	9-153679	A	10.06.1997	(ファミリーなし)	
JP	2018-152508	A	27.09.2018	US 2018/0270951 A1 Paragraphs[0028]- [0044], FIGs1-3	
JP	2019-79969	A	23.05.2019	(ファミリーなし)	