



(12) 发明专利申请

(10) 申请公布号 CN 118765425 A

(43) 申请公布日 2024. 10. 11

(21) 申请号 202280092640.2

(22) 申请日 2022.12.15

(30) 优先权数据

2022-054347 2022.03.29 JP

(85) PCT国际申请进入国家阶段日

2024.08.27

(86) PCT国际申请的申请数据

PCT/JP2022/046194 2022.12.15

(87) PCT国际申请的公布数据

W02023/188588 JA 2023.10.05

(71) 申请人 松下知识产权经营株式会社

地址 日本

(72) 发明人 施泓安 浅沼健一 高桥幸二

(74) 专利代理机构 北京林达刘知识产权代理事

务所(普通合伙) 11277

专利代理师 刘新宇 张文慧

(51) Int.Cl.

H01F 27/00 (2006.01)

H01F 27/29 (2006.01)

H01F 30/12 (2006.01)

H02M 3/155 (2006.01)

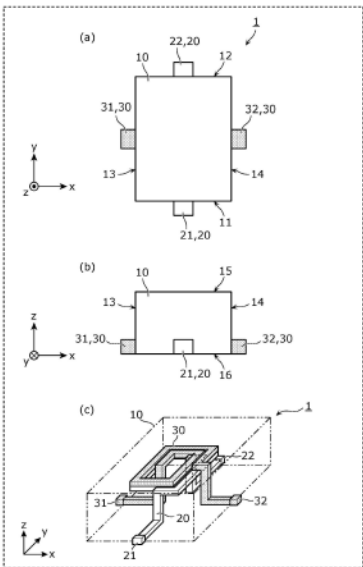
权利要求书3页 说明书21页 附图25页

(54) 发明名称

耦合电感器、电感器单元、电压转换器以及电力转换装置

(57) 摘要

耦合电感器(1)具备:磁性体(10);导体(20),导体(20)的至少一部分设置于磁性体(10)内;以及导体(30),导体(30)的至少一部分设置于磁性体(10)内,导体(30)与导体(20)耦合。磁性体(10)具有彼此背向的侧面(11、12)、以及彼此背向的侧面(13、14),侧面(13、14)与侧面(11、12)分别正交。导体(20)具有设置于侧面(11)的端子(21)、以及设置于侧面(12)的端子(22)。导体(30)具有设置于侧面(13)的端子(31)、以及设置于侧面(14)的端子(32)。



1. 一种耦合电感器, 具备:

磁性体;

第一导体, 所述第一导体的至少一部分设置于所述磁性体内; 以及

第二导体, 所述第二导体的至少一部分设置于所述磁性体内, 所述第二导体与所述第一导体耦合,

其中, 所述磁性体具有彼此背向的第一面及第二面、以及彼此背向的第三面及第四面, 所述第三面及所述第四面与所述第一面及所述第二面分别正交,

所述第一导体具有:

第一端子, 其设置于所述第一面; 以及

第二端子, 其设置于所述第二面,

所述第二导体具有:

第三端子, 其设置于所述第三面; 以及

第四端子, 其设置于所述第四面。

2. 根据权利要求1所述的耦合电感器, 其中,

所述第一端子在所述第一面中设置于相比于靠近所述第四面而言更靠近所述第三面的位置,

所述第二端子在所述第二面中设置于相比于靠近所述第三面而言更靠近所述第四面的位置,

所述第三端子在所述第三面中设置于相比于靠近所述第二面而言更靠近所述第一面的位置,

所述第四端子在所述第四面中设置于相比于靠近所述第一面而言更靠近所述第二面的位置。

3. 一种耦合电感器, 具备:

磁性体;

第一导体, 所述第一导体的至少一部分设置于所述磁性体内; 以及

第二导体, 所述第二导体的至少一部分设置于所述磁性体内, 所述第二导体与所述第一导体耦合,

其中, 所述磁性体具有彼此背向的第一面及第二面、以及彼此背向的第三面及第四面, 所述第三面及所述第四面与所述第一面及所述第二面分别正交,

所述第一导体具有设置于所述第四面的第一端子及第二端子,

所述第二导体具有:

第三端子, 其设置于所述第二面; 以及

第四端子, 其设置于所述第一面。

4. 根据权利要求3所述的耦合电感器, 其中,

所述第四面是与所述第三面相比靠近被供给流过所述第一导体的电流的负载的面。

5. 一种耦合电感器, 具备:

磁性体;

第一导体, 所述第一导体的至少一部分设置于所述磁性体内; 以及

第二导体, 所述第二导体的至少一部分设置于所述磁性体内, 所述第二导体与所述第

一导体耦合，

其中，所述磁性体具有彼此背向的第三面及第四面、以及彼此背向的第五面及第六面，所述第五面及所述第六面与所述第三面及所述第四面分别正交，

所述第五面是与被安装所述耦合电感器的基板相向的面，

所述第一导体具有：

第一端子，其设置于所述第六面；以及

第二端子，其设置于所述第五面，

所述第二导体具有：

第三端子，其设置于所述第三面；以及

第四端子，其设置于所述第四面。

6. 根据权利要求5所述的耦合电感器，其中，

所述第三端子连续地设置于所述第三面和所述第六面，

所述第四端子连续地设置于所述第四面和所述第五面。

7. 根据权利要求1至6中的任一项所述的耦合电感器，其中，

所述第一导体还具有：

第五端子，其设置于所述磁性体的与设置有所述第三端子的面相同的面；以及

第六端子，其设置于所述磁性体的与设置有所述第四端子的面相同的面，

所述第二导体还具有：

第七端子，其设置于所述磁性体的与设置有所述第一端子的面相同的面；以及

第八端子，其设置于所述磁性体的与设置有所述第二端子的面相同的面。

8. 根据权利要求1至6中的任一项所述的耦合电感器，其中，

在与设置有所述第一端子的面正交的方向观察的情况下，所述第一端子不从所述磁性体突出，

在与设置有所述第二端子的面正交的方向观察的情况下，所述第二端子不从所述磁性体突出，

在与设置有所述第三端子的面正交的方向观察的情况下，所述第三端子不从所述磁性体突出，

在与设置有所述第四端子的面正交的方向观察的情况下，所述第四端子不从所述磁性体突出。

9. 一种电感器单元，具备：

根据权利要求1或2所述的耦合电感器即第一耦合电感器；以及

第二耦合电感器，其与所述第一耦合电感器的所述第四面相向地配置，

其中，所述第二耦合电感器具有所述第一耦合电感器的构造的镜像反转构造。

10. 一种电压转换器，具备：

根据权利要求5或6所述的耦合电感器；

开关元件；

输入电容元件；以及

输出电容元件，

其中，所述输入电容元件或所述开关元件与所述第六面相向地配置，所述输出电容元

件与所述第五面相向地配置。

11. 一种电压转换器，
具备根据权利要求1至6中的任一项所述的耦合电感器。
12. 一种电力转换装置，
具备根据权利要求10所述的电压转换器。

耦合电感器、电感器单元、电压转换器以及电力转换装置

技术领域

[0001] 本公开涉及一种耦合电感器、电感器单元、电压转换器以及电力转换装置。

背景技术

[0002] 在专利文献1中公开了一种具有芯和两个导电布线的可变耦合电感器。两个导电布线被引出到芯的同一面。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:美国专利申请公开第2014/005226号说明书

发明内容

[0006] 发明要解决的问题

[0007] 在上述现有的可变耦合电感器中,在假定了多相化的情况下,布线长度增加。因此,可能会使电特性劣化,例如由布线的电阻引起的损耗增大、由寄生电感导致的振荡的产生或负载响应性的下降等。

[0008] 因此,本公开提供一种能够抑制多相化的情况下的电特性的劣化的耦合电感器等。

[0009] 用于解决问题的方案

[0010] 本公开的一个方式所涉及的耦合电感器具备:磁性体;第一导体,所述第一导体的至少一部分设置于所述磁性体内;以及第二导体,所述第二导体的至少一部分设置于所述磁性体内,所述第二导体与所述第一导体耦合。所述磁性体具有彼此背向的第一面及第二面、以及彼此背向的第三面及第四面,所述第三面及所述第四面与所述第一面及所述第二面分别正交。所述第一导体具有设置于所述第一面的第一端子、以及设置于所述第二面的第二端子。所述第二导体具有设置于所述第三面的第三端子、以及设置于所述第四面的第四端子。

[0011] 本公开的另一方式所涉及的耦合电感器具备:磁性体;第一导体,所述第一导体的至少一部分设置于所述磁性体内;以及第二导体,所述第二导体的至少一部分设置于所述磁性体内,所述第二导体与所述第一导体耦合。所述磁性体具有彼此背向的第一面及第二面、以及彼此背向的第三面及第四面,所述第三面及所述第四面与所述第一面及所述第二面分别正交。所述第一导体具有设置于所述第四面的第一端子及第二端子。所述第二导体具有设置于所述第二面的第三端子以及设置于所述第一面的第四端子。

[0012] 本公开的另一方式所涉及的耦合电感器具备:磁性体;第一导体,所述第一导体的至少一部分设置于所述磁性体内;以及第二导体,所述第二导体的至少一部分设置于所述磁性体内,所述第二导体与所述第一导体耦合。所述磁性体具有彼此背向的第三面及第四面、以及彼此背向的第五面及第六面,所述第五面及所述第六面与所述第三面及所述第四面分别正交。所述第五面是与被安装所述耦合电感器的基板相向的面。所述第一导体具有

设置于所述第六面的第一端子、以及设置于所述第五面的第二端子。所述第二导体具有设置于所述第三面的第三端子、以及设置于所述第四面的第四端子。

[0013] 本公开的一个方式所涉及的电感器单元具备：上述一个方式所涉及的耦合电感器即第一耦合电感器；以及第二耦合电感器，其与所述第一耦合电感器的所述第四面相向地配置。所述第二耦合电感器具有所述第一耦合电感器的构造的镜像反转构造。

[0014] 本公开的一个方式所涉及的电压转换器具备上述一个方式所涉及的耦合电感器、开关元件、输入电容元件以及输出电容元件。所述输入电容元件或所述开关元件与所述第六面相向地配置，所述输出电容元件与所述第五面相向地配置。

[0015] 本公开的另一个方式所涉及的电压转换器具备上述一个方式所涉及的耦合电感器或电感器单元。

[0016] 本公开的一个方式所涉及的电力转换装置具备上述一个方式所涉及的电压转换器。

[0017] 发明的效果

[0018] 根据本公开，能够抑制多相化的情况下的电特性的劣化。

附图说明

[0019] 图1是示出实施方式所涉及的电压转换器的电路结构的电路图。

[0020] 图2A是示出混合供电方式的电压转换器的结构的一例的示意图。

[0021] 图2B是用于说明基于图2A所示的电压转换器的供电方式的图。

[0022] 图3A是示出混合供电方式的电压转换器的结构的另一例的示意图。

[0023] 图3B是用于说明基于图3A所示的电压转换器的供电方式的图。

[0024] 图4是实施例1所涉及的耦合电感器的俯视图和主视图。

[0025] 图5是示出具备多个图4所示的耦合电感器的电感器单元的结构俯视图。

[0026] 图6是实施例2所涉及的耦合电感器的俯视图和主视图。

[0027] 图7是示出具备多个图6所示的耦合电感器的电感器单元的结构俯视图。

[0028] 图8是示出实施例3所涉及的电感器单元的结构俯视图。

[0029] 图9是实施例4所涉及的耦合电感器的俯视图和主视图。

[0030] 图10是示出具备多个图9所示的耦合电感器的电感器单元的结构俯视图。

[0031] 图11A是示出垂直供电方式的电压转换器的结构的一例的示意图。

[0032] 图11B是用于说明基于图11A所示的电压转换器的供电方式的图。

[0033] 图12是实施例5所涉及的耦合电感器的俯视图和主视图。

[0034] 图13是实施例6所涉及的耦合电感器的俯视图和主视图。

[0035] 图14是示出具备多个图13所示的耦合电感器的电感器单元的结构俯视图。

[0036] 图15是示出实施例7所涉及的电感器单元的结构俯视图。

[0037] 图16是实施例8所涉及的耦合电感器的俯视图和主视图。

[0038] 图17是示出具备多个图16所示的耦合电感器的电感器单元的结构俯视图。

[0039] 图18是实施例9所涉及的耦合电感器的俯视图和主视图。

[0040] 图19是实施例10所涉及的耦合电感器的俯视图和主视图。

[0041] 图20是示出实施方式所涉及的电力转换装置的结构图。

- [0042] 图21是示出实施方式所涉及的耦合电感器的变形例的俯视图。
- [0043] 图22是表示第一磁性体和第二磁性体各自的、相互组合的面的俯视图。
- [0044] 图23是表示在图22所示的第一磁性体和第二磁性体分别收容有导体的状态的俯视图。
- [0045] 图24是表示第一磁性体和第二磁性体各自的、相互组合的面的变形例的俯视图。
- [0046] 图25是表示在图24所示的第一磁性体和第二磁性体分别收容有导体的状态的俯视图。

具体实施方式

[0047] (本公开的概要)

[0048] 本公开的第一方式所涉及的耦合电感器具备:磁性体;第一导体,第一导体的至少一部分设置于所述磁性体内;以及第二导体,所述第二导体的至少一部分设置于所述磁性体内,所述第二导体与所述第一导体耦合。所述磁性体具有彼此背向的第一面及第二面、以及彼此背向的第三面及第四面,所述第三面及所述第四面与所述第一面及所述第二面分别正交。所述第一导体具有设置于所述第一面的第一端子、以及设置于所述第二面的第二端子。所述第二导体具有设置于所述第三面的第三端子、以及设置于所述第四面的第四端子。

[0049] 由此,相对于用于向负载供给电力的两个端子(例如,第一端子及第二端子),用于连接耦合线路的两个端子(例如,第三端子及第四端子)分别配置于不同的四个侧面。因此,在使耦合电感器多相化的情况下,不仅能够使用于连接耦合线路的端子彼此相对,还能够使用于供给电源的线路的方向一致,因此能够缩短布线长度。由于布线长度变短,因此能够降低损耗。另外,能够抑制由寄生电感导致的振荡的产生以及负载响应性的下降。像这样,根据本方式所涉及的耦合电感器,能够抑制多相化的情况下的电特性的劣化。

[0050] 另外,例如,本公开的第二方式所涉及的耦合电感器可以是,在第一方式所涉及的耦合电感器中,所述第一端子在所述第一面中设置于相比于靠近所述第四面而言更靠近所述第三面的位置。所述第二端子可以在所述第二面中设置于相比于靠近所述第三面而言更靠近所述第四面的位置。所述第三端子可以在所述第三面中设置于相比于靠近所述第二面而言更靠近所述第一面的位置。所述第四端子可以在所述第四面中设置于相比于靠近所述第一面而言更靠近所述第二面的位置。

[0051] 由此,能够将第一导体的第一端子与第二导体的第三端子靠近配置。能够将第一导体的第二端子与第二导体的第四端子靠近配置。因此,能够延长在磁性体内的第一导体与第二导体并行的长度,因此能够增强第一导体与第二导体的耦合。也就是说,能够提高耦合电感器的耦合系数,因此能够减少漏电感。

[0052] 另外,例如,本公开的第三方式所涉及的耦合电感器具备:磁性体;第一导体,所述第一导体的至少一部分设置于所述磁性体内;以及第二导体,所述第二导体的至少一部分设置于所述磁性体内,所述第二导体与所述第一导体耦合。所述磁性体具有彼此背向的第一面及第二面、以及彼此背向的第三面及第四面,所述第三面及所述第四面与所述第一面及所述第二面分别正交。所述第一导体具有设置于所述第四面的第一端子及第二端子。所述第二导体具有设置于所述第二面的第三端子、以及设置于所述第一面的第四端子。

[0053] 由此,能够将能够用于供给电力的第一导体的第一端子和第二端子配置于同一侧

面。因此,例如耦合电感器能够利用第一端子接受从垂直方向供给的电力,并从第二端子向负载供给电力。本方式所涉及的耦合电感器对于混合供电方式(水平方向+垂直方向)的电压转换器而言是有用的。

[0054] 另外,例如,本公开的第四方式所涉及的耦合电感器可以是,在第三方式所涉及的耦合电感器中,所述第四面是与所述第三面相比靠近被供给流过所述第一导体的电流的负载的面。

[0055] 由此,能够缩短耦合电感器与负载的距离,因此能够缩短电源供给用的布线长度。由于布线长度变短,因此能够降低损耗。另外,能够抑制由寄生电感导致的振荡的产生以及负载响应性的下降。像这样,根据本方式所涉及的耦合电感器,能够抑制多相化的情况下的电特性的劣化。

[0056] 另外,例如,本公开的第五方式所涉及的耦合电感器具备:磁性体;第一导体,所述第一导体的至少一部分设置于所述磁性体内;以及,所述第二导体的至少一部分设置于所述磁性体内,所述第二导体与所述第一导体耦合。所述磁性体具有彼此背向的第三面及第四面、以及彼此背向的第五面及第六面,所述第五面及所述第六面与所述第三面及所述第四面分别正交。所述第五面是与被安装所述耦合电感器的基板相向的面。所述第一导体具有设置于所述第六面的第一端子、以及设置于所述第五面的第二端子。所述第二导体具有设置于所述第三面的第三端子、以及设置于所述第四面的第四端子。

[0057] 由此,由于在与基板的安装面相向的第五面设置有第二端子,因此能够缩短对耦合电感器层叠了其它元件的情况下的布线长度。由于布线长度变短,因此能够降低损耗。另外,能够抑制由寄生电感导致的振荡的产生以及负载响应性的下降。像这样,根据本方式所涉及的耦合电感器,能够抑制多相化的情况下的电特性的劣化。因此,本方式所涉及的耦合电感器对于垂直供电方式的电压转换器而言是有用的。

[0058] 另外,例如,本公开的第六方式所涉及的耦合电感器可以是,在第五方式所涉及的耦合电感器中,所述第三端子连续地设置于所述第三面和所述第六面。所述第四端子可以连续地设置于所述第四面和所述第五面。

[0059] 由此,由于用于耦合线路的连接的第二导体的第三端子配置于第六面,因此能够与用于向负载供给电力的第一导体的第一端子靠近配置。同样地,由于第二导体的第四端子配置于第五面,因此能够与第一导体的第二端子靠近配置。因此,能够延长在磁性体内的第一导体与第二导体并行的长度,因此能够增强第一导体与第二导体的耦合。也就是说,能够提高耦合电感器的耦合系数,因此能够减少漏电感。

[0060] 另外,例如,本公开的第七方式所涉及的耦合电感器可以是,在第一方式~第六方式中的任一方式所涉及的耦合电感器中,所述第一导体还具有:第五端子,其设置于所述磁性体的与设置有所述第三端子的面相同的面;以及第六端子,其设置于所述磁性体的、与设置有所述第四端子的面相同的面。所述第二导体可以还具有:第七端子,其设置于所述磁性体的与设置有所述第一端子的面相同的面;以及第八端子,其设置于所述磁性体的与设置有所述第二端子的面相同的面。

[0061] 由此,由于针对第一端子~第四端子分别设置有辅助的第五端子~第八端子,因此能够延长在磁性体内的第一导体与第二导体并行的长度。因此,能够增强第一导体与第二导体的耦合。也就是说,能够提高耦合电感器的耦合系数,因此能够减少漏电感。

[0062] 另外,例如,本公开的第七方式所涉及的耦合电感器可以是,在第一方式~第七方式中的任一方式所涉及的耦合电感器中,在从与设置有所述第一端子的面正交的方向观察的情况下,所述第一端子不从所述磁性体突出。可以是,在从与设置有所述第二端子的面正交的方向观察情况下,所述第二端子不从所述磁性体突出。可以是,在从与设置有所述第三端子的面正交的方向观察的情况下,所述第三端子不从所述磁性体突出。可以是,在从与设置有所述第四端子的面正交的方向观察的情况下,所述第四端子不从所述磁性体突出。

[0063] 由此,由于各端子不从磁性体的侧面突出,因此能够实现耦合电感器的小型化。另外,由于机械冲击难以直接施加于各端子,因此能够抑制各端子的破损。因而,能够实现耐冲击的耦合电感器。

[0064] 本公开的第九方式所涉及的电感器单元具备:第一方式或第二方式所涉及的耦合电感器即第一耦合电感器;以及第二耦合电感器,其与所述第一耦合电感器的所述第四面相向地配置。所述第二耦合电感器具有所述第一耦合电感器的构造的镜像反转构造。

[0065] 由此,能够进一步缩短耦合线路的布线长度。因而,能够更强地抑制电特性的劣化。

[0066] 本公开的第十方式所涉及的电压转换器具备第五方式或第六方式所涉及的耦合电感器、开关元件、输入电容元件以及输出电容元件。所述输入电容元件或所述开关元件与所述第六面相向地配置,所述输出电容元件与所述第五面相向地配置。

[0067] 由此,能够将各元件在垂直方向上层叠地配置,例如能够减小安装所需的占用空间,因此能够使电压转换器小型化。例如,能够缩短布线长度,因此能够降低损耗。另外,能够抑制由寄生电感导致的振荡的产生以及负载响应性的下降。另外,由于具备上述的耦合电感器,因此能够抑制电特性的劣化。

[0068] 本公开的第十一方式所涉及的电压转换器具备第一方式~第八方式中的任一方式所涉及的耦合电感器或第九方式所涉及的电感器单元。

[0069] 由此,由于具备上述的耦合电感器或电感器单元,因此能够抑制电特性的劣化。

[0070] 本公开的第十二方式所涉及的电力转换装置具备第十方式或第十一方式所涉及的电压转换器。

[0071] 由此,由于具备上述的电压转换器,因此能够抑制电特性的劣化。

[0072] 下面,参照附图来具体地说明实施方式。

[0073] 此外,下面说明的实施方式均用于示出总括性或具体的例子。以下的实施方式所示的数值、形状、材料、构成要素、构成要素的配置位置及连接方式、步骤、步骤的顺序等是一例,并非意在限定本公开。另外,将以下的实施方式中的构成要素中的未被记载于独立权利要求的构成要素作为任意的构成要素进行说明。

[0074] 另外,各图是示意图,不一定严格地进行了图示。因而,例如在各图中比例尺等不一定一致。另外,在各图中,对实质上相同的结构标注相同的附图标记,省略或简化重复的说明。

[0075] 另外,在本说明书中,平行或垂直等表示要素间的关系的用语及长方体或长方形等表示要素的形状的用语、以及数值范围并非仅表示严格的意思的表述,而是意味着还包含实质上等同的范围、例如几%左右的差异的表述。

[0076] 另外,在本说明书中,“上方”和“下方”这样的用语并不是指绝对的空间识别中的

上方向(铅直上方)和下方向(铅直下方),而是作为基于层叠结构中的层叠顺序通过相对位置关系来规定的用语来使用。另外,“上方”和“下方”这样的用语不仅适用于两个构成要素彼此隔开间隔地配置且在两个构成要素之间存在其它构成要素的情况,还适用于两个构成要素彼此紧贴地配置而使两个构成要素相接的情况。

[0077] 另外,在本说明书和附图中,x轴、y轴以及z轴表示三维正交坐标系的三个轴。在各实施方式中,将z轴方向设为与由于安装电感器的基板的主面正交的方向。

[0078] (实施方式)

[0079] [1.电压转换器的电路结构]

[0080] 首先,使用图1来说明实施方式所涉及的电压转换器的电路结构。图1是示出本实施方式所涉及的电压转换器100的电路结构的电路图。

[0081] 图1所示的电压转换器100被用作PoL(Point of Load:负载点)电源。具体地说,电压转换器100是对负载(例如,处理器)供给规定的电压(电流)的降压转换器。

[0082] 如图1所示,电压转换器100具备多个耦合电感器1、多个FET(Field Effect Transistor:场效应晶体管)电路、输入电容C_{in}、输出电容C_{out}、电感器L_c、输入端子VIN以及输出端子VOUT。耦合电感器1与FET电路一对一对应地设置有N个。电压转换器100是能够通过N个FET电路依次动作来供给稳定的电压(电流)的N相的转换器。其中,N是2以上的自然数。

[0083] 输入端子VIN是用于接受电力的供给的端子。

[0084] 输出端子VOUT是用于输出由电压转换器100生成的电压(电流)的端子。在输出端子VOUT连接有负载(图1中未示出)。

[0085] 负载例如是XPU。XPU是CPU(Central Processing Unit:中央处理单元)、GPU(Graphics Processing Unit:图形处理器)或ASIC(Application Specific Integrated Circuit:专用集成电路)等处理器,但没有特别限定。

[0086] 输入电容C_{in}是在将输入端子VIN与FET电路连结的路径同地之间接入的电容器。

[0087] 输出电容C_{out}是在将耦合电感器1与输出端子VOUT连结的路径同地之间接入的电容器。输出电容C_{out}也被称作大容量电容器。设置输出电容C_{out}是为了使从输出端子VOUT供给的电流稳定。

[0088] FET电路是具有两个FET的开关电路。在两个FET的源极-漏极间接入有二极管。该二极管是所谓的体二极管(寄生二极管)。

[0089] 两个FET是开关元件的一例,通过从控制电路(未图示)施加于栅极的电压,来将两个FET排他地在接通与断开之间切换。即,进行控制以使两个FET不同时接通。具体地说,在两个FET中的一方接通(导通状态)的情况下,另一方断开(非导通状态)。两个FET在输入端子VIN与接地之间以串联连接的方式配置。通过使两个FET的接通和断开交替地重复,能够从两个FET的连接点向耦合电感器1流通电流。

[0090] 相1至相N的N个FET电路以动作定时互不重叠的方式依次动作。例如,按照从相1到相N的顺序依次进行以下动作:使在将输入端子VIN与耦合电感器1连结的路径上串联地连接的FET接通规定期间。当到达相N时,从相1起再次重复。由此,能够从输出端子VOUT向负载供给电流。

[0091] 耦合电感器1具有彼此耦合的导体20及30。导体20是初级侧线圈,被接入到FET电

路的两个FET的连接点与输出端子VOUT之间。导体30是次级侧线圈,与其它耦合电感器1的导体30串联连接。N个导体30的串联连接结构的一端经由电感器Lc接地,另一端直接接地。有时将配置有N个导体30的地间的线路称为耦合线路。

[0092] 通过将N个导体30串联连接,能够对输出电容Cout供给大电流。即,即使在由于负载的变动而从输出端子VOUT供给大电流的情况下,也能够迅速地供给大电流。因而,能够实现高速的负载响应性。

[0093] 另外,本实施方式所涉及的耦合电感器1能够实现高耦合系数,因此漏电感变小,在后文中叙述详情。因此,电感器Lc的设计范围变大,电感器Lc的L值的设计变得容易。另外,由于漏电感变小,由此负载响应性变高。另外,由于能够缩短导体30的串联连接所需的布线长度,因此不仅能够降低损耗,还能够减少振荡以使动作稳定。另外,由于布线长度变短,因此寄生电感减小,所以负载响应性也变高。

[0094] [2.电压转换器的模块结构(混合供电方式)]

[0095] 图1所示的电压转换器100同负载一起安装于基板并被模块化。电压转换器100能够利用混合供电方式和垂直供电方式来作为针对负载的供电方式。

[0096] 下面,首先使用图2A和图2B来说明混合供电方式的电压转换器100的模块结构的一例。

[0097] 图2A是示出混合供电方式的电压转换器100的结构的一例的示意图。图2B是用于说明基于图2A所示的电压转换器100的供电方式的图。

[0098] 如图2A所示,电压转换器100安装于基板110。基板110例如是PCB(Printed Circuit Board:印刷电路板)。基板110具有彼此背向的主面111及112。在基板110的主面111或112或者基板110的内部形成有用于流通电流的导电性的布线层以及导电通路等,但未图示。

[0099] 在主面111配置有电感器单元120和作为负载的一例的XPU 150。在主面112配置有片式电容器130及140、以及包括FET电路的集成电路131。

[0100] 电感器单元120包括多个耦合电感器1。在后文中说明多个耦合电感器1的具体配置。

[0101] 片式电容器130是输入电容元件的一例,构成输入电容Cin。输入电容Cin也可以由多个片式电容器130构成。

[0102] 集成电路131包括多个FET电路。多个FET电路可以分散配置于多个集成电路131。

[0103] 在俯视观察基板110时,片式电容器130以及包括FET电路的集成电路131配置于与电感器单元120重叠的位置。

[0104] 片式电容器140是输出电容元件的一例,构成输出电容Cout。输出Cout也可以由多个片式电容器140构成。在俯视观察基板110时,片式电容器140配置于与XPU 150重叠的位置。

[0105] 在图2B中用箭头表示出电流方法。如图2B所示,电流从输入电容Cin(片式电容器130)以及包括FET电路的集成电路131沿垂直方向流过基板110并到达电感器单元120。电流从电感器单元120沿水平方向流过基板110并到达输出电容Cout(片式电容器140)。电流从输出电容Cout沿垂直方向流过基板110并到达XPU 150。

[0106] 像这样,在混合供电方式中,能够一并使用沿垂直方向流过基板110的电流和沿水

平方向流过基板110的电流来向XPU 150供给电流。通过在基板110的两个面安装各元件,能够实现基板110的小面积化。另外,由于供电流流动的布线长度变短,因此能够降低损耗。

[0107] 此外,电压转换器100的模块结构不限于图2A和图2B所示的例子。如图3A所示,也可以将电感器单元120的配置与片式电容器130及包括FET电路的集成电路131的配置调换。在该情况下,如图3B所示,电流沿从基板110的主面111朝向主面112的方向流动。

[0108] [3.耦合电感器的结构及配置]

[0109] 接着,对电感器单元120中包括的多个耦合电感器1的具体结构及其配置进行说明。

[0110] [3-1.实施例1]

[0111] 首先,使用图4来说明实施例1所涉及的耦合电感器1的具体结构。

[0112] 图4是实施例1所涉及的耦合电感器1的俯视图和主视图。图4的(a)是俯视图,图4的(b)是主视图,图4的(c)是立体图。此外,图4的(c)的立体图用于示意性地表示导体20及30的形状。因此,在立体图中,用虚线表示磁性体10,用实线表示大部分从磁性体10的外部看不到的导体20及30。这在后述的图6、图9、图12、图13、图16、图18以及图19中也是同样的。

[0113] 另外,在本说明书中,将z轴的正侧定义为“上侧”或“上方”,将z轴的负侧定义为“下侧”或“下方”。例如,z轴的正侧能够视为对于基板110而言XPU 150的配置方向。此外,在使用电压转换器100时不限定为z轴的正侧为上方。俯视图是从z轴的正侧观察xy平面时的图。主视图是从y轴的负侧观察xz平面时的图。

[0114] 如图4所示,耦合电感器1具备磁性体10、导体20及30。

[0115] 磁性体10具有侧面11、12、13及14、上表面15以及下表面16。在本实施例中,侧面11是第一面的一例。侧面12是第二面的一例,是与侧面11背向的面。侧面13是第三面的一例,是与侧面11及12分别正交的面。侧面14是第四面的一例,是与侧面11及12分别正交且与侧面13背向的面。上表面15是第五面的一例,是与侧面11、12、13及14分别正交的面。下表面16是与侧面11、12、13及14分别正交且与上表面15背向的面。在本实施例中,下表面16是第六面的一例,是与基板110的安装面(主面111或112)相向的面。侧面11、12、13及14、上表面15、下表面16分别为平面。

[0116] 磁性体10的形状为长方体,侧面11与12之间的距离比侧面13与14之间的距离长。此外,磁性体10的形状也可以是正方体。另外,磁性体10的形状也可以是角部或边被斜着切掉后的形状、或者被倒圆角后形状。

[0117] 磁性体10包含磁性材料。磁性体例如还能够包含铁磁性金属(例如铁)、亚铁磁性化合物(例如铁氧体)、铁粉(例如羰基粉)、或者由金属磁性体粉末和树脂材料等构成的压粉磁芯等各种磁性材料。例如,在使用了压粉磁芯的情况下,磁饱和特性优异,起到能够流通大电流的效果。另外,在使用了铁氧体的情况下,起到能够减轻高频下的芯损耗的效果。

[0118] 导体20及30的至少一部分设置于磁性体10内,并且彼此耦合。在本实施例中,导体20是第一导体的一例,是在图1的将输入端子VIN与输出端子VOUT连结的路径上串联连接的初级侧线圈。导体20也被称为功率线圈。导体30是第二导体的一例,是配置在耦合线路上的次级侧线圈。导体30也被称为耦合线圈(coupling coil)。

[0119] 导体20具有端子21及22。端子21是输入端子VIN侧的端子,端子22是输出端子VOUT侧的端子。具体地说,如图1所示,端子21与FET电路的两个FET的连接点连接。端子22与端子

VOUT连接。

[0120] 在本实施例中,端子21是第一端子的一例,设置于磁性体10的侧面11。具体地说,端子21从侧面11突出。端子22是第二端子的一例,设置于磁性体10的侧面12。具体地说,端子22从侧面12突出。端子21及22是导体20的两端部。即,导体20设置为至少一部分在端子21与端子22之间通过磁性体10内。在图4所示的例子中,端子21及22分别配置于侧面11及12的中央下端,但并不限于此。

[0121] 导体30具有端子31及32。端子31与端子21成对,端子32与端子22成对。即,在图1的电路图中,端子21与端子31位于各导体20及30的同一端(下端)侧,端子22和端子32位于其相反(上端)侧。

[0122] 例如如图1所示,端子31与下一相的耦合电感器1的端子32连接(在相N的情况下接地)。端子32与前一相的耦合电感器1的端子31(在相1的情况下为电感器Lc)连接。此外,在图4中,对端子31及32标注点阴影,以容易区别于端子21及22。这在后述的其它图中也是同样的。

[0123] 在本实施例中,端子31是第三端子的一例,设置于磁性体10的侧面13。具体地说,端子31从侧面13突出。端子32是第四端子的一例,设置于磁性体10的侧面14。具体地说,端子32从侧面14突出。端子31及32是导体30的两端部。即,导体30设置为至少一部分在端子31与端子32之间通过磁性体10内。在图4所示的例子中,端子31及32分别配置于侧面13及14的中央下端,但并不限于此。

[0124] 端子21、22、31及32各自的下表面与磁性体10的下表面16齐平。由此,通过使下表面16与基板110的安装面接触,能够容易地进行各端子21、22、31及32与设置于基板110的安装面的布线的连接。

[0125] 此外,各端子21、22、31及32也可以设置于磁性体10的下表面16。例如,各端子21、22、31及32可以从下表面16突出,也可以被收容于设置在下表面16的凹部(槽)中。通过将各端子设置于下表面16,在安装耦合电感器1时能够增大与设置于基板110的布线之间的接触面积。由此,接触电阻减少,因此实现低损耗化。

[0126] 如图4的(c)所示,导体20与导体30设置为彼此的至少一部分在磁性体10内并行。另外,例如,导体20与导体30尽可能以近距离间隔并行设置。在该情况下,并行的长度越长,越能够增强导体20与导体30的耦合。另外,导体20与导体30的并行间隔越窄,也就是导体20与导体30彼此越近,越能够增强导体20与导体30的耦合。即,耦合电感器1的耦合系数变高,能够减少漏电感。

[0127] 例如,导体20及30在磁性体10内弯曲地设置,以使并行的长度变长。作为一例,导体20和导体30可以设置为在磁性体10内成U字状(也包括弯折为直角的情况)地折返。例如,在图4的(c)所示的例子中,导体20和导体30分别设置为在磁性体10内的不同的高度位置处沿着约1.5周的矩形环并行。例如,在从z轴方向观察的情况下,导体20的矩形环状的部分与导体30的矩形环状的部分重叠。在该情况下,导体20的起点和终点尽可能彼此分离地配置。关于导体30的起点和终点也是同样的。由此,能够减轻在折返之前的并行的导体20及30与在折返之后的并行的导体20及30的磁场相互干扰。像这样,能够实现一种在减轻磁场的干扰的同时通过节省空间来获得电感值的构造。此外,图4的(C)所示的导体20及30的形状和布局只不过是一例。

[0128] 如上所述,在本实施例所涉及的耦合电感器1中,导体20的端子21与22以及导体30的端子31与32设置于磁性体10的不同的侧面。由此,能够抑制使耦合电感器1多相化的情况下的电特性的劣化。

[0129] 图5是示出具备多个图4所示的耦合电感器1的电感器单元120的结构俯视图。在图5中还图示出作为负载的XPU 150。具体地说,图5示出了俯视观察图2A所示的模块化后的电压转换器100的情况。如上所述,电感器单元120具备N个耦合电感器1,但在此图示出三个耦合电感器1。

[0130] 多个耦合电感器1在x轴方向上排列配置。具体地说,相邻的两个耦合电感器1在彼此面对的侧面设置有彼此连接的端子。更具体地说,相邻的两个耦合电感器1以一方的端子31与另一方的端子32邻接的方式配置。在本实施例中,由于一个耦合电感器1的端子31及32沿x轴排列,因此能够配置为所有的耦合电感器1的端子31及32沿着x轴排成一行。由此,如图5的虚线箭头所示,能够构成N个耦合电感器1的导体30的串联连接电路。因而,能够缩短相邻的耦合电感器1间的布线距离。例如,可以使端子31与端子32直接接触,从而能够实质上消除相邻的耦合电感器1间的布线距离。像这样,耦合线路的布线长度变短,因此能够降低损耗。

[0131] 另外,如图5的实线箭头所示,向XPU 150供给的电流的流动方向在各耦合电感器1中为相同的方向。具体地说,在多个耦合电感器1中,连接于输出端子VOUT的端子22(侧面12)面向XPU 150配置。由此,能够缩短将各耦合电感器1的端子22与作为负载的XPU 150连接的布线的长度。

[0132] 同样地,在多个耦合电感器1中,连接于FET电路的端子21能够沿x轴方向排列配置。如图2A所示,由于包括FET电路的集成电路131及输入电容C_{in}(片式电容器130)配置在俯视观察时与电感器单元120(耦合电感器1)重叠的位置,因此能够缩短FET电路与端子21之间的布线长度。

[0133] 如上所述,根据本实施例所涉及的电感器单元120,能够缩短布线长度,因此能够降低损耗,并且能够减少振荡以使动作稳定。另外,由于布线长度变短,因此寄生电感减小,所以负载响应性也变高。

[0134] [3-2. 实施例2]

[0135] 接着,使用图6来说明实施例2所涉及的耦合电感器2的具体结构。此外,在以下的说明中,以与实施例1的不同点为中心进行说明,省略或简化对共同点的说明。

[0136] 图6是实施例2所涉及的耦合电感器2的俯视图和主视图。图6的(a)是俯视图,图6的(b)是主视图,图6的(c)是立体图。

[0137] 如图6所示,在耦合电感器2中,端子21、22、31及32的俯视观察时的配置与耦合电感器1不同。具体地说,以端子21与端子31的距离以及端子22与端子32的距离分别变短的方式配置。更具体地说,端子21在侧面11中设置于相比于靠近侧面14而言更靠近侧面13的位置。端子22在侧面12中设置于相比于靠近侧面13而言更靠近侧面14的位置。端子31在侧面13中设置于相比于靠近侧面12而言更靠近侧面11的位置。端子32在侧面14中设置于相比于靠近侧面11而言更靠近侧面12的位置。

[0138] 在图6的(a)中示出了将磁性体10的上表面15四等分的两条单点划线XL及YL。两条单点划线XL及YL与x轴及y轴分别平行,它们的交点位于上表面15的中心。在该情况下,端子

21及31配置于图中的左下区域。端子22及32配置于图中的右上区域。此外,并不限于图6的(a)所示的配置,端子21、22、31及32的配置也可以以单点划线XL或YL为轴反转。在其它实施例中也是同样的。

[0139] 即,在利用与z轴平行的分割线将侧面11二等分的情况下,端子21配置于靠侧面13侧的区域。在利用与z轴平行的分割线将侧面13二等分的情况下,端子31配置于靠侧面11侧的区域。在利用与z轴平行的分割线将侧面12二等分的情况下,端子22配置于靠侧面14侧的区域。在利用与z轴平行的分割线将侧面14二等分的情况下,端子32配置于靠侧面12侧的区域。此外,端子21、22、31及32设置为各自的下表面与磁性体10的下表面16齐平。或者,也可以是,端子21、22、31及32各自的下表面比下表面16向下方突出。

[0140] 通过使端子21与端子31靠近、且使端子22与端子32靠近,能够进一步提高导体20与导体30的耦合。即,能够提高耦合电感器2的耦合系数,因此漏电感变小,负载响应性变高。另外,电感器Lc的设计范围变大,电感器Lc的L值的设计变得容易。

[0141] 图7是示出具备多个图6所示的耦合电感器2的电感器单元121的结构俯视图。

[0142] 如图7所示,多个耦合电感器2在x轴方向上排列配置。在该情况下,相邻的两个耦合电感器2以一方的端子31与另一方的端子32分离的方式配置。在本实施例中,用于将一方的端子31与另一方的端子32连接的布线160设置于基板110的安装面或内部。

[0143] 在图7所示的例子中也是,在相邻的两个耦合电感器2中,在彼此面对的侧面设置有彼此连接的端子。因此,能够将彼此连接的一方的端子31与另一方的端子32靠近配置,从而能够缩短布线长度。

[0144] 另外,如图7所示,能够将一方的端子21与另一方的端子22以沿着y轴方向排列的方式配置。即,能够缩短相邻的两个耦合电感器2间的距离,因此能够实现电感器单元121的小型化。

[0145] 此外,在本实施例中,如图6的(c)所示,导体20及30以在磁性体10内分别沿着z轴方向及y轴方向并行的方式设置。具体地说,导体20及30沿着磁性体10的、与yz面平行的截面中的三各边(所谓的“コ”字)并行。另外,导体20及30以在沿着下表面16的部分中的、端子21及31各自的附近以及端子22及32各自的附近沿x轴方向延伸的方式并行。像这样,通过延长在磁性体10内的并行距离,能够提高耦合系数。此外,图6的(C)所示的导体20及30的形状和布局只不过是一例。

[0146] [3-3. 实施例3]

[0147] 接着,使用图8来说明实施例3所涉及的电感器单元的具体结构。此外,在以下的说明中,以与实施例2的不同点为中心进行说明,省略或简化对共同点的说明。

[0148] 图8是示出实施例3所涉及的电感器单元122的结构俯视图。在实施例2中,将相同结构的耦合电感器2排列配置,与此相对地,在本实施例中,如图8所示,将结构不同的两种耦合电感器2a及2b交替地逐个排列配置。

[0149] 耦合电感器2a是第一耦合电感器的一例,具有与实施例2所涉及的耦合电感器2相同的结构。耦合电感器2b是第二耦合电感器的一例,具有耦合电感器2a的构造的镜像反转构造。具体地说,耦合电感器2b具有以图6的(a)所示的单点划线YL的位置处的YZ面为镜面将耦合电感器2镜像反转后的构造。因此,在耦合电感器2b中,端子21及31分别配置在由两条单点划线XL及YL四等分后的区域中的、图中的右下区域。端子22及32分别配置在图中的

左上区域。

[0150] 通过将耦合电感器2a与耦合电感器2b交替地逐个排列配置,如图8所示,能够将两个端子31之间、或者两个端子32之间分别直接连接。即,由于不需要耦合电感器2a及2b之间的布线,因此能够进一步缩短布线长度。

[0151] 如上所述,根据本实施例所涉及的电感器单元122,能够缩短布线长度,因此能够降低损耗,并且能够减少振荡而使动作稳定。另外,由于布线长度变短,寄生电感减小,因此负载响应性也变高。

[0152] [3-4. 实施例4]

[0153] 接着,使用图9来说明实施例4所涉及的耦合电感器3的具体结构。此外,在以下的说明中,以与实施例2的不同点为中心进行说明,省略或简化对共同点的说明。

[0154] 图9是实施例4所涉及的耦合电感器3的俯视图和主视图。图9的(a)是俯视图,图9的(b)是主视图,图9的(c)是立体图。

[0155] 如图9所示,在耦合电感器3中,端子21、22、31及32的俯视观察时的配置与耦合电感器2不同。在本实施例中,端子21及22设置于磁性体10的同一侧面14。侧面14是与侧面13相比靠近被供给流过导体20的电流的负载(例如,XPU 150)的面(参照图10)。另外,端子31设置于侧面12。端子32设置于侧面11。

[0156] 在本实施例中,与实施例2及3同样地以端子21与端子31的距离、以及端子22与端子32的距离分别变短的方式配置。具体地说,端子21及31分别配置在由两条单点划线XL及YL四等分后的区域中的、图中的右上区域。端子22及32分别配置在图中的右下区域。

[0157] 图10是示出具备多个图9所示的耦合电感器3的电感器单元123的结构的俯视图。

[0158] 如图10所示,多个耦合电感器3在y轴方向上排列配置。具体地说,相邻的两个耦合电感器3在彼此面对的侧面设置有彼此连接的端子。更具体地说,相邻的两个耦合电感器3以一方的端子31与另一方的端子32邻接的方式配置。在本实施例中,由于一个耦合电感器3的端子31及32沿y轴排列,因此能够配置为所有的耦合电感器3的端子31及32沿着y轴排成一列。由此,如图10的虚线的箭头所示,能够构成N个耦合电感器3的导体30的串联连接电路。因而,能够缩短相邻的耦合电感器3间的布线距离。例如,可以使端子31与端子32直接接触,从而能够实质上消除相邻的耦合电感器3间的布线距离。像这样,耦合线路的布线长度变短,因此能够降低损耗。

[0159] 另外,如图10的实线的箭头所示,向XPU 150供给的电流的流动方向在各耦合电感器3中为相同的方向。具体地说,在多个耦合电感器3中,连接于输出端子VOUT的端子22(侧面14)以面向XPU 150的方式配置。由此,能够缩短将各耦合电感器3的端子22与作为负载的XPU 150连结的布线的长度。

[0160] 同样地,在多个耦合电感器3中,连接于FET电路的端子21也以面向XPU 150的方式配置。与图2A所示的电感器单元120(耦合电感器1)同样地,包括FET电路的集成电路131以及输入电容C_{in}(片式电容器130)配置在俯视观察时与耦合电感器3重叠的位置,因此可以缩短FET电路与端子21的布线长度。

[0161] 如上所述,根据本实施例所涉及的电感器单元123,能够缩短布线长度,因此能够降低损耗,并且能够减少振荡以使动作稳定。另外,由于布线长度变短,因此寄生电感减小,所以负载响应性也变高。

[0162] 此外,在本实施例中,如图9的(c)所示,导体20及30与图6的(c)同样地以在磁性体10内分别沿z轴方向及y轴方向并行的方式设置。具体地说,导体20及30沿着磁性体10的、与yz面平行的截面中的三个边(所谓的“コ”字)并行。另外,导体20及30以在沿着下表面16的部分中的、端子21及31各自的附近以及端子22及32各自的附近沿x轴方向延伸的方式并行。像这样,通过延长在磁性体10内的并行距离,能够提高耦合系数。此外,图9的(C)所示的导体20及30的形状和布局只不过是一例。

[0163] [3-5. 实施例5]

[0164] 接着,对实施例5所涉及的耦合电感器4(参照图12)的具体结构进行说明。此外,在以下的说明中,以与实施例2的不同点为中心进行说明,省略或简化对共同点的说明。

[0165] 上述的实施例1~4均列举了适于混合供电方式的电压转换器100的耦合电感器为例,但实施例5所涉及的耦合电感器4适于垂直供电方式的电压转换器。下面,首先使用图11A及图11B来说明垂直供电方式的电压转换器的结构。

[0166] 图11A是示出垂直供电方式的电压转换器200的结构的一例的示意图。图11B是用于说明基于图11A所示的电压转换器200的供电方式的图。

[0167] 如图11A所示,电压转换器200安装于基板110。在基板110的主面111配置有作为负载的一例的XPU 150。在主面112层叠地配置有片式电容器130及140、电感器单元120、以及包括FET电路的集成电路131。

[0168] 电感器单元120包括多个耦合电感器4。在后文中说明多个耦合电感器4的具体配置。电感器单元120配置在片式电容器130及包括FET电路的集成电路131与片式电容器140之间。在本实施例中,电感器单元120在俯视观察时与XPU 150、片式电容器140、片式电容器130以及包括FET电路的集成电路131分别重叠。由此,能够减小基板110的安装面积,因此能够实现电压转换器200的小型化。

[0169] 在图11B中用箭头表示电流方法。如图11B所示,电流从输入电容Cin(片式电容器130)及包括FET电路的集成电路131依次通过电感器单元120、输出电容Cout(片式电容器140)、基板110并到达XPU 150。像这样,通过使电流沿着基板110的厚度方向、即垂直方向流动,能够向XPU 150供电(垂直供电)。

[0170] 电感器单元120中包含的多个耦合电感器4通过下表面16连接于FET电路及输入电容Cin,且通过上表面15连接于输出电容Cout。因此,在耦合电感器4中,端子21、22、31及32分别设置于上表面15或下表面16。下面,使用图12来说明耦合电感器4的具体结构。

[0171] 图12是实施例5所涉及的耦合电感器4的俯视图和主视图。图12的(a)是俯视图,图12的(b)是主视图,图12的(c)是立体图。

[0172] 如图12的(b)所示,在本实施例中,端子21及31设置于下表面16,端子22及32设置于上表面15。

[0173] 具体地说,端子21连续地设置于侧面11和下表面16。更具体地说,端子21设置为从侧面11突出且埋入下表面16。端子21的下表面与磁性体10的下表面16齐平。端子21也可以从下表面16向下方突出。

[0174] 端子31连续地设置于侧面13和下表面16。具体地说,端子31设置为从侧面13突出且埋入下表面16。端子31的下表面与磁性体10的下表面16齐平。端子31也可以从下表面16向下方突出。

[0175] 端子21及31与实施例2同样地配置于由两条单点划线XL及YL四等分后的区域中的左下区域。此外,端子21及31也可以分别与实施例1同样地配置于侧面11或13的中央下端。

[0176] 端子22连续地设置于侧面12和上表面15。具体地说,端子22设置为从侧面12突出且埋入上表面15。端子22的上表面与磁性体10的上表面15齐平。端子22也可以从上表面15向上方突出。

[0177] 端子32连续地设置于侧面14和上表面15。具体地说,端子32设置为从侧面14突出且埋入上表面15。端子32的上表面与磁性体10的上表面15齐平。端子32也可以从上表面15向上方突出。

[0178] 端子22及32与实施例2同样地配置于由两条单点划线XL及YL四等分后的区域中的右上区域。此外,端子22及32也可以分别配置于侧面12或14的中央上端(单点划线XL或YL上)。

[0179] 本实施例所涉及的耦合电感器4与图7所示的实施例2同样地,在俯视观察时沿着x轴方向排列有多个。或者,多个耦合电感器4也可以与图8所示的实施例3同样地,相邻的两个耦合电感器4具有镜像反转构造。

[0180] 另外,在耦合电感器4中,在磁性体10的上表面15或下表面16设置有端子21、22、31及32。因此,能够将配置于多个耦合电感器4的下方的输入电容 C_{in} 及FET电路与端子21直接连接或者利用短的布线连接。同样地,能够将配置于多个耦合电感器4的上方的输出电容 C_{out} 与端子22直接连接或者利用短的布线连接。

[0181] 另外,多个耦合电感器4也可以沿垂直方向(上下方向)层叠。由于在上表面15或下表面16设置有端子31及32,因此能够将一方的端子31与另一方的端子32直接连接或者利用短的布线连接。由此,能够缩短耦合线路的布线长度。

[0182] 此外,端子21也可以不设置于侧面11。即,端子21也可以不从侧面11突出。同样地,端子22也可以不设置于侧面12。即,端子22也可以不从侧面12突出。端子31也可以不设置于侧面13。即,端子31也可以不从侧面13突出。端子32也可以不设置于侧面14。即,端子32也可以不从侧面14突出。端子21、22、31及32均可以不比上表面15或下表面16的周围向外侧突出。

[0183] 另外,在本实施例中,端子21与端子31靠近,且端子22与端子32靠近,因此能够实现高的耦合系数,但并不限于此。例如,构成次级侧线圈(耦合线路)的端子31及32也可以不设置于上表面15和下表面16中的任一方。例如,也可以是,端子31配置于侧面13的中央,端子32配置于侧面14的中央。

[0184] 此外,在本实施例中,如图12的(c)所示,导体20及30以在磁性体10内分别沿着x轴方向、y轴方向以及z轴方向并行的方式设置。具体地说,导体20及30以在磁性体10的y轴方向的两端部分别沿z轴方向延伸、并且在磁性体10的z轴方向的大致中央沿y轴方向延伸的方式并行。另外,导体20及30以在沿着下表面16的部分中的、端子21及31各自的附近沿x轴方向延伸的方式并行。另外,导体20及30以在沿着上表面15的部分中的、端子22及32的附近沿x轴方向延伸的方式并行。像这样,通过延长在磁性体10内的并行距离,能够提高耦合系数。此外,图12的(C)所示的导体20及30的形状和布局只不过是一例。

[0185] [3-6. 实施例6]

[0186] 接着,使用图13来说明实施例6所涉及的耦合电感器5的结构。此外,在以下的说明

中,以与实施例1的不同点为中心进行说明,省略或简化对共同点的说明。

[0187] 图13是实施例6所涉及的耦合电感器5的俯视图和主视图。图13的(a)是俯视图,图13的(b)是主视图,图13的(c)是立体图。

[0188] 如图13所示,在耦合电感器5中,导体20除端子21及22之外还具有端子23及24。导体30除端子31及32之外还具有端子33及34。也就是说,导体20及30分别具有四个端子。

[0189] 如上所述,端子21及22用于与FET电路及输出端子VOUT连接,端子31及32用于与相邻的耦合电感器5的端子31及32连接。另一方面,端子23、24、33及34不用于与其它元件或端子等连接。端子23、24、33及34是为了增强导体20及30的耦合而设置的辅助端子。

[0190] 如图13所示,导体20的端子23是第五端子的一例,设置于与设置有导体30的端子31的面相同的面、即侧面13。端子23与端子31靠近配置。例如,端子23与端子31同样地在侧面13中设置于相比于靠近侧面12而言更靠近侧面11的位置。也就是说,端子23配置于由两条单点划线XL及YL四等分后的区域中的左下区域。

[0191] 导体20的端子24是第六端子的一例,设置于与设置有导体30的端子32的面相同的面、即侧面14。端子24与端子32靠近配置。例如,端子24与端子32同样地,端子24在侧面14中设置于相比于靠近侧面11而言更靠近侧面12的位置。也就是说,端子24配置于由两条单点划线XL及YL四等分后的区域中的右上区域。

[0192] 此外,“靠近”是指以不接触的程度充分靠近,但并不限于此。例如,端子A与端子B靠近也意味着端子A与端子B之间的距离比端子A与端子B以外的任意的端子之间的距离、以及端子B与端子A以外的任意的端子之间的距离中的任一距离短的情况。即,相互靠近的端子A与端子B成为耦合电感器所具备的全部端子中的相互最近的端子彼此。

[0193] 导体30的端子33是第七端子的一例,设置于与设置有导体20的端子21的面相同的面、即侧面11。端子33与端子21靠近配置。例如,端子33同端子21一起在侧面11的中央下端排列配置。

[0194] 导体30的端子34是第八端子的一例,设置于与设置有导体20的端子22的面相同的面、即侧面12。端子34与端子22靠近配置。例如,端子34同端子22一起在侧面12的中央下端排列配置。

[0195] 端子21~24及31~34各自的下表面与磁性体10的下表面16齐平。或者,端子21~24及31~34各自的下表面也可以比下表面16向下方突出。

[0196] 如上所述,导体30的端子33及34与导体20的端子21及22分别靠近配置,并且导体20的端子23及24与导体30的端子31及32分别靠近配置。由此,能够延长导体20与导体30并行的长度,因此能够增强导体20与导体30的耦合。因而,耦合电感器5能够实现高的耦合系数,因此漏电感变小。因此,电感器Lc的设计范围变大,电感器Lc的L值的设计变得容易。

[0197] 此外,在本实施例中,如图13的(c)所示,导体20及30以在磁性体10内分别沿着x轴方向、y轴方向以及z轴方向并行的方式设置。具体地说,导体20及30沿着磁性体10的、与yz面平行的截面中的三个边(所谓的“コ”字)并行。另外,导体20及30以在沿着下表面16的部分中的、端子21及33各自的附近以及端子22及34各自的附近沿y轴方向延伸的方式并行。另外,导体20及30以在沿着下表面16的部分中的、端子23及31各自的附近以及端子24及32各自的附近沿x轴方向延伸的方式并行。像这样,通过延长磁性体10内的并行距离,能够提高耦合系数。此外,图13的(c)所示的导体20及30的形状和布局只不过是一例。

[0198] 图14是示出具备多个图13所示的耦合电感器5的电感器单元124的结构俯视图。

[0199] 如图14所示,多个耦合电感器5在x轴方向上排列配置。在该情况下,相邻的两个耦合电感器5以一方的端子31与另一方的端子32分离的方式配置。在本实施例中,用于将一方的端子31与另一方的端子32的连接布线160设置在基板110的安装面或内部。

[0200] 在图14所示的例子中,也是在相邻的两个耦合电感器5中,在彼此面对的侧面设置有彼此连接的端子。因此,能够将彼此连接的一方的端子31与另一方的端子32靠近配置,从而能够缩短布线长度。

[0201] 另外,如图14所示,能够将一方的端子21与另一方的端子22以沿着y轴方向排列的方式配置。即,能够缩短相邻的两个耦合电感器5间的距离,因此能够实现电感器单元124的小型化。

[0202] [3-7. 实施例7]

[0203] 接着,使用图15来说明实施例7所涉及的电感器单元的具体结构。此外,在以下的说明中,以与实施例6的不同点为中心进行说明,省略或简化对共同点的说明。

[0204] 图15是示出实施例7所涉及的电感器单元125的结构俯视图。在实施例6中,将相同结构的耦合电感器5排列配置,与此相对地,在本实施例中,如图15所示,将结构不同的两种耦合电感器5a及5b交替地逐个排列配置。

[0205] 耦合电感器5a是第一耦合电感器的一例,具有与实施例6所涉及的耦合电感器5相同的结构。耦合电感器5b是第二耦合电感器的一例,具有耦合电感器5a的构造的镜像反转构造。具体地说,耦合电感器5b具有以图13的(a)所示的单点划线YL的位置处的YZ面为镜面将耦合电感器5镜像反转后的构造。因此,在耦合电感器5b中,端子23及31分别配置在由两个单点划线XL及YL四等分后的区域中的、图中的右下区域。端子24及32分别配置于图中的左上区域。

[0206] 通过将耦合电感器5a与耦合电感器5b交替地逐个排列配置,如图15所示,能够利用短的布线将两个端子31彼此或者两个端子32彼此连接。即,不需要耦合电感器5a及5b间的布线,因此能够进一步缩短布线长度。

[0207] 如上所述,根据本实施例所涉及的电感器单元125,能够缩短布线长度,因此能够降低损耗,并且能够减少振荡以使动作稳定。另外,由于布线长度变短,因此寄生电感减小,所以负载响应性也变高。

[0208] [3-8. 实施例8]

[0209] 接着,使用图16来说明实施例8所涉及的耦合电感器6的具体结构。此外,在以下的说明中,以与实施例6的不同点为中心进行说明,省略或简化对共同点的说明。

[0210] 图16是实施例8所涉及的耦合电感器6的俯视图和主视图。图16的(a)是俯视图,图16的(b)是主视图,图16的(c)是立体图。

[0211] 如图16所示,在耦合电感器6中,端子21~24及31~34的俯视观察时的配置与耦合电感器5不同。耦合电感器6以靠近实施例4所涉及的耦合电感器3的各端子的方式配置有辅助端子。

[0212] 在本实施例中,端子21及22设置于磁性体10的同一侧面14。侧面14是与侧面13相比靠近被供给流过导体20的电流的负载(例如,XPU 150)的面(参照图17)。

[0213] 以靠近端子21及22的方式配置有导体30所具有的端子33及34。端子33及34设置于

与设置有端子21及22的面相同的面、即侧面14。

[0214] 另外,在本实施例中,端子31设置于侧面12。以靠近端子31的方式设置有导体20所具有的端子23。端子32设置于侧面11。以靠近端子32的方式设置有导体20所具有的端子24。

[0215] 图17是示出具备多个图16所示的耦合电感器6的电感器单元126的结构俯视图。多个耦合电感器6以与图10所示的实施例4所涉及的多个耦合电感器3相同的方式配置。因而,与实施例4同样地,能够缩短布线长度,因此能够降低损耗,并且能够减少振荡以使动作稳定。另外,由于布线长度变短,因此寄生电感减小,所以负载响应性也变高。另外,由于设置有作为辅助端子的端子23、24、33及34,因此各耦合电感器6的耦合系数变高。因而,漏电感变小,因此电感器Lc的设计范围变大,电感器Lc的L值的设计变得容易。

[0216] 此外,在本实施例中,如图16的(c)所示,导体20及30以在磁性体10内分别沿着x轴方向、y轴方向以及z轴方向并行的方式设置。具体地说,导体20及30具有将图9的(c)所示的例子与图13的(c)所示的例子组合而成的形状。像这样,通过延长在磁性体10内的并行距离,能够提高耦合系数。此外,图16的(c)所示的导体20及30的形状和布局只不过是一例。

[0217] [3-9. 实施例9]

[0218] 接着,对实施例9所涉及的耦合电感器7的具体结构进行说明。此外,在以下的说明中,以与实施例6的不同点为中心进行说明,省略或简化对共同点的说明。

[0219] 图18是实施例9所涉及的耦合电感器7的俯视图和主视图。图18的(a)是俯视图,图18的(b)是主视图,图18的(c)是立体图。耦合电感器7的俯视图与图13的(a)所示的实施例6所涉及的耦合电感器5的俯视图相同。在本实施例中,如图18的(b)所示,端子21、23、31及33设置于下表面16,端子22、24、32及34设置于上表面15。也就是说,耦合电感器7与实施例4同样地,是适合于垂直供电方式的电压转换器的结构。

[0220] 具体地说,端子21及33连续地设置于侧面11及下表面16。更具体地说,端子21及33设置为从侧面11突出且埋入下表面16。端子21及33的下表面与磁性体10的下表面16齐平。端子21及33也可以从下表面16向下方突出。

[0221] 端子31及23连续地设置于侧面13和下表面16。具体地说,端子31及23设置为从侧面13突出且埋入下表面16。端子31及23的下表面与磁性体10的下表面16齐平。端子31及23也可以从下表面16向下方突出。

[0222] 端子22及34连续地设置于侧面12及上表面15。具体地说,端子22及34设置为从侧面12突出且埋入上表面15。端子22及34的上表面与磁性体10的上表面15齐平。端子22及34也可以从上表面15向上方突出。

[0223] 端子32及24连续地设置于侧面14和上表面15。具体地说,端子32及24设置为从侧面14突出且埋入上表面15。端子32及24的上表面与磁性体10的上表面15齐平。端子32及24也可以从上表面15向上方突出。

[0224] 本实施例所涉及的耦合电感器7与图14所示的实施例6同样地,在俯视观察时沿着x轴方向排列有多个。或者,多个耦合电感器7也可以与图15所示的实施例7同样地,相邻的两个耦合电感器7具有镜像反转构造。

[0225] 另外,在耦合电感器7中,在磁性体10的上表面15或下表面16设置有端子21、22、31及32。因此,能够将配置于多个耦合电感器7的下方的输入电容C_{in}及FET电路与端子21直接连接或者利用短的布线连接。同样地,能够将配置于多个耦合电感器7的上方的输出电容

Cout与端子22直接连接或者利用短的布线连接。

[0226] 另外,多个耦合电感器7也可以沿垂直方向(上下方向)层叠。由于在上表面15或者下表面16设置有端子31及32,因此能够将一方的端子31与另一方的端子32直接连接或者利用短的布线连接。由此,能够缩短耦合线路的布线长度。

[0227] 此外,在本实施例中,端子21与端子31靠近,并且端子22与端子32靠近,因此能够实现高的耦合系数,但并不限于此。例如,构成次级侧线圈(耦合线路)的端子31及32也可以不设置于上表面15和下表面16中的任一方。例如,也可以是,端子31配置于侧面13的中央,端子32配置于侧面14的中央。另外,例如,被用作辅助端子的端子23、24、33及34也可以不设置于上表面15或下表面16。

[0228] 此外,在本实施例中,如图18的(c)所示,导体20及30以在磁性体10内分别沿着x轴方向、y轴方向以及z轴方向并行的方式设置。具体地说,导体20及30具有将图12的(c)所示的例子和图13的(c)所示的例子组合而成的形状。像这样,通过延长在磁性体10内的并行距离,能够提高耦合系数。此外,图18的(c)所示的导体20及30的形状和布局只不过是一例。

[0229] [3-10.实施例10]

[0230] 接着,使用图19来说明实施例10所涉及的耦合电感器8的具体结构。此外,在以下的说明中,以与实施例1的不同点为中心进行说明,省略或简化对共同点的说明。

[0231] 图19是实施例10所涉及的耦合电感器8的俯视图和主视图。图19的(a)是俯视图,图19的(b)是主视图,图19的(c)是立体图。

[0232] 如图19所示,端子21、22、31及端子32分别以埋入各侧面11~14且不从各侧面11~14突出的方式配置。具体地说,在从与侧面11正交的方向(例如,z轴的正侧)观察的情况下,端子21不从磁性体10突出。在从与侧面12正交的方向(例如,z轴的正侧)观察的情况下,端子22不从磁性体10突出。在从与侧面13正交的方向(例如,z轴的正侧)观察的情况下,端子23不从磁性体10突出。在从与侧面14正交的方向(例如,z轴的正侧)观察的情况下,端子24不从磁性体10突出。更具体地说,在侧面11~14分别设置有槽,在该槽设置有相对应的端子21、22、31及32。

[0233] 例如,端子21收容在设置于侧面11的槽内。端子21的外侧面与侧面11齐平。端子22收容在设置于侧面12的槽内。端子22的外侧面与侧面12齐平。端子31收容在设置于侧面13的槽内。端子31的外侧面与侧面13齐平。端子32收容在设置于侧面14的槽内。端子32的外侧面与侧面14齐平。此外,端子21、22、31及32各自的一部分也可以从槽突出。

[0234] 另外,磁性体10可以收容于树脂制的壳体。也可以通过该壳体与磁性体10的表面之间的台阶来形成用于收容端子21、22、31及32的槽。

[0235] 可以针对每个端子设置有槽,也可以设置有比一个端子大的槽以收容多个端子。例如,如实施例6~9所示,在设置有作为辅助端子的端子23、24、33及34的情况下,也可以在各侧面设置有用于收容两个端子的槽。

[0236] 根据本实施例,由于各端子不从磁性体10的侧面突出,因此能够实现耦合电感器8的小型化。另外,机械冲击难以直接施加于端子,能够抑制发生端子的破损等。也就是说,能够实现耐冲击的耦合电感器8。

[0237] 此外,各端子的一部分也可以从槽突出。即,也可以是,各端子的一部分收容于槽,另一部分从槽向外侧突出。在该情况下,也能够减小端子的突出量,因此能够提高耦合电感

器8的小型化及可靠性。

[0238] 另外,在本实施例中,示出了在磁性体10设置有大小与各端子实质上相同的槽的例子,但并不限于此。例如,也可以不在磁性体10设置槽。也可以设置为磁性体10的一部分以覆盖端子的方式伸出(形成檐)。

[0239] 此外,在本实施例中,如图19的(c)所示,导体20及30与图4的(c)同样地设置为在磁性体10内的不同的高度处沿着约1.5周的矩形环并行。例如,在从z轴方向观察的情况下,导体20的矩形环状的部分与导体30的矩形环状的部分重叠。此外,图19的(c)所示的导体20及30的形状和布局只不过是一例。

[0240] [4.电力转换装置]

[0241] 接着,使用图20来说明具备上述的电压转换器100或200的电力转换装置的结构。

[0242] 图20是示出本实施方式所涉及的电力转换装置300的结构的图。如图20所示,电力转换装置300具备PDU(Power Distribution Unit:电源分配单元)310、PSU(Power Supply Unit:电源供应器)320以及电压转换器100。此外,电力转换装置300也可以具备电压转换器200来代替电压转换器100。

[0243] PDU 310是配电单元,构成为能够变更从交流电源301供给的交流电力的供给目的地。例如,PDU 310具有多个开关。在本实施方式中,PDU 310向PSU 320供给交流电力。此外,交流电源301例如是通常的商用电源等。

[0244] PSU 320是电源单元,将从PDU 310供给的交流电力转换为直流电力并供给到电压转换器100。PSU 320例如具有AC/DC转换器和DC/DC转换器。

[0245] 电压转换器100将从PSU 320供给的直流电力进行转换,并供给到作为负载的XPU 150。

[0246] 如上所述,电力转换装置300具备电压转换器100或200,因此能够抑制电特性的劣化。具体地说,能够缩短由多个电感器构成的耦合线路的布线长度,因此不仅能够降低损耗,还能够减少振荡以使动作稳定。另外,由于布线长度变短,因此寄生电感减小,所以负载响应性也变高。

[0247] (其它实施方式)

[0248] 以上,基于实施方式说明了一个或多个方式所涉及的耦合电感器、电感器单元、电压转换器以及电力转换装置,但本公开并不限于这些实施方式。只要不脱离本公开的主旨,对本实施方式实施本领域技术人员想到的各种变形所得到的方式、以及将不同的实施方式中的构成要素进行组合所构建的方式也包含在本公开的范围內。

[0249] 例如,磁性体10也可以通过组合多个磁性体而构成。图21是实施方式的变形例所涉及的耦合电感器的立体图。

[0250] 如图21所示,磁性体10包括第一磁性体41和第二磁性体42。使第一磁性体41和第二磁性体42通过图21的XXII-XXII线所表示的yz面进行组合,由此构成磁性体10。此外,XXII-XXII线是将磁性体10在x轴方向上进行二等分的线。

[0251] 图22是表示第一磁性体41和第二磁性体42各自的彼此组合的面的俯视图。图22的(a)表示第一磁性体41,图22的(b)表示第二磁性体42。

[0252] 如图22的(a)所示,在第一磁性体41设置有用以收容导体20的至少一部分的槽43。如图22的(b)所示,在第二磁性体42设置有用以收容导体30的至少一部分的槽44。

[0253] 图23是表示在图22所示的第一磁性体41和第二磁性体42分别收容有导体20和30的状态的俯视图。如图23所示,在将导体20的至少一部分收容于槽43、将导体30的至少一部分收容于槽44的状态下,将(a)所示的第一磁性体41的面与(b)所示的第二磁性体42的面对置并进行组合。此时,使第一磁性体41与第二磁性体42以设置间隙的方式嵌合,以使磁通不饱和。在第一磁性体41与第二磁性体42的彼此相对的面设置有彼此嵌合的凹凸构造,但在图中未示出。此外,也可以利用绝缘膜分别覆盖导体20及30以确保绝缘性。

[0254] 第一磁性体41和第二磁性体42使用彼此相同的磁性材料构成。作为一例,第一磁性体41和第二磁性体42分别由铁氧体构成。通过使用铁氧体,能够减轻高频下的芯损耗。此外,第一磁性体41和第二磁性体42也可以使用互不相同的磁性材料构成。

[0255] 此外,在图22和图23中,设置有槽43及44以收容导体20及30各自的、沿着y轴方向彼此并行的部分。因此,导体20及30各自的彼此不平行的部分从磁性体10的下表面露出。槽43及44的形状并不限定于图22所示的例子。

[0256] 图24是表示第一磁性体41和第二磁性体42各自的彼此组合的面的变形例的俯视图。图24的(a)表示第一磁性体41,图24的(b)表示第二磁性体42。另外,图25是表示在图24所示的第一磁性体41及第二磁性体42分别收容有导体20及30的状态的俯视图。

[0257] 如图24所示,也可以设置有能够收容导体20及30各自的彼此不平行的部分的形状的槽43a及44a。在该情况下,如图25所示,能够将导体20及30的大致全部(未图示的端子除外)分别收容于第一磁性体41及第二磁性体42。因此,磁性体10的下表面齐平,因此能够有助于实现易安装性以及小型化。

[0258] 此外,磁性体10也可以通过组合三个以上的磁性体来构成。另外,在图21中示出了进行二等分的例子,但多个磁性体的大小及形状也可以互不相同。

[0259] 另外,例如在上述的实施方式中,电压转换器的供电方式也可以是水平供电方式。例如,在包括多个图5所示的实施例1所涉及的耦合电感器1的电感器单元120中,可以在y轴的负侧安装有FET电路和输入电容C_{in}。在多个耦合电感器1的各耦合电感器1中,端子21配置于y轴的负侧,因此能够缩短布线长度。

[0260] 另外,例如在上述的实施方式中,示出了侧面11及12比侧面13及14小的例子,但并不限定于此。侧面11及12也可以是与侧面13及14相同的大小,还可以比侧面13及14大。另外,侧面11与侧面12的位置关系也可以相反。即,侧面11可以是位于y轴的正侧的面,侧面12可以是位于y轴的负侧的面。另外,侧面13与侧面14的位置关系也可以相反。即,侧面13可以是位于x轴的正侧的面,侧面14可以是位于x轴的负侧的面。

[0261] 另外,例如在上述的实施方式中,示出了上表面15及下表面16比侧面11~14大的例子,但并不限定于此。上表面15及下表面16可以是与侧面11~14相同的大小,也可以比侧面11~14小。

[0262] 另外,上述的各实施方式在权利要求书或其等同的范围内能够进行各种变更、置换、附加、省略等。

[0263] 产业上的可利用性

[0264] 本公开能够用作能够抑制多相化的情况下的电特性的劣化的耦合电感器等,例如能够用作电感器单元、电压转换器、电源电路、电力转换装置等。

[0265] 附图标记说明

[0266] 1、2、2a、2b、3、4、5、5a、5b、6、7、8:耦合电感器;10:磁性体;11、12、13、14:侧面;15:上表面;16:下表面;20、30:导体;21、22、23、24、31、32、33、34:端子;41:第一磁性体;42:第二磁性体;43、43a、44、44a:槽;100、200:电压转换器;110:基板;111、112:主面;120、121、122、123、124、125、126:电感器单元;130、140:片式电容器;131:集成电路;150:XPU;160:布线;300:电力转换装置;301:交流电源;310:PDU;320:PSU。

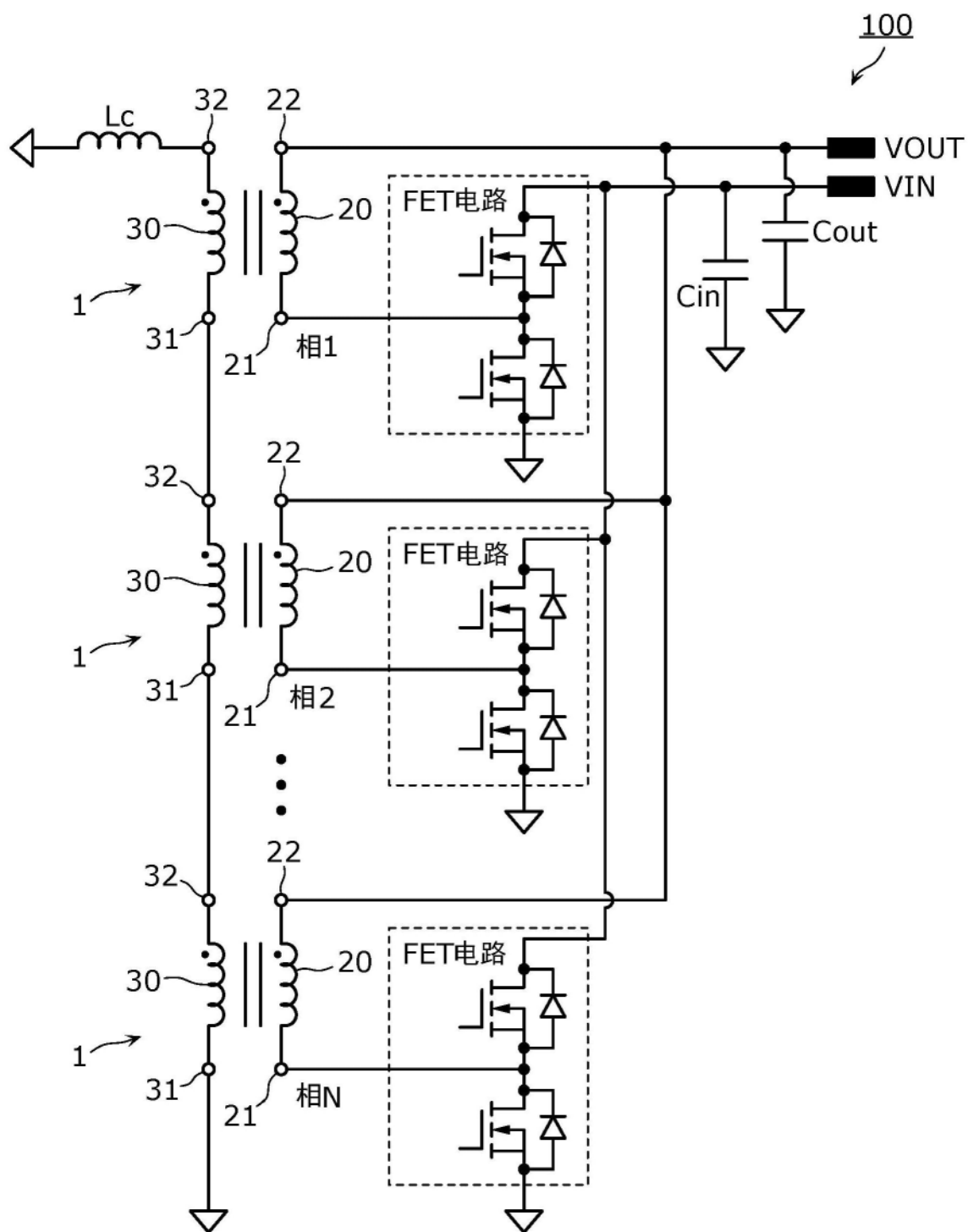


图1

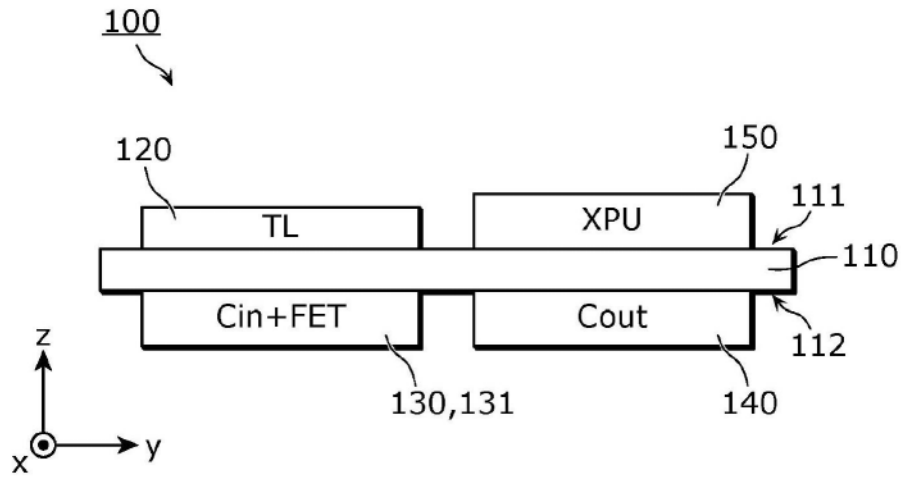


图2A

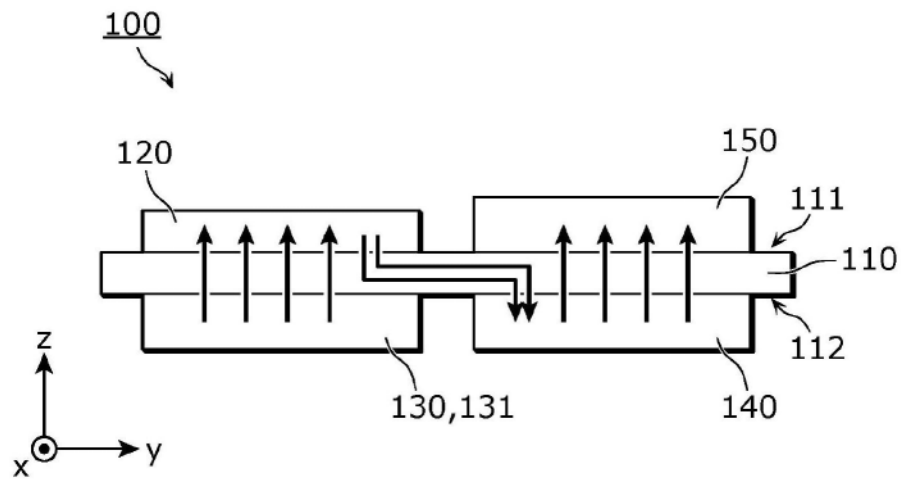


图2B

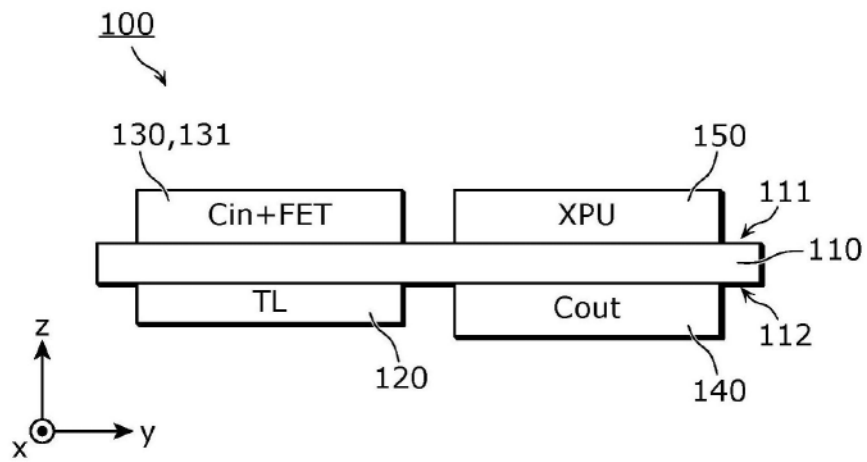


图3A

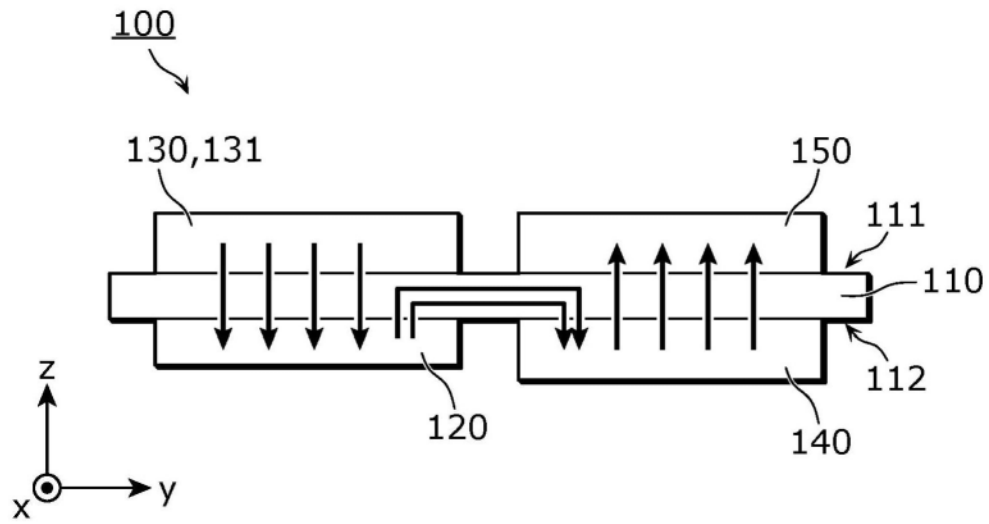


图3B

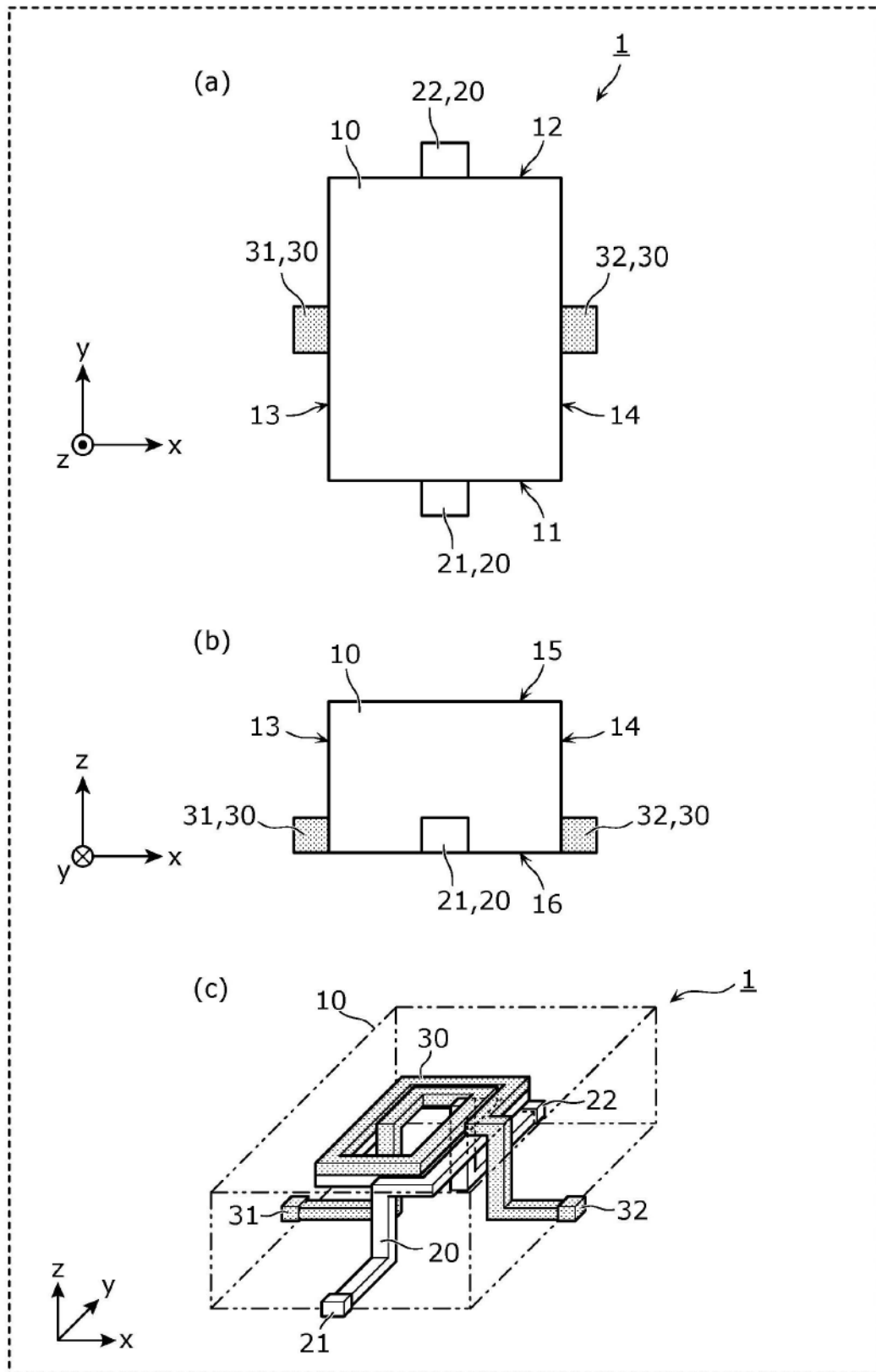


图4

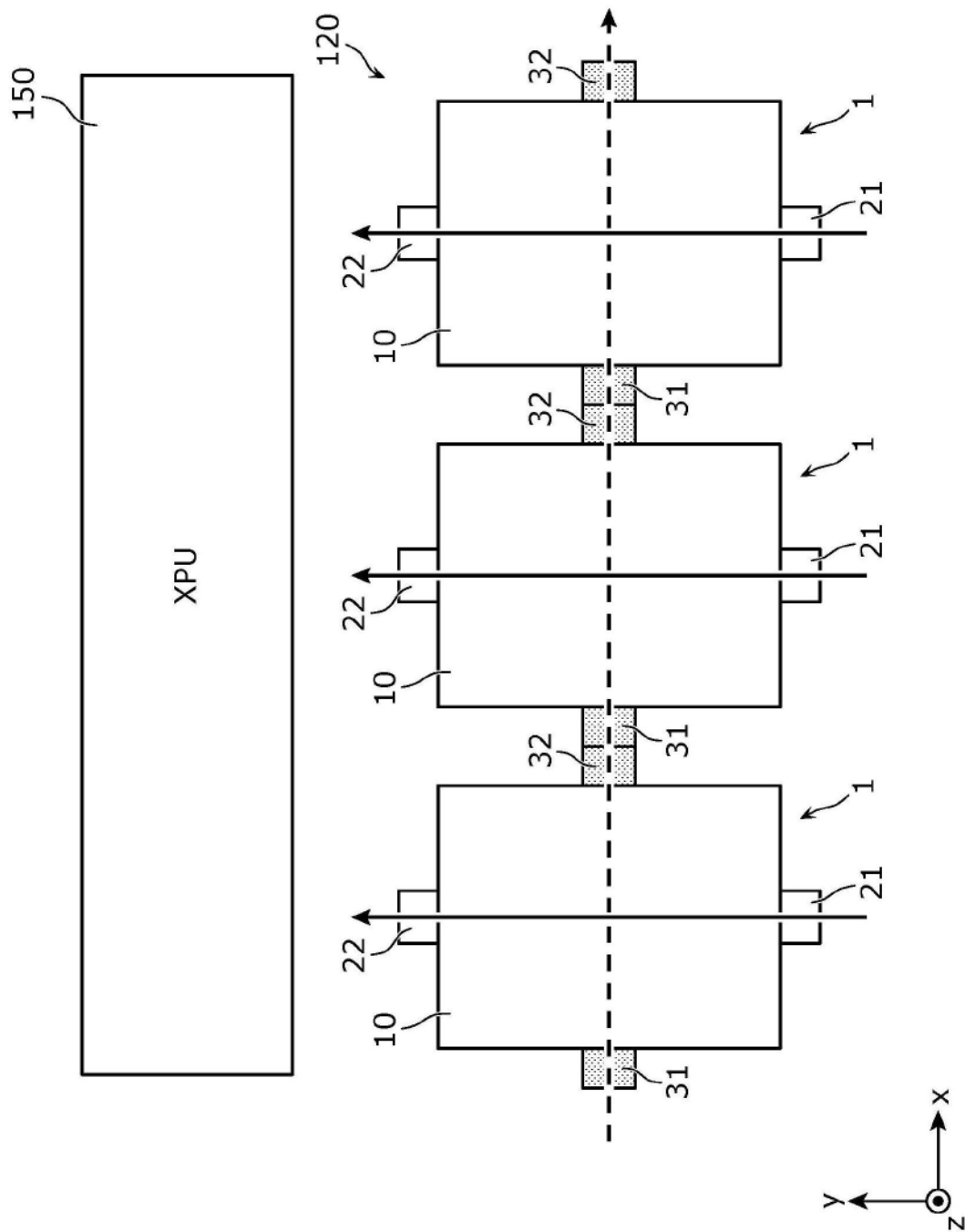


图5

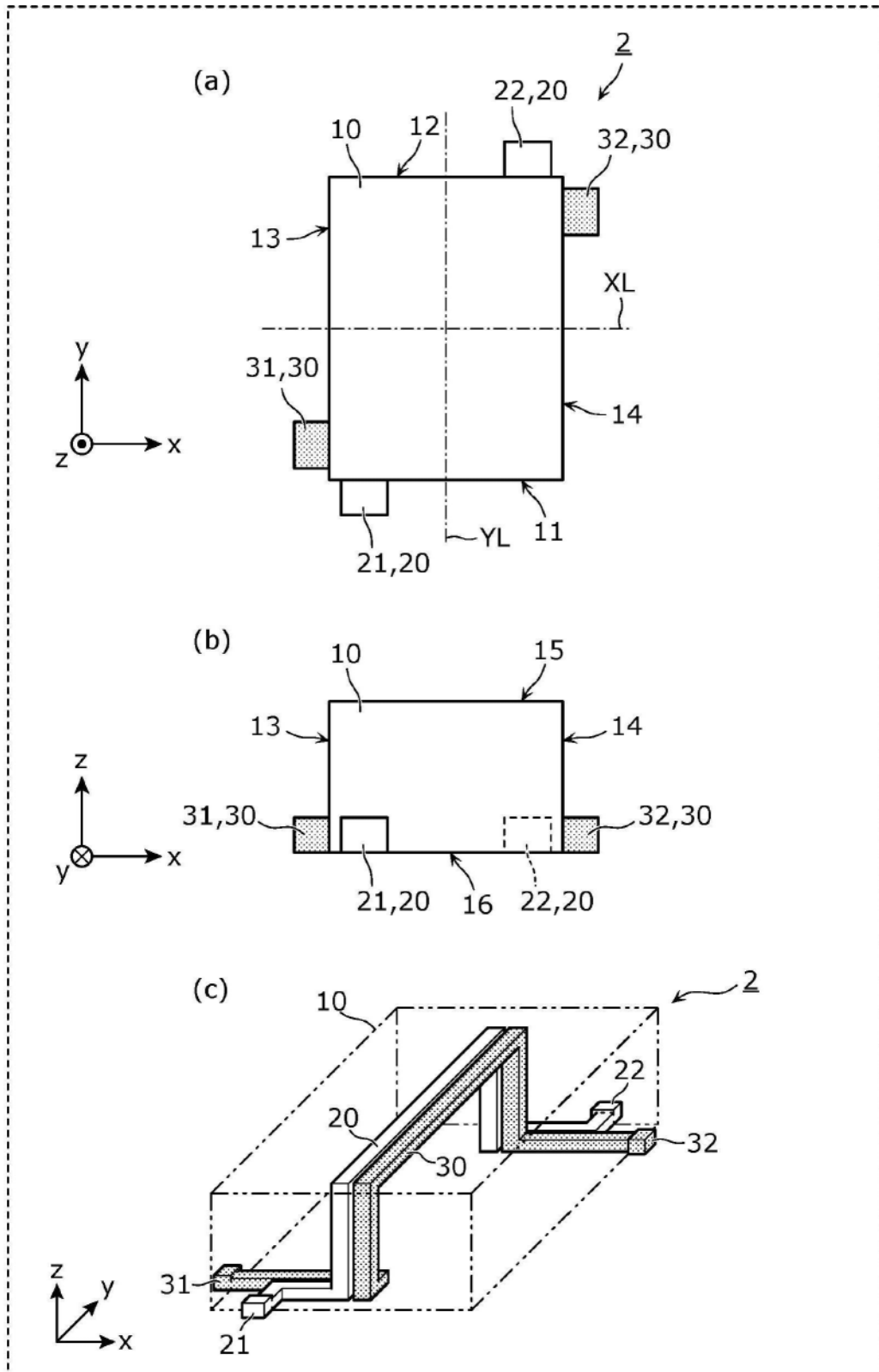


图6

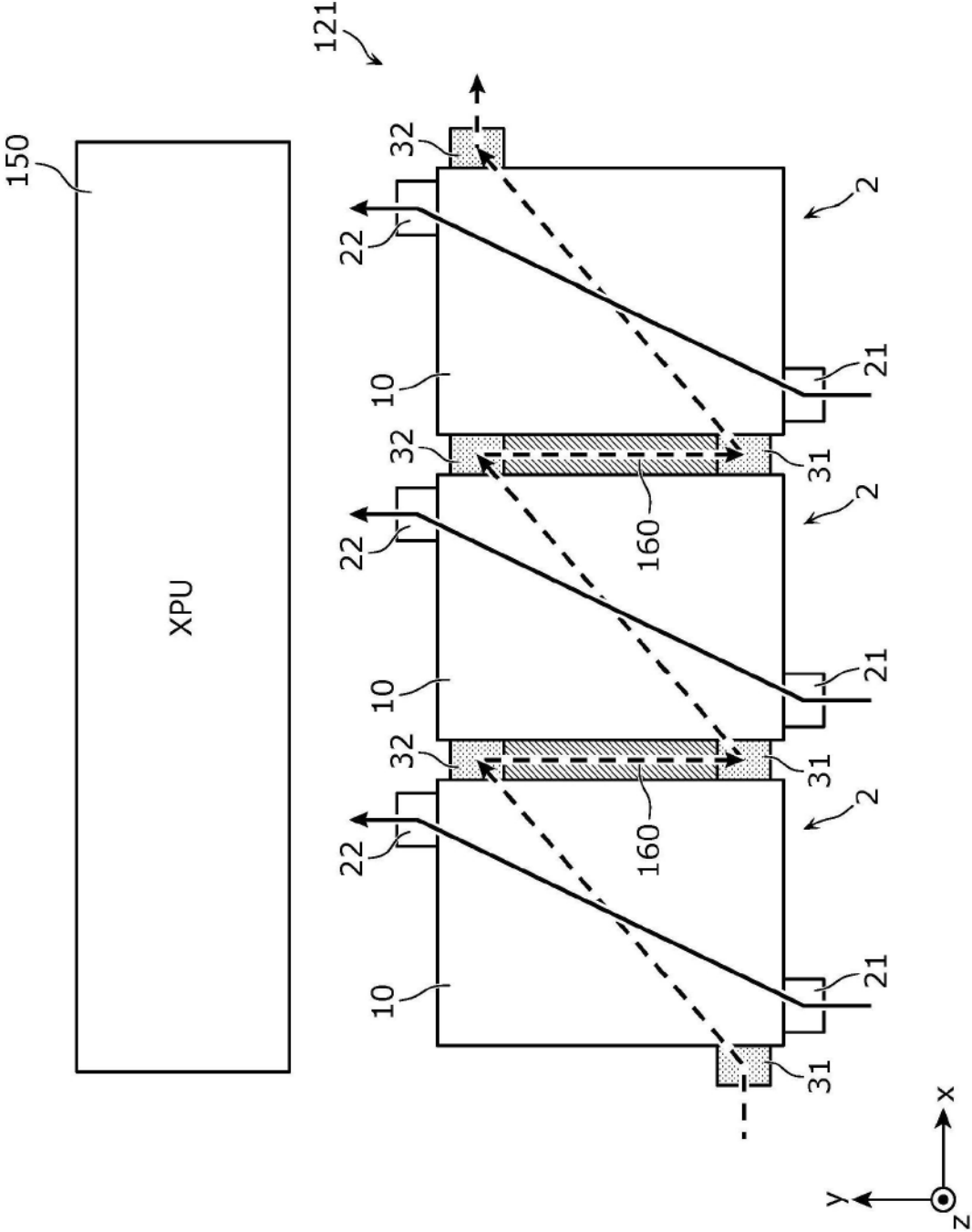


图7

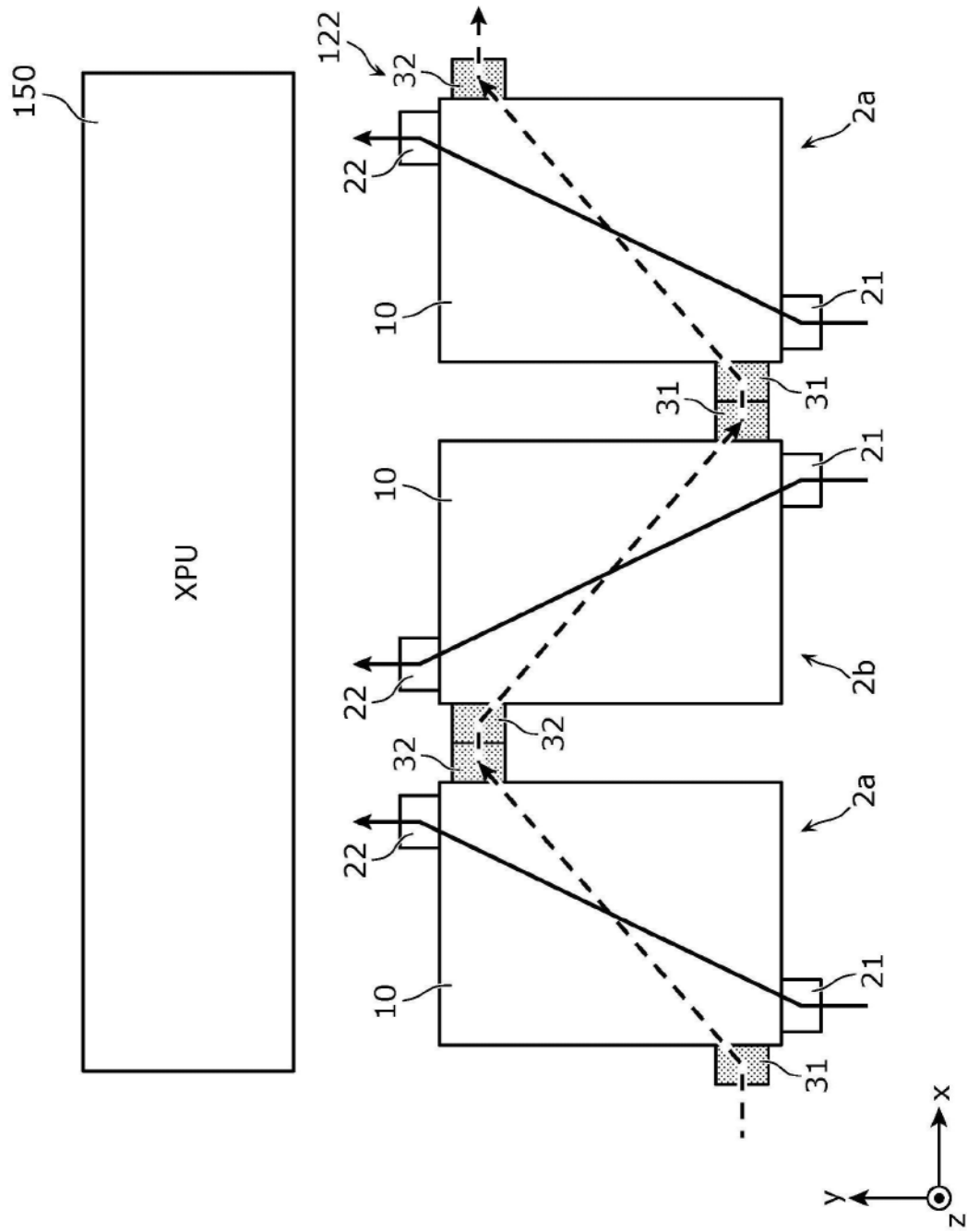


图8

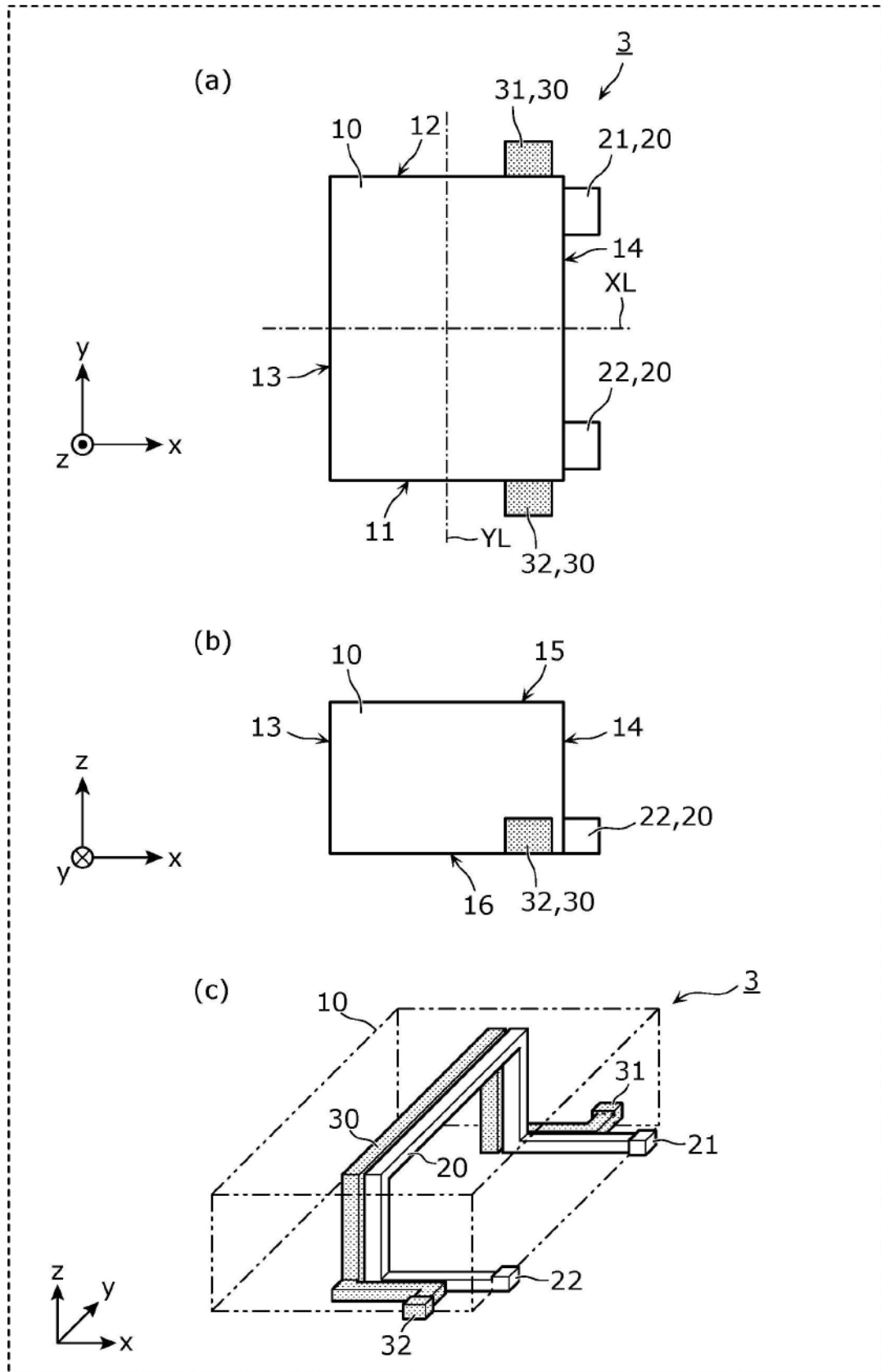


图9

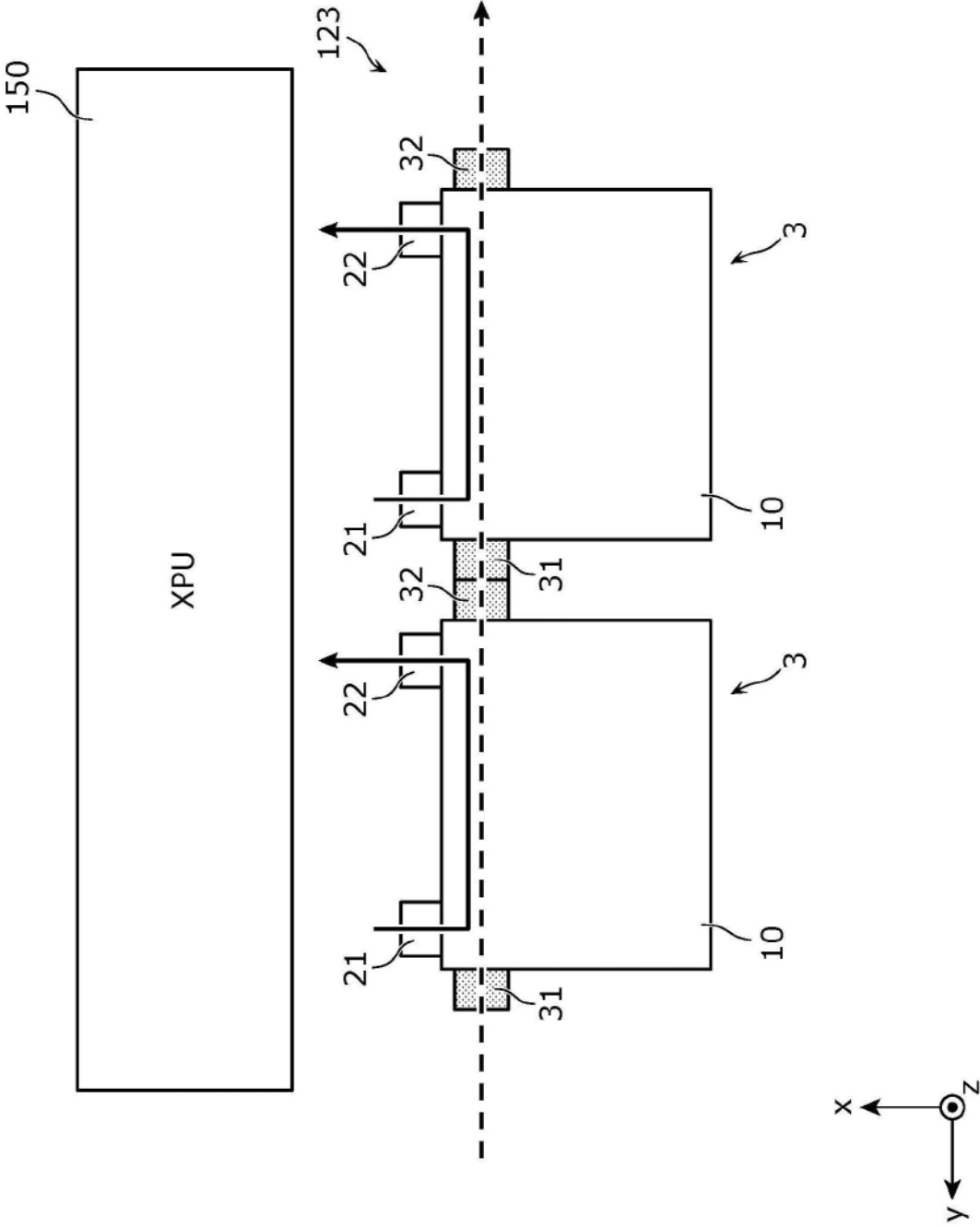


图10

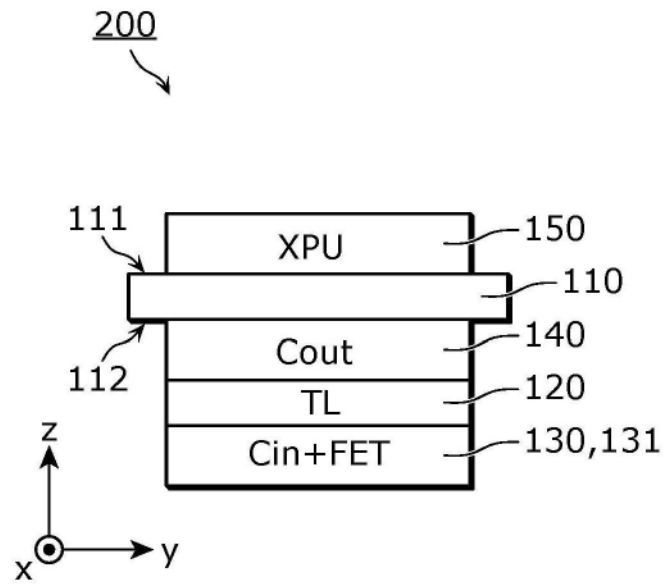


图11A

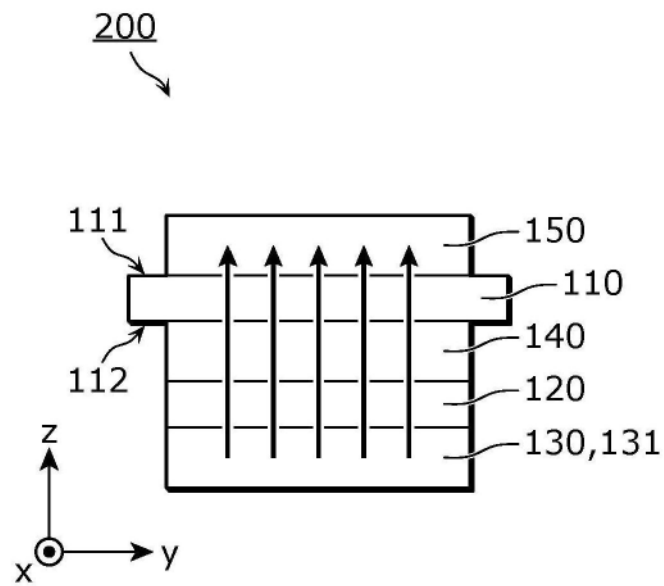


图11B

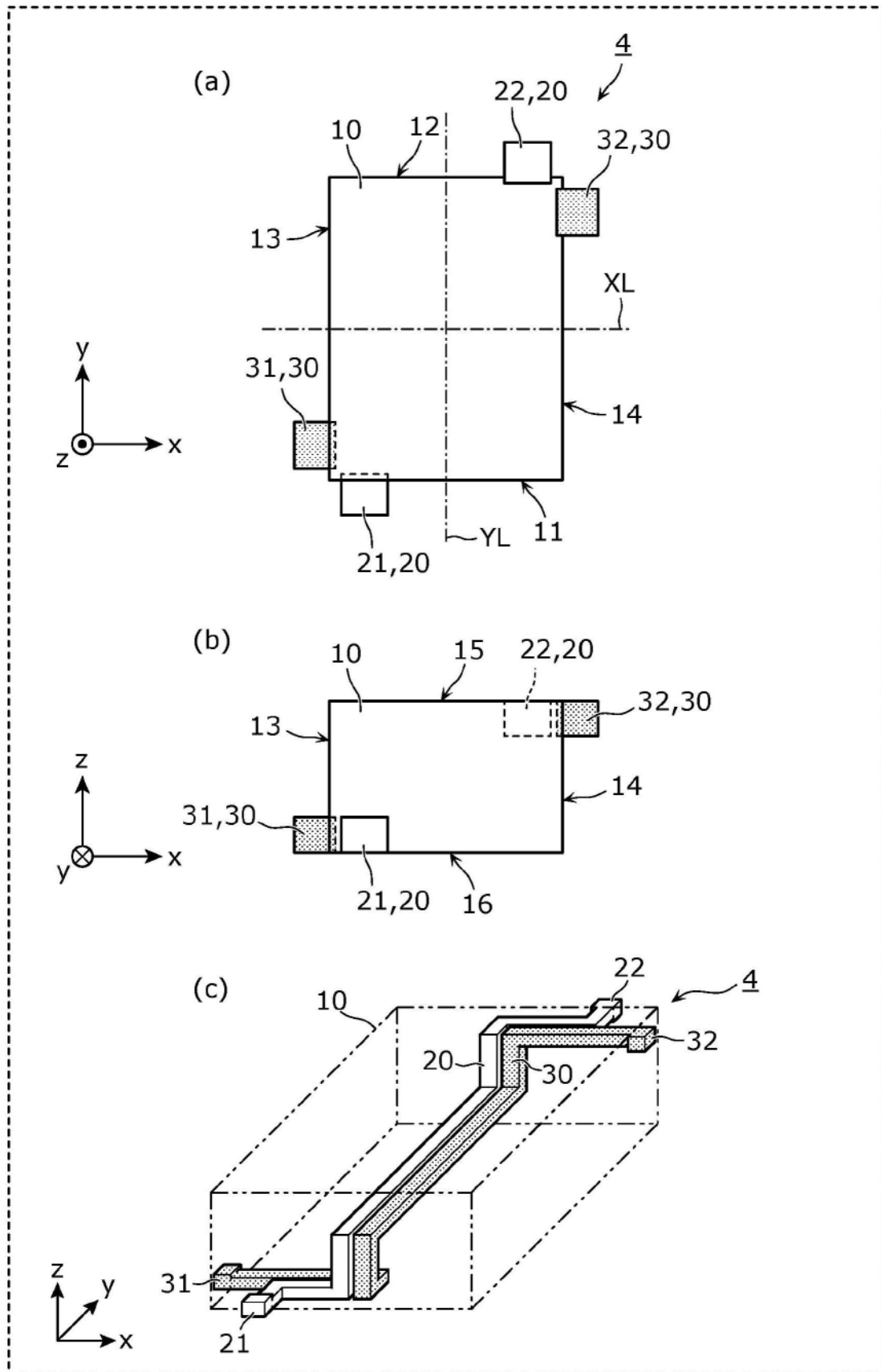


图12

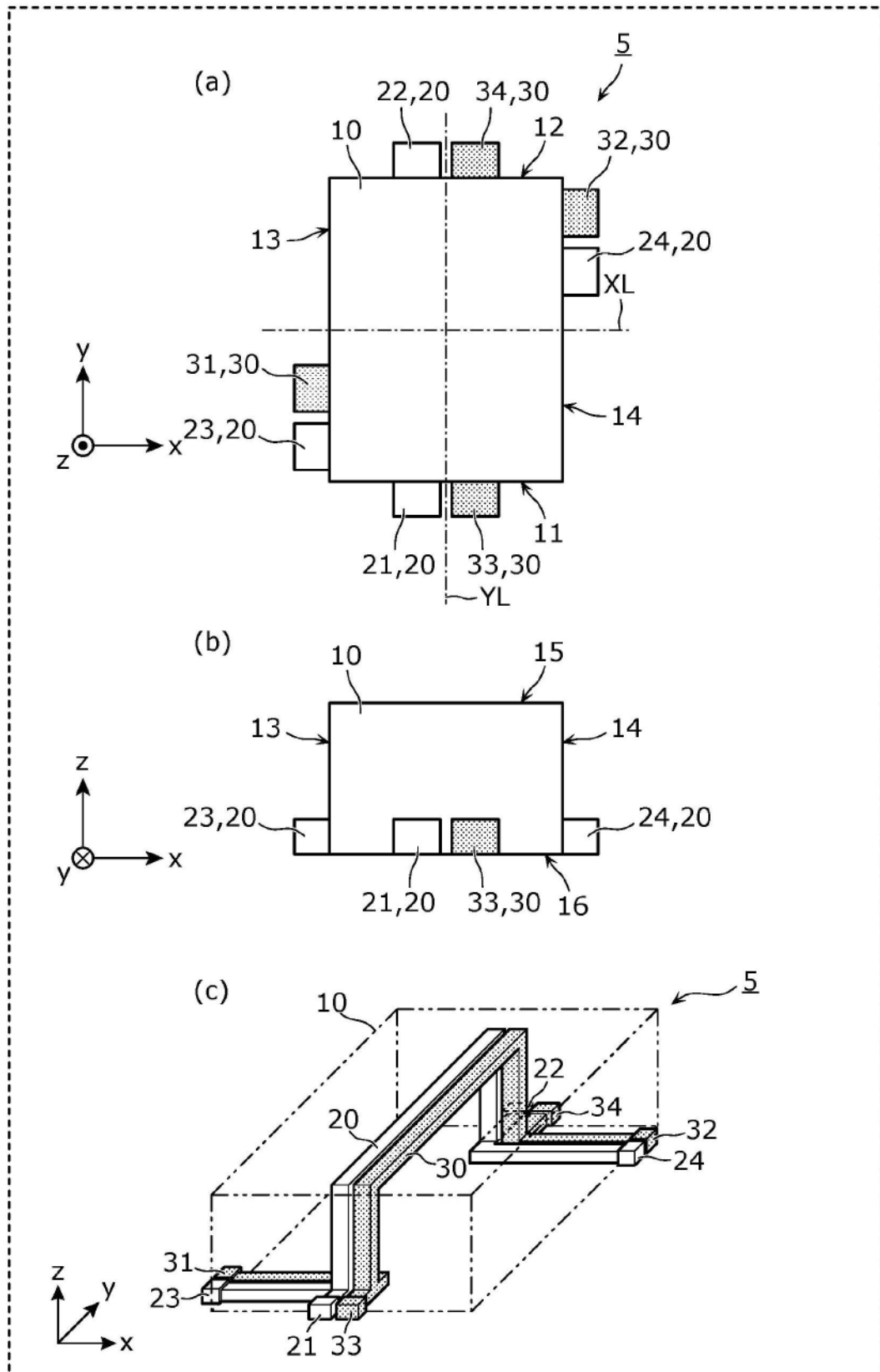


图13

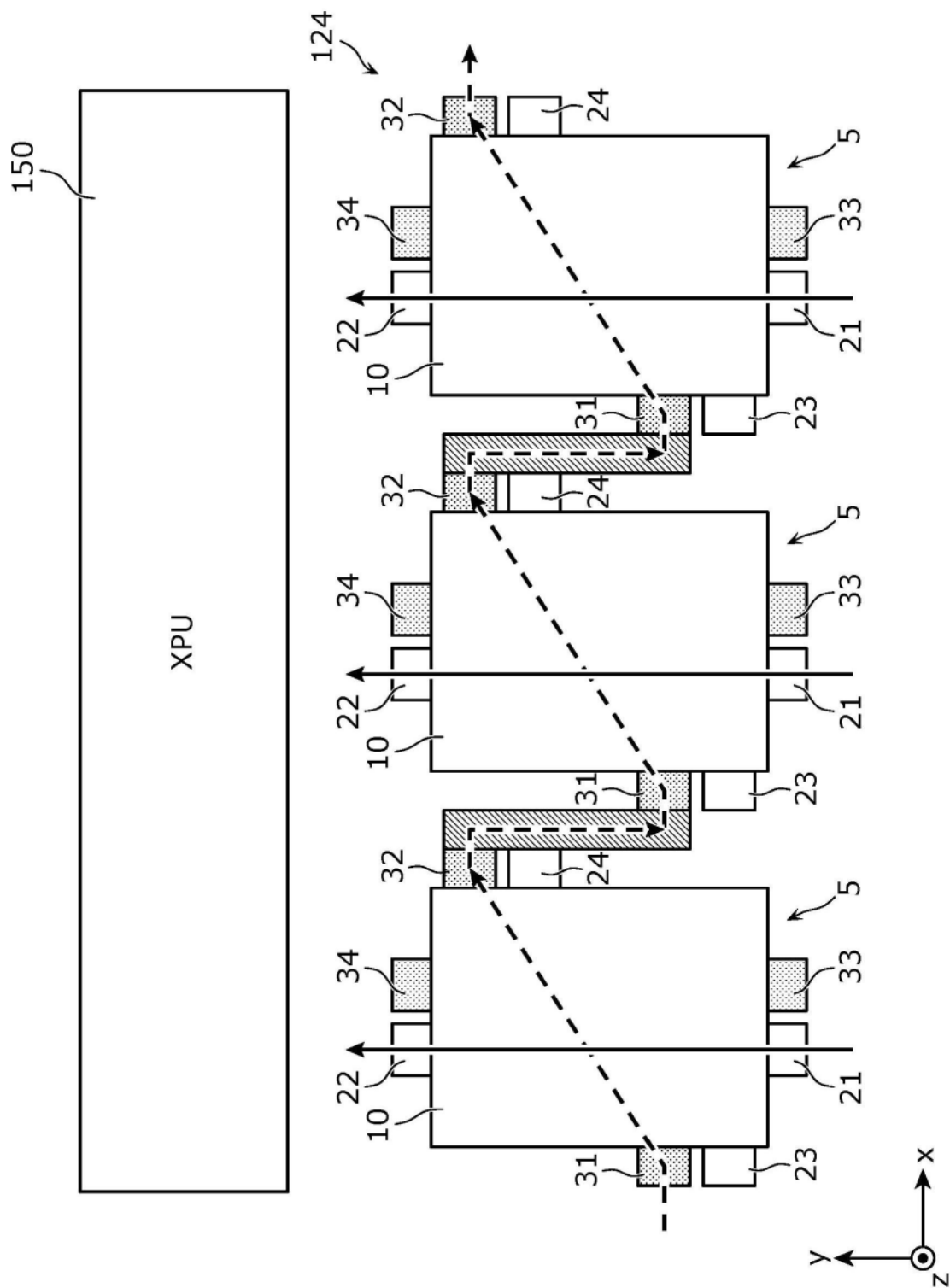


图14

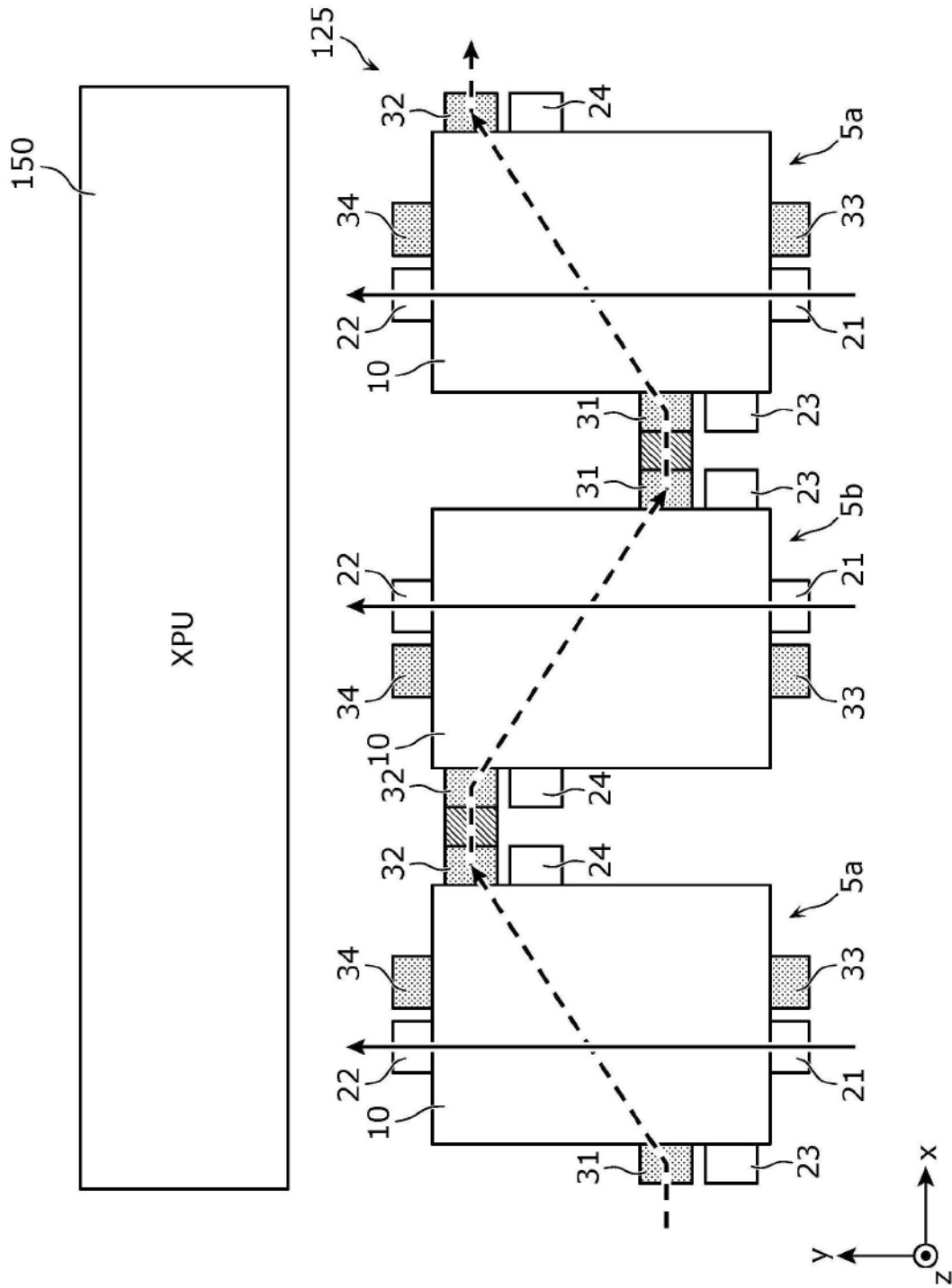


图15

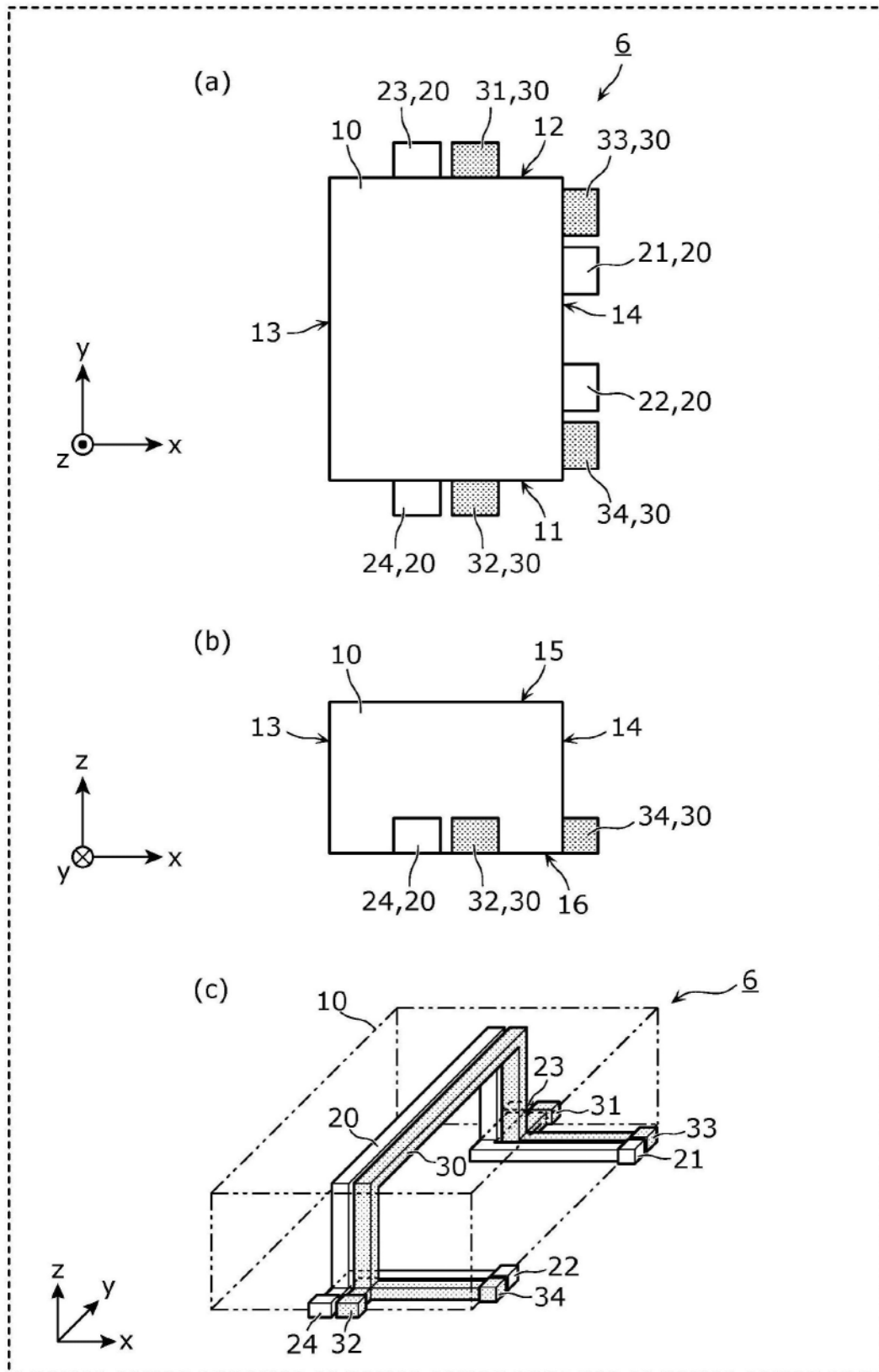


图16

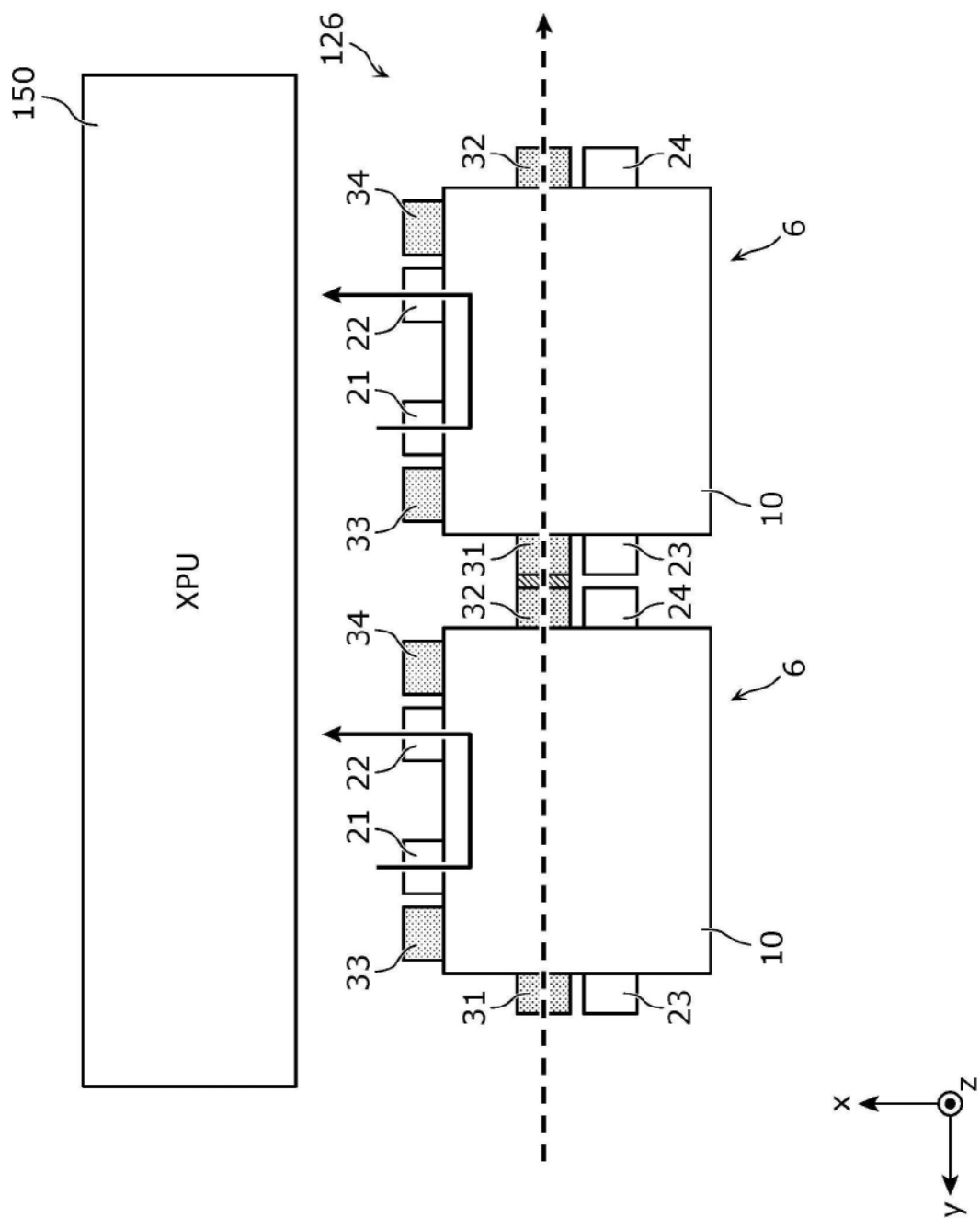


图17

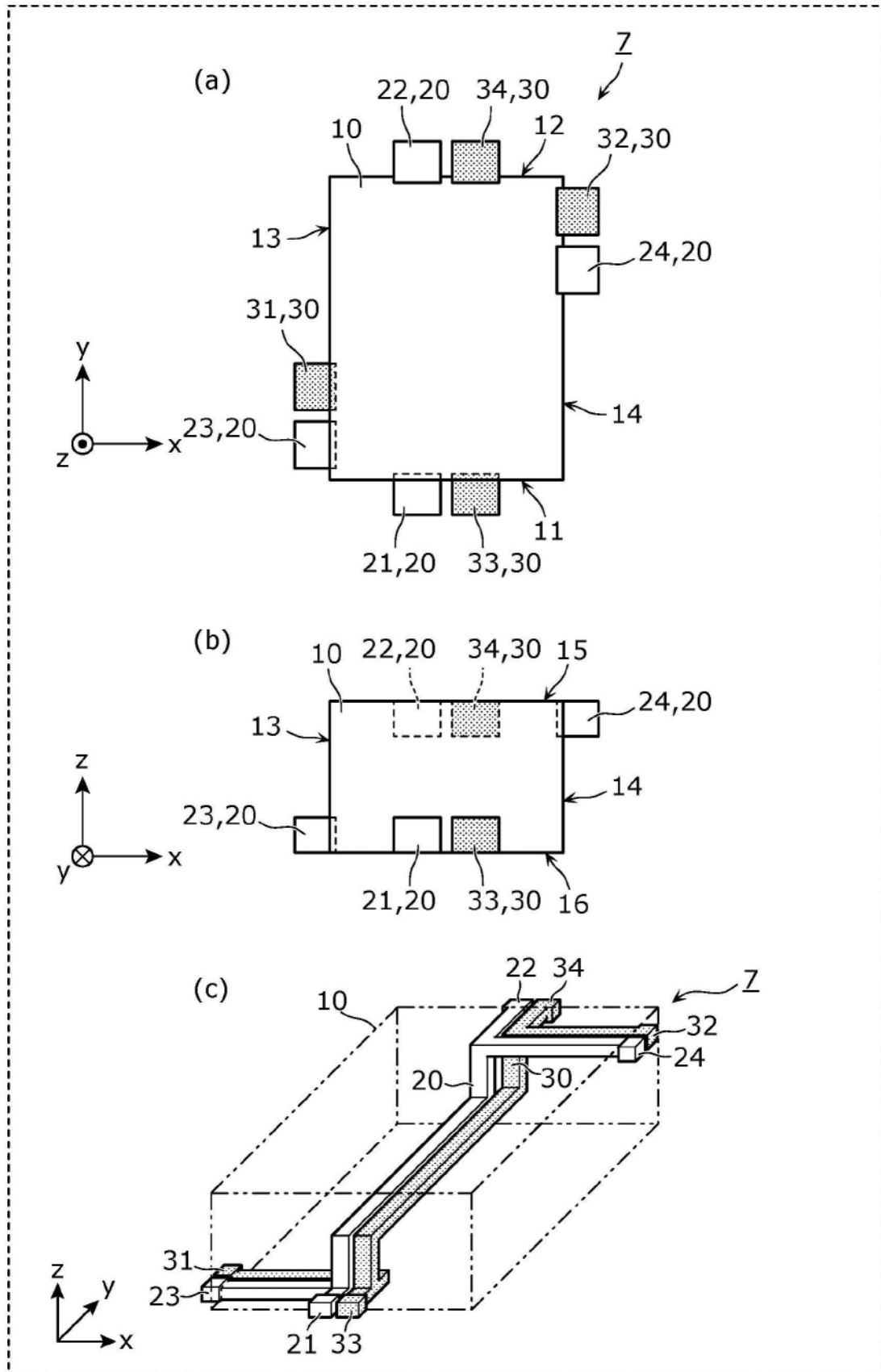


图18

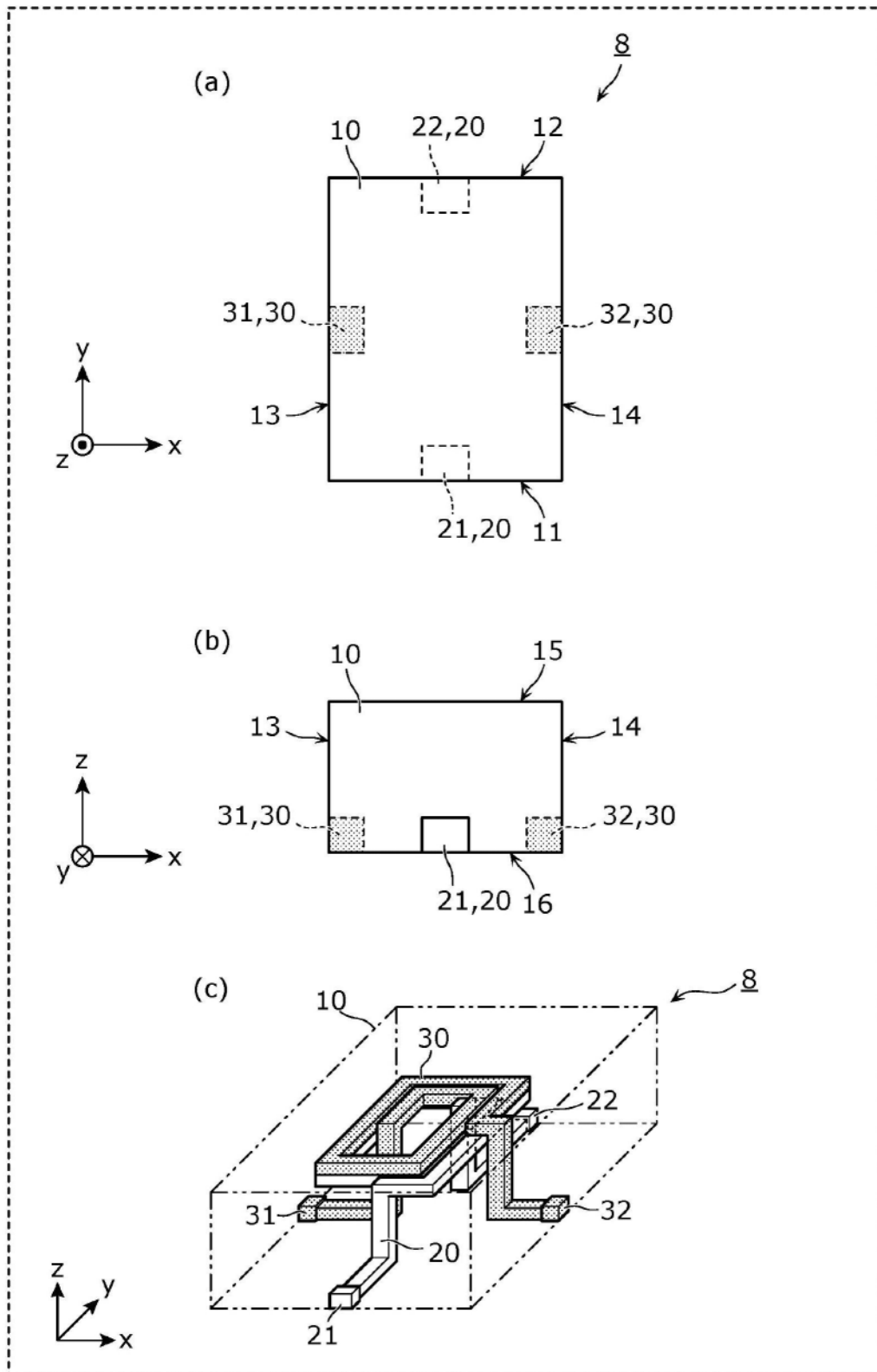


图19

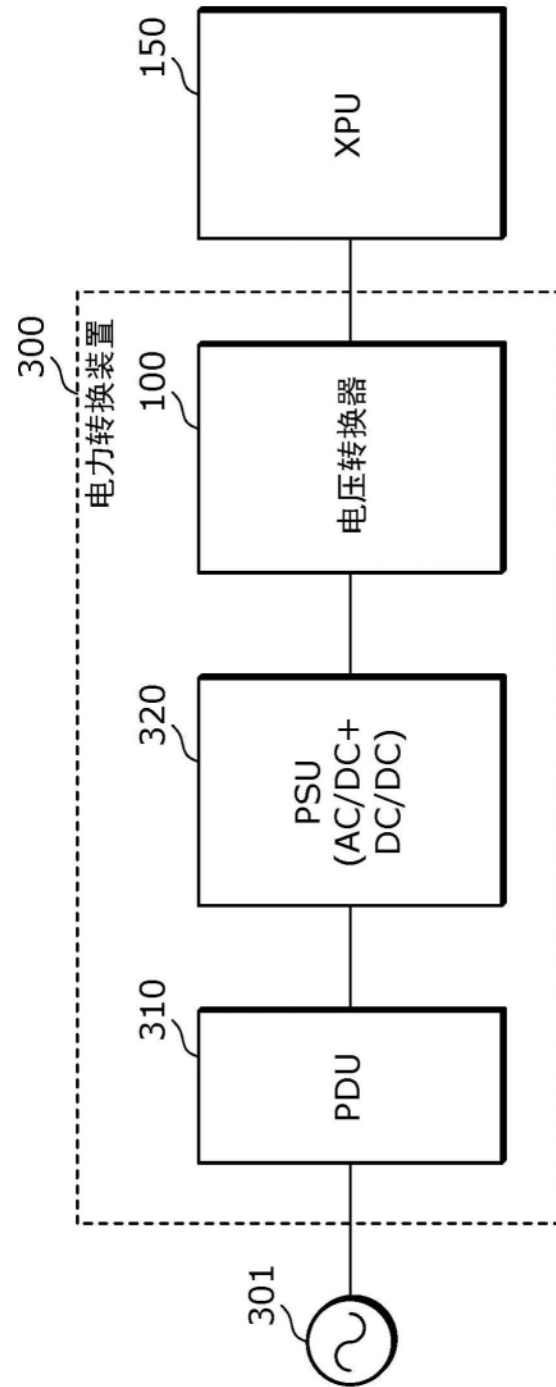


图20

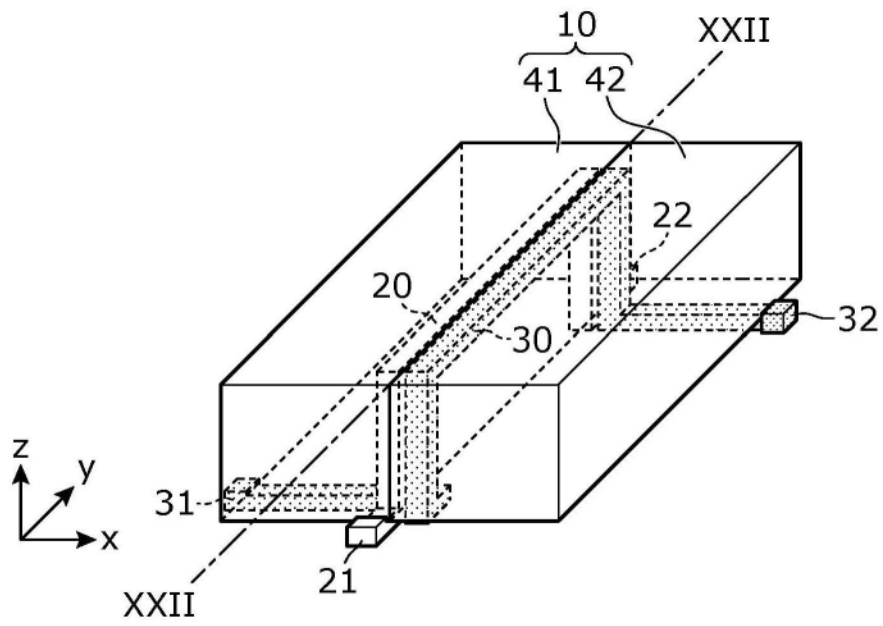


图21

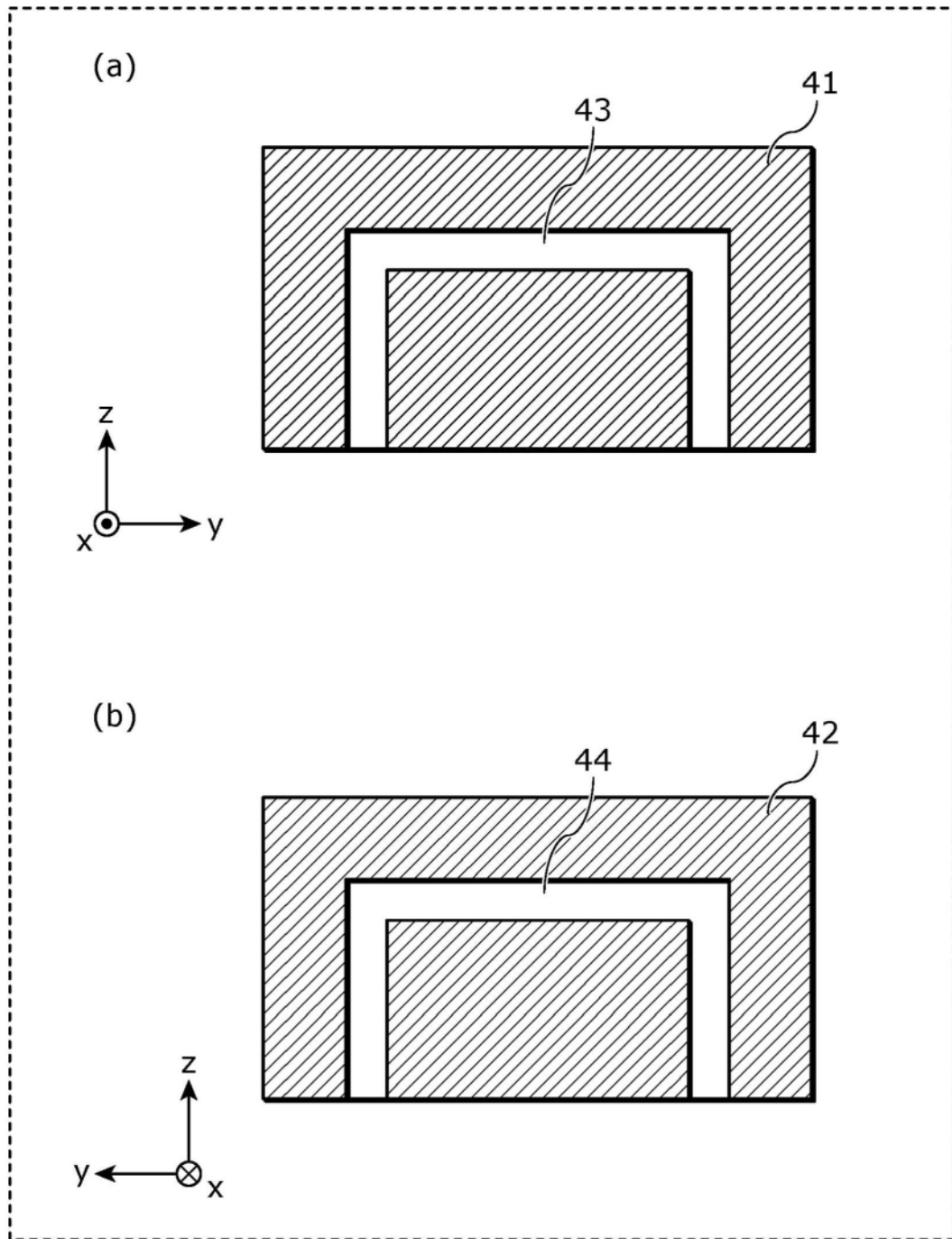


图22

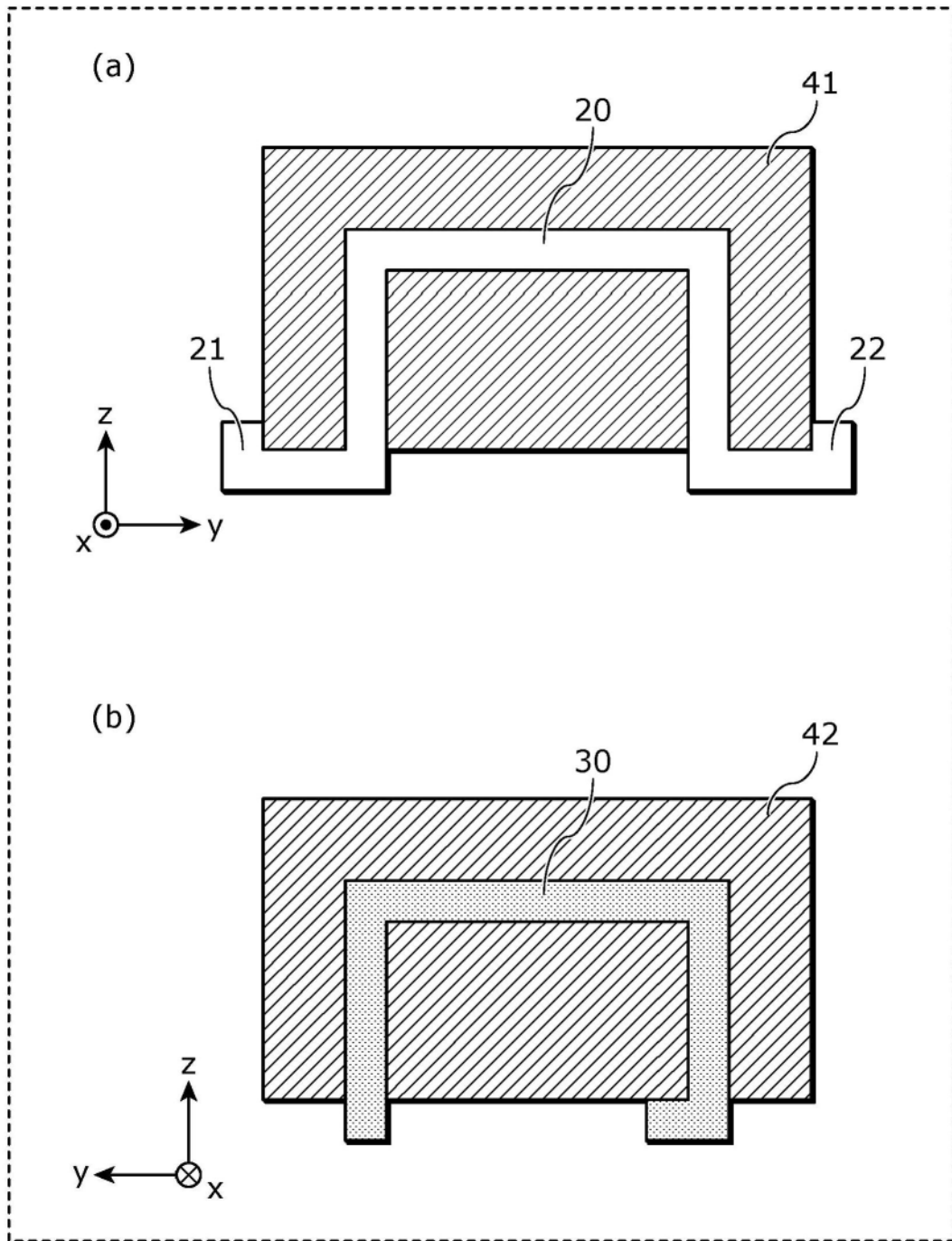


图23

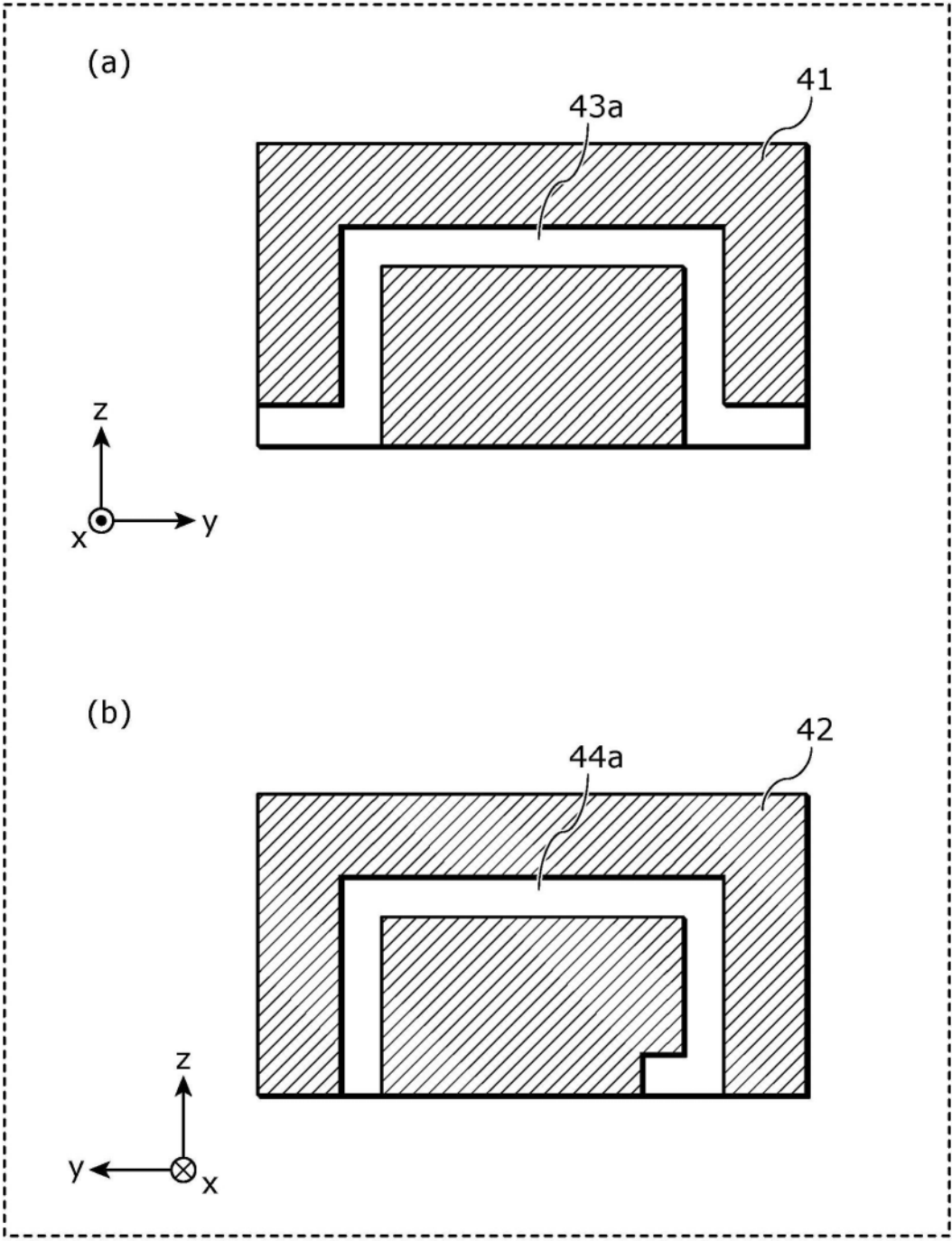


图24

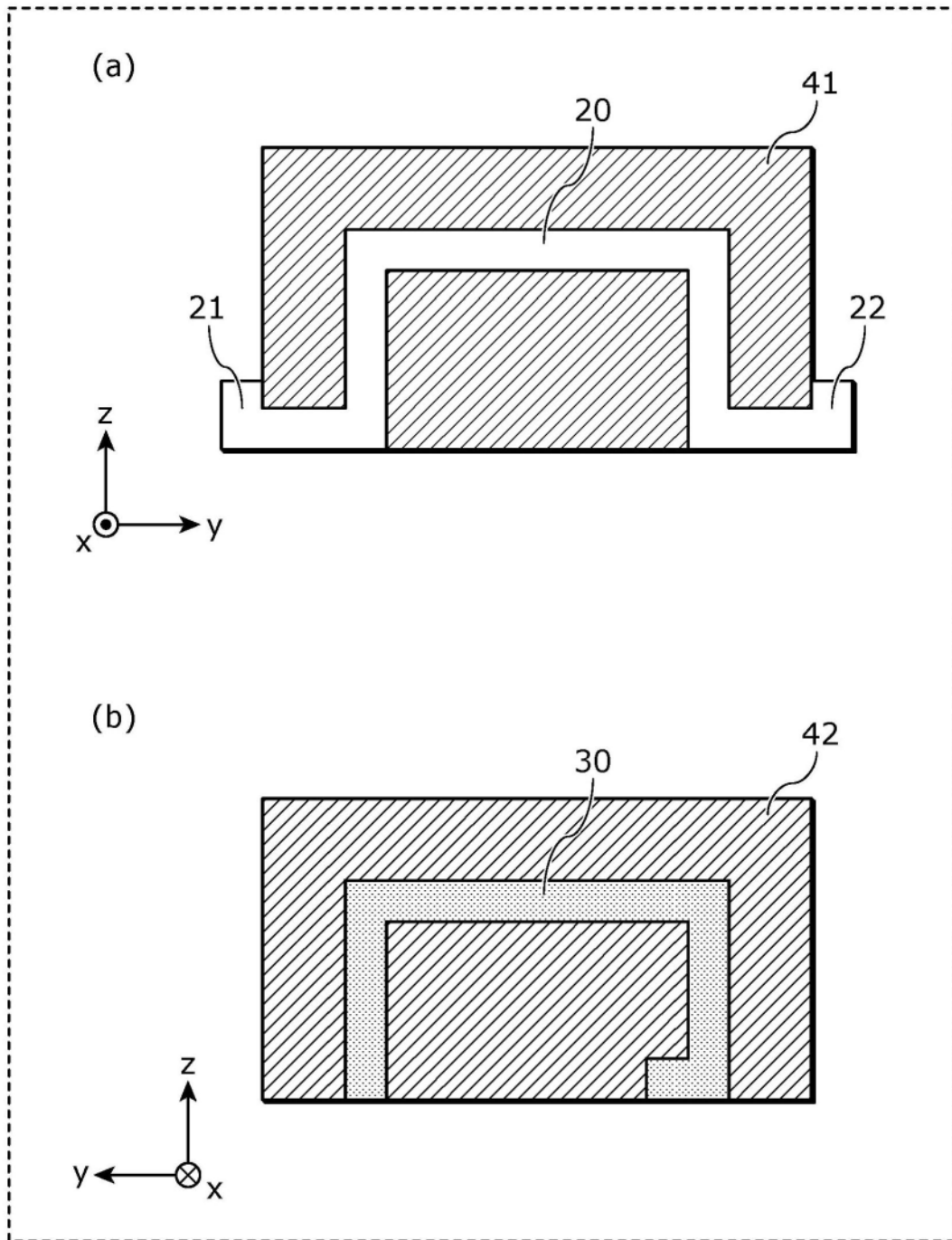


图25