

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 96117854

※ 申請日期： 96.5.18

※IPC 分類：H01L 45/00 (2006.01)

H01L 27/24 (2006.01)

一、發明名稱：(中文/英文)

G11C 16/02 (2006.01)

使用鍺鉍碲層作為相位改變材料層之相位改變記憶體單元，包含其之
相位改變記憶體裝置，包含其之電子系統及其製造方法

PHASE CHANGE MEMORY CELL EMPLOYING A GeBiTe LAYER AS
A PHASE CHANGE MATERIAL LAYER, PHASE CHANGE MEMORY
DEVICE INCLUDING THE SAME, ELECTRONIC SYSTEM
INCLUDING THE SAME AND METHOD OF FABRICATING THE
SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

韓商三星電子股份有限公司

SAMSUNG ELECTRONICS CO., LTD.

代表人：(中文/英文)

尹鍾龍

YUN, JONG-YONG

住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市靈通區梅灘洞416番地

416, MAETAN-DONG, YEONGTONG-GU, SUWON-SI, GYEONGGI-
DO, KOREA

國 籍：(中文/英文)

韓國 REPUBLIC OF KOREA

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 具奉珍
KUH, BONG-JIN
2. 河龍湖
HA, YONG-HO
3. 朴斗煥
PARK, DOO-HWAN
4. 朴正熙
PARK, JEONG-HEE
5. 高漢鳳
KO, HAN-BONG

國 籍：(中文/英文)

1. 韓國 REPUBLIC OF KOREA
2. 韓國 REPUBLIC OF KOREA
3. 韓國 REPUBLIC OF KOREA
4. 韓國 REPUBLIC OF KOREA
5. 韓國 REPUBLIC OF KOREA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 韓國；2006年05月19日；10-2006-0045298

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於非揮發性記憶體裝置，且更特定言之，係關於使用鍺銻碲層作為相位改變材料層之相位改變記憶體單元，包含其之相位改變記憶體裝置，包含其之電子系統及其製造方法。

【先前技術】

非揮發性記憶體裝置即使在其電源被切斷時仍保留其所儲存之資料。因此，非揮發性記憶體裝置廣泛用於電腦、行動電信系統、記憶卡等中。

快閃記憶體裝置廣泛用作非揮發性記憶體裝置。許多快閃記憶體裝置使用具有一堆疊閘極結構之記憶體單元。快閃記憶體裝置之堆疊閘極結構通常包含順序堆疊於一通道區上之一穿隧氧化層、一浮動閘、一閘間介電層及一控制閘電極。

目前，其他類型之非揮發性記憶體裝置(例如，相位改變記憶體裝置)正用來代替快閃記憶體裝置。相位改變記憶體裝置之一單位記憶胞包含一開關裝置及一串列連接至該開關裝置之資料儲存元件。資料儲存元件具有頂部及底部電極，及一插入於其間之一相位改變材料層，且該底部電極電連接至開關裝置。

一般而言，底部電極充當一加熱器。當一寫入電流流過開關裝置及底部電極時，在該相位改變材料層與底部電極之間的介面處產生焦耳熱。該焦耳熱將該相位改變材料層

轉換為非晶態(重置態)或結晶態(設定態)。具有非晶態之相位改變材料層展現一較具有結晶態之相位改變材料層高之電阻。因此，相位改變材料層廣泛用作相位改變記憶體裝置之資料儲存元件。

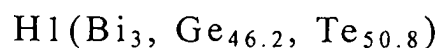
應將該開關裝置設計為具有足以供應該寫入電流之電流驅動性。然而，應增大由該開關裝置佔據之區域以增強電流驅動性。當增大該開關裝置之區域時，難以改良該相位改變記憶體裝置之整合密度。

一鍺(Ge)、銻(Sb)及碲(Te)合金層(下文稱作"鍺銻碲"層)廣泛用作相位改變材料層。需要具有數百奈秒之長時間的一設定脈衝信號以使該鍺銻碲層結晶。因此，改良使用鍺銻碲層之相位改變記憶體裝置之寫入速度(程式化速度)可能會存在限制。亦需要一具有一約0.8 mA至約1 mA之高寫入電流(重置電流)之重置脈衝信號以將該鍺銻碲層轉化為非晶態(重置態)。因此，當使用鍺銻碲層作為相位改變記憶體裝置之相位改變材料層時，降低該相位改變記憶體裝置之寫入(程式化)模式中之功率損耗可能會存在限制。

該鍺銻碲層可摻有諸如矽原子或氮原子之雜質。在此情況下，歸因於該等雜質，該鍺銻碲層可具有小且均勻之顆粒。因此，可降低將該鍺銻碲層轉化為非晶態所需之能量以進一步減小該鍺銻碲層之重置電流。然而，該鍺銻碲層中之雜質干擾該鍺銻碲層結晶。因而，當該鍺銻碲層摻有雜質時，摻雜鍺銻碲層之重置電流減小，而鍺銻碲層之設定脈衝寬度增大。

目前，銻(Ge)、鉍(Bi)及碲(Te)合金層(下文稱作銻鉍碲層)廣泛用作一光學資訊記錄媒體(諸如一數位視訊碟片(DVD))之相位改變材料層。

使用銻鉍碲層作為相位改變材料層之光學資訊記錄媒體係揭示於Fuchioka等人之題為 "Information Recording Medium" 的美國專利公開案第 2005/0227035 A1 中。根據 Fuchioka 等人，該資訊記錄媒體包含第一及第二邊界層及一插入於其間之記錄層，且該記錄層由一諸如銻鉍碲層之相位改變材料層組成。諸如雷射光束之光照射於該記錄層(亦即，銻鉍碲層)之一預定區上，以將所要資料寫入該資訊記錄媒體中。結果，視該雷射光束之強度而定，經雷射光束照射之預定區之銻鉍碲層被轉化為結晶態或非晶態。亦即，Fuchioka 等人提供用於光學記錄所要資料之資訊記錄媒體。根據 Fuchioka 等人之資訊記錄媒體之銻鉍碲層具有一位於由以下四點 H1、H2、H3 及 H4 在三角形組成圖(具有頂點鉍、銻及碲)上所圍之範圍內的組成比率。



使用銻鉍碲層作為相位改變材料層之另一資訊記錄媒體揭示於 Yamada 等人之題為 "Information Recording Medium and Method for Manufacturing the Same" 的美國專利第 6,858,277 B1 中。根據 Yamada 等人，提供一適於電或光學

地程式化所需資料之資訊記錄媒體。該資訊記錄媒體包含一形成於一基板上之第一電極、一形成於該第一電極上之絕緣層、一形成於該絕緣層中以與該第一電極接觸之記錄層及一形成於該絕緣層上以與該記錄層接觸之第二電極。構成該記錄層之特定材料包含許多晶格缺陷，且包含該等晶格缺陷之晶相可視為該等材料中之介穩相，其可由 $\text{GeTe-M}_2\text{Te}_3$ (此處 "M" 為銻、鉍或鋁) 表示。

【發明內容】

在一態樣中，本發明針對一使用一鍺鉍碲層或一摻雜鍺碲層作為一相位改變材料層之相位改變記憶體單元。該相位改變記憶體單元包含一形成於一半導體基板上之層間絕緣層及安置於該層間絕緣層中之第一及第二電極。在該第一電極與該第二電極之間安置一相位改變材料圖案。該相位改變材料圖案包括一未摻雜鍺鉍碲層、一含有雜質之摻雜鍺鉍碲層及一含有雜質之摻雜鍺碲層中之一者。該未摻雜鍺鉍碲層具有一位於一由四點 ($A1(\text{Ge}_{21.43}, \text{Bi}_{16.67}, \text{Te}_{61.9})$ 、 $A2(\text{Ge}_{44.51}, \text{Bi}_{0.35}, \text{Te}_{55.14})$ 、 $A3(\text{Ge}_{59.33}, \text{Bi}_{0.5}, \text{Te}_{40.17})$ 及 $A4(\text{Ge}_{38.71}, \text{Bi}_{16.13}, \text{Te}_{45.16})$) 以座標表示於一具有頂點鍺 (Ge)、鉍 (Bi) 及碲 (Te) 之三角形組成圖上所圍之範圍內的組成比率，且該摻雜鍺鉍碲層含有一雜質且具有一位於一由四點 ($D1(\text{Ge}_{10}, \text{Bi}_{20}, \text{Te}_{70})$ 、 $D2(\text{Ge}_{30}, \text{Bi}_0, \text{Te}_{70})$ 、 $D3(\text{Ge}_{70}, \text{Bi}_0, \text{Te}_{30})$ 及 $D4(\text{Ge}_{50}, \text{Bi}_{20}, \text{Te}_{30})$) 以座標表示於該三角形組成圖上所圍之範圍內的組成比率。該摻雜鍺碲層亦含有一雜質且具有一對應於點 D2 與 D3 之間的直線上之

座標的組成比率。在該層間絕緣層上安置一位元線。該位元線電連接至該第二電極。

在本發明之一些實施例中，該相位改變記憶體單元可進一步包括一形成於該半導體基板上之單元開關裝置。該單元開關裝置經電連接至該第一電極。該單元開關裝置可為一存取金屬氧化物半導體(MOS)電晶體，其具有形成於該半導體基板中之源極區及汲極區以及一安置於該源極區與該汲極區之間的通道區上方之字線。該第一電極電連接至該源極區及該汲極區中之一者。

或者，該單元開關裝置可為一單元二極體。該單元二極體可為一具有一n型半導體及一p型半導體之垂直單元二極體，該等半導體順序堆疊於該層間絕緣層中，且該p型半導體可電連接至該第一電極。在此情況下，該相位改變記憶體單元可進一步包含一電連接至該單元二極體之n型半導體之字線。

在其他實施例中，該第一電極可為一氮化鈦層(TiN)或一氮化鈦鋁層(TiAlN)。

亦在其他實施例中，該第二電極可為一氮化鈦層(TiN)。

又在其他實施例中，該未摻雜鍺鉍碲層或該摻雜鍺鉍碲層可具有一位於一由四點($B1(Ge_{30.77}, Bi_{15.38}, Te_{53.85})$ 、 $B2(Ge_{48.7}, Bi_{1.0}, Te_{50.3})$ 、 $B3(Ge_{59.3}, Bi_{0.5}, Te_{40.2})$ 及 $B4(Ge_{38.7}, Bi_{16.1}, Te_{45.2})$)以座標表示於一具有頂點鍺、鉍及碲之三角形組成圖上所圍之範圍內的組成比率。

在其他實施例中，該未摻雜鍺銻碲層或該摻雜鍺銻碲層可具有一位於一由六點 ($C1(Ge_{33.33}, Bi_{13.34}, Te_{53.33})$ 、 $C2(Ge_{48.7}, Bi_{1.0}, Te_{50.3})$ 、 $C3(Ge_{54.43}, Bi_{0.47}, Te_{45.1})$ 、 $C4(Ge_{59.3}, Bi_{0.5}, Te_{40.2})$ 、 $C5(Ge_{47.1}, Bi_{9.8}, Te_{43.1})$ 及 $C6(Ge_{44}, Bi_9, Te_{47})$)以座標表示於一具有頂點鍺、銻及碲之三角形組成圖上所圍之範圍內的組成比率。

在其他實施例中，該雜質可包含選自由以下各物組成之群之至少一元素：氮(N)、碳(C)、硒(Se)、銦(In)、氧(O)、鎵(Ga)、矽(Si)、錫(Sn)、鉛(Pb)、磷(P)、砷(As)、銻(Sb)及硫(S)。該雜質含量可位於0.01原子%至20原子%之範圍內。

在另一態樣中，本發明針對一使用一鍺銻碲層或一摻雜鍺碲層作為一相位改變材料層之相位改變記憶體裝置。該相位改變記憶體裝置包含一具有一單元陣列區域及一周邊電路區域之半導體基板及一形成於該半導體基板上之層間絕緣層。一第一電極及一第二電極在該單元陣列區域中安置於該層間絕緣層中。在該第一電極與該第二電極之間安置一相位改變材料圖案。該相位改變材料圖案包括一未摻雜鍺銻碲層、一含有雜質之摻雜鍺銻碲層及一含有雜質之摻雜鍺碲層中之一者。該未摻雜鍺銻碲層具有一位於一由四點 ($A1(Ge_{21.43}, Bi_{16.67}, Te_{61.9})$ 、 $A2(Ge_{44.51}, Bi_{0.35}, Te_{55.14})$ 、 $A3(Ge_{59.33}, Bi_{0.5}, Te_{40.17})$ 及 $A4(Ge_{38.71}, Bi_{16.13}, Te_{45.16})$)以座標表示於一具有頂點鍺(Ge)、銻(Bi)及碲(Te)之三角形組成圖上所圍之範圍內的組成比率，且該摻雜鍺

銻碲層含有一雜質且具有一位於一由四點($D1(Ge_{10}, Bi_{20}, Te_{70})$ 、 $D2(Ge_{30}, Bi_0, Te_{70})$ 、 $D3(Ge_{70}, Bi_0, Te_{30})$ 及 $D4(Ge_{50}, Bi_{20}, Te_{30})$)以座標表示於該三角形組成圖上所圍之範圍內的組成比率。該摻雜銻碲層亦含有一雜質且具有一位於點 $D2$ 與 $D3$ 之間的直線上之座標的組成比率。在該層間絕緣層上安置一位元線。該位元線電連接至該第二電極。

在又一態樣中，本發明針對一使用一相位改變記憶體單元之電子系統，該相位改變記憶體單元具有一未摻雜銻碲層、一摻雜銻碲層或一摻雜銻碲層。該電子系統包含一處理器、一執行與該處理器之資料通信之輸入及輸出單元及一執行與該處理器之資料通信之相位改變記憶體裝置。該相位改變記憶體裝置包含一具有一單元陣列區域及一周邊電路區域之半導體基板及一形成於該半導體基板上之層間絕緣層。一第一電極及一第二電極在該單元陣列區域中安置於該層間絕緣層中。在該第一電極與該第二電極之間安置一相位改變材料圖案。該相位改變材料圖案具有一未摻雜銻碲層、一含有雜質之摻雜銻碲層或一含有雜質之摻雜銻碲層。該未摻雜銻碲層具有一位於一由四點($A1(Ge_{21.43}, Bi_{16.67}, Te_{61.9})$ 、 $A2(Ge_{44.51}, Bi_{0.35}, Te_{55.14})$ 、 $A3(Ge_{59.33}, Bi_{0.5}, Te_{40.17})$ 及 $A4(Ge_{38.71}, Bi_{16.13}, Te_{45.16})$)以座標表示於一具有頂點銻、銻及碲之三角形組成圖上所圍之範圍內的組成比率，且該摻雜銻碲層含有一雜質且具有一位於一由四點($D1(Ge_{10}, Bi_{20}, Te_{70})$ 、 $D2(Ge_{30}, Bi_0, Te_{70})$ 、 $D3(Ge_{70}, Bi_0, Te_{30})$ 及 $D4(Ge_{50}, Bi_{20}, Te_{30})$)以座標表

示於該三角形組成圖上所圍之範圍內的組成比率。該摻雜銻碲層亦含有一雜質且具有一對應於點D2與D3之間的直線上之座標的組成比率。在該層間絕緣層上安置一位元線。該位元線電連接至該第二電極。

在再一態樣中，本發明針對製造一能夠減小電程式化速度及重置電流之相位改變記憶體單元之方法。該方法包含在一半導體基板上形成一下部層間絕緣層且在該下部層間絕緣層中形成一第一電極。在該下部層間絕緣層中形成一與該第一電極接觸之相位改變材料圖案及一堆疊於該相位改變材料圖案上之第二電極。該相位改變材料圖案係由一未摻雜銻鉍碲層、一摻雜銻鉍碲層及一摻雜銻碲層中之一者形成，該未摻雜銻鉍碲層具有一位於一由四點(A1(Ge_{21.43}, Bi_{16.67}, Te_{61.9})、A2(Ge_{44.51}, Bi_{0.35}, Te_{55.14})、A3(Ge_{59.33}, Bi_{0.5}, Te_{40.17})及A4(Ge_{38.71}, Bi_{16.13}, Te_{45.16}))以座標表示於一具有頂點銻、鉍及碲之三角形組成圖上所圍之範圍內的組成比率，該摻雜銻鉍碲層含有一雜質且具有一位於一由四點(D1(Ge₁₀, Bi₂₀, Te₇₀)、D2(Ge₃₀, Bi₀, Te₇₀)、D3(Ge₇₀, Bi₀, Te₃₀)及D4(Ge₅₀, Bi₂₀, Te₃₀))以座標表示於該三角形組成圖上所圍之範圍內的組成比率，該摻雜銻碲層含有一雜質且具有一對應於點D2與D3之間的直線上之座標的組成比率。在具有該相位改變材料圖案及該第二電極之該基板上形成一上部層間絕緣層。圖案化該上部層間絕緣層以形成一曝露該第二電極之位元線接觸孔。在該上部層間絕緣層上形成一經由該位元線接觸孔而電連接至該第

二電極之位元線。

【實施方式】

下文現將參看附圖(本發明之較佳實施例展示於其中)更充分地描述本發明。然而，本發明可體現於不同形式中，且不應解釋為受限於本文所闡述之實施例。實情為，提供此等實施例以使得此揭示內容詳盡且完整，且將向熟習此項技術者充分傳達本發明之範疇。在圖式中，為清晰起見，誇示層及區之厚度。相同數字貫穿說明書表示相同元件。

圖1為根據本發明之一例示性實施例之使用相位改變記憶體單元之相位改變記憶體裝置之示意方塊圖。

參看圖1，該相位改變記憶體裝置包含一單元陣列區域CA及一周邊電路區域PCA。該單元陣列區域CA(亦即，一記憶體單元區)包括複數個字線WL、複數個位元線BL及複數個相位改變記憶體單元100。該等位元線BL可經安置以與該等字線WL交叉，且該等相位改變記憶體單元100分別經安置於字線WL與位元線BL之間的相交處。該周邊電路區域PCA亦包括用於驅動相位改變記憶體單元100的第一及第二積體電路PCA1及PCA2。該第一積體電路PCA1可包含一用於選擇該等字線WL中之一者之列解碼器，且該第二積體電路PCA2可包含一用於選擇該等位元線BL中之一者之行解碼器。

相位改變記憶體單元100中之每一者包含一電連接至該等位元線BL中之一者之相位改變電阻器RP及一電連接至

該相位改變電阻器 RP 之開關裝置。該相位改變電阻器 RP 可包含第一及第二端子及一插入於該第一端子與該第二端子之間的相位改變材料層，且該開關裝置可為一具有一閘電極、一源極區及一汲極區之存取金屬氧化物半導體 (MOS) 電晶體 TA。在此情況下，該相位改變電阻器 RP 之第一端子電連接至該存取 MOS 電晶體 TA 之該汲極區，且該相位改變電阻器 RP 之第二端子電連接至位元線 BL。該存取 MOS 電晶體 TA 之閘電極亦電連接至該等字線 WL 中之一者，且該存取 MOS 電晶體 TA 之源極區電連接至一共用源極線 CSL。

為選擇性地在相位改變記憶體單元 100 之一單個單元 CL 中儲存資料，接通選定單元 CL 之存取 MOS 電晶體 TA，且迫使一寫入電流 I_w 流過該連接至選定單元 CL 之位元線 BL。在此情況下，該相位改變電阻器 RP 之電阻可視該寫入電流 I_w 之量而改變。舉例而言，當該相位改變材料經該寫入電流 I_w 加熱至其結晶溫度與熔點之間的溫度且經加熱之相位改變材料冷卻時，該相位改變材料轉化為結晶態。相較之下，當該相位改變材料經該寫入電流 I_w 加熱至一高於熔點之溫度且熔融相位改變材料突然驟冷時，該相位改變材料轉化為非晶態。具有結晶態之相位改變材料之電阻率低於具有非晶態之相位改變材料之電阻率。因此，藉由在讀取模式中偵測流過相位改變材料之電流，可判定儲存於相位改變電阻器 RP 中之資料是邏輯 "1" 還是邏輯 "0"。

圖 2 為圖 1 中所示之單元陣列區域 (CA) 之一部分的平面

圖，且圖3為沿圖2之線I-I'截取之橫截面圖。

參看圖2及圖3，在一半導體基板11之一預定區中安置一隔離層13以界定一單元作用區13a。一對開關裝置安置於該單元作用區13a中。該對開關裝置可為一對存取MOS電晶體或一對雙極電晶體。該對存取MOS電晶體包含分別形成於該單元作用區13a之兩端中之第一及第二汲極區19d'及19d''、一形成於該單元作用區13a之一中央部分中之共用源極區19s及越過該單元作用區13a之一對字線17(圖1之WL)。該對字線17中之一者安置於第一汲極區19d'與共用源極區19s之間的通道區上方，且該對字線17中之另一者安置於第二汲極區19d''與共用源極區19s之間的通道區上方。該等字線17經由閘極介電層15而與該等通道區電絕緣。

一第一下部層間絕緣層21安置於具有該對存取MOS電晶體之基板上。一共用源極線25s(圖1之CSL)、一第一汲極襯墊25d'及一第二汲極襯墊25d''安置於該第一下部層間絕緣層21上。共用源極線25s可經安置平行於該等字線17。共用源極線25s可經由一穿透該第一下部層間絕緣層21之共用源極線接觸孔21s電連接至共用源極區19s，且該第一及該第二汲極襯墊25d'及25d''可分別經由穿透該第一下部層間絕緣層21之第一及第二汲極接觸孔21d'及21d''電連接至第一及該第二汲極區19d'及19d''。

在另一例示性實施例中，可分別以一共用源極線接觸插塞23s、一第一汲極接觸插塞23d'及一第二汲極接觸插塞

23d''填充該共用源極線接觸孔21s、該第一汲極接觸孔21d'及該第二汲極接觸孔21d''。在此情況下，共用源極線25s、第一汲極襯墊25d'及第二汲極襯墊25d''可分別經由共用源極線接觸插塞23s、第一汲極接觸插塞23d'及第二汲極接觸插塞23d''電連接至共用源極區19s、第一汲極區19d'及第二汲極區19d''。

一第二下部層間絕緣層27安置於具有共用源極線25s、第一汲極襯墊25d'及第二汲極襯墊25d''之基板上。可分別藉由穿透該第二下部層間絕緣層27之第一及第二相位改變電阻器接觸孔27d'及27d''而曝露第一汲極襯墊25d'及第二汲極襯墊25d''。第一及第二底部電極29d'及29d''可分別安置於第一及第二相位改變電阻器接觸孔27d'及27d''中。第一及第二底部電極29d'及29d''可為一氮化鈦層(TiN)或一氮化鈦鋁層(TiAlN)。第一下部層間絕緣層21及第二下部層間絕緣層27構成一下部層間絕緣層28。

第一及第二相位改變材料圖案31'及31''安置於第二下部層間絕緣層27上。第一及第二相位改變材料圖案31'及31''經安置以分別與第一及第二底部電極29d'及29d''接觸。又，第一及第二頂部電極33'及33''可分別安置於第一及第二相位改變材料圖案31'及31''上。第一及第二頂部電極33'及33''可為一TiN層。第一底部電極29d'、第一相位改變材料圖案31'及第一頂部電極33'構成一相位改變電阻器RP，且第二底部電極29d''、第二相位改變材料圖案31''及第二頂部電極33''構成另一相位改變電阻器RP。第一及第二底

部電極29d'及29d''對應於該等相位改變電阻器RP之第一電極，且該第一及該第二頂部電極33'及33''對應於該等相位改變電阻器RP之第二電極。

該等第一電極29d'及29d''之頂部表面可具有與第二下部層間絕緣層27之頂部表面大體相同之水平。在此情況下，該等相位改變電阻器RP可對應於T形相位改變電阻器(如圖3中所示)。或者，該等第一電極29d'及29d''之頂部表面可低於第二下部層間絕緣層27之頂部表面。在此情況下，該等相位改變電阻器RP可對應於受限相位改變電阻器。

該等相位改變材料圖案31'及31''可為鍺、鉍及碲合金層(亦即，鍺鉍碲層)。更詳言之，該等相位改變材料圖案31'及31''可為一鍺鉍碲層，其具有一位於圖4A中所示之三角形組成圖(具有頂點鍺、鉍及碲)上之一特定範圍內的組成比率。

參看圖4A，根據本發明之一例示性實施例之該等相位改變材料圖案31'及31''可為一鍺鉍碲層，其具有一位於由以下四點A1、A2、A3及A4(該等點以座標表示於一具有頂點鍺、鉍及碲之三角形組成圖上)所圍之範圍內的組成比率：

A1(Ge_{21.43}, Bi_{16.67}, Te_{61.9})

A2(Ge_{44.51}, Bi_{0.35}, Te_{55.14})

A3(Ge_{59.33}, Bi_{0.5}, Te_{40.17})

A4(Ge_{38.71}, Bi_{16.13}, Te_{45.16})

就轉化相位改變材料圖案31'或31''之結晶結構所需之電

信號特性而言，由具有上述組成比率之鍺銻碲層形成之相位改變材料圖案31'或31''相比習知鍺銻碲層展現一些優勢。舉例而言，將由具有上述組成比率之鍺銻碲層形成之相位改變材料圖案31'或31''轉化為結晶態所需之設定脈衝寬度小於將習知鍺銻碲層轉化為結晶態所需之設定脈衝寬度。一般而言，將一諸如鍺銻碲層或鍺銻碲層之相位改變材料層轉化為結晶態所需之時間(亦即，設定脈衝寬度)大於將相位改變材料轉化為非晶態所需之時間(亦即，重置脈衝寬度)。因此，本發明可提供一改良相位改變記憶體單元，相比使用習知鍺銻碲層作為相位改變材料層之相位改變記憶體單元，其展示較快之程式化時間。

另外，將由具有上述組成比率之鍺銻碲層形成之相位改變材料圖案轉化為非晶態所需之重置脈衝量值(亦即，重置電流)小於將習知鍺銻碲層轉化為非晶態所需之重置電流。一般而言，將一諸如鍺銻碲層或鍺銻碲層之相位改變材料層轉化為非晶態所需之電流(亦即，重置電流)大於將該相位改變材料層轉化為結晶態所需之電流(亦即，設定電流)。因此，本發明可提供一改良相位改變記憶體單元，相比使用習知鍺銻碲層作為相位改變材料層之相位改變記憶體單元，在寫入模式中(亦即，程式化模式)其展示較小之功率損耗。

較佳地，該等相位改變材料圖案31'及31''可為一鍺銻碲層，其具有一位於由以下四點B1、B2、B3及B4所圍之範圍內的組成比率，如圖4A中所示：

B1(Ge_{30.77}, Bi_{15.38}, Te_{53.85})

B2(Ge_{48.7}, Bi_{1.0}, Te_{50.3})

B3(Ge_{59.3}, Bi_{0.5}, Te_{40.2})

B4(Ge_{38.7}, Bi_{16.1}, Te_{45.2})

更佳地，該等相位改變材料圖案31'及31''可為一鍺鉍碲層，其具有一位於由以下六點C1、C2、C3、C4、C5及C6所圍之範圍內的組成比率，如圖4A中所示：

C1(Ge_{33.33}, Bi_{13.34}, Te_{53.33})

C2(Ge_{48.7}, Bi_{1.0}, Te_{50.3})

C3(Ge_{54.43}, Bi_{0.47}, Te_{45.1})

C4(Ge_{59.3}, Bi_{0.5}, Te_{40.2})

C5(Ge_{47.1}, Bi_{9.8}, Te_{43.1})

C6(Ge₄₄, Bi₉, Te₄₇)

在本發明之另一例示性實施例中，相位改變材料圖案31'或31''可為含有雜質之一摻雜鍺鉍碲層或一摻雜鍺碲層。該雜質可為選自由以下各物組成之群的至少一元素：氮(N)、碳(C)、硒(Se)、銦(In)、氧(O)、鎵(Ga)、矽(Si)、錫(Sn)、鉛(Pb)、磷(P)、砷(As)、銻(Sb)及硫(S)。在此情況下，雜質含量可位於0.01原子%至20原子%之範圍內。如圖4B中所示，該摻雜鍺鉍碲層或摻雜鍺碲層可具有一範圍大於圖4A中所示之未摻雜鍺鉍碲層之組成比率。

參看圖4B，該摻雜鍺鉍碲層或摻雜鍺碲層可具有一位於由以下四點D1、D2、D3及D4(該等點以座標表示於一具有頂點鍺、鉍及碲之三角形組成圖上)所圍之範圍內的組成

比率：

$D1(\text{Ge}_{10}, \text{Bi}_{20}, \text{Te}_{70})$

$D2(\text{Ge}_{30}, \text{Bi}_0, \text{Te}_{70})$

$D3(\text{Ge}_{70}, \text{Bi}_0, \text{Te}_{30})$

$D4(\text{Ge}_{50}, \text{Bi}_{20}, \text{Te}_{30})$

此處，具有由點D2與D3之間的直線上之座標表示之組成比率的相位改變材料層意謂摻雜鍺碲層。亦即，摻雜鍺碲層不含鉍。

相比未摻雜鍺鉍碲層，摻雜鍺鉍碲層具有小且均勻之顆粒。因此，就重置電流與設定脈衝寬度而言，相比未摻雜鍺鉍碲層，摻雜鍺鉍碲層可具有經改良之特性。相比之下，當習知鍺銻碲層經摻雜諸如氮或矽之雜質時，即便該摻雜鍺銻碲層之重置電流減小，該摻雜鍺銻碲層之設定脈衝寬度仍傾向於增大。

再次參看圖2及圖3，一上部層間絕緣層35安置於具有相位改變電阻器RP之基板上。一位元線37(圖1之BL)安置於該上部層間絕緣層35之上，且該位元線37經由穿透上部層間絕緣層35之位元線接觸孔電連接至該第一及該第二頂部電極33'及33"。位元線37可經安置以與該等字線17交叉。

現將描述形成圖2及圖3中所示之相位改變記憶體單元之方法。

再次參看圖2及圖3，在一半導體基板11之一預定區中形成一隔離層13，以界定一單元作用區13a。在該單元作用區13a上形成一閘極介電層15，且在具有該閘極介電層15

之基板上形成一閘極導電層。該閘極導電層經圖案化以跨越單元作用區13a形成一對閘電極(亦即，一對字線17)。使用該等字線17作為離子植入遮罩而將雜質離子植入該單元作用區13a中，以形成一共用源極區19s以及第一及第二汲極區19d'及19d''。共用源極區19s係形成於單元作用區13a中該等字線WL之間，且第一及第二汲極區19d'及19d''係分別形成於單元作用區13a之兩端中。因此，單元作用區13a中形成了一對存取MOS電晶體(圖1之TA)。

一第一下部層間絕緣層21形成於具有存取MOS電晶體之基板上。第一下部層間絕緣層21經圖案化以形成一第一汲極接觸孔21d'、一第二汲極接觸孔21d''及一共用源極線接觸孔21s，其分別曝露第一汲極區19d'、第二汲極區19d''及共用源極區19s。一第一汲極接觸插塞23d'、一第二汲極接觸插塞23d''及一共用源極線接觸插塞23s可分別形成於第一汲極接觸孔21d'、第二汲極接觸孔21d''及共用源極線接觸孔21s中。該等接觸插塞23d'、23d''及23s可由一導電層(諸如一鈎層或一摻雜多晶矽層)形成。

一導電層形成於具有接觸插塞23d'、23d''及23s之基板上，且該導電層經圖案化以形成一共用源極線25s、一第一汲極襯墊25d'及一第二汲極襯墊25d''。一第二下部層間絕緣層27形成於具有共用源極線25s、第一汲極襯墊25d'及第二汲極襯墊25d''之基板上。該第一及該第二下部層間絕緣層21及27構成一下部層間絕緣層28。

第二下部層間絕緣層27經圖案化以形成第一及第二相位

改變電阻器接觸孔27d'及27d"，其分別曝露第一汲極襯墊25d'及第二汲極襯墊25d"。第一及第二底部電極29d'及29d"分別形成於該第一及該第二相位改變電阻器接觸孔27d'及27d"中。該第一及該第二底部電極29d'及29d"可由一氮化鈦層(TiN)或一氮化鈦鋁層(TiAlN)形成。第一及第二底部電極29d'及29d"可經形成而具有位於與第二下部層間絕緣層27之頂部表面相同之水平上之頂部表面。或者，第一及第二底部電極29d'及29d"之頂部表面可低於第二下部層間絕緣層27之頂部表面。

一相位改變材料層及一頂部電極層順序形成於第二下部層間絕緣層27及第一及第二底部電極29d'及29d"上。該頂部電極層可由氮化鈦層(TiN)形成，且該相位改變材料層可由一具有圖4A中所示之組成比率之未摻雜鍺鈹碲層或一具有圖4B中所示之組成比率之摻雜鍺鈹碲層形成。可使用一物理氣相沈積(PVD)技術、一化學氣相沈積(CVD)技術或一原子層沈積(ALD)技術形成該未摻雜鍺鈹碲層或該摻雜鍺鈹碲層。

當該摻雜鍺鈹碲層之雜質為氮時，可藉由氮反應濺鍍技術形成摻雜鍺鈹碲層。類似地，當該摻雜鍺鈹碲層之雜質為氧時，可使用氧反應濺鍍技術形成摻雜鍺鈹碲層。

該頂部電極層及該相位改變材料層經圖案化以形成第一及第二相位改變材料圖案31'及31"(該等圖案覆蓋各別第一及第二底部電極29d'及29d")以及堆疊於各別第一及第二相位改變材料圖案31'及31"上之第一及第二頂部電極33'及

33''。

一上部層間絕緣層35形成於具有第一及第二頂部電極33'及33''之基板上，且上部層間絕緣層35經圖案化以形成曝露第一及第二頂部電極33'及33''的位元線接觸孔35h。然後一諸如一金屬層之導電層形成於具有位元線接觸孔35h之基板上，且該導電層經圖案化以形成覆蓋該等位元線接觸孔35h之位元線37。

參看圖4A及圖4B所述之未摻雜鍺銻碲層或摻雜鍺銻碲層可應用於具有各種結構之相位改變記憶體單元。舉例而言，未摻雜鍺銻碲層或摻雜鍺銻碲層可用於具有圖5中所示之單元二極體之相位改變記憶體單元中。

圖5為一說明一單元陣列區域CA'的等效電路圖，該單元陣列區域CA'包括具有單元二極體D(而非圖1之存取MOS電晶體TA)之相位改變記憶體單元。

參看圖5，單元陣列區域CA'包含複數個位元線BL及與該複數個位元線BL交叉之複數個字線WL。複數個相位改變記憶體單元100'分別安置於該等位元線BL與該等字線WL之間的相交處。

該等相位改變記憶體單元100'中之每一者包含一電連接至該等位元線BL中之一者的相位改變電阻器RP'及一電連接至該相位改變電阻器RP'之單元二極體D。相位改變電阻器RP'具有第一及第二端子以及一位於第一與第二端子之間的相位改變材料層，且單元二極體D具有一p型半導體及一n型半導體。在此情況下，相位改變電阻器RP'之第一端

子電連接至單元二極體D之p型半導體，且相位改變電阻器RP'之第二端子電連接至位元線BL。又，單元二極體D之n型半導體電連接至該等字線WL中之一者。

圖6為圖5之單位記憶胞之平面圖，且圖7為沿圖6之線II-II'截取之橫截面圖。

參看圖6及圖7，在一第一導電類型之半導體基板51之一預定區中安置一隔離層53，以界定一線形作用區。該作用區可摻雜一第二導電類型(不同於第一導電類型)之雜質，藉此充當一字線WL。或者，該字線WL可為一堆疊於半導體基板51上之導電互連。該導電互連可為一金屬互連或一磊晶半導體圖案。

一下部層間絕緣層55安置於字線WL及隔離層53之上。字線WL之一預定區可由一穿透該下部層間絕緣層55之單元二極體孔55h曝露。一單元二極體D安置於該單元二極體孔55h中。單元二極體D具有順序堆疊之一n型半導體57n及一p型半導體57p。亦即，單元二極體D對應於一垂直單元二極體。單元二極體D之頂部表面可低於該下部層間絕緣層55之頂部表面。在此情況下，在該單元二極體孔55h中將一底部電極63安置於單元二極體D之上。底部電極63可為一氮化鈦層(TiN)或一氮化鈦鋁層(TiAlN)。在底部電極63與p型半導體57p之間可安置一單元二極體電極59。單元二極體電極59可為一諸如一鈷矽化物層之金屬矽化物層。底部電極63之側壁可由一形成於單元二極體孔55h之側壁上之絕緣隔片61圍繞。

一相位改變材料圖案65及一頂部電極67順序堆疊於底部電極63上。相位改變材料圖案65可由與參看圖3、4A及4B所述之相位改變材料圖案31'及31''相同之材料層形成，且頂部電極67亦可由與參看圖3所述之頂部電極33'及33''相同之材料層形成。底部電極63、相位改變材料圖案65及頂部電極67構成一相位改變電阻器RP'。底部電極63之一頂部表面可如圖7中所示低於下部層間絕緣層55之頂部表面。在此情況下，相位改變電阻器RP'可對應於一受限相位改變電阻器。或者，底部電極63之頂部表面可具有與下部層間絕緣層55之頂部表面相同之水平。在此情況下，相位改變電阻器RP'可對應於一T形相位改變電阻器。

在具有相位改變電阻器RP'之基板上安置一上部層間絕緣層69。在上部層間絕緣層69上安置一位元線71，且位元線71經由一穿透該上部層間絕緣層69之位元線接觸孔69h電連接至頂部電極67。該位元線71可經安置以與字線WL交叉。

現將描述形成圖6及圖7中所示之相位改變記憶體單元之方法。

再次參看圖6及圖7，在一第一導電類型之半導體基板51之一預定區中形成一隔離層53，以界定一線形作用區。半導體基板51可為一矽基板。將一第二導電類型(不同於第一導電類型)之雜質離子植入該作用區中以形成第二導電類型之字線WL。該第一及該第二導電類型可分別為p型及n型。在本發明之另一例示性實施例中，字線WL可由堆疊

於半導體基板51上之磊晶層或導電層形成。

在具有字線WL之基板上形成一下部層間絕緣層55。下部層間絕緣層55經圖案化以形成一曝露該字線WL之一預定區之單元二極體孔55h。在單元二極體孔55h中形成順序堆疊之n型半導體57n及p型半導體57p。可使用一選擇性磊晶成長(SEG)技術(其使用字線WL作為晶種層)形成n型半導體57n及p型半導體57p。n型半導體57n及p型半導體57p構成一單元二極體D，亦即，一垂直單元二極體。可在p型半導體57p之一表面上選擇性地形成一單元二極體電極59。單元二極體電極59可使用該項技術中熟知之自對準矽化物(salicide)技術由一金屬矽化物層(諸如鈷矽化物層)形成。單元二極體電極59之表面可低於下部層間絕緣層55之頂部表面。

一絕緣隔片61可形成於單元二極體孔55h之在單元二極體電極59上的側壁上。然後在單元二極體孔55h中形成一由絕緣隔片61圍繞之底部電極63。底部電極63可由一氮化鈦層(TiN)或一氮化鈦鋁層(TiAlN)形成。又，可使底部電極63凹進以具有一如圖7中所示低於下部層間絕緣層55之頂部表面之表面。或者，可形成底部電極63以具有一位於與下部層間絕緣層55之頂部表面相同之水平的表面。

一相位改變材料層及一頂部電極層順序形成於具有底部電極63之基板上。該頂部電極層可由一氮化鈦(TiN)層形成，且該相位改變材料層可使用與參考圖3、4A及4B所述相同之方法而形成。該頂部電極層及該相位改變材料層經

圖案化以形成一相位改變材料圖案65及一頂部電極67，其順序堆疊於底部電極63上。底部電極63、相位改變材料圖案65及頂部電極67構成一相位改變電阻器RP'。

使用與參看圖2及圖3所述相同之方法在具有該相位改變電阻器RP'之基板上形成一上部層間絕緣層69、一位元線接觸孔69h及一位元線71。

圖8為一使用根據本發明之例示性實施例之相位改變記憶體單元之電子系統600的示意方塊圖。

參看圖8，電子系統600包含至少一個相位改變記憶體裝置602(充當資料儲存媒體)及一連接至相位改變記憶體裝置602之處理器604。此處，相位改變記憶體裝置602可包含參看圖1至圖7所述之相位改變記憶體單元。電子系統600可對應於一可攜式筆記型電腦、一數位視訊攝影機或一行動電話。在此情況下，處理器604及相位改變記憶體裝置602係安裝於一板上，且相位改變記憶體裝置602用作儲存由處理器604執行之程式碼及資料之程式記憶體。

電子系統600可經由一輸入及輸出單元606與另一電子系統(諸如個人電腦或電腦網路)進行資料通信。輸入及輸出單元606可提供一電腦之周邊匯流排線、一高速數位傳輸線或無線資料發射及接收天線。可使用典型之電腦匯流排架構實現處理器604與輸入/輸出單元606之間的資料通信以及處理器604與相位改變記憶體裝置602之間的資料通信。

<實例>

圖 9 為說明根據習知技術及本發明製造之相位改變記憶體單元之重置電流特性之圖。在圖 9 中，水平軸表示分組 NGST 及 NGBT，且垂直軸表示重置電流 I_{reset} 。此處，分組 NGST 代表使用經 N_2 摻雜之鍺銻碲層作為相位改變材料層之習知相位改變記憶體單元，且分組 NGBT 代表使用按照本發明之例示性實施例之經 N_2 摻雜之鍺鉍碲層作為相位改變材料層之相位改變記憶體單元。

展現圖 9 之量測結構之所有相位改變記憶體單元經製造為具有 T 形相位改變電阻器之結構。又，應用至習知相位改變記憶體單元之重置脈衝及設定脈衝的寬度為 500 奈秒 (ns)，且應用至根據本發明之相位改變記憶體單元之重置脈衝及設定脈衝的寬度為 10 奈秒 (ns)。

展示圖 9 之量測結果之相位改變記憶體單元係使用下表 1 中所述之製程條件而製造。

表 1

製程參數		習知技術 (NGST)	本發明 (NGBT)
底部電極		TiAlN 層 (直徑：50 nm)	
相位改變材料圖 案	厚度	1000 Å	
	組成比率 (原子%)	$N_1Ge_{22}Sb_{22}Te_{55}$	$N_{1.1}Ge_{48.2}Bi_{5.7}Te_{45.0}$
	直徑	230 nm	
頂部電極		TiN 層	

參看圖 9，重置習知相位改變記憶體單元需要約 1.1 mA 至約 1.2 mA 之高重置電流 I_{reset} ，而重置根據本發明之相位改變記憶體單元需為約 0.38 mA 之低重置電流 I_{reset} 。因

此，可理解，程式化根據本發明之相位改變記憶體單元所需之功率消耗顯著低於程式化習知相位改變記憶體單元所需之功率消耗。

圖10為說明根據習知技術及本發明製造之相位改變記憶體單元之重置電流 I_{reset} 與重置電流脈衝寬度 W 之間的關係的圖。在圖10中，水平軸表示重置電流脈衝之寬度 W ，且垂直軸表示重置電流 I_{reset} 。展示圖10之量測結果之相位改變記憶體單元係使用與表1中所述相同之製程條件而製造。又，具有相同寬度之設定脈衝及重置脈衝經連續應用以量測圖10中所示之重置電流中之一重置電流。

參看圖10，當重置脈衝之寬度 W 自500 ns減小至10 ns時，習知相位改變記憶體單元之重置電流 I_{reset} 自約1.1 mA增加至約1.75 mA。相比之下，即便當重置脈衝之寬度 W 自100 ns減小至1 ns時，根據本發明之相位改變記憶體單元展現一均勻之約0.3 mA至約0.4 mA的重置電流 I_{reset} 。因此，根據本發明之相位改變記憶體單元之寫入速度(程式化速度)以及功率消耗可得到顯著改良。

圖11為說明根據本發明製造之相位改變記憶體單元之耐久性測試結果之圖。在圖11中，水平軸表示相位改變記憶體單元之程式化循環次數 N ，亦即寫入循環次數，且垂直軸表示每單位記憶胞之相位改變電阻器之電阻 R 。此處，相位改變記憶體單元係使用表1之對應於本發明之製程條件而製造。

該等各別程式化循環係藉由順序應用單個重置脈衝及單

個設定脈衝至相位改變記憶體單元之相位改變電阻器而執行。重置脈衝及設定脈衝中之每一者應用持續10 ns。又，重置脈衝經產生而具有一約為0.38 mA之重置電流，以將相位改變電阻器之相位改變材料圖案(亦即，N摻雜鍺銻碲層)轉換為非晶態，且設定脈衝經產生而具有一約為0.2 mA之設定電流，以將相位改變電阻器之相位改變材料圖案轉換為結晶態。

自圖11可發現，即便在執行 10^9 個循環之寫入操作(程式化操作)時，根據本發明之相位改變記憶體單元仍展示一均勻之設定電阻 R_{SET} (為約 $3 \times 10^3 \Omega$ 至約 $8 \times 10^3 \Omega$)及一均勻之重置電阻 R_{RESET} (為約 $3 \times 10^5 \Omega$ 至約 $8 \times 10^5 \Omega$)。詳言之，即便增加程式化循環次數N，如圖11中所示，仍未觀測到設定電阻 R_{SET} 之任何增大及重置電阻 R_{RESET} 之任何減小。亦即，即便當增加程式化循環次數N時，根據本發明之相位改變記憶體單元之耐久性仍不降級。

另外，如圖11所示，根據本發明之相位改變記憶體單元自第一程式化循環展現一穩定之設定電阻 R_{SET} 及一穩定之重置電阻 R_{RESET} 。亦即，在執行電主程式化操作之前，大多數使用鍺銻碲層之習知相位改變記憶體單元必然需要一激發測試(firing test)，而根據本發明之相位改變記憶體單元即便在不進行任何激發測試的情況下，仍展現成功之程式化操作。可理解，此係因為習知相位改變記憶體單元中所使用之鍺銻碲層具有一介穩相，而根據本發明之相位改變記憶體單元中所使用之鍺銻碲層不具有介穩相。

下文將描述有關具有圖4A中所示之四點A1、A2、A3及A4上及位於由該四點A1、A2、A3及A4所圍之範圍內的各種組成比率之未摻雜銻碲層之相位改變特性之評測結果。此處，未摻雜銻碲層係使用濺鍍技術形成於基板上。該未摻雜銻碲層之相位改變係藉由以其結晶溫度與其熔點之間的溫度或高於熔點之溫度加熱該未摻雜銻碲層而不使用一電信號來完成。在此情況下，該未摻雜銻碲層完全轉化為結晶態或非晶態。

具有點A1、A2、A3及A4之組成比率之該未摻雜銻碲層展示出表2中所述之相位改變特性。

表 2

樣本號(點)	銻碲層之組成	電阻比率 (Rratio)	對於相位改變記憶體 單元之適應性
1(A1)	$\text{Ge}_{21.43}\text{Bi}_{16.67}\text{Te}_{61.9}$	$>10^4$	○
2(A2)	$\text{Ge}_{44.51}\text{Bi}_{0.35}\text{Te}_{55.14}$	$>10^4$	○
3(A3)	$\text{Ge}_{59.33}\text{Bi}_{0.5}\text{Te}_{40.17}$	$>10^4$	○
4(A4)	$\text{Ge}_{38.71}\text{Bi}_{16.13}\text{Te}_{45.16}$	$>10^4$	○

在表2中，電阻比率Rratio指示具有非晶態之未摻雜銻碲層之電阻對於具有結晶態之未摻雜銻碲層之電阻的比率。又，表2之對於相位改變單元之適應性意謂，使用未摻雜銻碲層作為相位改變材料層製造之實際相位改變記憶體單元是否如參看圖10及圖11所述而展示重置電流Ireset低於0.5 mA且重置脈衝寬度W(或設定脈衝寬度)不大於10 ns之結果。

自表 2 可發現，具有對應於圖 4A 中之點 A1、A2、A3 及 A4 之組成比率之所有未摻雜銻鉍碲層展示出高於 10^4 之電阻比率且展示出對於相位改變記憶體單元之相位改變材料層之適應性。

另外，具有位於由該四點 A1、A2、A3 及 A4 所圍之區域中之各種組成比率之未摻雜銻鉍碲層之相位改變特性被評測。

具有以座標表示於圖 4A 之點 B1 與 B2 之間的直線上之組成比率之相位改變材料層展示出下表 3 中所述之相位改變特性。

表 3

樣本號(點)	銻鉍碲層之組成	電阻比率 (Rratio)	對於相位改變單元 之適應性
1(B2)	$\text{Ge}_{48.7}\text{Bi}_{1.0}\text{Te}_{50.3}$	$>10^7$	○
2	$\text{Ge}_{48.48}\text{Bi}_{1.22}\text{Te}_{50.3}$	$>10^7$	○
3	$\text{Ge}_{48.28}\text{Bi}_{1.38}\text{Te}_{50.34}$	$>10^7$	○
4	$\text{Ge}_{48.0}\text{Bi}_{1.6}\text{Te}_{50.4}$	$>10^7$	○
5	$\text{Ge}_{47.62}\text{Bi}_{1.9}\text{Te}_{50.48}$	$>10^7$	○
6	$\text{Ge}_{47.06}\text{Bi}_{2.35}\text{Te}_{50.59}$	$>10^7$	○
7	$\text{Ge}_{46.15}\text{Bi}_{3.08}\text{Te}_{50.77}$	$>10^7$	○
8	$\text{Ge}_{44.44}\text{Bi}_{4.45}\text{Te}_{51.11}$	$>10^7$	○
9	$\text{Ge}_{42.86}\text{Bi}_{5.71}\text{Te}_{51.43}$	$>10^7$	○
10	$\text{Ge}_{41.94}\text{Bi}_{6.45}\text{Te}_{51.61}$	$>10^6$	○
11	$\text{Ge}_{41.38}\text{Bi}_{6.9}\text{Te}_{51.72}$	$>10^6$	○
12	$\text{Ge}_{40.74}\text{Bi}_{7.41}\text{Te}_{51.85}$	$>10^6$	○

13	$\text{Ge}_{40.0}\text{Bi}_{8.0}\text{Te}_{52.0}$	$>10^6$	○
14	$\text{Ge}_{39.13}\text{Bi}_{8.7}\text{Te}_{52.17}$	$>10^6$	○
15	$\text{Ge}_{38.1}\text{Bi}_{9.52}\text{Te}_{52.38}$	$>10^6$	○
16	$\text{Ge}_{36.84}\text{Bi}_{10.53}\text{Te}_{52.63}$	$>10^5$	○
17	$\text{Ge}_{35.29}\text{Bi}_{11.77}\text{Te}_{52.94}$	$>10^5$	○
18	$\text{Ge}_{33.33}\text{Bi}_{13.34}\text{Te}_{53.33}$	$>10^5$	○
19(B1)	$\text{Ge}_{30.77}\text{Bi}_{15.38}\text{Te}_{53.85}$	$>10^5$	○
20	$\text{Ge}_{27.27}\text{Bi}_{18.18}\text{Te}_{54.55}$	1	×

自表3可發現，具有對應於圖4A之點B1與B2之間的直線上之座標的組成比率之所有未摻雜鍺鉍碲層展示出高於 10^5 之電阻比率且展示出對於相位改變記憶體單元之相位改變材料層之適應性。相比之下，作為一具有一超出由圖4A之點A1、A2、A3及A4所圍之範圍之組成比率的材料層，對應於表3之樣本號為20之未摻雜鍺鉍碲層展示出不適於相位改變記憶體單元之相位改變材料層之相位改變特性。

又，具有以座標表示於圖4A之點B3與B4之間的直線上之組成比率之相位改變材料層展示出下表4中所述之相位改變特性。

表 4

樣本號(點)	鍺鉍碲層之組成	電阻比率 (Rratio)	對於相位改變單元 之適應性
1(B4)	$\text{Ge}_{38.7}\text{Bi}_{16.1}\text{Te}_{45.2}$	$>10^5$	○
2	$\text{Ge}_{49.2}\text{Bi}_{8.2}\text{Te}_{42.6}$	$>10^5$	○
3	$\text{Ge}_{50.7}\text{Bi}_{7.0}\text{Te}_{42.3}$	$>10^5$	○
4	$\text{Ge}_{51.8}\text{Bi}_{6.2}\text{Te}_{42.0}$	$>10^5$	○
5	$\text{Ge}_{52.7}\text{Bi}_{5.5}\text{Te}_{41.8}$	$>10^5$	○
6(B3)	$\text{Ge}_{59.3}\text{Bi}_{0.5}\text{Te}_{40.2}$	$>10^5$	○

自表 4 可發現，具有對應於圖 4A 之點 B3 與 B4 之間的直線上之座標的組成比率之所有未摻雜鍺鉍碲層展示出高於 10^5 之電阻比率，且可應用至該相位改變記憶體單元之相位改變材料層。

此外，具有對應於圖 4A 之點 C3 與 C6 之間的直線上之座標的組成比率之相位改變材料層展示出下表 5 中所述之相位改變特性。

表 5

樣本號(點)	鍺鉍碲層之組成	電阻比率 (Rratio)	對於相位改變單元 之適應性
1	$\text{Ge}_{41.3}\text{Bi}_{11.3}\text{Te}_{47.4}$	約 10^1	△
2(C6)	$\text{Ge}_{44.0}\text{Bi}_{9.0}\text{Te}_{47.0}$	$>10^4$	○
3	$\text{Ge}_{45.83}\text{Bi}_{7.5}\text{Te}_{46.67}$	$>10^4$	○
4	$\text{Ge}_{47.14}\text{Bi}_{6.43}\text{Te}_{46.43}$	$>10^5$	○
5	$\text{Ge}_{48.13}\text{Bi}_{5.63}\text{Te}_{46.24}$	$>10^5$	○
6	$\text{Ge}_{48.89}\text{Bi}_{5.0}\text{Te}_{46.11}$	$>10^5$	○

7	$\text{Ge}_{49.5}\text{Bi}_{4.5}\text{Te}_{46.0}$	$>10^5$	○
8	$\text{Ge}_{50.0}\text{Bi}_{4.09}\text{Te}_{45.91}$	$>10^5$	○
9	$\text{Ge}_{52.38}\text{Bi}_{2.14}\text{Te}_{45.48}$	$>10^5$	○
10	$\text{Ge}_{53.23}\text{Bi}_{1.45}\text{Te}_{45.32}$	$>10^5$	○
11	$\text{Ge}_{53.66}\text{Bi}_{1.1}\text{Te}_{45.24}$	$>10^5$	○
12	$\text{Ge}_{53.92}\text{Bi}_{0.88}\text{Te}_{45.2}$	$>10^5$	○
13	$\text{Ge}_{54.1}\text{Bi}_{0.74}\text{Te}_{45.16}$	$>10^5$	○
14	$\text{Ge}_{54.23}\text{Bi}_{0.63}\text{Te}_{45.14}$	$>10^5$	○
15	$\text{Ge}_{54.32}\text{Bi}_{0.56}\text{Te}_{45.12}$	$>10^5$	○
16	$\text{Ge}_{54.4}\text{Bi}_{0.49}\text{Te}_{45.11}$	$>10^5$	○
17(C3)	$\text{Ge}_{54.43}\text{Bi}_{0.47}\text{Te}_{45.1}$	$>10^5$	○

自表 5 可發現，具有對應於圖 4A 之點 C3 與 C6 之間的直線上之座標的組成比率之所有未摻雜銻鉍碲層(樣本 2 至 17)展示出高於 10^4 之電阻比率，且可應用至該相位改變記憶體單元之相位改變材料層。相比之下，對應於表 5 之樣本號 1 之未摻雜銻鉍碲層展示 10 之電阻比率(Rratio)，此對用作該相位改變記憶體單元之相位改變材料層係相對低的。表 5 中之樣本號為 1 之未摻雜銻鉍碲層為一具有一超出由圖 4A 之點 C1、C2、C3、C4、C5 及 C6 所圍之範圍的組成比率之材料層。

根據上述本發明，一相位改變記憶體單元之重置電流及程式化速度可藉由使用一未摻雜銻鉍碲層、一摻雜銻鉍碲層或一摻雜銻碲層作為該相位改變記憶體單元之相位改變材料層而得到顯著減小。因此，可實現高效能之相位改變

記憶體裝置。又，重置電流之減小可導致用作該相位改變記憶體單元之開關裝置的存取MOS電晶體之通道寬度的減小。結果，可顯著改良相位改變記憶體裝置之整合密度。

本文已揭示本發明之例示性實施例，且儘管使用了特定術語，但其僅在一般性及描述性意義(而非限制性目的)上加以使用且解釋。因此，一般熟習此項技術者將瞭解，在不偏離由以下申請專利範圍所闡述之本發明之精神及範疇的情況下，可進行各種形式及細節之修改。

【圖式簡單說明】

圖1為根據本發明之一例示性實施例之使用相位改變記憶體單元之相位改變記憶體裝置之示意方塊圖。

圖2為圖1中所示之單元陣列區域之一部分的平面圖。

圖3為沿圖2之線I-I'截取之橫截面圖。

圖4A為三角形組成圖，其說明用於根據本發明之例示性實施例之相位改變記憶體單元中之相位改變材料層之組成範圍。

圖4B為三角形組成圖，其說明用於根據本發明之其他例示性實施例之相位改變記憶體單元中之相位改變材料層之組成範圍。

圖5為一等效電路圖，其說明圖1中所示之單元陣列區域之另一例示性實施例。

圖6為說明圖5中所示之單元陣列區域之一單位記憶胞之平面圖。

圖7為沿圖6之線II-II'截取之橫截面圖。

圖 8 為一具有根據本發明之一例示性實施例之一相位改變記憶體裝置的電子系統之示意方塊圖。

圖 9 為說明根據習知技術及本發明製造之相位改變記憶體單元之重置電流特性之圖。

圖 10 為說明根據習知技術及本發明製造之相位改變記憶體單元之重置電流與重置脈衝寬度之間關係的圖。

圖 11 為說明根據本發明製造之相位改變記憶體單元之耐久性測試結果之圖。

【主要元件符號說明】

11	半導體基板
13	隔離層
13a	單元作用區
15	閘極介電層
17	字線
19d'	第一汲極區
19d''	第二汲極區
19s	共用源極區
21	第一下部層間絕緣層
21d'	第一汲極接觸孔
21d''	第二汲極接觸孔
21s	共用源極線接觸孔
23d'	第一汲極接觸插塞
23d''	第二汲極接觸插塞
23s	共用源極線接觸插塞

25d'	第一汲極襯墊
25d''	第二汲極襯墊
25s	共用源極線
27	第二下部層間絕緣層
27d'	第一相位改變電阻器接觸孔
27d''	第二相位改變電阻器接觸孔
28	下部層間絕緣層
29d'	第一底部電極
29d''	第二底部電極
31'	第一相位改變材料圖案
31''	第二相位改變材料圖案
33'	第一頂部電極
33''	第二頂部電極
35	上部層間絕緣層
35h	位元線接觸孔
37	位元線
51	半導體基板
53	隔離層
55	下部層間絕緣層
55h	單元二極體孔
57n	n型半導體
57p	p型半導體
59	單元二極體電極
61	絕緣隔片
63	底部電極

65	相位改變材料圖案
67	頂部電極
69	上部層間絕緣層
69h	位元線接觸孔
71	位元線
100	相位改變記憶體單元
100'	相位改變記憶體單元
600	電子系統
602	相位改變記憶體裝置
604	處理器
606	輸入及輸出單元
BL	位元線
CA	單元陣列區域
CA'	單元陣列區域
CL	單元
CSL	共用源極線
D	單元二極體
I_w	寫入電流
PCA	周邊電路區域
PCA1	第一積體電路
PCA2	第二積體電路
RP	相位改變電阻器
RP'	相位改變電阻器
TA	存取金屬氧化物半導體(MOS)電晶體
WL	字線

五、中文發明摘要：

本發明提供一種相位改變記憶體單元。該相位改變記憶體單元包含一形成於一半導體基板上之層間絕緣層及安置於該層間絕緣層中之一第一電極及一第二電極。在該第一電極與該第二電極之間安置一相位改變材料圖案。該相位改變材料圖案為一未摻雜銻鉍碲層、一含有雜質之摻雜銻鉍碲層或一含有雜質之摻雜銻碲層。該未摻雜銻鉍碲層具有一位於一由四點(A1(Ge_{21.43}, Bi_{16.67}, Te_{61.9})、A2(Ge_{44.51}, Bi_{0.35}, Te_{55.14})、A3(Ge_{59.33}, Bi_{0.5}, Te_{40.17})及A4(Ge_{38.71}, Bi_{16.13}, Te_{45.16}))以座標表示於一具有頂點銻(Ge)、鉍(Bi)及碲(Te)之三角形組成圖上所圍之範圍內的組成比率，且該摻雜銻鉍碲層含有一雜質且具有一位於一由四點(D1(Ge₁₀, Bi₂₀, Te₇₀)、D2(Ge₃₀, Bi₀, Te₇₀)、D3(Ge₇₀, Bi₀, Te₃₀)及D4(Ge₅₀, Bi₂₀, Te₃₀))以座標表示於該三角形組成圖上所圍之範圍內的組成比率。該摻雜銻碲層亦含有一雜質且具有一對應於點D2與D3之間之直線上之座標的組成比率。

六、英文發明摘要：

A phase change memory cell is provided. The phase change memory cell includes an interlayer insulating layer formed on a semiconductor substrate, and a first electrode and a second electrode disposed in the interlayer insulating layer. A phase change material pattern is disposed between the first and second electrodes. The phase change material pattern is an undoped GeBiTe layer, a doped GeBiTe layer containing an impurity or a doped GeTe layer containing an impurity. The undoped GeBiTe layer has a composition ratio within a range surrounded by four points (A1(Ge_{21.43}, Bi_{16.67}, Te_{61.9}), A2(Ge_{44.51}, Bi_{0.35}, Te_{55.14}), A3(Ge_{59.33}, Bi_{0.5}, Te_{40.17}) and A4(Ge_{38.71}, Bi_{16.13}, Te_{45.16})) represented by coordinates on a triangular composition diagram having vertices of germanium (Ge), bismuth (Bi) and tellurium (Te), and the doped GeBiTe layer contains an impurity and has a composition ratio within a range surrounded by four points (D1(Ge₁₀, Bi₂₀, Te₇₀), D2(Ge₃₀, Bi₀, Te₇₀), D3(Ge₇₀, Bi₀, Te₃₀) and D4(Ge₅₀, Bi₂₀, Te₃₀)) represented by coordinates on the triangular composition diagram. Also, the doped GeTe layer contains an impurity and has a composition ratio corresponding to coordinates on a straight line between the points D2 and D3.

十、申請專利範圍：

1. 一種相位改變記憶體單元，其包括：

一層間絕緣層，其形成於一半導體基板上；

一第一電極及一第二電極，其安置於該層間絕緣層中；

一相位改變材料圖案，其安置於該第一電極與該第二電極之間，該相位改變材料圖案為一未摻雜銻碲層、一摻雜銻碲層及一摻雜銻碲層中之一者，該未摻雜銻碲層具有一位於一由四點($A1(Ge_{21.43}, Bi_{16.67}, Te_{61.9})$ 、 $A2(Ge_{44.51}, Bi_{0.35}, Te_{55.14})$ 、 $A3(Ge_{59.33}, Bi_{0.5}, Te_{40.17})$ 及 $A4(Ge_{38.71}, Bi_{16.13}, Te_{45.16})$)以座標表示於一具有頂點銻(Ge)、銻(Bi)及碲(Te)之三角形組成圖上所圍之範圍內的組成比率，該摻雜銻碲層含有一雜質且具有一位於一由四點($D1(Ge_{10}, Bi_{20}, Te_{70})$ 、 $D2(Ge_{30}, Bi_0, Te_{70})$ 、 $D3(Ge_{70}, Bi_0, Te_{30})$ 及 $D4(Ge_{50}, Bi_{20}, Te_{30})$)以座標表示於該三角形組成圖上所圍之範圍內的組成比率，該摻雜銻碲層含有一雜質且具有一對應於該等點D2與D3之間之一直線上之座標的組成比率；及

一位元線，其安置於該層間絕緣層上且電連接至該第二電極。

2. 如請求項1之相位改變記憶體單元，進一步包括：

一單元開關裝置，其形成於該半導體基板上且電連接至該第一電極。

3. 如請求項2之相位改變記憶體單元，其中該單元開關裝

置為一存取金屬氧化物半導體(MOS)電晶體，其包含形成於該半導體基板中之一源極區及一汲極區，以及一安置於該源極區與該汲極區之間之一通道區上方的字線，且該第一電極電連接至該源極區及該汲極區中之一者。

4. 如請求項2之相位改變記憶體單元，其中該單元開關裝置為一單元二極體。
5. 如請求項4之相位改變記憶體單元，其中該單元二極體為一具有一n型半導體及一p型半導體之垂直單元二極體，該等半導體係順序堆疊於該層間絕緣層中，且該p型半導體電連接至該第一電極。
6. 如請求項5之相位改變記憶體單元，進一步包括：
一字線，其電連接至該單元二極體之該n型半導體。
7. 如請求項1之相位改變記憶體單元，其中該第一電極為一氮化鈦層(TiN)或一氮化鈦鋁層(TiAlN)。
8. 如請求項1之相位改變記憶體單元，其中該第二電極為一氮化鈦層(TiN)。
9. 如請求項1之相位改變記憶體單元，其中該未摻雜鍺銻碲層或該摻雜鍺銻碲層具有一位於一由四點(B1(Ge_{30.77}, Bi_{15.38}, Te_{53.85})、B2(Ge_{48.7}, Bi_{11.0}, Te_{50.3})、B3(Ge_{59.3}, Bi_{0.5}, Te_{40.2})及B4(Ge_{38.7}, Bi_{16.1}, Te_{45.2}))以座標表示於一具有頂點鍺、銻及碲之三角形組成圖上所圍之範圍內的組成比率。
10. 如請求項1之相位改變記憶體單元，其中該未摻雜鍺銻碲層或該摻雜鍺銻碲層具有一位於一由六點(C1(Ge_{33.33},

$\text{Bi}_{13.34}, \text{Te}_{53.33})$ 、 $\text{C2}(\text{Ge}_{48.7}, \text{Bi}_{1.0}, \text{Te}_{50.3})$ 、 $\text{C3}(\text{Ge}_{54.43}, \text{Bi}_{0.47}, \text{Te}_{45.1})$ 、 $\text{C4}(\text{Ge}_{59.3}, \text{Bi}_{0.5}, \text{Te}_{40.2})$ 、 $\text{C5}(\text{Ge}_{47.1}, \text{Bi}_{9.8}, \text{Te}_{43.1})$ 及 $\text{C6}(\text{Ge}_{44}, \text{Bi}_9, \text{Te}_{47})$)以座標表示於一具有頂點鍺、鉍及碲之三角形組成圖上所圍之範圍內的組成比率。

11. 如請求項1之相位改變記憶體單元，其中該雜質包括至少一元素，其選自由氮(N)、碳(C)、硒(Se)、銦(In)、氧(O)、鎳(Ga)、矽(Si)、錫(Sn)、鉛(Pb)、磷(P)、砷(As)、銻(Sb)及硫(S)所組成之群。

12. 如請求項11之相位改變記憶體單元，其中該雜質之含量係位於0.01原子%至20原子%之範圍內。

13. 一種相位改變記憶體裝置，其包括：

一半導體基板，其具有一單元陣列區域及一周邊電路區域；

一層間絕緣層，其形成於該半導體基板上；

一第一電極及一第二電極，其安置於該單元陣列區域之該層間絕緣層中；

一相位改變材料圖案，其安置於該第一電極與該第二電極之間，該相位改變材料圖案為一未摻雜鍺鉍碲層、一摻雜鍺鉍碲層及一摻雜鍺碲層中之一者，該未摻雜鍺鉍碲層具有一位於一由四點($\text{A1}(\text{Ge}_{21.43}, \text{Bi}_{16.67}, \text{Te}_{61.9})$ 、 $\text{A2}(\text{Ge}_{44.51}, \text{Bi}_{0.35}, \text{Te}_{55.14})$ 、 $\text{A3}(\text{Ge}_{59.33}, \text{Bi}_{0.5}, \text{Te}_{40.17})$ 及 $\text{A4}(\text{Ge}_{38.71}, \text{Bi}_{16.13}, \text{Te}_{45.16})$)以座標表示於一具有頂點鍺(Ge)、鉍(Bi)及碲(Te)之三角形組成圖上所圍之範圍內的

組成比率，該摻雜銻鉍碲層含有一雜質且具有一位於一由四點 ($D1(\text{Ge}_{10}, \text{Bi}_{20}, \text{Te}_{70})$ 、 $D2(\text{Ge}_{30}, \text{Bi}_0, \text{Te}_{70})$ 、 $D3(\text{Ge}_{70}, \text{Bi}_0, \text{Te}_{30})$ 及 $D4(\text{Ge}_{50}, \text{Bi}_{20}, \text{Te}_{30})$)以座標表示於該三角形組成圖上所圍之範圍內的組成比率，該摻雜銻鉍碲層含有一雜質且具有一對應於該等點D2與D3之間之一直線上之座標的組成比率；及

一位元線，其安置於該層間絕緣層上且電連接至該第二電極。

14. 如請求項13之相位改變記憶體裝置，進一步包括：

一單元開關裝置，其形成於該半導體基板上之該單元陣列區域中，且電連接至該第一電極。

15. 如請求項14之相位改變記憶體裝置，其中該單元開關裝置為一存取金屬氧化物半導體(MOS)電晶體，其具有形成於該半導體基板中之一源極區及一汲極區，以及一安置於該源極區與該汲極區之間之一通道區上方之字線，且該第一電極電連接至該源極區及該汲極區中之一者。

16. 如請求項14之相位改變記憶體裝置，其中該單元開關裝置為一單元二極體。

17. 如請求項16之相位改變記憶體裝置，其中該單元二極體為一具有一n型半導體及一p型半導體之垂直單元二極體，該等半導體係順序堆疊於該層間絕緣層中，且該p型半導體電連接至該第一電極。

18. 如請求項17之相位改變記憶體裝置，進一步包括：

一字線，其電連接至該單元二極體之該n型半導體。

19. 如請求項13之相位改變記憶體裝置，其中該第一電極為一氮化鈦層(TiN)或一氮化鈦鋁層(TiAlN)。
20. 如請求項13之相位改變記憶體裝置，其中該第二電極為一氮化鈦層(TiN)。
21. 如請求項13之相位改變記憶體裝置，其中該未摻雜鍺銻碲層或該摻雜鍺銻碲層具有一位於一由四點(B1(Ge_{30.77}, Bi_{15.38}, Te_{53.85})、B2(Ge_{48.7}, Bi_{1.0}, Te_{50.3})、B3(Ge_{59.3}, Bi_{0.5}, Te_{40.2})及B4(Ge_{38.7}, Bi_{16.1}, Te_{45.2}))以座標表示於一具有頂點鍺、銻及碲之三角形組成圖上所圍之範圍內的組成比率。
22. 如請求項13之相位改變記憶體裝置，其中該未摻雜鍺銻碲層或該摻雜鍺銻碲層具有一位於一由六點(C1(Ge_{33.33}, Bi_{13.34}, Te_{53.33})、C2(Ge_{48.7}, Bi_{1.0}, Te_{50.3})、C3(Ge_{54.43}, Bi_{0.47}, Te_{45.1})、C4(Ge_{59.3}, Bi_{0.5}, Te_{40.2})、C5(Ge_{47.1}, Bi_{9.8}, Te_{43.1})及C6(Ge₄₄, Bi₉, Te₄₇))以座標表示於一具有頂點鍺、銻及碲之三角形組成圖上所圍之範圍內的組成比率。
23. 如請求項13之相位改變記憶體裝置，其中該雜質包括至少一元素，其選自由氮(N)、碳(C)、硒(Se)、銦(In)、氧(O)、鎵(Ga)、矽(Si)、錫(Sn)、鉛(Pb)、磷(P)、砷(As)、銻(Sb)及硫(S)所組成之群。
24. 如請求項23之相位改變記憶體裝置，其中該雜質之含量係位於0.01原子%至20原子%之範圍內。
25. 一種電子系統，其具有一處理器、一執行與該處理器之

資料通信之輸入及輸出單元，及一執行與該處理器之資料通信之相位改變記憶體裝置，該相位改變記憶體裝置包括：

一半導體基板，其具有一單元陣列區域及一周邊電路區域；

一層間絕緣層，其形成於該半導體基板上；

一第一電極及一第二電極，其安置於該單元陣列區域之該層間絕緣層中；

一相位改變材料圖案，其安置於該第一電極與該第二電極之間，該相位改變材料圖案為一未摻雜銻銻碲層、一摻雜銻銻碲層及一摻雜銻碲層中之一者，該未摻雜銻銻碲層具有一位於一由四點($A1(Ge_{21.43}, Bi_{16.67}, Te_{61.9})$ 、 $A2(Ge_{44.51}, Bi_{0.35}, Te_{55.14})$ 、 $A3(Ge_{59.33}, Bi_{0.5}, Te_{40.17})$ 及 $A4(Ge_{38.71}, Bi_{16.13}, Te_{45.16})$)以座標表示於一具有頂點銻(Ge)、銻(Bi)及碲(Te)之三角形組成圖上所圍之範圍內的組成比率，該摻雜銻銻碲層含有一雜質且具有一位於一由四點($D1(Ge_{10}, Bi_{20}, Te_{70})$ 、 $D2(Ge_{30}, Bi_0, Te_{70})$ 、 $D3(Ge_{70}, Bi_0, Te_{30})$ 及 $D4(Ge_{50}, Bi_{20}, Te_{30})$)以座標表示於該三角形組成圖上所圍之範圍內的組成比率，該摻雜銻碲層含有一雜質且具有一對應於該等點D2與D3之間的一直線上之座標的組成比率；及

一位元線，其安置於該層間絕緣層上且電連接至該第二電極。

26. 如請求項25之電子系統，進一步包括：

一單元開關裝置，其形成於該半導體基板上之該單元陣列區域中，且電連接至該第一電極。

27. 如請求項26之電子系統，其中該單元開關裝置為一存取金屬氧化物半導體(MOS)電晶體，其具有形成於該半導體基板中之一源極區及一汲極區，以及一安置於該源極區與該汲極區之間之一通道區上方之字線，且該第一電極電連接至該源極區及該汲極區中之一者。

28. 如請求項26之電子系統，其中該單元開關裝置為一單元二極體。

29. 如請求項28之電子系統，其中該單元二極體為一具有一n型半導體及一p型半導體之垂直單元二極體，該等半導體係順序堆疊於該層間絕緣層中，且該p型半導體電連接至該第一電極。

30. 如請求項29之電子系統，進一步包括：

一字線，其電連接至該單元二極體之該n型半導體。

31. 如請求項25之電子系統，其中該第一電極為一氮化鈦層(TiN)或一氮化鈦鋁層(TiAlN)。

32. 如請求項25之電子系統，其中該第二電極為一氮化鈦層(TiN)。

33. 如請求項25之電子系統，其中該未摻雜鍺鉍碲層或該摻雜鍺鉍碲層具有一位於一由四點(B1(Ge_{30.77}, Bi_{15.38}, Te_{53.85})、B2(Ge_{48.7}, Bi_{1.0}, Te_{50.3})、B3(Ge_{59.3}, Bi_{0.5}, Te_{40.2})及B4(Ge_{38.7}, Bi_{16.1}, Te_{45.2}))以座標表示於一具有頂點鍺、鉍及碲之三角形組成圖上所圍之範圍內的組成比率。

34. 如請求項25之電子系統，其中該未摻雜銻銻碲層或該摻雜銻銻碲層具有一位於一由六點(C1(Ge_{33.33}, Bi_{13.34}, Te_{53.33}))、C2(Ge_{48.7}, Bi_{1.0}, Te_{50.3})、C3(Ge_{54.43}, Bi_{0.47}, Te_{45.1})、C4(Ge_{59.3}, Bi_{0.5}, Te_{40.2})、C5(Ge_{47.1}, Bi_{9.8}, Te_{43.1})及C6(Ge₄₄, Bi₉, Te₄₇))以座標表示於一具有頂點銻、銻及碲之三角形組成圖上所圍之範圍內的組成比率。
35. 如請求項25之電子系統，其中該雜質包括至少一元素，其選自由氮(N)、碳(C)、硒(Se)、銦(In)、氧(O)、鎵(Ga)、矽(Si)、錫(Sn)、鉛(Pb)、磷(P)、砷(As)、銻(Sb)及硫(S)所組成之群。
36. 如請求項35之電子系統，其中該雜質之含量係位於0.01原子%至20原子%之範圍內。
37. 一種製造一相位改變記憶體單元之方法，其包括：
- 在一半導體基板上形成一下部層間絕緣層；
 - 在該下部層間絕緣層中形成一第一電極；
 - 形成一與該下部層間絕緣層上之該第一電極接觸之相位改變材料圖案及一堆疊於該相位改變材料圖案上之第二電極，該相位改變材料圖案係由一未摻雜銻銻碲層、一摻雜銻銻碲層及一摻雜銻碲層中之一者形成，該未摻雜銻銻碲層具有一位於一由四點(A1(Ge_{21.43}, Bi_{16.67}, Te_{61.9}))、A2(Ge_{44.51}, Bi_{0.35}, Te_{55.14})、A3(Ge_{59.33}, Bi_{0.5}, Te_{40.17})及A4(Ge_{38.71}, Bi_{16.13}, Te_{45.16}))以座標表示於一具有頂點銻(Ge)、銻(Bi)及碲(Te)之三角形組成圖上所圍之範圍內的組成比率，該摻雜銻銻碲層含有一雜質且具有

一位於一由四點(D1(Ge₁₀, Bi₂₀, Te₇₀)、D2(Ge₃₀, Bi₀, Te₇₀)、D3(Ge₇₀, Bi₀, Te₃₀)及D4(Ge₅₀, Bi₂₀, Te₃₀))以座標表示於該三角形組成圖上所圍之範圍內的組成比率，該摻雜鍺碲層含有一雜質且具有一對應於該等點D2與D3之間之一直線上之座標的組成比率；

在具有該相位改變材料圖案及該第二電極之該基板上形成一上部層間絕緣層；

圖案化該上部層間絕緣層，以形成一曝露該第二電極之位元線接觸孔；及

在該上部層間絕緣層上形成一經由該位元線接觸孔，而電連接至該第二電極之位元線。

38. 如請求項37之方法，進一步包括：

在形成該下部層間絕緣層之前，在該半導體基板上形成一存取金屬氧化物半導體(MOS)電晶體；

其中該第一電極電連接至該存取MOS電晶體之一源極區及一汲極區中之一者。

39. 如請求項37之方法，進一步包括：

在形成該下部層間絕緣層之前，在該半導體基板之中或之上形成一字線；及

在形成該第一電極之前，形成一具有順序堆疊於該下部層間絕緣層中之一n型半導體及一p型半導體的單元二極體，

其中該單元二極體之該n型半導體電連接至該字線，且該第一電極形成於該單元二極體之該p型半導體上。

40. 如請求項37之方法，其中由一氮化鈦層(TiN)或一氮化鈦鋁層(TiAlN)形成該第一電極。
41. 如請求項37之方法，其中使用一物理氣相沈積(PVD)技術、一化學氣相沈積(CVD)技術或一原子層沈積(ALD)技術形成該相位改變材料圖案。
42. 如請求項37之方法，其中該雜質包括至少一元素，其選自由氮(N)、碳(C)、硒(Se)、銦(In)、氧(O)、鎳(Ga)、矽(Si)、錫(Sn)、鉛(Pb)、磷(P)、砷(As)、銻(Sb)及硫(S)所組成之群，且該雜質之含量係位於0.01原子%至20原子%之範圍內。
43. 如請求項37之方法，其中由一氮化鈦層(TiN)形成該第二電極。

十一、圖式：

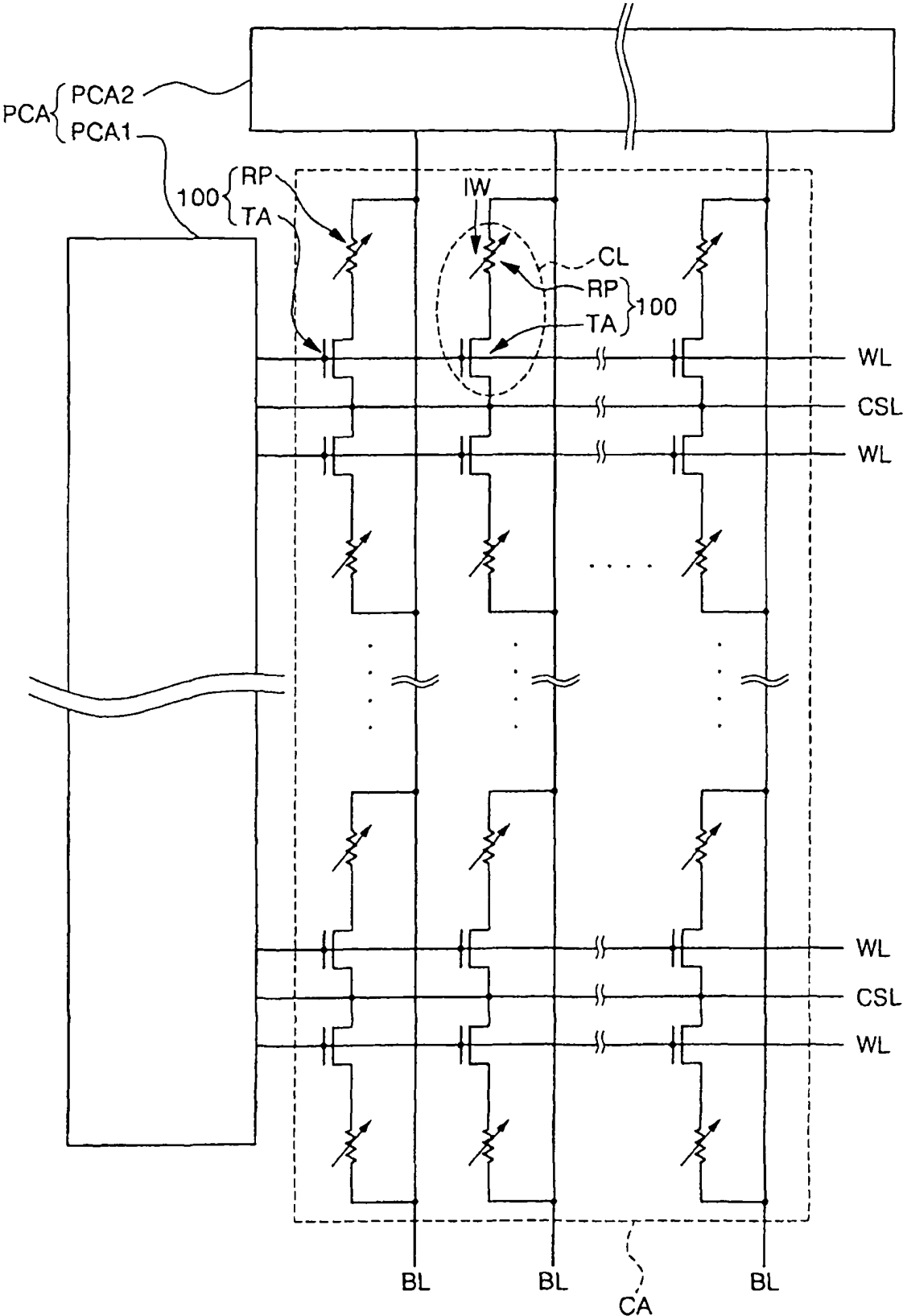


圖 1

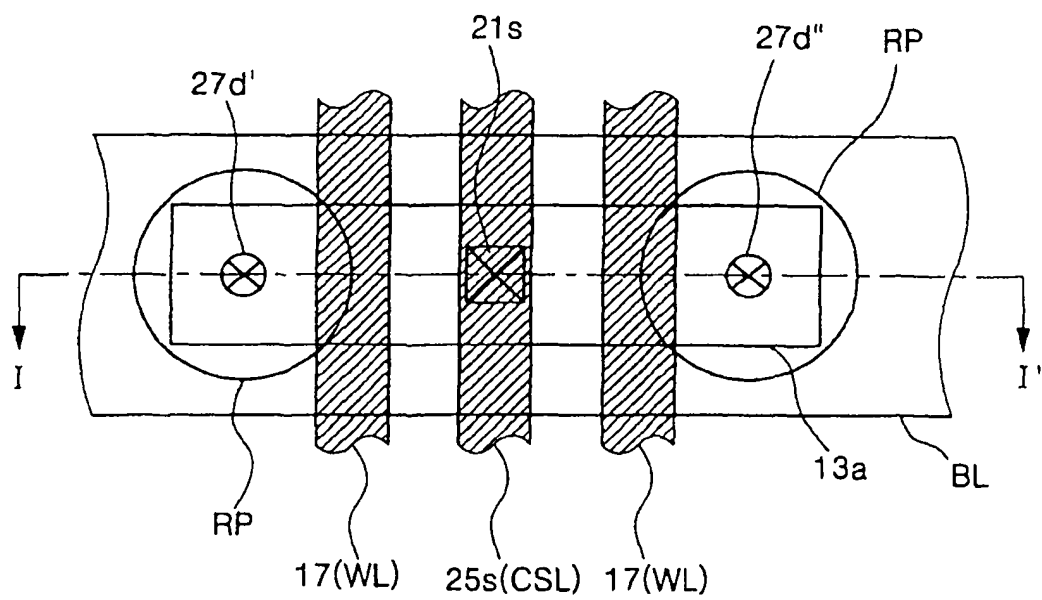
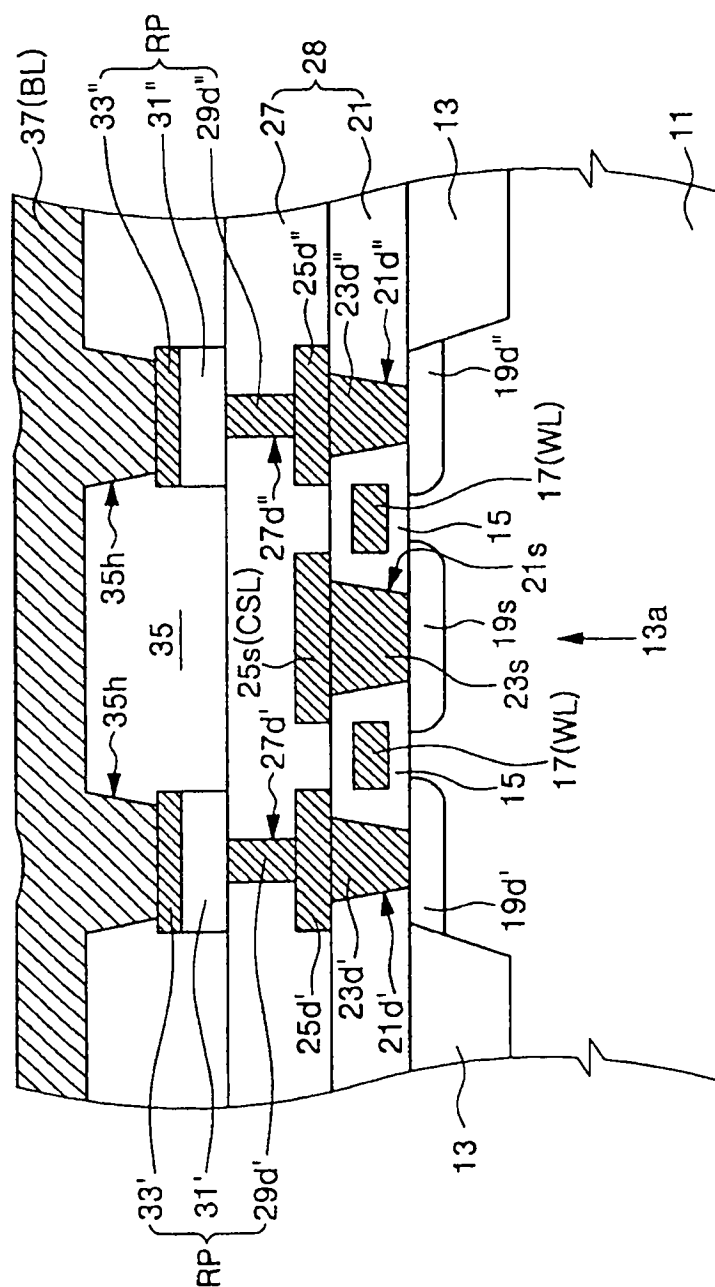


圖2



三回

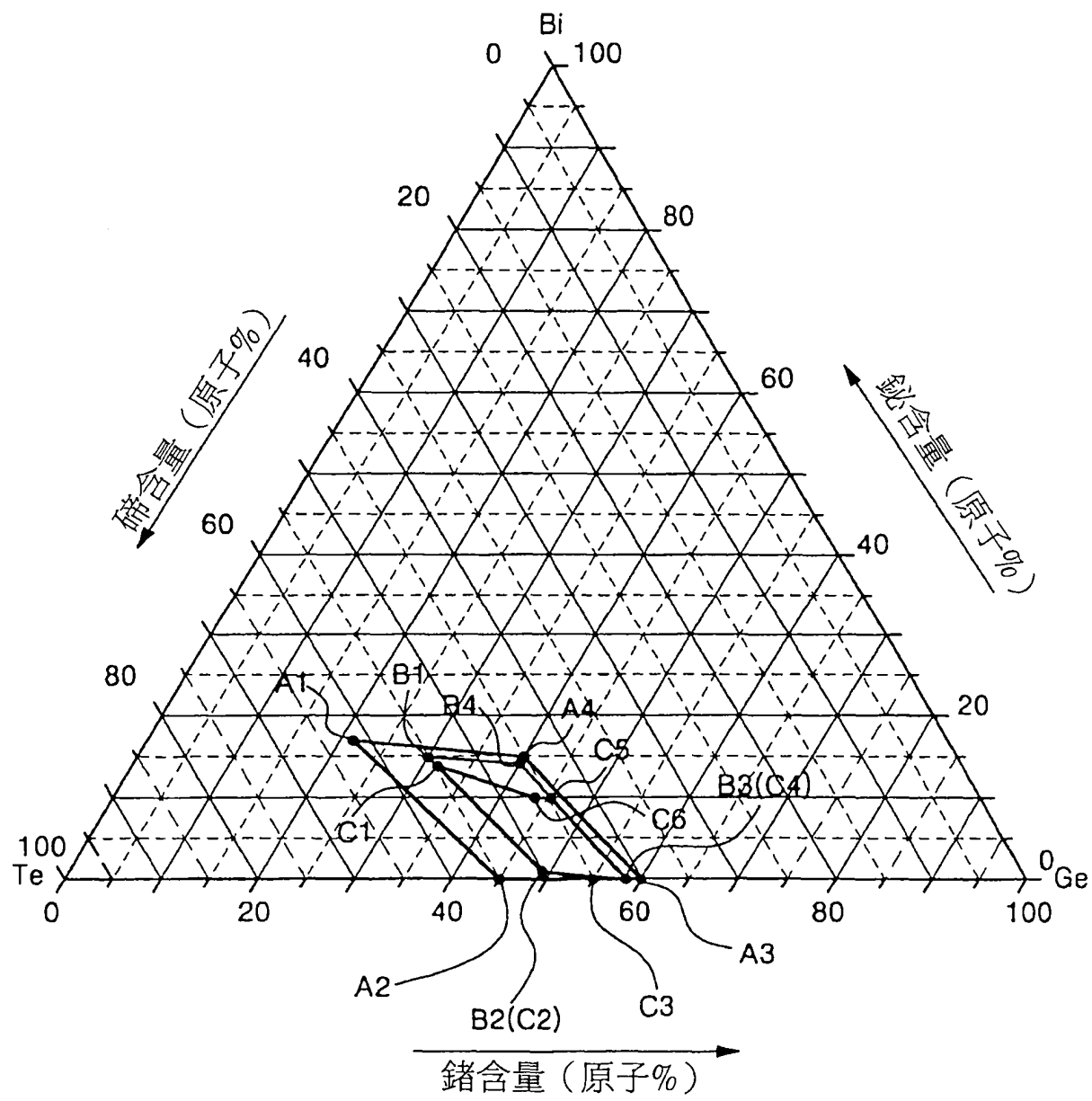


圖4A

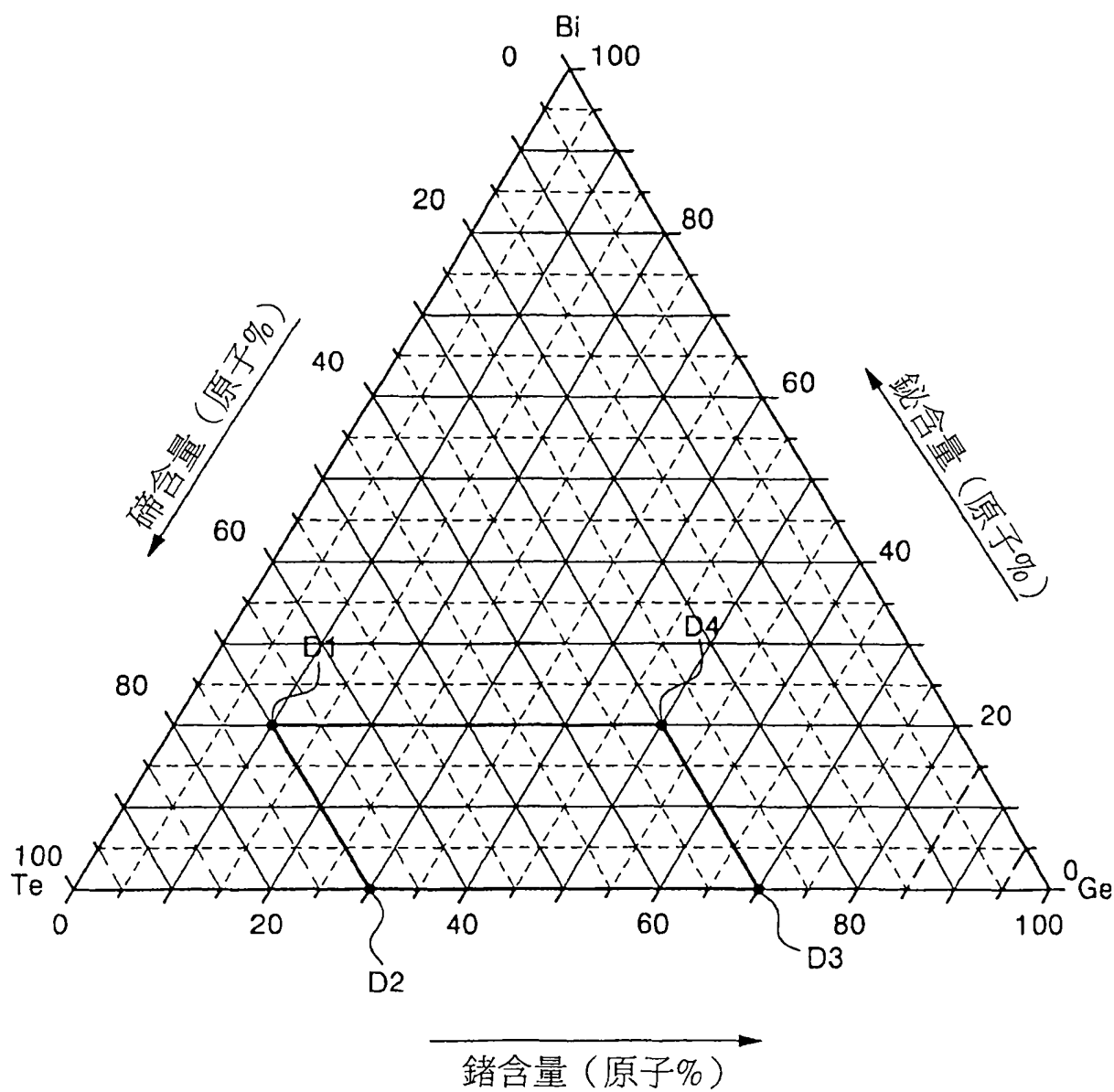


圖4B

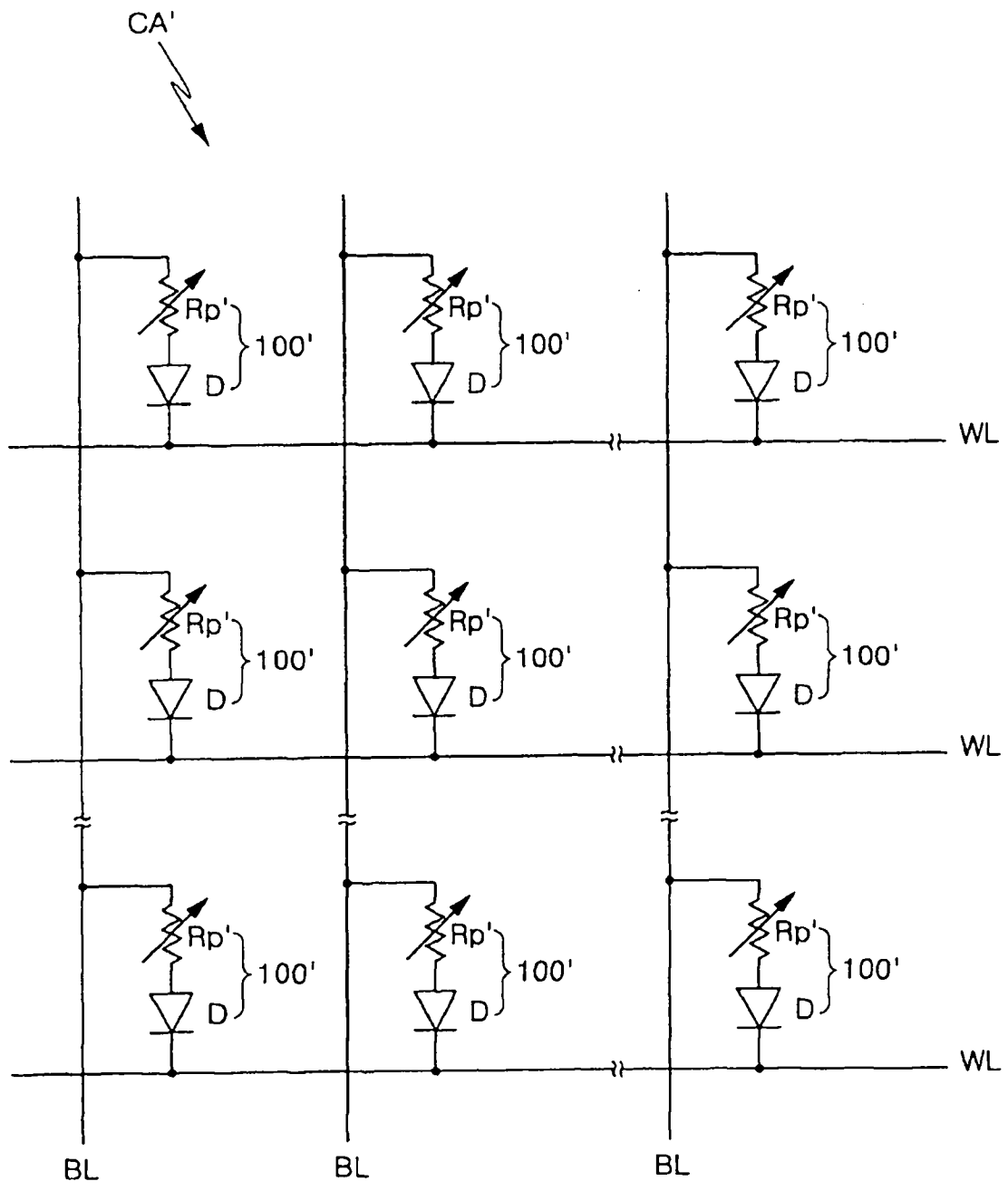


圖5

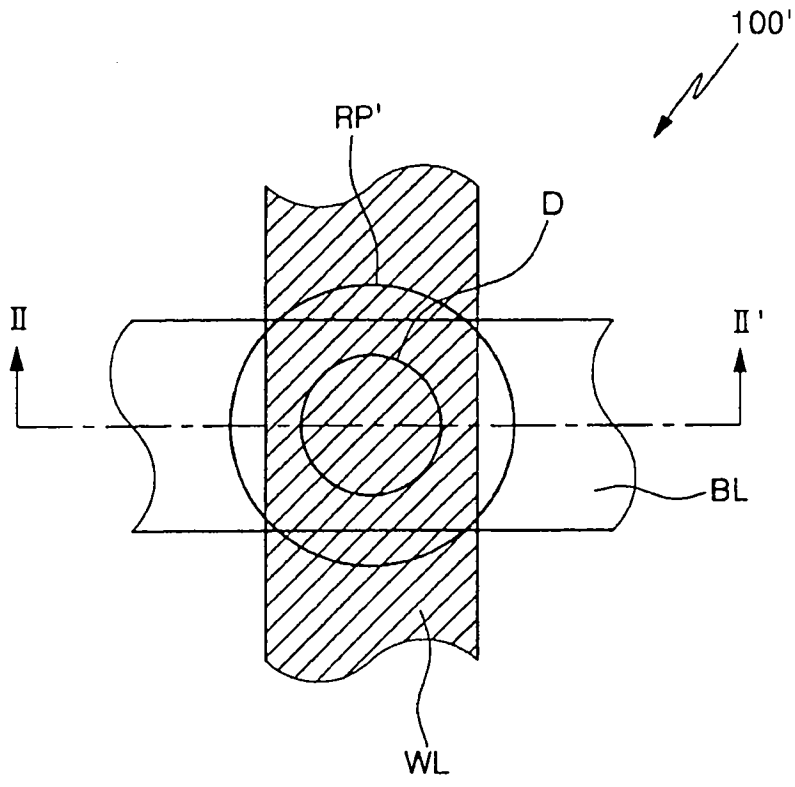


圖6

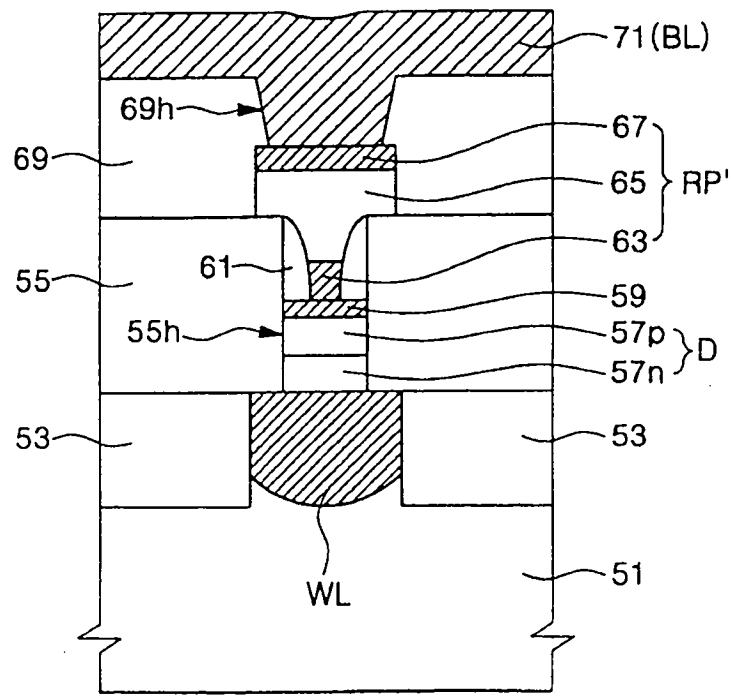


圖7

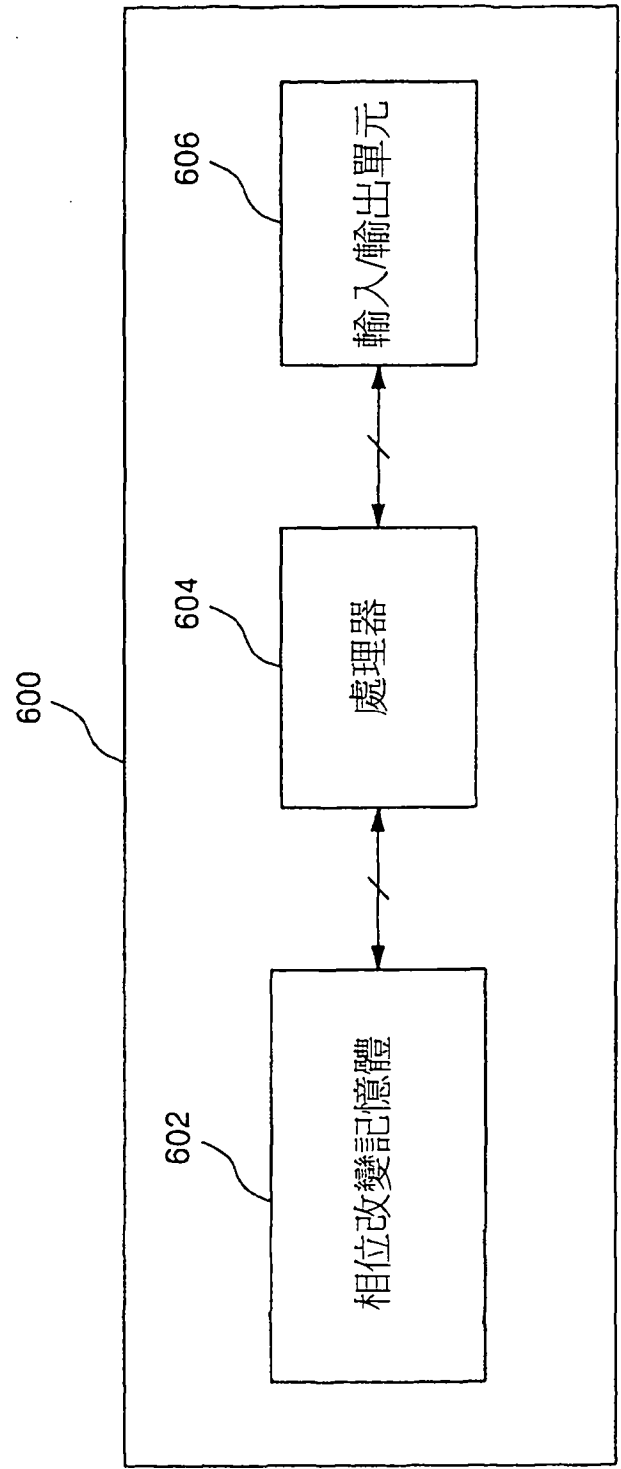


圖8

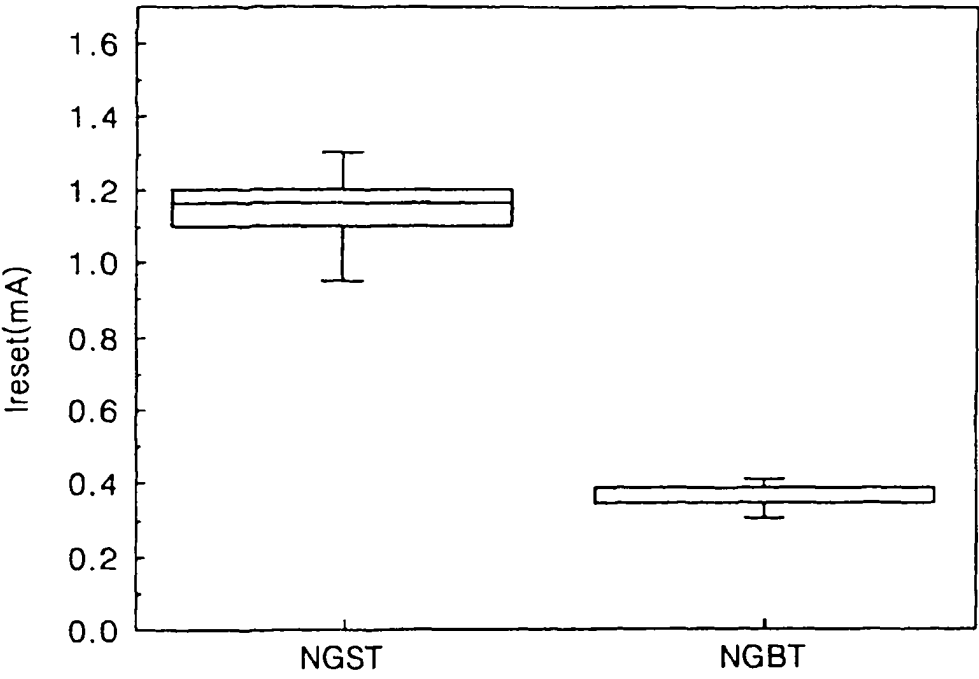


圖9

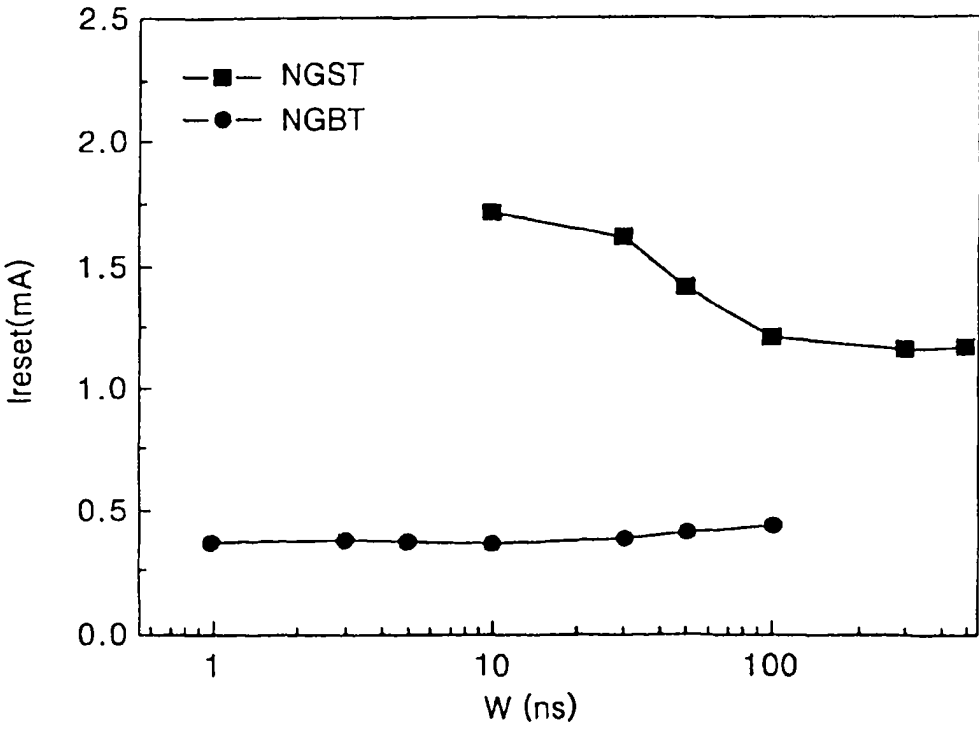


圖10

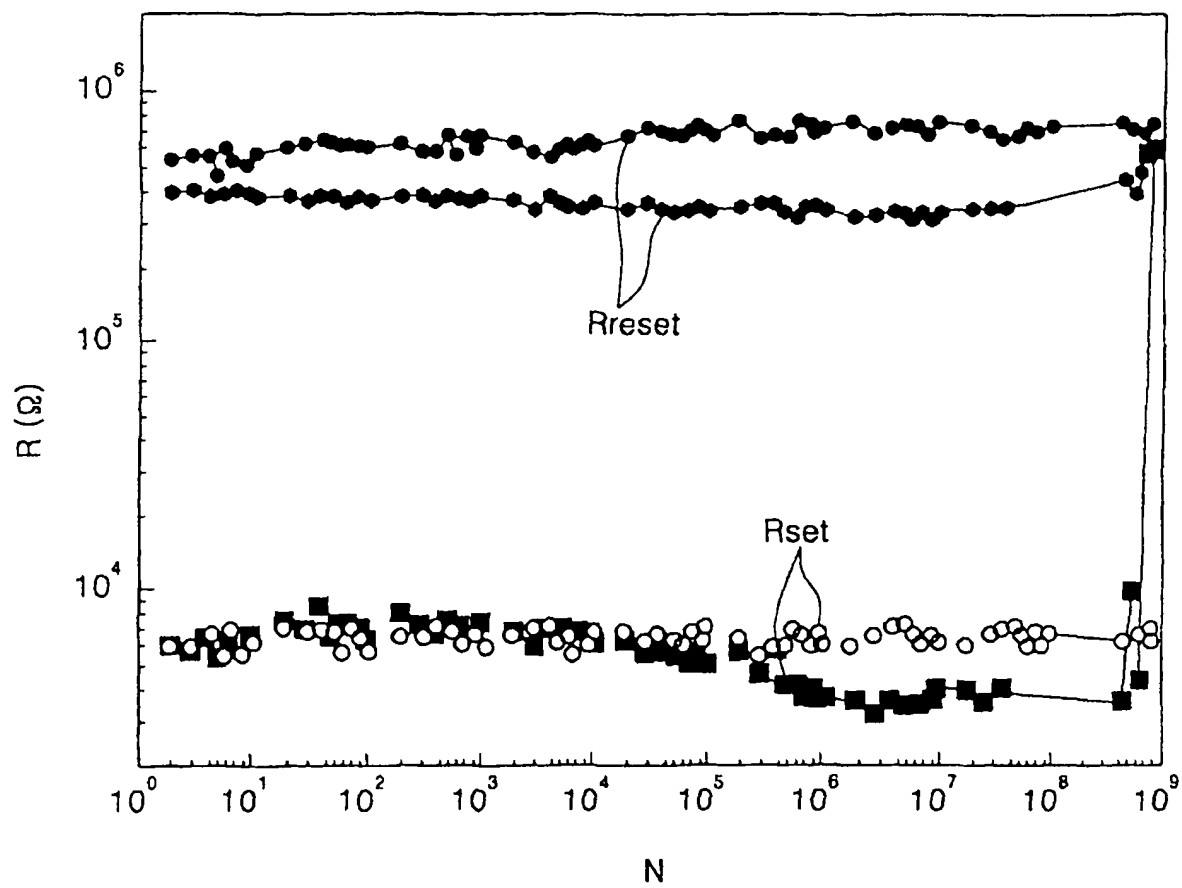


圖11

七、指定代表圖：

(一)本案指定代表圖為：第(4A)圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)