

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年7月29日(2010.7.29)

【公開番号】特開2008-42189(P2008-42189A)

【公開日】平成20年2月21日(2008.2.21)

【年通号数】公開・登録公報2008-007

【出願番号】特願2007-184098(P2007-184098)

【国際特許分類】

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 27/10 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

G 1 1 C 16/04 (2006.01)

【F I】

H 0 1 L 27/10 4 3 4

H 0 1 L 27/10 4 6 1

H 0 1 L 27/10 4 8 1

H 0 1 L 29/78 3 7 1

G 1 1 C 17/00 6 2 2 C

G 1 1 C 17/00 6 2 3 Z

【手続補正書】

【提出日】平成22年6月16日(2010.6.16)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

行方向と列方向に対応して第 1 のメモリセルと第 2 のメモリセルとを含む複数のメモリセルがマトリクス状に配置されたメモリセルアレイと、

複数の第 1 のワード線と、

複数の第 2 のワード線と、

第 1 のビット線と第 2 のビット線と第 3 のビット線とを含む複数のビット線とを有し、前記複数のメモリセルの各々は、第 1 のメモリトランジスタと第 2 のメモリトランジスタとを有し、

前記第 1 のメモリセルに設けられた前記第 1 のメモリトランジスタのゲート電極が前記第 1 のワード線に電氣的に接続され、

前記第 1 のメモリセルに設けられた前記第 2 のメモリトランジスタのゲート電極が前記第 2 のワード線に電氣的に接続され、

前記第 1 のメモリセルに設けられた前記第 1 のメモリトランジスタのソース領域及びドレイン領域の一方が前記第 1 のビット線に電氣的に接続され、

前記第 1 のメモリセルに設けられた前記第 1 のメモリトランジスタのソース領域及びドレイン領域の他方が前記第 1 のメモリセルに設けられた前記第 2 のメモリトランジスタのソース領域及びドレイン領域の一方に電氣的に接続され、

前記第 1 のメモリセルに設けられた前記第 2 のメモリトランジスタのソース領域及びドレイン領域の他方が前記第 2 のビット線に電氣的に接続され、

前記第 2 のメモリセルに設けられた前記第 1 のメモリトランジスタのゲート電極が前記第 1 のワード線に電氣的に接続され、

前記第 2 のメモリセルに設けられた前記第 2 のメモリトランジスタのゲート電極が前記第 2 のワード線に電氣的に接続され、

前記第 2 のメモリセルに設けられた前記第 1 のメモリトランジスタのソース領域及びドレイン領域の一方が前記第 2 のビット線に電氣的に接続され、

前記第 2 のメモリセルに設けられた前記第 1 のメモリトランジスタのソース領域及びドレイン領域の他方が前記第 2 のメモリセルに設けられた前記第 2 のメモリトランジスタのソース領域及びドレイン領域の一方に電氣的に接続され、

前記第 2 のメモリセルに設けられた前記第 2 のメモリトランジスタのソース領域及びドレイン領域の他方が前記第 3 のビット線に電氣的に接続されていることを特徴とする不揮発性メモリ。

【請求項 2】

行方向と列方向に対応して複数のメモリセルがマトリクス状に配置されたメモリセルアレイと、

複数の第 1 のワード線と、

複数の第 2 のワード線と、

第 1 のビット線と第 2 のビット線を含む複数のビット線とを有し、

前記複数のメモリセルの各々は、第 1 のメモリトランジスタと第 2 のメモリトランジスタとを有し、

前記第 1 のメモリトランジスタのゲート電極が前記第 1 のワード線に電氣的に接続され

、

前記第 2 のメモリトランジスタのゲート電極が前記第 2 のワード線に電氣的に接続され

、

前記第 1 のメモリトランジスタのソース領域及びドレイン領域の一方が前記第 2 のメモリトランジスタのソース領域及びドレイン領域の一方と電氣的に接続され、

前記第 1 のビット線は、 $(j - 1)$ 列目の前記メモリセルに設けられた前記第 2 のメモリトランジスタのソース領域及びドレイン領域の他方と、 j 列目の前記メモリセルに設けられた前記第 1 のメモリトランジスタのソース領域及びドレイン領域の他方と電氣的に接続され、

前記第 2 のビット線は、 j 列目の前記メモリセルに設けられた前記第 2 のメモリトランジスタのソース領域及びドレイン領域の他方と、 $(j + 1)$ 列目の前記メモリセルに設けられた前記第 1 のメモリトランジスタのソース領域及びドレイン領域の他方と電氣的に接続されていることを特徴とする不揮発性メモリ。

【請求項 3】

請求項 1 又は請求項 2 において、

前記不揮発性メモリは、1 ビット毎の書き込み及び 1 ビット毎の消去が可能であることを特徴とする不揮発性メモリ。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記メモリセルへの書き込み及び消去がトンネル電流によって行われることを特徴とする不揮発性メモリ。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 のメモリトランジスタ及び前記第 2 のメモリトランジスタは、 n チャネル型トランジスタであることを特徴とする不揮発性メモリ。

【請求項 6】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 のメモリトランジスタ及び前記第 2 のメモリトランジスタは、 p チャネル型トランジスタであることを特徴とする不揮発性メモリ。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、
前記第 1 のメモリトランジスタ及び前記第 2 のメモリトランジスタには、高密度プラズマ
処理を用いて形成されたトンネル酸化膜が用いられていることを特徴とする不揮発性メモ
リ。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、
前記複数のビット線は、互いに重ならないように配置されていることを特徴とする不揮発
性メモリ。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一項に記載の不揮発性メモリを組み込んだ電子機器。