

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年7月29日(2010.7.29)

【公開番号】特開2008-42189(P2008-42189A)

【公開日】平成20年2月21日(2008.2.21)

【年通号数】公開・登録公報2008-007

【出願番号】特願2007-184098(P2007-184098)

【国際特許分類】

H 01 L	21/8247	(2006.01)
H 01 L	27/115	(2006.01)
H 01 L	27/10	(2006.01)
H 01 L	29/788	(2006.01)
H 01 L	29/792	(2006.01)
G 11 C	16/04	(2006.01)

【F I】

H 01 L	27/10	4 3 4
H 01 L	27/10	4 6 1
H 01 L	27/10	4 8 1
H 01 L	29/78	3 7 1
G 11 C	17/00	6 2 2 C
G 11 C	17/00	6 2 3 Z

【手続補正書】

【提出日】平成22年6月16日(2010.6.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

行方向と列方向に対応して第1のメモリセルと第2のメモリセルとを含む複数のメモリセルがマトリクス状に配置されたメモリセルアレイと、

複数の第1のワード線と、

複数の第2のワード線と、

第1のビット線と第2のビット線と第3のビット線とを含む複数のビット線とを有し、前記複数のメモリセルの各々は、第1のメモリトランジスタと第2のメモリトランジスタとを有し、

前記第1のメモリセルに設けられた前記第1のメモリトランジスタのゲート電極が前記第1のワード線に電気的に接続され、

前記第1のメモリセルに設けられた前記第2のメモリトランジスタのゲート電極が前記第2のワード線に電気的に接続され、

前記第1のメモリセルに設けられた前記第1のメモリトランジスタのソース領域及びドレイン領域の一方が前記第1のビット線に電気的に接続され、

前記第1のメモリセルに設けられた前記第1のメモリトランジスタのソース領域及びドレイン領域の他方が前記第1のメモリセルに設けられた前記第2のメモリトランジスタのソース領域及びドレイン領域の一方に電気的に接続され、

前記第1のメモリセルに設けられた前記第2のメモリトランジスタのソース領域及びドレイン領域の他方が前記第2のビット線に電気的に接続され、

前記第2のメモリセルに設けられた前記第1のメモリトランジスタのゲート電極が前記第1のワード線に電気的に接続され、

前記第2のメモリセルに設けられた前記第2のメモリトランジスタのゲート電極が前記第2のワード線に電気的に接続され、

前記第2のメモリセルに設けられた前記第1のメモリトランジスタのソース領域及びドレイン領域の一方が前記第2のビット線に電気的に接続され、

前記第2のメモリセルに設けられた前記第1のメモリトランジスタのソース領域及びドレイン領域の他方が前記第2のメモリセルに設けられた前記第2のメモリトランジスタのソース領域及びドレイン領域の一方に電気的に接続され、

前記第2のメモリセルに設けられた前記第2のメモリトランジスタのソース領域及びドレイン領域の他方が前記第3のビット線に電気的に接続されていることを特徴とする不揮発性メモリ。

#### 【請求項2】

行方向と列方向に対応して複数のメモリセルがマトリクス状に配置されたメモリセルアレイと、

複数の第1のワード線と、

複数の第2のワード線と、

第1のビット線と第2のビット線を含む複数のビット線とを有し、

前記複数のメモリセルの各々は、第1のメモリトランジスタと第2のメモリトランジスタとを有し、

前記第1のメモリトランジスタのゲート電極が前記第1のワード線に電気的に接続され、

前記第2のメモリトランジスタのゲート電極が前記第2のワード線に電気的に接続され、

前記第1のメモリトランジスタのソース領域及びドレイン領域の一方が前記第2のメモリトランジスタのソース領域及びドレイン領域の一方と電気的に接続され、

前記第1のビット線は、(j-1)列目の前記メモリセルに設けられた前記第2のメモリトランジスタのソース領域及びドレイン領域の他方と、j列目の前記メモリセルに設けられた前記第1のメモリトランジスタのソース領域及びドレイン領域の他方と電気的に接続され、

前記第2のビット線は、j列目の前記メモリセルに設けられた前記第2のメモリトランジスタのソース領域及びドレイン領域の他方と、(j+1)列目の前記メモリセルに設けられた前記第1のメモリトランジスタのソース領域及びドレイン領域の他方と電気的に接続されていることを特徴とする不揮発性メモリ。

#### 【請求項3】

請求項1又は請求項2において、

前記不揮発性メモリは、1ビット毎の書き込み及び1ビット毎の消去が可能であることを特徴とする不揮発性メモリ。

#### 【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記メモリセルへの書き込み及び消去がトンネル電流によって行われることを特徴とする不揮発性メモリ。

#### 【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記第1のメモリトランジスタ及び前記第2のメモリトランジスタは、nチャネル型トランジスタであることを特徴とする不揮発性メモリ。

#### 【請求項6】

請求項1乃至請求項4のいずれか一項において、

前記第1のメモリトランジスタ及び前記第2のメモリトランジスタは、pチャネル型トランジスタであることを特徴とする不揮発性メモリ。

**【請求項 7】**

請求項 1 乃至 請求項 6 のいずれか一項において、

前記第 1 のメモリトランジスタ及び前記第 2 のメモリトランジスタには、高密度プラズマ処理を用いて形成されたトンネル酸化膜が用いられていることを特徴とする不揮発性メモリ。

**【請求項 8】**

請求項 1 乃至 請求項 7 のいずれか一項において、

前記複数のビット線は、互いに重ならないように配置されていることを特徴とする不揮発性メモリ。

**【請求項 9】**

請求項 1 乃至 請求項 8 のいずれか一項に記載の不揮発性メモリを組み込んだ電子機器。