(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. 7
G11C 11/40

(45) 공고일자 2003년06월02일
(11) 등록번호 10-0386188
(24) 등록일자 2003년05월21일

(21) 출원번호 10-2001-0001694
(22) 출원일자 2001년01월12일

(65) 공개번호 특2001-0104198
(43) 공개일자 2001년11월24일

(30) 우선권주장 2000-140357 2000년05월12일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고

(72) 발명자 가와이신지
일본도쿄도지요다쿠마루노우치2쵸메2반3고미쓰비시덴키가부시키가이샤내

(74) 대리인 김창세

심사관 : 하유정

# (54) 트랜지스터를 구비하는 고전압 스위치 회로 및 그를구비하는 반도체 기억 장치

## 요약

본 발명에 따른 고전압 스위치 회로는 고전압을 한쪽의 도통 단자에 받는 PMOS 트랜지스터와, 접지 전압 GND를 한쪽의 도통 단자에 받는 NMOS 트랜지스터와, 전압 완화용 트랜지스터를 구비한다. 전압 완화용 트랜지스터의 게이트에는, 고전압의 전압 레벨에 따라 전위가 변화하는 게이트 제어 신호를 인가한다. 이에 의해, 고전압 스위치 회로는 전압 레벨에 의존하지 않고, 정상으로 동작할 수 있다.

## 대표도

도 1

## 명세서

## 도면의 간단한 설명

도 1은 실시예 1에 따른 고전압 스위치 회로(2)에 대해 설명하기 위한 도면,
도 2는 실시예 1에 따른 고전압 스위치 회로(2)를 포함하는 반도체 기억 장치(1000)의 전체 구성의 개요를 나타내는 도면,
도 3은 실시예 1에 따른 고전압 스위치 회로(2)의 제어 방법을 나타내는 타이밍차트,
도 4는 실시예 1에 따른 고전압 스위치 회로(2)에 있어서의 전압 완화 작용을 설명하기 위한 타이밍차트,
도 5는 고전압 스위치 회로(2A)의 구성을 나타내는 회로도,
도 6은 고전압 스위치 회로(2B)의 구성을 나타내는 회로도,
도 7은 실시예 2에 따른 고전압 스위치 회로(2)의 제어에 대해 설명하기 위한 도면,
도 8은 기준 전압 발생 회로(3)의 구성의 일례를 나타내는 회로도,
도 9는 실시예 2에 따른 고전압 스위치 회로(2)의 제어 방법을 나타내는 타 이밍차트,
도 10은 실시예 3에 따른 고전압 스위치 회로(2)의 제어에 대해 설명하기 위한 도면,

도 11은 VPP 검출 회로(5)의 구성을 나타내는 회로도,
도 12는 실시예 3에 따른 고전압 스위치 회로(2)의 제어 방법을 나타내는 타이밍차트,
도 13은 실시예 4에 따른 고전압 스위치 회로(2)의 제어에 대해 설명하기 위한 도면,
도 14는 실시예 4에 따른 고전압 스위치 회로(2)의 제어 방법을 나타내는 타이밍차트,
도 15는 실시예 4에 따른 고전압 스위치 회로(2)에 있어서의 전압 완화 작용을 설명하기 위한 타이밍차트,
도 16은 실시예 5에 따른 고전압 스위치 회로(2)의 제어에 대해 설명하기 위한 도면,
도 17은 실시예 5에 따른 고전압 스위치 회로(2)의 제어 방법을 나타내는 타이밍차트,
도 18은 실시예 5에 따른 고전압 스위치 회로(2)에 있어서의 전압 완화 작용을 설명하기 위한 타이밍차트,
도 19는 가변 저항의 구성 예를 나타내는 회로도,
도 20은 가변 저항의 구성 예를 나타내는 회로도,
도 21은 실시예 6에 따른 고전압 스위치 회로(8)의 제어에 대해 설명하기 위한 도면,
도 22는 VN 검출 회로(9)의 구성을 나타내는 회로도,
도 23은 실시예 6에 따른 고전압 스위치 회로(8)의 제어 방법을 나타내는 타이밍차트,
도 24는 실시예 6에 따른 고전압 스위치 회로(8)에 있어서의 전압 완화 작용을 설명하기 위한 타이밍차트,
도 25는 고전압 스위치 회로(8A)의 구성을 나타내는 회로도,
도 26은 고전압 스위치 회로(8B)의 구성을 나타내는 회로도,
도 27은 실시예 7에 따른 고전압 스위치 회로(2)의 제어에 대해 설명하기 위한 도면,
도 28은 실시예 7에 따른 고전압 스위치 회로(2)의 제어 방법을 나타내는 타이밍차트,
도 29는 실시예 7에 따른 고전압 스위치 회로(2)에 있어서의 전압 완화 작용을 설명하기 위한 타이밍차트,
도 30은 전압 완화 회로를 포함하는 고전압 스위치 회로(900)의 일례를 나타내는 회로도,
도 31은 실시예 8에 따른 VPP 검출 회로(5A)의 구성을 나타내는 회로도.

도면의 주요 부분에 대한 부호의 설명

1 : 기입/소거 제어 회로
2, 2A, 2B, 8, 8A, 8B, 120 : 고전압 스위치 회로
3, 108 : 기준 전압 발생 회로
4 : 타이머 회로 5, 5A : VPP 검출 회로
7 : 정전압 발생 회로 9 : VN 검출 회로
10, 10A, 10B, 20, 20A, 20B : 전압 완화 회로
11 : 바이어스 전압 발생 회로 12 : 전압 검출 회로
90 : AND 회로 91 : NAND 회로
100 : 어드레스 버퍼 101 : 데이터 입출력 버퍼
102 : X 디코더 103 : Y 디코더
104 : 웰/소스 디코더 105 : 블럭
106 : 고전압 발생 회로 107 : 부 고전압 발생 회로
MR : 메모리 셀 어레이 1000 : 반도체 기억 장치
Q1 Q8, Q1n Q8n : 트랜지스터

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고전압 스위치 회로 및 그 회로를 구비하는 반도체 기억 장치에 관한 것으로, 특히 전압 완화를 실행하고, 또한 정상의 스위치 동작이 보증되는 구성에 관한 것이다.
종래로부터, 입력되는 신호의 진폭 레벨을 변환하는 회로로서 고전압 스위치 회로가 있다. 고전압 스위치 회로는 전원 전압 레벨 VCC 또는 접지 전압 레벨 GND의 상태로 전환하는 입력 신호(진폭 레벨 VCC-CND)를 정(正)의 고전압 레벨 VPP 또는 접지 전압 레벨 GND의 상태로 전환하는 신호(진폭 레벨 VPP-GND)로, 혹은 부(負)의 고전압 레벨 VN 또는 전원 전압 레벨 VCC의 상태로 전환하는 신호(진폭 레벨 VN-VCC)로 변환한다(｜VN｜ > VCC).
고전압 스위치 회로는 스위칭을 위한 트랜지스터(스위칭 트랜지스터)와, 전압 완화용 트랜지스터로 구성되어 있다. 스위칭 동작시에는, 스위칭 트랜지스터의 소스 드레인간에 고전압이 인가되나, 이 때에 발생하는 핫 캐리어에 의해 트랜지스터의 전류값이나 임계값의 열화가 일어나기 때문에 회로가 정상인 동작을 확보할 수 없다. 이 때문에, 전압 완화용 트랜지스터를 배치하여, 트랜지스터의 전압 완화를 실행하고 있다.
이러한 고전압 스위치 회로는, 예를 들면, 반도체 기억 장치에 있어서의 메모리 셀로의 데이터의 기입, 데이터의 판독, 데이터의 소거 등의 제어를 위해 사용되고 있다.

#### 발명이 이루고자 하는 기술적 과제

그러나, 종래의 고전압 스위치 회로에 의하면, 전압 완화용 트랜지스터의 게 이트 전압은 일정한 전압(고전압 VPP에서 전환될 때에는 전원 전압 VCC, 고전압 VN에서 전환될 때에는 접지 전압 GND)으로 고정되어 있다.
따라서, 종래의 구성에 의하면, 스위칭하는 고전압이 전원 전압 VCC 또는 접지 전압 GND 근방이면 회로 동작을 할 수 없다고 하는 문제가 있었다. 또한, 반도체 기억 장치에 있어서는, 정확한 스위칭 동작 및 최적의 전압 완화가 보증되는 고전압 스위치 회로를 이용하여 메모리 동작을 제어할 필요가 있다.
그래서, 본 발명의 목적은 정확한 스위칭 동작 및 최적의 전압 완화가 보증되는 고전압 스위치 회로 및 해당 회로를 구비하는 반도체 기억 장치를 제공하는 것이다.

## 발명의 구성 및 작용

본 발명의 소정의 특징에 따른 고전압 스위치 회로는, 전원 전압보다 절대값이 큰 고전압을 공급하는 것이 가능한 제 1 전원 노드와, 전원 전압 이하의 전압이 공급되는 제 2 전원 노드와, 입력 신호와 제 1 전원 노드로부터 공급되는 전압에 따라, 입력 신호의 전압 레벨을 변환하여 출력하는 제 1 트랜지스터와, 입력 신호와 제 2 전원 노드로부터 공급되는 전압에 따라, 입력 신호의 전압 레벨을 변환하여 출력하는 제 2 트랜지스터를 포함하며, 전원 전압 레벨 또는 접지 전압 레벨의 상태를 취하는 입력 신호의 진폭 레벨을 전환하여 출력하는 스위치 회로와, 제 1 트랜지스터와 제 2 트랜지스터 사이에 접속되어, 게이트 전압이 제어되는 제 3 트랜지스터를 구비한다.
바람직하게는, 제 3 트랜지스터는 제 1 트랜지스터 또는 제 2 트랜지스터의 드레인 소스간 전압이 완화되도록 동작한다.
보다 바람직하게는, 제 3 트랜지스터의 게이트 전압은 제 1 전원 노드를 고전압으로 하기 위한 제어 신호에 의해서 전환된다.
바람직하게는, 제 1 전원 노드의 전압은 스탠바이 상태인 전원 전압으로부터 제 1 기간 경과 후에 고전압에 도달하고, 제 3 트랜지스터의 게이트 전압은 제 1 전원 노드의 전압이 변화를 개시한 후, 제 1 기간보다 짧은 제 2 기간 경과 후에 활성화하는 신호에 의해서 전환된다.
바람직하게는, 제 3 트랜지스터의 게이트 전압은 제 1 전원 노드의 전압이 소정 레벨에 도달하면 활성화하는 신호에 의해서 전환된다.
바람직하게는, 제 3 트랜지스터의 게이트 전압은 전원 전압에 대한 의존성이 작은 전압 레벨의 제어 신호에 의해 제어된다. 또, 규정 전압은 임의로 변경 가능하다.
바람직하게는, 제 3 트랜지스터의 게이트는 고전압에 의존하지 않는 일정 전류가 흐르는 바이어스 전압에 의해 제어된다.
따라서 상기 고전압 스위치 회로에 의하면, 전압 완화용의 트랜지스터의 게이트 전압을 제어할 수 있다. 따라서, 전원 노드의 전압이 소망하는 고전압에 도달하면 트랜지스터의 전압이 완화되고, 또한 전원 노드의 전압이 낮은 때이더라도 정상으로 동작할 수 있다.
특히, 전압 완화용의 트랜지스터의 게이트 전압을 전원 노드의 전압 레벨을 고전압으로 하기 위한 제어 신호에 의해 제어할 수 있다.
특히, 전압 완화용의 트랜지스터의 게이트 전압을 전원 노드의 전압 레벨이 상승 또는 강하하면 활성화하는 신호에 의해 제어할 수 있다.
특히, 전압 완화용의 트랜지스터의 게이트 전압을 전원 노드의 전압이 소망하는 레벨에 도달하면 활성화하는 신호에 의해 제어할 수 있다.
특히, 전원 전압에 대한 의존성이 없는 또는 의존성이 작은 신호에 의해 전압 완화용의 트랜지스터의 게이트 전압을 제어할 수 있다.
이에 의해, 회로의 동작을 정지시키는 일없이, 최적의 전압 완화를 실현할 수 있다.
본 발명의 다른 특징에 따른 반도체 기억 장치는, 행렬 형상으로 배치되는 복수의 메모리 셀을 포함하는 메모리 셀 어레이와, 메모리 셀 어레이의 동작을 제어하기 위한 제어 회로와, 제어 회로의 제어에 근거하여, 메모리 셀 어레이를 동작시키기 위한 동작 신호를 발생하는 회로와, 스탠바이 상태에 있어서 전원 전압을 출력하고, 메모리 셀 어레이의 동작시에 활성화하여 전원 전압보다도 절대값이 큰 고전압을 발생하는 발생 회로와, 동작 신호의 진폭 레벨을 전환하여 출력하는 고전압 스위치 회로를 구비하며, 고전압 스위치 회로는 발생 회로가 출력하는 전압을 받는 제 1 전원 노드와, 전원 전압 이하의 전압이 공급되는 제 2 전원 노드와, 동작 신호와 제 1 전원 노드로부터 공급되는 전압에 따라, 동작 신호의 전압 레벨을 변환하여 출력하는 제 1 트랜지스터와, 동작 신호와 제 2 전원 노드로부터 공급되는 전압에 따라, 동작 신호의 전압 레벨을 변환하여 출력하는 제 2 트랜지스터를 갖고, 동작 신호의 진폭 레벨을 전환하여 출력하는 스위치 회로와, 제 1 트랜지스터와 제 2 트랜지스터 사이에 접속되어, 게이트 전압이 제어되는 제 3 트랜지스터를 포함한다.
바람직하게는, 제 3 트랜지스터는 제 1 트랜지스터 또는 제 2 트랜지스터의 드레인 소스간 전압이 완화되도록 동작한다.
보다 바람직하게는, 제어 회로는 발생 회로를 활성화시키기 위한 제어 신호를 발생하는 회로를 포함하며, 제 3 트랜지스터의 게이트 전압은 제어 신호에 의해서 전환된다.
보다 바람직하게는, 제어 회로는 발생 회로를 활성화시키기 위한 제어 신호를 발생하는 회로와, 제어 신호를 일정 시간 지연하여 출력하는 지연 회로를 포함하며, 제 3 트랜지스터의 게이트 전압은 지연 회로의 출력에 의해서 전환된다.
보다 바람직하게는, 제어 회로는 발생 회로를 활성화시키기 위한 제어 신호를 발생하는 회로와, 발생 회로의 출력이 소정 레벨에 도달하면 활성화하는 검지 신호를 발생하는 회로를 포함하며, 제 3 트랜지스터의 게이트 전압은 검지 신

호에 의해서 전환된다.
보다 바람직하게는, 동작 신호는 전원 전압과 접지 전압의 2개의 상태를 취하고, 제어 회로는 전원 전압에 대한 의존성이 작은 전압 레벨의 제어 신호를 발생하는 신호 발생 회로를 포함하며, 제 3 트랜지스터의 게이트 전압은 제어 신호에 의해서 전환된다. 또, 신호 발생 회로에 의해 상기 규정 전압은 임의로 변경된다.
보다 바람직하게는, 동작 신호는 전원 전압과 접지 전압의 2개의 상태를 취 하고, 제어 회로는 제 3 트랜지스터에 고전압에 의존하지 않는 일정 전류가 흐르는 제 3 트랜지스터의 게이트 전압에 공급하는 바이어스 전압을 발생하는 회로를 포함한다.
따라서, 상기 반도체 기억 장치에 의하면, 메모리 동작을 실행하는 동작 신호의 전압 레벨을 스위칭하는 고전압 스위치 회로에 있어서, 전압 완화용의 트랜지스터의 게이트 전압을 제어할 수 있다. 따라서, 메모리 동작에 따라 전압 완화가 실현되어, 메모리 동작의 유무에 관계없이 정상으로 동작할 수 있다.
특히, 전압 완화용의 트랜지스터의 게이트 전압을 고전압을 발생시키는 회로를 활성화하는 제어 신호에 의해 제어할 수 있다.
특히, 전압 완화용의 트랜지스터의 게이트 전압을 고전압을 발생시키는 회로를 활성화하는 제어 신호를 지연시킨 신호에 의해 제어할 수 있다.
특히, 전압 완화용의 트랜지스터의 게이트 전압을 메모리 셀 어레이의 동작시에 고전압을 발생시키는 회로로부터 출력되는 전압이 소정 레벨로 되면 활성화하는 신호에 의해 제어할 수 있다.
특히, 전원 전압에 대한 의존성이 없거나, 또는 의존성이 작은 전압 레벨의 신호에 의해 전압 완화용의 트랜지스터의 게이트 전압을 제어할 수 있다.
이에 의해, 본 발명의 반도체 기억 장치에 의하면, 고전압 스위치 회로가 정상인 동작 및 전압 완화가 보증되기 때문에, 정확한 동작이 보증된다.
(발명의 실시예)
이하, 본 발명의 실시예에 대해, 도면을 이용하여 상세하게 설명한다. 도면중 동일 부분 또는 상당 부분에는 동일 기호 또는 부호를 부여하여, 그 설명을 반복하지 않는다.
(실시예 1)
실시예 1에 따른 고전압 스위치 회로 및 해당 회로를 구비하는 반도체 기억 장치에 대해 설명한다. 실시예 1에 따른 고전압 스위치 회로(2)는 입력 신호 VIN (진폭 VCC-GND)를 신호 VOUT(진폭 VPP-GND)로 변환하는 회로이고, 도 1에 도시된 바와 같이, 트랜지스터 Q1 Q6 및 인버터 IV0로 구성된다. 트랜지스터 Q1 Q4는 PMOS 트랜지스터이며, 트랜지스터 Q5, Q6는 NMOS 트랜지스터이다.
고전압 스위치 회로(2)는 신호 입력 노드 IN으로부터 입력 신호 VIN을 받고, 제어 신호 입력 노드 A로부터 전압 완화용 트랜지스터의 게이트 전압을 제어하는 게이트 제어 신호 A를 받아, 출력 노드 OUT로부터 신호 VOUT를 출력한다.
트랜지스터 Q5는 노드 N3과 접지 전압 GND를 받는 노드 GND 사이에 접속되어, 게이트에 입력 신호 VIN을 받는다. 인버터 IV0은 입력 신호 VIN을 반전하여 출력한다. 트랜지스터 Q6은 노드 OUT와 노드 GND 사이에 접속되어, 게이트에 인버터 IV0의 출력을 받는다.
트랜지스터 Q3은 노드 N1과 노드 N3 사이에 접속되고, 트랜지스터 Q4는 노드 N2과 노드 OUT 사이에 접속된다.
트랜지스터 Q1은 고전압을 받기 위한 노드 VPP와 노드 N1 사이에 접속되고, 게이트는 노드 OUT와 접속되어 있다.
트랜지스터 Q2는 노드 VPP와 노드 N2 사이에 접속되고, 게이트는 노드 N3과 접속되어 있다.
트랜지스터 Q3, Q4는 전압 완화용 트랜지스터이고, 회로를 구성하는 트랜지스터의 게이트 전압을 완화하기 위한 전압 완화 회로(10)를 구성한다. 종래와 달리, 전압 완화용 트랜지스터 Q3, Q4의 게이트는 일정한 전압이 인가되는 것이 아니라, 외부로부터 입력되는 게이트 제어 신호 A를 받도록 구성되어 있다.
고전압 스위치 회로(2)를 반도체 기억 장치에 내장한 경우에는, 메모리 셀의 기입/소거를 제어하는 기입/소거 제어 회로(1)에 의해 게이트 제어 신호 A의 전위를 조정한다.
고전압 스위치 회로(2)를 포함하는 반도체 기억 장치(1000)에 대해, 도 2를 이용하여 설명한다. 반도체 기억 장치(1000)는 도 2에 나타낸 바와 같이, 기입/소거 제어 회로(1), 외부로부터 어드레스 AD를 받는 어드레스 버퍼(100), 데이터의 입출력을 실행하는 데이터 입출력 버퍼(101), 행렬 형상으로 배치되는 복수의 메모리 셀을 포함하는 메모리 셀 어레이 MR, 메모리 셀 어레이 MR로부터 임의의 메모리 셀을 선택하기 위한 X 디코더(102) 및 Y 디코더(103), 메모리 셀로의 데이터의 기입/소거/판독을 위한 웰 전압 및 소스 전압을 구동하기 위한 웰/소스 디코더(104), 메모리 셀의 데이터를 판독하기 위한 센스 앰프, 및 데이터의 기록을 실행하기 위한 기록 회로를 구비한다. 도면에 있어서는, 센스 앰프와 기록 회로를 하나의 블럭(105)으로 나타내고 있다.
기입/소거 제어 회로(1)는 칩 외부로부터 받는 제어 신호 CNT(chip enable 신호, 라이트 인에이블 신호 등)의 입력과 커맨드 CM이라 칭하는 전용의 데이터 입력으로부터 내부 회로의 동작을 제어한다. 또, 기입/소거/판독이라고 하는 칩 동작마다 전용의 커맨드 CM이 정해져 있다.
반도체 기억 장치(1000)는 또한, 전원 전압 VCC을 승압하여 정(正)의 고전압 VPP를 발생하는 고전압 발생 회로(106), 접지 전압 GND를 강압하여 부(負)의 고전압 VN을 발생하는 부 고전압 발생 회로(107), 전압 레벨의 제어에 이용되는 기준 전압 VREF를 발생하는 기준 전압 발생 회로(108), 및 어드레스 버퍼(100)로부터 받는 신호(입력 신호 VIN)의 진폭 레벨을 기입/소거 제어 회로(1)로부터의 신호에 따라 변환하여 출력하는 고전압 스위치 회로(120)를 구비한다.
고전압 발생 회로(106)가 출력하는 고전압 VPP, 부 고전압 발생 회로(107)가 출력하는 부의 고전압 VN은 메모리 셀로의 데이터의 기입/데이터의 소거/데이터의 판독을 실행할 때에 사용한다.

고전압 스위치 회로(120)는 기입/소거/판독 동작시에 고전압이 인가되는 회로(X 디코더(102), Y 디코더(103), 웰/소스 디코더(104))의 제어를 실행하기 위해서, 입력 신호 VIN의 진폭 레벨을 VCC-GND 사이로부터 VPP-GND 또는 VCC-VN 사이로 변환하여 출력한다. 상기 고전압 스위치 회로(2)는 고전압 스위치 회로(120)에 포함된다.
특정한 동작을 지정하는 커맨드 CM이 입력되면, 기입/소거 제어 회로(1)는 특정한 제어 신호를 출력한다. 기입/소거 제어 회로(1)의 제어에 의해, 고전압 발 생 회로(106), 부 고전압 발생 회로(107) 및 기준 전압 발생 회로(108)가 활성화/비활성화한다.
고전압 발생 회로(106)가 활성화하면, 고전압 발생 회로(106)로부터 출력되는 전압이 전원 전압 레벨 VCC로부터 일정한 고전압 레벨 VPP로 상승한다. 부 고전압 발생 회로(107)가 활성화하면, 부 고전압 발생 회로(107)로부터 출력되는 전압이 접지 전압 레벨 GND로부터 일정한 부의 고전압 레벨 VN로 강하한다.
또, 기입/소거 제어 회로(1)에 의한 고전압 발생 회로(106)의 제어 및 부 고전압 발생 회로(107)의 제어는 각각 독립적으로 실행된다. 따라서, 고전압 발생 회로(106) 및 부 고전압 발생 회로(107)의 활성/비활성 타이밍은 서로 독립적이다. 또, 고전압 스위치 회로(2)는 고전압 발생 회로(106)의 출력을 노드 VPP에 받고 있다.
다음에, 실시예 1에 따른 고전압 스위치 회로(2)의 제어 방법에 대해 설명한다. 우선, 비교를 위해, 전압 완화용 트랜지스터의 제어 방법이 고전압 스위치 회로(2)와 상이한 고전압 스위치 회로(900)에 대해 설명한다.
도 30에 도시되는 고전압 스위치 회로(900)는 입력 신호 VIN(진폭 VCC-GND)을 신호 VOUT(진폭 VPP-GND)로 변환하는 회로이고, 트랜지스터 Q91 Q96 및 인버터 IV90로 구성된다. 트랜지스터 Q91 Q94는 PMOS 트랜지스터이며, 트랜지스터 Q95, Q96은 NMOS 트랜지스터이다.
트랜지스터 Q95는 노드 N90과 접지 전압 GND를 받는 노드 GND 사이에 접속되고, 게이트에 입력 신호 VIN을 받는다. 인버터 IV90은 입력 신호 VIN을 반전하여 출력한다. 트랜지스터 Q96은 해당 회로의 출력 노드인 노드 OUT와 노드 GND 사이에 접속되고, 게이트에 인버터 IV90의 출력을 받는다.
트랜지스터 Q93은 트랜지스터 Q91과 노드 N90 사이에 접속되고, 트랜지스터 Q94는 트랜지스터 Q92와 노드 OUT 사이에 접속된다. 트랜지스터 Q93, Q94의 게이트는 전원 전압 VCC을 받는다.
트랜지스터 Q91, Q92 각각의 한쪽의 도통 단자는 정의 고전압 VPP을 받는 노드 VPP와 접속되고, 트랜지스터 Q91의 게이트는 노드 OUT와, 트랜지스터 Q92의 게이트는 노드 N90과 접속되어 있다.
트랜지스터 Q93, Q94(전압 완화용 트랜지스터)는 전압 완화 회로(910)를 구성한다. 전압 완화 회로(910)에 의해 고전압을 스위칭할 때에 구성 트랜지스터의 소스 드레인간의 전압이 완화된다.
고전압 스위치 회로(900)에 의해 입력 신호 VIN(진폭 레벨 VCC-GND)은 신호 VOUT(진폭 레벨 VPP-GND)로 변환된다.
그러나, 전압 완화용 트랜지스터의 게이트 전압은 일정한 전압(전원 전압 VCC)으로 고정되어 있다. 따라서, 스위칭하는 고전압이 전원 전압 VCC 또는 접지 전압 GND 근방이면 회로 동작이 보증되지 않는다.
이에 대해, 실시예 1에서는, 전압 완화용 트랜지스터의 게이트를 제어하는 게이트 제어 신호 A를 고전압 스위치 회로(2)의 노드 VPP에 인가되는 전압의 레벨에 맞추어 변화시킨다.
도 3을 참조하면, 고전압 스위치 회로(2)는 시각 t0 t1, 시각 t3 t4에서 전원 전압 VCC 레벨의 입력 신호 VIN을 받는 것으로 한다. 또한, 초기 상태에서는, 노드 VPP에는 전원 전압 VCC이 인가되어 있다.
노드 VPP에 전원 전압 VCC이 인가되어 있는 시점에서는( t2), 게이트 제어 신호 A는 접지 전압 레벨 GND이다. 따라서, 시각 t0 t1에서 받는 입력 신호 VIN은 전원 전압 레벨 VCC의 신호 VOUT로 변환되어 출력된다.
노드 VPP에 대해 고전압의 인가가 개시되는 시점에서(시각 t2), 게이트 제어 신호 A를 접지 전압 레벨 GND로부터 전원 전압 레벨 VCC로 전환한다.
이에 의해, 전압 완화가 실행되고, 또한 시각 t3 t4에서 받는 입력 신호 VIN은 고전압 레벨 VPP의 신호 VOUT로 변환되어 출력된다.
그리고, 노드 VPP에 인가되는 전압의 전압 레벨이 강하하는(고전압의 인가 종료) 시점에서(시각 t5), 게이트 제어 신호 A를 전원 전압 레벨 VCC로부터 접지 전압 레벨 GND로 전환한다.
이러한 제어 방법에 의해, 고전압을 스위칭하는 때에는 고전압 스위치 회로(2)에 있어서의 내부 노드 Nl, N2의 전압 레벨은 도 4에 도시된 바와 같이 변화한다. 도 4를 참조하면, 소스 드레인간의 전압이 트랜지스터 Ql, Q2에 관해서는 {VPP-(VCC+｜Vthp｜)}로 완화되고, 트랜지스터 Q3, Q4에 관해서는(VCC+｜Vthp｜)로 완화된다. 여기서, Vthp는 트랜지스터 Q3, Q4의 임계값을 나타내고 있다.
그리고, 노드 VPP로의 고전압 인가가 종료하거나, 또는 고전압을 인가하지 않고 전원 전압 VCC이 인가되어 있는 때에는, 전압 완화용 트랜지스터의 게이트를 전원 전압 레벨 VCC로부터 접지 전압 레벨 GND로, 또는 접지 전압 레벨 GND로 고정한다. 이에 의해, 고전압 스위치 회로(2)는 노드 VPP에 인가되는 전압이 낮은 때에도 정상으로 동작할 수 있게 된다.
반도체 기억 장치(1000)에 해당 제어 방법을 적용한 경우에 대해 설명한다. 고전압이 필요하게 될 때에는, 기입/소거 제어 회로(1)는 접지 전압 레벨 GND의 게이트 제어 신호 A를 출력한다. 이 시점에서, 고전압 발생 회로(106)는 비활성 상태에 있다.
특정한 동작을 지정하는 커맨드 CM이 기입/소거 제어 회로(1)에 입력되면, 기입/소거 제어 회로(1)로부터 전원 전압 레벨 VCC의 게이트 제어 신호 A가 출력되어, 고전압 발생 회로(106)가 활성화한다.
그리고, 고전압 인가가 종료하면, 게이트 제어 신호 A를 접지 전압 레벨 GND로 전환하여, 고전압 발생 회로(106)를 비활성화한다. 노드 VPP에 인가되는 전압의 레벨이 강하하여, 전원 전압 레벨 VCC로 된다. 이러한 제어 방법에 의해, 반도체 기억 장치(1000)에 있어서 정확한 기입/소거/판독 동작이 보증된다.

또, 게이트 제어 신호 A로서, 고전압 발생 회로(106)의 활성/비활성을 제어하는 신호 그 자체를 사용하더라도 무방하다.

또한, 본원 발명이 적용되는 고전압 스위치 회로의 구성은 도 1에 나타낸 것에 한정되지 않는다. 고전압 스위치 회로의 다른 구성예를 도 5에 나타낸다. 도 5에 도시되는 고전압 스위치 회로(2A)는 트랜지스터 Q1, Q2, Q5, Q6, 트랜지스터 Q3, Q4, Q7 및 Q8로 구성되는 전압 완화 회로(10A), 및 인버터 IV0를 구비한다. 트랜지스터 Q7, Q8은 NMOS 트랜지스터이다.

고전압 스위치 회로(2A)에서는, 트랜지스터 Q3, Q4, Q7, Q8의 각각이 전압 완화용 트랜지스터로서 기능한다.

트랜지스터 Q7은 트랜지스터 Q3과 트랜지스터 Q5 사이에 접속되고, 트랜지스터 Q8은 트랜지스터 Q4와 트랜지스터 Q6 사이에 접속된다. 트랜지스터 Q7, Q8의 게이트는 전원 전압을 받는다.

고전압 스위치 회로의 다른 구성 예를 도 6에 도시한다. 도 6에 도시되는 고전압 스위치 회로(2B)는 트랜지스터 Ql, Q2, Q5, Q6, 트랜지스터 Q7 및 Q8로 구성되는 전압 완화 회로(10B), 및 인버터 IV0을 구비한다. 고전압 스위치 회로(2B)에서는, 트랜지스터 Q7, Q8의 각각이 전압 완화용 트랜지스터로서 기능한다.

트랜지스터 Q1은 노드 VPP와 노드 N1 사이에 접속되고, 게이트에 노드 OUT의 신호 VOUT를 받는다. 트랜지스터 Q2는 노드 VPP와 노드 OUT 사이에 접속되고, 게이트에 노드 N1의 신호를 받는다.

트랜지스터 Q7은 노드 N1과 트랜지스터 Q5 사이에 접속되고, 트랜지스터 Q8은 노드 OUT와 트랜지스터 Q6 사이에 접속된다. 트랜지스터 Q7, Q8의 게이트는 게이트 제어 신호 A를 받는다.

또, 상기 설명에서는, 입력 신호 VIN을 진폭 레벨 VPP-GND의 신호 VOUT로 변환하는 회로 구성에 대해 설명하였지만, 입력 신호 VIN을 진폭 레벨 VN-VCC의 신호 VOUT로 변환하는 회로에 관해서도 해당 제어 방법을 적용할 수 있다(VN : 부의 고전압). 이 경우, 후술하는 바와 같이 전압 완화용 트랜지스터의 게이트에 인가되 는 게이트 제어 신호를 부의 고전압 VN을 받는 노드 VN의 전압 레벨에 따라 변화시킨다. 이에 의해, 노드 VN의 전압 레벨이 접지 전압 레벨 GND 근방이더라도 정상인 동작이 보증된다.

(실시예 2)

실시예 2에 따른 고전압 스위치 회로에 대해 설명한다. 실시예 2에 따른 고전압 스위치 회로(2)는 도 7에 도시된 바와 같이, AND 회로(90)가 출력하는 게이트 제어 신호 A를 트랜지스터 Q3, Q4의 게이트에 받는다.

AND 회로(90)는 기입/소거 제어 회로(1)가 출력하는 제어 신호 B와 타이머 회로(4)의 출력을 입력에 받는다. 타이머 회로(4)는 H 레벨의 제어 신호 B를 기입/소거 제어 회로(1)로부터 받고 나서 소정 기간 후에, H 레벨의 신호를 출력한다.

타이머 회로(4)에 대해 설명한다. 타이머 회로(4)는 트랜지스터 Q20  Q22 용량 소자 C1 및 인버터 IV1을 포함한다.

트랜지스터 Q20는 PMOS 트랜지스터이며, 트랜지스터 Q21, Q22는 NMOS 트랜지스터이다.

트랜지스터 Q20은 전원 전압을 받는 노드와 노드 N5 사이에 접속되고, 트랜지스터 Q21과 Q22는 노드 N5와 접지 전압 GND를 받는 노드 GND 사이에 직렬로 접속된다. 트랜지스터 Q20과 Q22 각각의 게이트는 제어 신호 B를 받고, 트랜지스터 Q21의 게이트는 기준 전압 발생 회로(3)가 출력하는 기준 전압 VREF를 받는다.

용량 소자 C1은 노드 N5와 노드 GND 사이에 접속되고, 인버터 IV1은 노드 N5 의 신호를 반전하여 출력한다.

AND 회로(90)는 인버터 IV1의 출력과 제어 신호 B를 입력에 받아, 게이트 제어 신호 A를 출력한다.

기준 전압 발생 회로(3)는 도 8에 도시된 바와 같이 트랜지스터 Q61  Q65 및 저항 소자 R1 및 R2를 포함한다. 트랜지스터 Q61, Q62, Q65는 PMOS 트랜지스터이며, 트랜지스터 Q63, Q64는 NMOS 트랜지스터이다.

저항 소자 R1은 전원 전압 VCC을 받는 노드 VCC와 노드 N60 사이에 접속된다. 트랜지스터 Q61 및 Q63은 노드 VCC와 접지 전압 GND를 받는 노드 GND 사이에 직렬로 접속된다. 트랜지스터 Q62 및 Q64는 노드 N60과 노드 GND 사이에 직렬로 접속된다. 트랜지스터 Q63 및 Q64는 커런트 미러 회로를 구성한다.

트랜지스터 Q65 및 저항 소자 R2는 노드 VCC와 노드 GND 사이에 직렬로 접속되고, 트랜지스터 Q65와 저항 소자 R2의 접속 노드로부터 기준 전압 VREF가 출력된다.

기준 전압 VREF에 대해 설명한다. 트랜지스터 Q61에는, 트랜지스터 Q63 및 Q64(커런트 미러 회로)에 의해 저항 소자 R1과 동일한 전류가 흐른다. 트랜지스터 Q61의 콘덕턴스와 임계값을 β1, VthQ1이라고 하면, 저항 소자 R1에 흐르는 전류 IR1은 수학식 (1)을 충족한다. 저항 소자 R1의 저항치를 R1, 저항 소자 R2의 저항치를 R2로 한다.

수학식 1

$$IR1 = Vthq1 + \sqrt{(2I/\beta 1)}$$

수학식 2

$$I = VthQ1/R1$$

또, 수학식 (1)에 있어서, $\sqrt{(2I/\beta 1)}$ 는 대단히 작은 값이기 때문에, 수학식 (3)이 성립한다.

수학식 3

$$IR1 = VthQ1$$

따라서, 수학식 (4)을 충족하는 기준 전압 VREF가 출력되게 된다.

수학식 4

$$VREF = VthQ1 \times (R2/R1)$$

다음에, 실시예 2에 따른 고전압 스위치 회로(2)의 제어 방법에 대해 설명한다. 제어 신호 B를 고전압 스위치 회로(2)의 노드 VPP에 인가되는 전압 레벨에 맞추어 변화시킨다. 그리고, 게이트 제어 신호 A를 제어 신호 B와 타이머 회로(4)의 출력에 따라 발생시킨다.

타이머 회로(4)의 출력은 제어 신호 B의 상승 타이밍으로부터 소정 기간(지연 시간 Δt1) 지연되어 전원 전압 레벨 VCC로 된다. 지연 시간 Δt1은 용량 소자 C1에 축적되는 전하량과 전하를 방전하는 전류에 의해 조정한다.

수학식 (5)에 따라서, 노드 VPP에 인가되는 전압이 전압 완화가 필요하게 되는 전압 레벨로 된 때에 게이트 제어 신호 A를 접지 전압 레벨 GND로부터 전원 전압 VCC 레벨로 전환하도록 한다. 또, 수학식 (5)에 있어서 tr은 고전압의 상승 시간을 나타내고, VPP는 노드 VPP의 전압을 각각 나타내고 있다.

수학식 5

$$V(t) = (VPP - VCC)/tr \times t + VCC$$

도 9를 참조하면, 노드 VPP에 전원 전압 VCC이 인가되어 있는 시점에서는 ( t2), 제어 신호 B는 접지 전압 레벨 GND이다. 따라서, 시각 t0 t1에서 받는 입력 신호 VIN은 전원 전압 레벨 VCC의 신호 VOUT로 변환되어 출력된다.

노드 VPP에 대해 고전압 인가가 개시되는 시점에서(시각 t2), 제어 신호 B를 접지 전압 레벨 GND로부터 전원 전압 레벨 VCC로 전환한다.

노드 VPP에 대해 고전압 인가가 시작되고 나서 소정 기간 경과 후(t2 + Δt 1)에 게이트 제어 신호 A가 전원 전압 레벨 VCC로 된다. 이 시점에 있어서, 노드 VPP에 인가되는 전압은 소정 전압 VO(전압 완화가 필요한 전압)에 도달하고 있다.

이에 의해, 전압 완화가 실행되고, 또한 시각 t3 t4에서 받는 입력 신호 VIN은 고전압 레벨 VPP의 신호 VOUT로 변환되어 출력된다.

그리고, 노드 VPP에 인가되는 전압의 전압 레벨이 강하하는(고전압의 인가 종료) 시점에서(시각 t5), 제어 신호 B를 전원 전압 레벨 VCC로부터 접지 전압 레벨 GND로 전환한다.

이러한 제어 방법에 의해, 고전압을 스위칭하는 때에는 고전압 스위치 회로(2)에 있어서의 내부 노드 N1, N2의 전압 레벨이 완화된다.

그리고, 노드 VPP로의 고전압의 인가가 종료하는 경우 또는 고전압을 인가하지 않고 전원 전압 VCC이 인가되어 있을 때에는, 전압 완화용 트랜지스터 Q3, Q4의 게이트 전압을 전원 전압 VCC로부터 접지 전압 GND로 또는 접지 전압 GND로 고정한 다. 이에 의해, 고전압 스위치 회로(2)는 노드 VPP에 인가되는 전압 레벨이 낮은 경우에도 정상인 스위칭을 가능하게 한다.

반도체 기억 장치(1000)에 해당 제어 방법을 적용한 경우에 대해 설명한다. 기준 전압 발생 회로(3)는 기준 전압 발생 회로(108)에 포함된다. 고전압이 필요하게 될 때에는, 기입/소거 제어 회로(1)는 AND 회로(90)에 대해 접지 전압 레벨 GND의 제어 신호 B를 출력한다. 이 시점에서, 고전압 발생 회로(106)는 비활성 상태에 있다.

그리고, 특정한 동작을 지정하는 커맨드 CM이 기입/소거 제어 회로(1)에 입력되면, 기입/소거 제어 회로(1)로부터 전원 전압 레벨 VCC의 제어 신호 B가 출력되어, 고전압 발생 회로(106)가 활성화한다.

그리고, 고전압 발생 회로(106)의 출력 전압이 소정의 전압 레벨 V0을 초과하면, 전압 완화용 트랜지스터의 게이트에 입력되는 게이트 제어 신호 A가 전원 전압 레벨 VCC로 된다.

고전압 인가가 종료하면, 제어 신호 B를 접지 전압 레벨 GND로 전환하고, 고전압 발생 회로(106)를 비활성화한다. 노드 VPP에 인가되는 전압의 레벨이 강하하여, 전원 전압 레벨 VCC로 된다. 이러한 제어 방법에 의해, 반도체 기억 장치(1000)는 정확한 기입/소거/판독 동작을 실현할 수 있다. 또, 제어 신호 B로서, 고전압 발생 회로(106)의 활성/비활성을 제어하는 신호 그 자체를 사용하더라도 무방하다.

또, 실시예 2의 방법은 고전압 스위치 회로(2) 뿐만 아니라, 전술한 고전압 스위치 회로(2A, 2B) 등에도 적용 가능하다. 또한, 입력 신호 VIN을 진폭 레벨 VN-VCC의 신호 VOUT로 전환하는 고전압 스위치 회로에 대해서도 적용 가능하다.

(실시예 3)

실시예 3에 따른 고전압 스위치 회로에 대해, 도 10 및 도 11을 이용하여 설명한다. 실시예 3에서는, AND 회로(90)는 기입/소거 제어 회로(1)가 출력하는 제어 신호 B와 VPP 검출 회로(5)가 출력하는 레벨 검출 신호 C에 따라, 게이트 제어 신호 A를 출력한다. 고전압 스위치 회로(2)에 포함되는 전압 완화용 트랜지스터 Q3, Q4는 제어 신호 B와 레벨 검출 신호 C로부터 발생하는 게이트 제어 신호 A를 게이트에 받는다.

VPP 검출 회로(5)에 대해 설명한다. VPP 검출 회로(5)는 도 11에 도시되는 바와 같이, 저항 소자 Rl, R2 및 전압 비교 회로(12)를 포함한다. 저항 소자 R1, R2은 고전압을 받는 노드 VPP와 접지 전압을 받는 노드 GND 사이에 직렬로 접속된다. 저항 소자 R1와 R2의 접속 노드는 전압 비교 회로(12)의 정의 입력 단자와 접속된다. 전압 비교 회로(12)의 부의 입력 단자에는, 기준 전압 발생 회로(3)가 출력하는 기준 전압 VREF를 받는다.

저항 소자 R1, R2에 의해, 노드 VPP로부터 받는 전압을 분압한다. 이 결과, 수학식 (6)에 나타내는 전압 VPPn이 얻어진다. 저항 소자 R1, R2의 저항치를 R1, R2로 한다.

수학식 6

$$VPPn = VPP \times \{R2/(R1 + R2)\}$$

전압 비교 회로(12)는 분압 전압 VPPn과 기준 전압 VREF를 비교하여, 비교 결과로서 레벨 검출 신호 C를 출력한다. 수학식 (7)을 충족하도록 저항치 R1, R2를 결정한다.

수학식 7

$$VREF = VPP \times \{R2/(R1 + R2)\}$$

VPP 발생 회로(5)로부터, 분압 전압 VPPn > 기준 전압 VREF이면 H 레벨의 레벨 검출 신호 C가 출력되고, 그 이외의 경우에는 L 레벨의 레벨 검출 신호 C가 출력된다.

반도체 기억 장치(1000)에 상기 구성을 적용하는 경우에는, 고전압 발생 회로(106)의 출력이 VPP 검출 회로(5)의 노드 VPP와 고전압 스위치 회로(2)의 노드 VPP에 각각 공급되게 된다.

다음에, 실시예 3에 따른 고전압 스위치 회로(2)의 제어 방법에 대해 설명한다. 제어 신호 B를 고전압 스위치 회로(2)의 노드 VPP에 인가되는 전압 레벨에 맞추어 변화시킨다. 그리고, 게이트 제어 신호 A를 제어 신호 B와 VPP 검출 회로(5)가 출력하는 레벨 검출 신호 C에 따라서 발생시킨다. 레벨 검출 신호 C는 노드 VPP에 인가되는 전압이 소정의 레벨을 초과하면 H 레벨로 된다.

도 12를 참조하면, 노드 VPP에 전원 전압 VCC이 인가되어 있는 시점에서는 ( t2), 제어 신호 B의 전압 레벨은 접지 전압 레벨 GND이다. 따라서, 시각 t0 t1 에서 받는 입력 신호 VIN은 전원 전압 레벨 VCC의 신호 VOUT로 변환되어 출력된다.

노드 VPP에 대해 고전압 인가가 시작되는 시점에서(시각 t2), 제어 신호 B를 접지 전압 레벨 GND로부터 전원 전압 레벨 VCC로 전환한다.

노드 VPP에 인가되는 전압이 소정의 검출 레벨 VO를 초과하면(시각 tx), 레벨 검출 신호 C가 접지 전압 레벨 GND로부터 전원 전압 레벨 VCC로 전환된다. 게이트 제어 신호 A가 접지 전압 레벨 GND로부터 전원 전압 레벨 VCC로 전환된다(t2 < tx <t3).

이에 의해, 전압 완화가 실행되고, 또한 시각 t3 t4에서 받는 입력 신호 VIN은 고전압 레벨 VPP의 신호 VOUT로 변환되어 출력된다.

그리고, 노드 VPP에 인가되는 전압의 레벨이 강하하는(고전압의 인가 종료) 시점에서(시각 t5), 제어 신호 B를 전원 전압 레벨 VCC로부터 접지 전압 레벨 GND로 전환한다. 게이트 제어 신호 A가 전원 전압 레벨 VCC로부터 접지 전압 레벨 CND로 전환된다. 노드 VPP에 인가되는 전압이 검출 레벨 V0으로부터 강하하면(시각 ty), 레벨 검출 신호 C가 전원 전압 레벨 VCC로부터 접지 전압 레벨 GND로 전환된다.

이러한 제어 방법에 의해, 고전압을 스위칭하는 때에는 고전압 스위치 회로(2)에 있어서의 내부 노드 N1, N2의 전압 레벨이 완화된다. 그리고, 노드 VPP로의 고전압의 인가가 종료하거나, 또는 고전압을 인가하지 않고 전원 전압 VCC이 인가되고 있는 때는, 전압 완화용 트랜지스터의 게이트를 전원 전압 VCC로부터 접지 전압 GND에, 또는 접지 전압 GND에서 고정한다. 이에 의해, 노드 VPP에 인가되 는 전압이 낮은 때에도, 고전압 스위치 회로(2)는 정상으로 동작할 수 있게 된다.

반도체 기억 장치(1000)에 해당 제어 방법을 적용한 경우에 대해 설명한다. 고전압이 필요하게 될 때에는, 기입/소거 제어 회로(1)는 AND 회로(90)에 대해 접지 전압 레벨 GND의 제어 신호 B를 출력한다. 이 시점에서, 고전압 발생 회로(106)는 비활성 상태에 있다.

특정한 동작을 지정하는 커맨드 CM이 기입/소거 제어 회로(1)에 입력되면, 기입/소거 제어 회로(1)로부터 전원 전압 레벨 VCC의 제어 신호 B가 출력되어, 고전압 발생 회로(106)가 활성화한다.

고전압 발생 회로(106)의 출력 전압이 검출 레벨 V0을 초과하면, 전압 완화용 트랜지스터의 게이트에 입력되는 게이트 제어 신호 A가 전원 전압 레벨 VCC로 된다.

그리고, 고전압 인가가 종료하면, 제어 신호 B를 접지 전압 레벨 GND로 전환하여 고전압 발생 회로(106)를 비활성화한다. 노드 VPP에 인가되는 전압의 레벨이 강하하여, 전원 전압 레벨 VCC로 된다.

이러한 제어에 의해, 반도체 기억 장치(1000)는 정확한 기입/소거/판독 동작이 보증된다. 또, 제어 신호 B로서, 고전압 발생 회로(106)의 활성/비활성을 제어하는 신호 그 자체를 사용하더라도 무방하다.

또, 검출 레벨 VO은 전압 상승시와 전압 강하시에서 상이하도록 설정하더라도 무방하다. 상승시와 강하시에서 검출 레벨을 변경하는 경우에는, VPP 검출 회로(5)의 저항 소자 R1, R2를 가변 저항으로 하여, 기입/소거 제어 회로(1)로부터 상승시에 출력되는 신호와 강하시에 출력되는 신호에 따라 저항치가 변화되도록 한다.

또, 실시예 3의 방법은 고전압 스위치 회로(2) 뿐만 아니라, 전술한 고전압 스위치 회로(2A, 2B) 등에도 적용 가능하다. 또한, 입력 신호 VIN을 진폭 레벨 VN-VCC의 신호 VOUT로 전환하는 고전압 스위치 회로에 대해서도 적용 가능하다.

(실시예 4)

실시예 4에 따른 고전압 스위치 회로에 대해, 도 13을 이용하여 설명한다. 실시예 4에서는, AND 회로(90)는 1/2 VPP 검출 회로(6)의 출력을 동작 전원 전압으로서 받는다.

1/2 VPP 검출 회로(6)에 대해 설명한다. 1/2 VPP 검출 회로(6)는 트랜지스터 Q30 Q37을 포함한다. 트랜지스터 Q30 Q33은 PMOS 트랜지스터이며, 트랜지스터 Q34 Q37은 NMOS 트랜지스터이다.
트랜지스터 Q30은 고전압이 공급되는 노드 VPP와 노드 N10 사이에 접속되고, 트랜지스터 Q34는 노드 N10과 접지 전압 GND를 받는 노드 GND 사이에 접속된다. 트랜지스터 Q30의 게이트는 노드 N10과 접속된다. 트랜지스터 Q34, Q36의 게이트는 기준 전압 발생 회로(3)가 출력하는 기준 전압 VREF를 받는다.
트랜지스터 Q31은 노드 VPP와 노드 N11 사이에 접속되고, 게이트는 노드 N10와 접속된다. 트랜지스터 Q35 및 Q32는 노드 N11과 노드 N12 사이에 직렬로 접속되고, 트랜지스터 Q36은 노드 N12와 노드 GND 사이에 접속된다. 트랜지스터 Q35의 게이트는 노드 N11과 접속되고, 트랜지스터 Q32의 게이트는 노드 N12와 접속된다.
트랜지스터 Q37은 노드 VPP와 노드 N13 사이에 접속되고, 트랜지스터 Q33은 노드 N13과 노드 GND 사이에 직렬로 접속된다. 트랜지스터 Q37의 게이트는 노드 N11과, 트랜지스터 Q33의 게이트는 노드 N12과 각각 접속된다.
트랜지스터 Q33과 Q37의 접속 노드인 노드 N13은 고전압 VPP의 1/2의 전압 레벨(1/2 VPP)로 된다.
다음에, 실시예 4에 따른 고전압 스위치 회로(2)의 제어 방법에 대해 설명한다. 전압 완화용 트랜지스터의 게이트를 제어하는 게이트 제어 신호 A를 제어 신호 B와 레벨 검출 신호 C에 따라 발생시킨다. 이 때, 게이트 제어 신호 A를 VCC 의존성이 작은 전압 1/2 VPP로 변환한다. 노드 VPP에 공급되는 전압이 검지 레벨 V0을 초과하는 범위내에서, 게이트 제어 신호 A를 1/2 VPP 레벨로 한다.
도 14를 참조하면, 노드 VPP에 전원 전압 VCC이 인가되어 있는 시점에서는 ( t2), 제어 신호 B 및 레벨 검출 신호 C는 접지 전압 레벨 GND이다. 게이트 제어 신호 A는 접지 전압 레벨 GND이다. 따라서, 시각 t0 t1에서 받는 입력 신호 VIN은 전원 전압 레벨 VCC의 신호 VOUT로 변환되어 출력된다.
노드 VPP에 대해 고전압 인가가 시작되는 시점에서(시각 t2), 제어 신호 B가 접지 전압 레벨 GND로부터 전원 전압 레벨 VCC로 전환된다.
노드 VPP에 인가되는 전압이 검출 레벨 V0을 초과하면(시각 t2), 레벨 검출 신호 C가 접지 전압 레벨 GND로부터 전원 전압 레벨 VCC로 전환된다. 게이트 제어 신호 A가 1/2 VPP 레벨로 된다.
이에 의해, 전압 완화가 실행되고, 또한 시각 t3 t4에서 받는 입력 신호 VIN은 고전압 레벨 VPP의 신호 VOUT로 변환되어 출력된다.
그리고, 노드 VPP에 인가되는 전압의 레벨이 강하하는(고전압의 인가 종료)시점에서(시각 t5), 제어 신호 B를 전원 전압 레벨 VCC로부터 접지 전압 레벨 GND로 전환한다. 게이트 제어 신호 A가 접지 전압 레벨 GND로 전환된다.
그리고, 노드 VPP에 인가되는 전압이 검출 레벨 VO으로부터 강하하면(시각 ty), 레벨 검출 신호 C가 전원 전압 레벨 VCC로부터 접지 전압 레벨 GND로 전환된다.
이러한 제어 방법에 의해, 고전압을 스위칭하는 때에는 고전압 스위치 회로(2)에 있어서의 내부 노드 N1, N2의 전압 레벨은 도 15에 도시된 바와 같이 변화된다. 도 15를 참조하면, 본 회로를 구성하는 PMOS 트랜지스터의 소스 드레인 간의 전압이 (1/2 VPP + | Vthp | )로 완화된다.
그리고, 노드 VPP로의 고전압 인가가 종료하거나, 또는 고전압을 인가하지 않고 전원 전압 VCC이 인가되어 있는 때에는, 전압 완화용 트랜지스터의 게이트를 1/2 VPP 레벨로부터 접지 전압 레벨 GND에, 또는 접지 전압 레벨 GND에 고정한다. 이에 의해, 노드 VPP에 인가되는 전압이 낮은 때에도, 고전압 스위치 회로(2)는 정상으로 동작할 수 있게 된다.
반도체 기억 장치(1000)에 해당 제어 방법을 적용한 경우에 대해 설명한다. 고전압이 필요하게 될 때에는, 기입/소거 제어 회로(1)는 접지 전압 레벨 GND의 제어 신호 B를 출력한다. 이 시점에서, 고전압 발생 회로(106)는 비활성 상태에 있 다.
특정한 동작을 지정하는 커맨드 CM이 기입/소거 제어 회로(1)에 입력되면, 기입/소거 제어 회로(1)로부터 전원 전압 레벨 VCC의 제어 신호 B가 출력되어, 고전압 발생 회로(106)가 활성화한다. 그리고, 고전압 발생 회로(106)의 출력 전압이 검출 레벨 V0을 초과하면, 전압 완화용 트랜지스터의 게이트에 입력되는 게이트 제어 신호 A가 1/2 VPP 레벨로 된다.
고전압 인가가 종료하면, 제어 신호 B를 접지 전압 레벨 GND로 전환하여, 고전압 발생 회로(106)를 비활성화한다. 노드 VPP에 인가되는 전압의 레벨이 강하하여, 전원 전압 레벨 VCC로 된다.
이러한 제어에 의해, 반도체 기억 장치(1000)는 정확한 기입/소거/판독 동작을 실현할 수 있다. 또, 제어 신호 B로서, 고전압 발생 회로(106)의 활성/비활성을 제어하는 신호 그 자체를 사용하더라도 무방하다.
또, 실시예 4의 방법은 고전압 스위치 회로(2) 뿐만 아니라, 전술한 고전압 스위치 회로(2A, 2B) 등에도 적용 가능하다. 또한, 입력 신호 VIN을 진폭 레벨 VN-VCC의 신호 VOUT로 전환하는 고전압 스위치 회로에 대해서도 적용 가능하다.
(실시예 5)
실시예 5에 따른 고전압 스위치 회로에 대해, 도 16을 이용하여 설명한다. 실시예 5에서는, AND 회로(90)는 정전압 발생 회로(7)의 출력을 동작 전원 전압으로서 받는다.
정전압 발생 회로(7)에 대해 설명한다. 정전압 발생 회로(7)는 트랜지스터 Q40 Q45 및 가변 저항 Rx 및 Ry를 포함한다. 트랜지스터 Q40, Q41, Q45는 PMOS 트랜지스터이며, 트랜지스터 Q42, Q43는 NMOS 트랜지스터이다.
트랜지스터 Q40 Q44는 커런트 미러 차동 증폭기를 구성한다. 트랜지스터 Q40, Q41은 PMOS 커런트 미러 회로이며, 트랜지스터 Q44는 정전류원으로서 기능한다. 트랜지스터 Q40은 고전압이 공급되는 노드 VPP와 노드 N20 사이에 접속되고, 트랜지스터 Q41은 노드 VPP와 노드 N21 사이에 접속된다. 트랜지스터 Q40 및 Q41 각각의 게이트는 노드 N21과 접속된다.

트랜지스터 Q42는 노드 N20과 노드 N22 사이에 접속되고, 트랜지스터 Q43은 노드 N21과 노드 N22 사이에 접속된다. 트랜지스터 Q42의 게이트는 기준 전압 발생 회로(3)가 출력하는 기준 전압 VREF를 받고, 트랜지스터 Q43의 게이트는 가변 저항 Rx와 Ry의 접속 노드에 접속된다. 트랜지스터 Q44는 노드 N22과 접지 전압 GND를 받는 노드 GND 사이에 접속되고, 게이트에 기입/소거 제어 회로(1)가 출력하는 제어 신호 D를 받는다.
트랜지스터 Q45는 노드 VPP와 노드 N23 사이에 접속되고, 가변 저항 Rx 및 Ry는 노드 N23과 노드 GND 사이에 직렬로 접속된다. 노드 N23의 전압 Vconst은 수학식 (8)을 충족한다. 또, 가변 저항 Rx, Ry의 각각의 저항치를 Rx, Ry로 한다.

수학식 8

$$Vconst = VREF \times \{(Rx + Ry)/Ry\}$$

여기서, 기준 전압 VREF는 수학식 (4)에 나타낸 바와 같이 전원 전압 VCC에 의존하지 않기 때문에, 전압 Vconst도 전원 전압 VCC에 의존하지 않는다.
다음에, 실시예 5에 따른 고전압 스위치 회로(2)의 제어 방법에 대해 설명한다. 전압 완화용 트랜지스터의 게이트를 제어하는 게이트 제어 신호 A를 제어 신호 B와 레벨 검출 신호 C와 제어 신호 D에 따라 발생시킨다. 이 때, 게이트 제어 신호 A의 전압을 전원 전압 VCC로의 의존성이 없는 전압 Vconst로 변환한다. 노드 VPP에 공급되는 전압이 검지 레벨 V0 이상의 범위내에서, 게이트 제어 신호 A를 정전압 레벨 Vconst로 한다.
도 17을 참조하면, 노드 VPP에 전원 전압 VCC이 인가되어 있는 시점에서는 ( t2), 제어 신호 B 및 레벨 검출 신호 C는 접지 전압 레벨 GND이기 때문에, 게이트 제어 신호 A는 접지 전압 레벨 GND이다. 따라서, 시각 t0 t1에서 받는 입력 신호 VIN은 전원 전압 레벨 VCC의 신호 VOUT로 변환되어 출력된다.
노드 VPP에 대해 고전압 인가가 시작되는 시점에서(시각 t2), 제어 신호 B, D가 접지 전압 레벨 GND로부터 전원 전압 레벨 VCC로 전환된다.
노드 VPP에 인가되는 전압이 있는 검출 레벨 V0을 초과하면(시각 t2), 레벨 검출 신호 C가 접지 전압 레벨 GND로부터 전원 전압 레벨 VCC로 전환된다. 게이트 제어 신호 A의 전압이 정전압 레벨 Vconst로 된다.
이에 의해, 전압 완화가 실행되고, 또한 시각 t3 t4에서 받는 입력 신호 VIN은 고전압 레벨 VPP의 신호 VOUT로 변환되어 출력된다.
그리고, 노드 VPP에 인가되는 전압의 레벨이 강하하는(고전압의 인가 종료) 시점에서(시각 t5), 제어 신호 B를 전원 전압 레벨 VCC로부터 접지 전압 레벨 GND 로 전환한다. 게이트 제어 신호 A가 접지 전압 레벨 GND로 전환된다.
노드 VPP에 인가되는 전압이 검출 레벨 VO보다 강하하면(시각 ty), 레벨 검출 신호 C가 정전압 레벨 Vconst로부터 접지 전압 레벨 GND로 전환된다.
이러한 제어 방법에 의해, 고전압을 스위칭하는 때에는 고전압 스위치 회로(2)에 있어서의 내부 노드 N1, N2의 전압 레벨은 도 18에 도시된 바와 같이 변화한다. 도 18을 참조하면, 트랜지스터 Ql, Q2의 소스 드레인간의 전압이{VPP-(Vconst+ | Vthp | )}로 완화되고, 트랜지스터 Q3, Q4의 소스 드레인간의 전압이 (Vconst+ | Vthp | )로 완화된다.
그리고, 노드 VPP로의 고전압 인가가 종료하거나, 또는 고전압을 인가하지 않고 전원 전압 VCC이 인가되어 있는 때에는, 전압 완화용 트랜지스터의 게이트를 정전압 레벨 Vconst로부터 접지 전압 레벨 GND에, 또는 접지 전압 레벨 GND에서 고정한다. 이에 의해, 노드 VPP에 인가되는 전압이 낮은 때에도, 고전압 스위치 회로(2)는 정상으로 동작할 수 있게 된다.
정전압 발생 회로(7)에 있어서의 가변 저항의 저항치를 조정함으로써, 정전압 Vconst의 레벨을 임의로 설정할 수 있다.
반도체 기억 장치(1000)에 해당 제어 방법을 적용한 경우에 대해 설명한다. 고전압이 필요하게 될 때에는, 기입/소거 제어 회로(1)는 접지 전압 레벨 GND의 제어 신호 B, D를 출력한다. 이 시점에서, 고전압 발생 회로(106)는 비활성 상태에 있다.
특정한 동작을 지정하는 커맨드 CM이 기입/소거 제어 회로(1)에 입력되면, 기입/소거 제어 회로(1)로부터 전원 전압 레벨 VCC의 제어 신호 B, D가 출력되어, 고전압 발생 회로(106)가 활성화한다. 그리고, 고전압 발생 회로(106)의 출력 전압이 검출 레벨 VO를 초과하면, 전압 완화용 트랜지스터의 게이트에 입력되는 게이트 제어 신호 A의 전압이 Vconst로 된다.
고전압 인가가 종료하면, 제어 신호 B를 접지 전압 레벨 GND로 전환하여, 고전압 발생 회로(106)를 비활성화한다. 노드 VPP에 인가되는 전압의 레벨이 강하하여, 전원 전압 레벨 VCC로 된다. 그리고, 제어 신호 D를 접지 전압 레벨 GND로 한다.
이러한 제어에 의해, 반도체 기억 장치(1000)는 정확한 기입/소거/판독 동작을 실현할 수 있다. 또, 제어 신호 B로서, 고전압 발생 회로(106)의 활성/비활성을 제어하는 신호 그 자체를 사용하더라도 무방하다.
또, 정전압 발생 회로(7)에 있어서의 가변 저항 Rx, Ry의 일례를 도 19, 도 20에 나타낸다. 도 19에 도시되는 가변 저항은 노드 X와 노드 Y 사이에 직렬로 접속되는 복수의 저항 소자 R(l) R(n)과 저항 소자를 선택하기 위한 스위칭 소자(트랜지스터) T1 Tn로 구성된다.
스위칭 소자 T1 Tn의 각각은 스위칭 소자 제어 신호 ϕ1 ϕn을 받아 온한다. 스위칭 소자의 온/오프에 의해, 노드 X와 노드 Y 사이의 저항치를 변화시킨다.
도 20에 도시되는 가변 저항은 노드 X와 노드 Y 사이에 직렬로 접속되는 복수의 저항 소자 R(1) R(n)과 저항 소자를 선택하기 위한 퓨즈 F1 Fn로 구성된다. 퓨즈를 블로우(blow)하는 것에 의해, 노드 X와 노드 Y 사이의 저항치를 변화시킨다.

(실시예 6)

실시예 6에 따른 고전압 스위치 회로에 대해, 도 21을 이용하여 설명한다. 도 21에 도시되는 고전압 스위치 회로(8)는 입력 신호 VIN(진폭 VCC-GND)을 신호 VOUT(진폭 VCC-VN)로 변환하는 회로이다. 여기서, VN은 전술한 바와 같이 부의 고전압이다.

고전압 스위치 회로(8)는 트랜지스터 Q1n Q5n 및 인버터 IV2로 구성된다. 트랜지스터 Qln, Q2n은 PMOS 트랜지스터이며, 트랜지스터 Q3n, Q4n, Q5n은 NMOS 트랜지스터이다.

고전압 스위치 회로(8)는 신호 입력 노드 IN로부터 입력 신호 VIN을 받고, 제어 신호 입력 노드 A로부터 전압 완화용 트랜지스터의 게이트 전압을 제어하는 게이트 제어 신호 A를 받아, 출력 노드 OUT로부터 신호 VOUT를 출력한다.

트랜지스터 Q5n은 노드 N1n과 부의 고전압을 받기 위한 노드 VN 사이에 접속되고, 게이트는 출력 노드 OUT의 신호 VOUT를 받는다. 트랜지스터 Q6n은 노드 N2n과 노드 VN에 접속되며, 게이트에 노드 N3n의 신호를 받는다.

트랜지스터 Q3n은 노드 N1n과 노드 N3n 사이에 접속되고, 트랜지스터 Q4n은 노드 N2n과 노드 OUT 사이에 접속된다.

트랜지스터 Qln은 신호 입력 노드 IN과 노드 N3n 사이에 접속되고, 게이트는 접지 전압을 받는 노드 GND와 접속되어 있다. 인버터 IV2는 노드 IN의 신호를 반전한다. 트랜지스터 Q2n은 인버터 IV2의 출력 노드와 노드 OUT 사이에 접속되고, 게이트는 노드 GND와 접속되어 있다.

트랜지스터 Q3n, Q4n은 전압 완화용 트랜지스터로서, 회로를 구성하는 트랜지스터의 게이트 전압을 완화하기 위한 전압 완화 회로(20)를 구성한다. 종래와 달리, 전압 완화용 트랜지스터 Q3n, Q4n의 게이트는 일정한 전압이 인가되는 것은 아니고, 외부로부터 입력되는 게이트 제어 신호 A를 받도록 구성되어 있다.

트랜지스터 Q3n, Q4n의 게이트에 입력되는 게이트 제어 신호 A는 기입/소거 제어 회로(1)가 출력하는 제어 신호 B와 VN 검출 회로(9)가 출력하는 레벨 검출 신호 E를 받는 NAND 회로(91)로부터 출력된다.

VN 검출 회로(9)는 도 22에 도시된 바와 같이, 저항 소자 R1, R2 및 전압 비교 회로(12)를 포함한다. VN 검출 회로(9)에서는, 저항 소자 Rl, R2는 전원 전압 VCC를 받는 노드 VCC와 부의 고전압 VN을 받는 노드 VN 사이에 직렬로 접속된다. 저항 소자 R1과 R2의 접속 노드는 전압 비교 회로(12)의 정의 입력 단자에 접속된다. 전압 비교 회로(12)의 부의 입력 단자에는, 기준 전압 발생 회로(3)가 출력하는 기준 전압 VREF를 받는다.

저항 소자 R1, R2에 의해, 노드 VN에서 받는 전압을 분압한다. 이 결과, 수학식 (9)에 나타내는 전압 VNn이 얻어진다. 또, VN은 노드 VN의 전압 레벨을 나타내고 있다. 저항 소자 R1, R2의 저항치를 R1, R2로 한다.

수학식 9

$$VNn = (VCC + VN) \times \{R2/(R1 + R2)\}$$

전압 비교 회로(12)는 분압 전압 VNn과 기준 전압 VREF를 비교하여, 비교 결과로서 레벨 검출 신호 E를 출력한다. 수학식 (10)을 충족하도록 저항치 Rl, R2를 결정한다.

수학식 10

$$VREF = (VN + VCC) \times \{R2/(R1 + R2)\}$$

분압 전압 VNn < 기준 전압 VREF이면, 레벨 검출 신호 E는 H 레벨로 되고, 그 이외의 경우에는, 레벨 검출 신호 E는 L 레벨로 된다.

반도체 기억 장치(1000)에 상기 구성을 적용하는 경우에는, 고전압 스위치 회로(120)에 고전압 스위치 회로(8)가 포함되고, 부 고전압 발생 회로(107)의 출력이 VN 검출 회로(9)의 노드 VN과 고전압 스위치 회로(8)의 노드 VN에 각각 공급되게 된다.

다음에, 실시예 6에 따른 고전압 스위치 회로(8)의 제어 방법에 대해 설명한다. 제어 신호 B를 노드 VN에 인가되는 전압 레벨에 맞추어 변화시킨다. 그리고, 게이트 제어 신호 A를 제어 신호 B와 VN 검출 회로(9)가 출력하는 레벨 검출 신호 E에 따라 발생시킨다. 레벨 검출 신호 E는 노드 VN에 인가되는 전압이 소정의 레벨보다 저하하면 H 레벨로 된다.

도 23을 참조하면, 고전압 스위치 회로(8)는 시각 t0 t1, 시각 t3 t4에서는 GND 레벨이며, 그 이외에는 전원 전압 레벨 VCC의 입력 신호 VIN을 받는 것으로 한다. 또한, 초기 상태에서는, 노드 VN에는 접지 전압 GND가 인가되어 있다.

노드 VN에 접지 전압 GND가 인가되어 있는 시점에서는( t2), 제어 신호 B의 전압 레벨은 접지 전압 레벨 GND에 있다. 따라서, 시각 t0 t1에서 받는 입력 신호 VIN은 접지 전압 레벨 GND의 신호 VOUT로 변환되어 출력된다.

노드 VN에 대해 부의 고전압 인가가 개시되는 시점에서(시각 t2), 제어 신호 B를 접지 전압 레벨 GND로부터 전원 전압 레벨 VCC로 전환한다.

노드 VN에 인가되는 전압이 소정의 검출 레벨 V1보다 낮게 되면(시각 tx), 레벨 검출 신호 E가 접지 전압 레벨 GND로부터 전원 전압 레벨 VCC로 전환된다. 게이트 제어 신호 A가 전원 전압 레벨 VCC로부터 접지 전압 레벨 GND로 전환된다 (t2<tx<t3).

이에 의해, 전압 완화가 실행되고, 또한 시각 t3 t4에서 받는 입력 신호 VIN은 부의 고전압 레벨 VN의 신호 VOUT로 변환되어 출력된다.

그리고, 노드 VN에 인가되는 전압의 레벨이 상승하는(부의 고전압의 인가 종료) 시점에서(시각 t5), 제어 신호 B를 전원 전압 레벨 VCC로부터 접지 전압 레벨 GND로 전환한다. 게이트 제어 신호 A가 접지 전압 레벨 GND로부터 전원 전압 레벨 VCC로 전환된다.
노드 VN에 인가되는 전압이 검출 레벨 V1을 초과하면(시각 ty), 레벨 검출 신호 E가 전원 전압 레벨 VCC로부터 접지 전압 레벨 GND로 전환된다.
이러한 제어 방법에 의해, 고전압을 스위칭하는 때에는 고전압 스위치 회로(8)에 있어서의 내부 노드 N1n, N2n의 전압 레벨은 도 24에 도시된 바와 같이 변화한다. 도 24를 참조하면, NMOS 트랜지스터의 소스 드레인간의 전압이 트랜지스터 Q3n, Q4n에 관해서는 (VCC+Vthn), 트랜지스터 Q5n, Q6n에 관해서는 ｜VN-Vthn｜로 완화된다. 여기서, Vthn은 트랜지스터 Q3n, Q4n의 임계값을 나타내고 있다.
그리고, 노드 VN으로의 부의 고전압 인가가 종료하거나, 또는 부의 고전압을 인가하지 않고 접지 전압 GND가 인가되어 있는 때에는, 전압 완화용 트랜지스터의 게이트를 접지 전압 레벨 GND로부터 전원 전압 레벨 VCC에, 또는 전원 전압 레벨 VCC에 고정한다. 이에 의해, 노드 VN에 인가되는 전압의 절대값이 작은 경우에도, 고전압 스위치 회로(8)는 정상으로 동작할 수 있게 된다.
반도체 기억 장치(1000)에 해당 제어 방법을 적용한 경우에 대해 설명한다. 부의 고전압이 필요하게 될 때에는, 기입/소거 제어 회로(1)는 NAND 회로(91)에 대해 L 레벨의 제어 신호 B를 출력한다. 이 시점에서, 부 고전압 발생 회로(107)는 비활성 상태에 있다.
특정한 동작을 지정하는 커맨드 CM이 기입/소거 제어 회로(1)에 입력되면, 기입/소거 제어 회로(1)로부터 전원 전압 레벨 VCC의 제어 신호 B가 출력되어, 부 고전압 발생 회로(107)가 활성화한다.
부 고전압 발생 회로(107)의 출력 전압이 검출 레벨 V1을 하회하면, 전압 완화용 트랜지스터의 게이트에 입력되는 게이트 제어 신호 A가 접지 전압 레벨 CND로 된다.
그리고, 부의 고전압 인가가 종료하면, 제어 신호 B를 접지 전압 레벨 GND로 전환하여, 부 고전압 발생 회로(107)를 비활성화한다. 노드 VN에 인가되는 전압의 레벨이 상승하여, 전원 전압 레벨 VCC로 된다.
이러한 제어에 의해, 반도체 기억 장치(1000)가 정확한 기입/소거/판독 동작이 보증된다. 또, 제어 신호 B로서, 부 고전압 발생 회로(107)의 활성/비활성을 제어하는 신호 그 자체를 사용하더라도 무방하다.
또, 본원 발명이 적용되는 고전압 스위치 회로의 구성은 도 21에 나타낸 것에 한정되지 않는다. 고전압 스위치 회로의 다른 구성 예를 도 25에 나타낸다. 도 25에 도시되는 고전압 스위치 회로(8A)는 트랜지스터 Q1n, Q2n, Q5n, Q6n, 트랜지스터 Q3n, Q4n, Q7n 및 Q8n로 구성되는 전압 완화 회로(20A), 및 인버터 IV2를 구비한다. 트랜지스터 Q7n, Q8n은 PM0S 트랜지스터이다.
고전압 스위치 회로(8A)에서는, 트랜지스터 Q3n, Q4n, Q7n, Q8n의 각각이 전압 완화용 트랜지스터로서 기능한다. 트랜지스터 Q7n은 트랜지스터 Q1n과 트랜지스터 Q3n 사이에 접속되고, 트랜지스터 Q8n은 트랜지스터 Q2n과 트랜지스터 Q4n 사이에 접속된다. 트랜지스터 Q7n, Q8n의 게이트는 접지 전압을 받는다. 트랜지스터 Q4n과 Q8n의 접속 노드(노드 OUT)로부터 신호 VOUT가 출력된다.
고전압 스위치 회로의 다른 구성 예를 도 26에 나타낸다. 도 26에 도시되는 고전압 스위치 회로(8B)는 트랜지스터 Q1n, Q2n, Q5n, Q6n, 트랜지스터 Q7n 및 Q8n로 구성되는 전압 완화 회로(20B), 및 인버터 IV2를 구비한다. 고전압 스위치 회로(8B)에서는, 트랜지스터 Q7n, Q8n의 각각이 전압 완화용 트랜지스터로서 기능한다.
트랜지스터 Q7n은 트랜지스터 Qn1과 트랜지스터 Q5n 사이에 접속되고, 게이트에 게이트 제어 신호 A를 받는다. 트랜지스터 Q8n은 트랜지스터 Qn2와 트랜지스터 Q6n 사이에 접속되고, 게이트에 게이트 제어 신호 A를 받는다. 트랜지스터 Q8n과 Q6n의 접속 노드(노드 OUT)로부터 신호 VOUT가 출력된다.
또, 실시예 1 내지 실시예 5 및 다음에 설명하는 실시예 7에 따른 제어 방법은 고전압 스위치 회로(8)에 대해서도 적용 가능하다.
(실시예 7)
실시예 7에 따른 고전압 스위치 회로에 대해 설명한다. 실시예 7에서는, 고전압 스위치 회로(2)는 도 27에 도시된 바와 같이, 바이어스 전압 발생 회로(11)가 출력하는 게이트 제어 신호 A를 트랜지스터 Q3, Q4의 게이트에 받는다.
바이어스 전압 발생 회로(11)에 대해 설명한다. 바이어스 전압 발생 회로(11)는 도 27에 도시된 바와 같이, 가변 저항 Ry 및 트랜지스터 Q50  Q53을 포함한다. 트랜지스터 Q50, Q51은 PMOS 트랜지스터이며, 트랜지스터 Q52, Q53은 NMOS 트랜지스터이다.
트랜지스터 Q50은 고전압을 받는 노드 VPP와 가변 저항 Ry의 한쪽 단자 사이에 접속되고, NAND 회로(91)가 출력하는 제어 신호 F를 게이트에 받는다. 트랜지스터 Q51는 가변 저항 Ry의 다른 쪽의 단자와 노드 N30 사이에 접속되고, 게이트가 노드 N30과 접속된다.
트랜지스터 Q52는 노드 N30과 접지 전압 CND를 받는 노드 GND 사이에 접속되 고, 게이트에 기준 전압 발생 회로(3)가 출력하는 기준 전압 VREF를 받는다. 트랜지스터 Q53은 노드 N30과 노드 GND 사이에 접속되고, 게이트에 NAND 회로(91)가 출력하는 제어 신호 F를 받는다.
NAND 회로(91)는 기입/소거 제어 회로(1)가 출력하는 제어 신호 B와 VPP 검출 회로(5)가 출력하는 레벨 검출 신호 C를 받아, 제어 신호 F를 출력한다.
노드 N30의 게이트 제어 신호 A(전압 Vbias)가 고전압 스위치 회로(8)의 제어 신호 입력 노드 A에 공급된다.
가변 저항 Ry에는, 노드 VPP로부터 고전압에 의존하지 않는 일정한 바이어스 전류 Iconst가 흐른다. 마찬가지로, 전압 Vbias에 의해 트랜지스터 Q3에 일정한 바이어스 전류 Iconst가 흐른다.
반도체 기억 장치(1000)에 상기 구성을 적용하는 경우에는, 고전압 발생 회로(106)의 출력이 VPP 검출 회로(5)의 노드 VPP, 바이어스 전압 발생 회로(11)의 노드 VPP 및 고전압 스위치 회로(2)의 노드 VPP에 각각 공급되게 된다.

다음에, 실시예 7에 따른 고전압 스위치 회로(2)의 제어 방법에 대해 설명한다. 바이어스 전압 발생 회로(11)의 제어는 기입/소거 제어 회로(1)가 출력하는 제어 신호 B와, VPP 검출 회로(5)가 출력하는 레벨 검출 신호 C에 근거하여 실행한다. 게이트 제어 신호 A는 노드 VPP의 전압 레벨에 따라 접지 전압 레벨 GND로부터 Vbias={VPP-(｜Vthp｜+ Ry×Iconst)}로 전환된다.
또, Vthp는 트랜지스터 Q50, Q3의 임계값을 나타내고 있다.
도 28을 참조하면, 고전압 스위치 회로(2)는 시각 t0 t1, 시각 t3 t4에서 는 전원 전압 레벨 VCC, 그 이외에서는 접지 전압 레벨 GND의 입력 신호 VIN을 받는 것으로 한다. 또한, 초기 상태에서는, 노드 VPP에는 전원 전압 VCC이 인가되어 있다.
노드 VPP에 전원 전압 VCC이 인가되어 있는 시점에서는( t2), 제어 신호 B는 접지 전압 레벨 GND에 있다. 따라서, 시각 t0 t1에서 받는 입력 신호 VIN은 전원 전압 레벨 VCC의 신호 VOUT로 변환되어 출력된다.
노드 VPP에 대해 고전압 인가가 개시되는 시점에서(시각 t2), 제어 신호 B가 접지 전압 레벨 GND로부터 전원 전압 레벨 VCC로 전환된다.
노드 VPP에 인가되는 전압이 소정의 검출 레벨 VO를 초과하면(시각 tx), 레벨 검출 신호 C가 접지 전압 레벨 GND로부터 전원 전압 레벨 VCC로 전환된다. 제어 신호 F가 전원 전압 레벨 VCC로부터 접지 전압 레벨 GND로 된다. 제어 신호 입력 노드 A에 인가되는 전압 Vbias가 접지 전압 레벨 GND로부터, {VPP-(｜Vthp｜+ Ry×Iconst)}로 된다. 이에 의해, 전압 완화가 실행되고, 또한 시각 t3 t4에서 받는 입력 신호 VIN은 고전압 레벨 VPP의 신호 VOUT로 변환되어 출력된다.
그리고, 노드 VPP에 인가되는 전압의 레벨이 강하하는(고전압의 인가 종료) 시점에서(시각 t5), 제어 신호 B를 전원 전압 레벨 VCC로부터 접지 전압 레벨 GND로 전환한다. 제어 신호 F가 접지 전압 레벨 GND로부터 전원 전압 레벨 VCC로 전환된다. 게이트 제어 신호 A가 접지 전압 레벨 GND로 전환된다.
그리고, 노드 VPP에 인가되는 전압이 검출 레벨 VO보다 낮게 되면(시각 ty), 레벨 검출 신호 C가 전원 전압 레벨 VCC로부터 접지 전압 레벨 GND로 전환된다.
이러한 제어 방법에 의해, 고전압을 스위칭하는 때에는 고전압 스위치 회로(2)에 있어서의 내부 노드 N1, N2의 전압 레벨은 도 29에 도시된 바와 같이 변화한다. 도 29를 참조하면, 소스 드레인간의 전압은 트랜지스터 Q1, Q2에 관해서는(Ry×Iconst), 트랜지스터 Q3, Q4에 관해서는 (VPP-Ry×Iconst)로 완화된다.
그리고, 노드 VPP로의 고전압 인가가 종료하거나, 또는 고전압을 인가하지 않고 전원 전압 VCC이 인가되어 있는 때는, 전압 완화용 트랜지스터의 게이트를{VPP-(｜Vthp｜+ Ry×Iconst)}로부터 접지 전압 레벨 GND에, 또는 접지 전압 레벨 GND에서 고정한다. 이에 의해, 노드 VPP에 인가되는 전압이 낮은 때에도, 고전압 스위치 회로(2)는 정상으로 동작할 수 있게 된다.
또, 바이어스 전압 발생 회로(11)에 있어서의 가변 저항의 저항치를 조정함으로써, {VPP-(｜Vthp｜+ Ry×Iconst)}의 레벨을 임의로 설정할 수 있다.
반도체 기억 장치(1000)에 해당 제어 방법을 적용한 경우에 대해 설명한다. 고전압이 필요하게 될 때에는, 기입/소거 제어 회로(1)는 접지 전압 레벨 GND의 제어 신호 B를 출력한다. 이 시점에서, 고전압 발생 회로(106)는 비활성 상태에 있다.
특정한 동작을 지정하는 커맨드 CM이 기입/소거 제어 회로(1)에 입력되면, 기입/소거 제어 회로(1)로부터 전원 전압 레벨 VCC의 제어 신호 B가 출력되어, 고전압 발생 회로(106)가 활성화한다. 그리고, 고전압 발생 회로(106)의 출력 전압이 검출 레벨 V0을 초과하면, 전압 완화용 트랜지스터의 게이트에 입력되는 게이트 제어 신호 A가 Vbias 레벨로 된다.
고전압 인가가 종료하면, 제어 신호 B를 접지 전압 레벨 GND로 전환하여, 고전압 발생 회로(106)를 비활성화한다. 노드 VPP에 인가되는 전압의 레벨이 강하하여, 전원 전압 레벨 VCC로 된다.
이러한 제어에 의해, 반도체 기억 장치(1000)는 정확한 기입/소거/판독 동작을 실현할 수 있다. 또, 제어 신호 B로서, 고전압 발생 회로(106)의 활성/비활성을 제어하는 신호 그 자체를 사용하더라도 무방하다.
또, 실시예 7의 방법은 고전압 스위치 회로(2) 뿐만 아니라, 전술한 고전압 스위치 회로(2A, 2B) 등에도 적용 가능하다. 또한, 입력 신호 VIN을 진폭 레벨 VN-VCC의 신호 VOUT로 전환하는 고전압 스위치 회로에 대해서도 적용 가능하다.
(실시예 8)
실시예 8에서는, VPP 검출 회로의 다른 구성 예에 대해 설명한다. 실시예 8에 따른 VPP 검출 회로(5A)는 도 31에 도시된 바와 같이, 트랜지스터 TP1 TP4, TN1 TN4, 및 인버터 IV10을 포함한다. 트랜지스터 TP1 TP4는 PMOS 트랜지스터이며, 트랜지스터 TN1 TN4는 NMOS 트랜지스터이다.
트랜지스터 TP1 및 TP2의 각각은 전원 전압 VCC을 받는 노드 VCC와, 노드 Z3 사이에 접속된다. 트랜지스터 TN3과 TN1은 노드 Z3과 접지 전압 GND를 받는 노드 GND 사이에 직렬로 접속된다.
트랜지스터 TP1, TN1의 각각의 게이트는 VPP 검출 회로(5A)를 활성화하는 활 성화 신호 CNE를 받고, 트랜지스터 TN3의 게이트는 기준 전압 VREF를 받는다. 트랜지스터 TP2의 게이트는 노드 Z3에 접속된다.
트랜지스터 TP4는 고전압 VPP을 받는 노드 VPP와 노드 Z1 사이에 접속되고, 트랜지스터 TP3은 노드 Z1과 노드 Z2 사이에 접속된다. 트랜지스터 TN4, TN2는 노드 GND와 노드 Z2 사이에 직렬로 접속된다.
트랜지스터 TP4의 게이트는 노드 VCC와 접속되고, 트랜지스터 TP3의 게이트는 노드 Z3과 접속된다. 트랜지스터 TN4의 게이트는 기준 전압 VREF를 받고, 트랜지스터 TN2의 게이트는 활성화 신호 CNE를 받는다.
인버터 IV10은 노드 Z2의 신호를 반전하여, 레벨 검출 신호 IPASS를 출력한다.

VPP 검출 회로(5A)의 동작에 대해 설명한다. 활성화 신호 CNE가 H 레벨로 되면, 트랜지스터 TN1와 TN2가 온 상태로 되고, 트랜지스터 TP1가 오프 상태로 된다. 이 상태에서, VPP 검출 회로(5A)는 VPP 레벨을 모니터하여, VPP 레벨이 높으면 레벨 검출 신호 IPASS를 L 레벨로 하고, VPP 레벨이 낮으면 레벨 검출 신호 IPASS를 H 레벨로 한다. 기준 전압 VREF를 게이트에 받는 트랜지스터 TN3와 TN4는 정전류원으로서 작용한다.
트랜지스터 TP2와 TP3은 커런트 미러 회로로서 동작한다. 트랜지스터 TN3으로부터 흐르는 전류를 트랜지스터 TP2가 받는다. 커런트 미러 회로는 트랜지스터 TP2에 흐르는 전류와 동등한 전류가 트랜지스터 TP3에 흐르도록 동작한다.
한편, 트랜지스터 TN4에도 정전류가 흐르기 때문에, 트랜지스터 TP3으로부터 흐르는 전류와 트랜지스터 TN4로부터 흐르는 전류가 동등하게 된다. 단, 트랜지스터 TP3으로부터 흐르는 전류와 트랜지스터 TN4로부터 흐르는 전류가 동등하게 되기 위해서는, 노드 Z1의 전위가 전원 전압 레벨(VCC 레벨)이 아니면 안 된다.
노드 Z1의 전위가 VCC 레벨보다 낮으면, 트랜지스터 TP3에 흐르는 전류가 트랜지스터 TN4에 흐르는 전류보다 적어진다. 이에 의해, 노드 Z2의 전압 레벨이 하강하여, 레벨 검출 신호 IPASS가 H 레벨로 된다.
반대로, 노드 Z1의 전위가 VCC 레벨보다 높으면, 트랜지스터 TP3에 흐르는 전류가 트랜지스터 TN4에 흐르는 전류보다 많아진다. 이에 의해, 노드 Z2의 전압 레벨이 상승하여, 레벨 검출 신호 IPASS가 L 레벨로 된다.
노드 Z1의 전위가 VCC 레벨보다 높아지는 것은 노드 VPP의 전위가 VCC+｜Vthp｜ 이상으로 되었을 때이다. 또, Vthp는 트랜지스터 TP4의 임계값이다.
이와 같이, 실시예 8에 따른 VPP 검출 회로(5A)에 의하면, 고전압 VPP의 전압 레벨을 검출할 수 있게 된다. 따라서, 상기한 실시예에 따른 고전압 스위치 회로에 대해, VPP 검출 회로(5)에 대신에 VPP 검출 회로(5A)를 배치하는 것에 의해, 상기한 실시예에 있어서의 효과와 마찬가지의 효과를 얻을 수 있다.
또 금번 개시된 실시예는 모든 점에서 예시이고, 제한적인 것이 아닌 것으로 간주되어야 한다. 본 발명의 범위는 상기한 실시예의 설명이 아니라 특허 청구 범위에 의해서 나타내어지며, 특허 청구 범위와 균등한 의미 및 범위내에서의 모든 변경이 포함되는 것이 의도된다.

## 발명의 효과

이와 같이 본 발명에 의한 고전압 스위치 회로에 의하면, 전압 완화용의 트랜지스터의 게이트 전압을 제어할 수 있다. 따라서, 전원 노드의 전압이 소망하는 고전압에 도달하면 트랜지스터의 게이트 소스간의 전압이 완화되고, 또한 전원 노드의 전압이 낮은 때이더라도 정상으로 동작할 수 있다.
특히, 전압 완화용의 트랜지스터의 게이트 전압을 전원 노드의 전압 레벨을 고전압으로 하기 위한 제어 신호에 의해 제어할 수 있다.
특히, 전압 완화용의 트랜지스터의 게이트 전압을 전원 노드의 전압 레벨이 상승 또는 강하하면 활성화하는 신호에 의해 제어할 수 있다.
특히, 전압 완화용의 트랜지스터의 게이트 전압을 전원 노드의 전압이 소망하는 레벨에 도달하면 활성화하는 신호에 의해 제어할 수 있다.
특히, 전원 전압에 대한 의존성이 없는 또는 의존성이 작은 신호에 의해 전압 완화용의 트랜지스터의 게이트 전압을 제어할 수 있다.
이에 의해, 회로의 동작을 정지시키는 일없이, 최적의 전압 완화를 실현할 수 있다.
또한, 본 발명에 따른 반도체 기억 장치에 의하면, 메모리 동작을 실행하는 동작 신호의 전압 레벨을 스위치하는 고전압 스위치 회로에 있어서, 전압 완화용의 트랜지스터의 게이트 전압을 제어할 수 있다. 따라서, 메모리 동작에 따라 전압 완화가 실현되어, 메모리 동작의 유무에 관계없이 정상으로 동작할 수 있다.
특히, 전압 완화용의 트랜지스터의 게이트 전압을 고전압을 발생시키는 회로 를 활성화하는 제어 신호에 의해 제어할 수 있다.
특히, 전압 완화용의 트랜지스터의 게이트 전압을 고전압을 발생시키는 회로를 활성화하는 제어 신호를 지연시킨 신호에 의해 제어할 수 있다.
특히, 전압 완화용의 트랜지스터의 게이트 전압을 메모리 셀 어레이의 동작시에 고전압을 발생시키는 회로로부터 출력되는 전압이 소정 레벨로 되면 활성화하는 신호에 의해 제어할 수 있다.
특히, 전원 전압에 대한 의존성이 없거나, 또는 의존성이 작은 전압 레벨의 신호에 의해 전압 완화용의 트랜지스터의 게이트 전압을 제어할 수 있다.
이에 의해, 본 발명의 반도체 기억 장치에 의하면, 고전압 스위치 회로가 정상인 동작 및 전압 완화가 보증되기 때문에, 정확한 동작이 보증된다.

## (57) 청구의 범위

### 청구항 1.

고전압 스위치 회로에 있어서,
전원 전압보다 절대값이 큰 고전압을 공급하는 것이 가능한 제 1 전원 노드와,
상기 전원 전압 이하의 전압이 공급되는 제 2 전원 노드와,
입력 신호와 상기 제 1 전원 노드로부터 공급되는 전압에 따라, 상기 입력 신호의 전압 레벨을 변환하는 제 1 트랜지스터와, 상기 입력 신호와 상기 제 2 전원 노드로부터 공급되는 전압에 따라, 상기 입력 신호의 전압 레벨을 변환하는

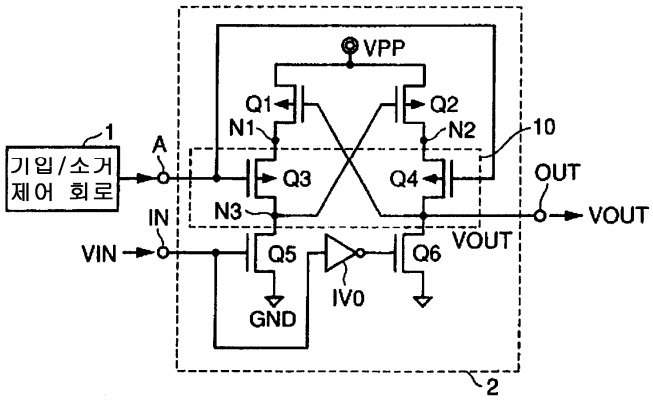
제 2 트랜지스터를 포함하며, 상기 전원 전압 레벨 또는 접지 전압 레벨의 상태를 취하는 상기 입력 신호의 진폭 레벨을 전환하여 출력하는 스위치 회로와,
상기 제 1 트랜지스터와 상기 제 2 트랜지스터 사이에 접속되어, 게이트 전압이 제어되는 제 3 트랜지스터를 포함하는 고전압 스위치 회로.

**청구항 2.**

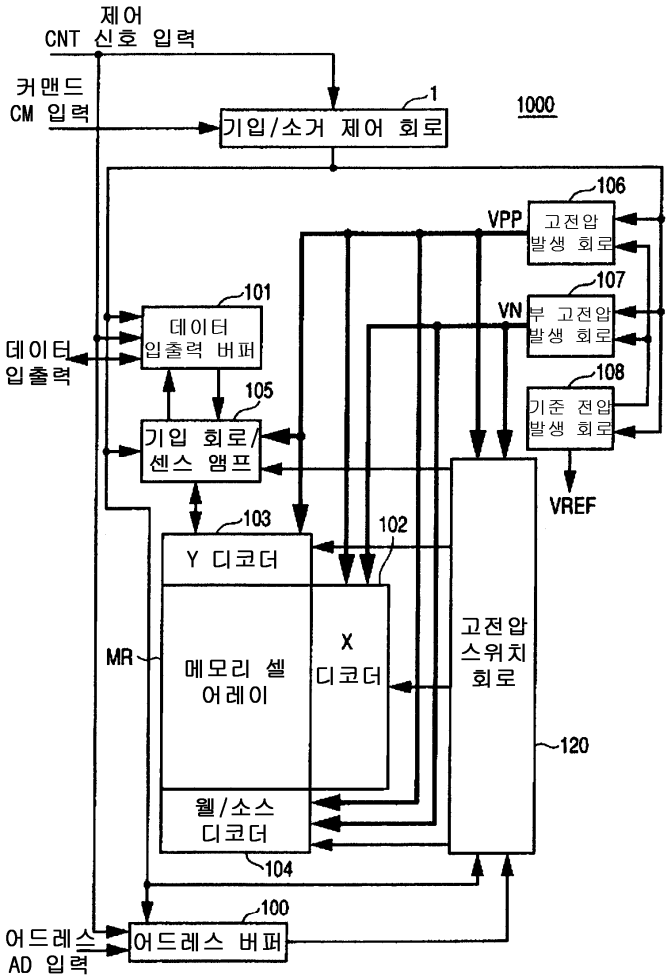
반도체 기억 장치에 있어서,
복수의 메모리 셀을 포함하는 메모리 셀 어레이와,
상기 메모리 셀 어레이의 동작을 제어하기 위한 제어 회로와,
상기 제어 회로의 제어에 근거하여, 상기 메모리 셀 어레이를 동작시키기 위 한 동작 신호를 발생하는 회로와,
스탠바이 상태에 있어서 전원 전압을 출력하여, 상기 메모리 셀 어레이의 동작시에 활성화하여 상기 전원 전압보다도 절대값이 큰 고전압을 발생하는 발생 회로와,
상기 동작 신호의 진폭 레벨을 전환하여 출력하는 고전압 스위치 회로를 포함하며,
상기 고전압 스위치 회로는,
상기 발생 회로가 출력하는 전압을 받는 제 1 전원 노드와,
상기 전원 전압 이하의 전압이 공급되는 제 2 전원 노드와,
상기 동작 신호와 상기 제 1 전원 노드로부터 공급되는 전압에 따라, 상기 동작 신호의 전압 레벨을 변환하는 제 1 트랜지스터와, 상기 동작 신호와 상기 제 2 전원 노드로부터 공급되는 전압에 따라, 상기 동작 신호의 전압 레벨을 변환하는 제 2 트랜지스터를 갖고, 상기 동작 신호의 진폭 레벨을 전환하여 출력하는 스위치 회로와,
상기 제 1 트랜지스터와 상기 제 2 트랜지스터 사이에 접속되어, 게이트 전압이 제어되는 제 3 트랜지스터를 포함하는
반도체 기억 장치.

도면

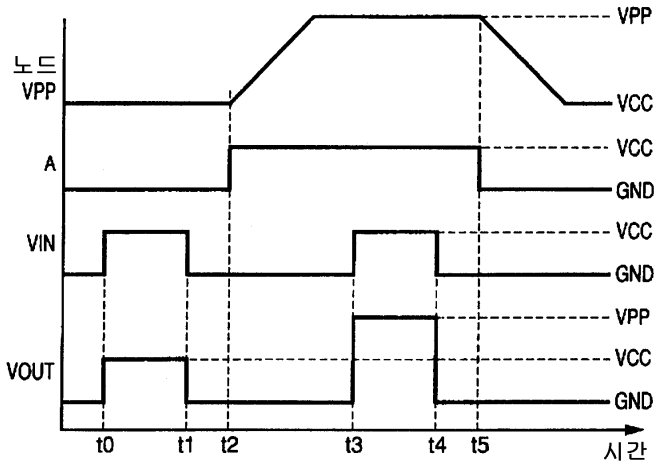
도면1



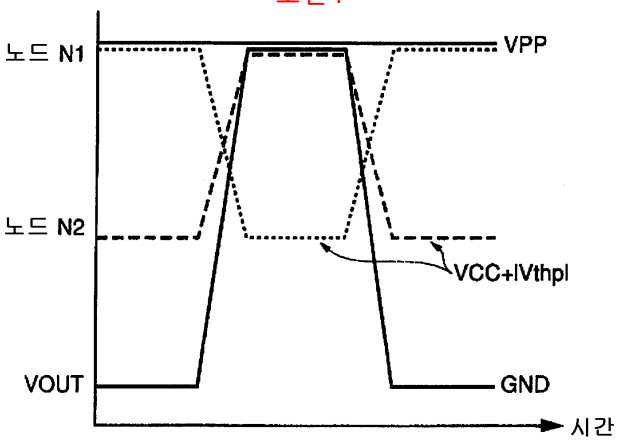
도면2


제어
CNT 신호 입력
커맨드
CM 입력
1
기입/소거 제어 회로
1000
106
VPP
고전압
발생 회로
107
VN
부 고전압
발생 회로
108
기준 전압
발생 회로
VREF
101
데이터
입출력 버퍼
데이터
입출력
105
기입 회로/
센스 앰프
103
Y 디코더
102
MR
메모리 셀
어레이
X
디코더
고전압
스위치
회로
120
웰/소스
디코더
104
100
어드레스 버퍼
어드레스
AD 입력

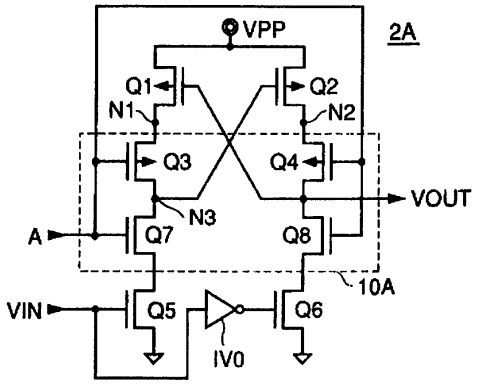
도면3


노드
VPP
VPP
VCC
A
VCC
GND
VIN
VCC
GND
VPP
VOUT
VCC
GND
t0
t1
t2
t3
t4
t5
시간

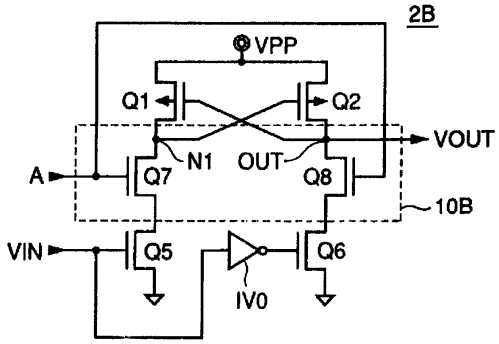
도면4



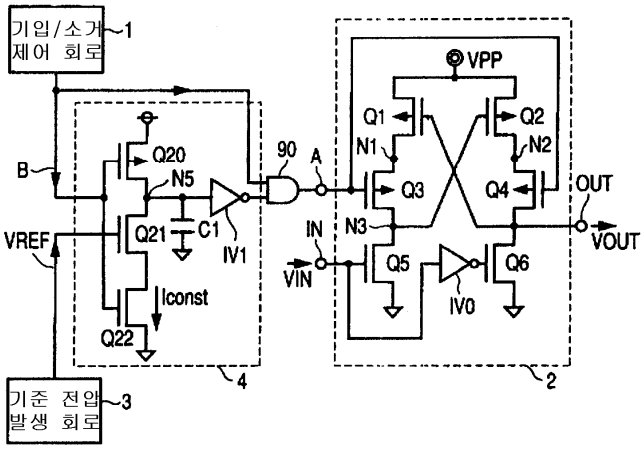

도면5



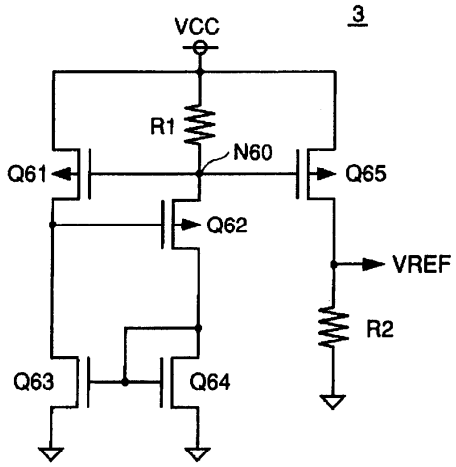

도면6



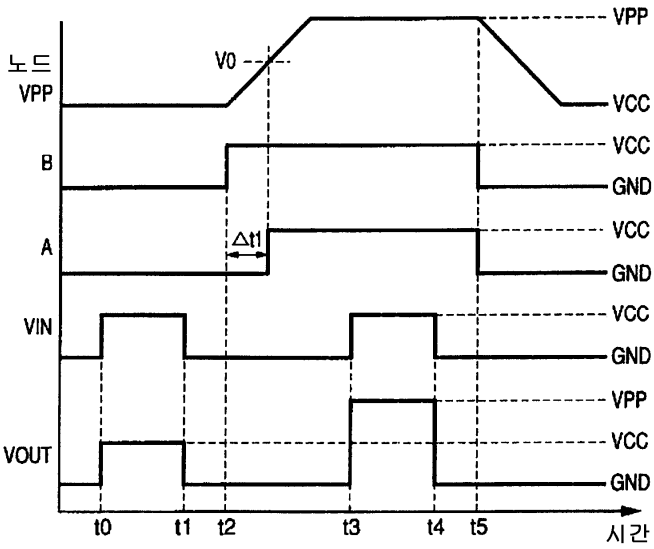

도면7



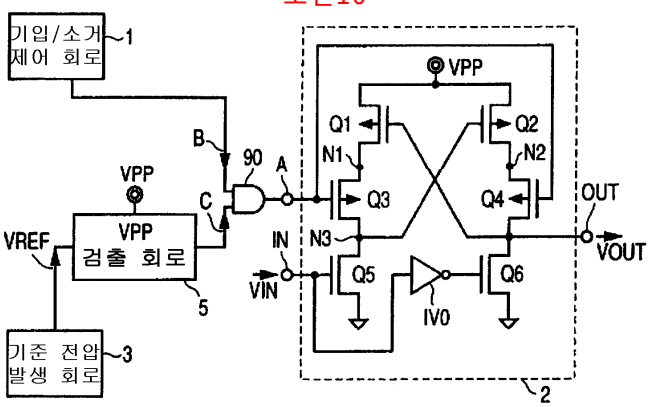
도면8


3
VCC
R1
N60
Q61
Q65
Q62
VREF
R2
Q63
Q64

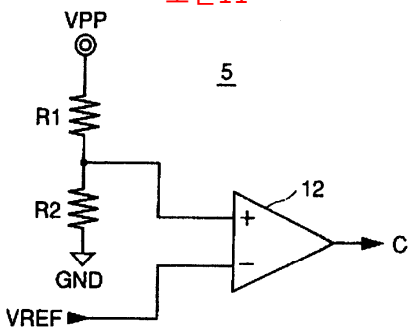
도면9


노드
VPP
V0
VPP
VCC
B
VCC
GND
A
△t1
VCC
GND
VIN
VCC
GND
VOUT
VPP
VCC
GND
t0
t1
t2
t3
t4
t5
시간

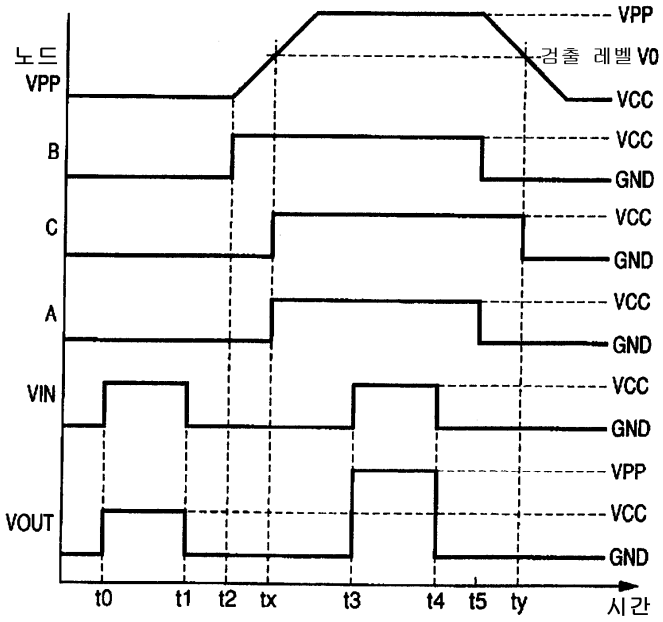
도면10


기입/소거
제어 회로
1
B
90
A
VPP
C
VREF
VPP
검출 회로
5
기준 전압
발생 회로
3
VPP
Q1
Q2
N1
N2
Q3
Q4
OUT
VOUT
IN
N3
VIN
Q5
Q6
IV0
2

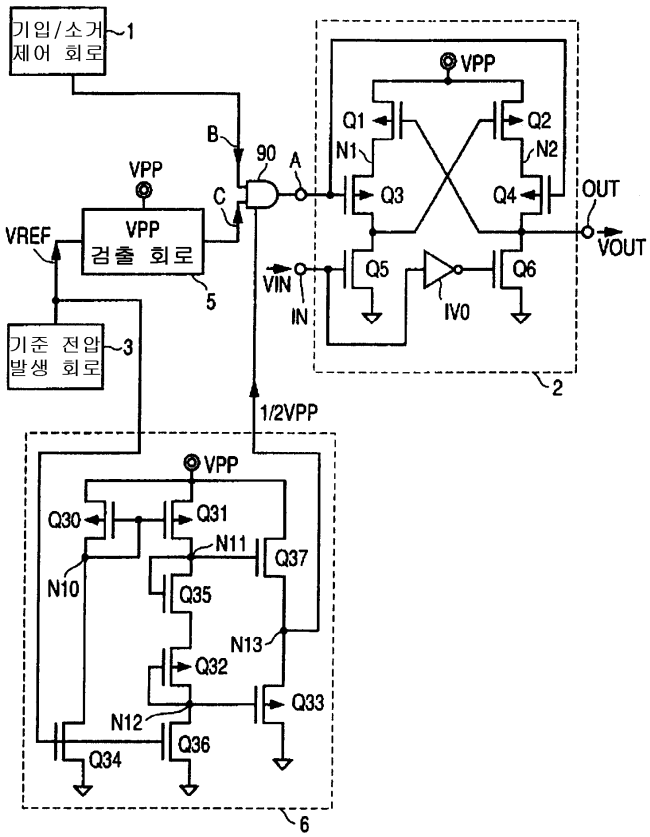
도면11



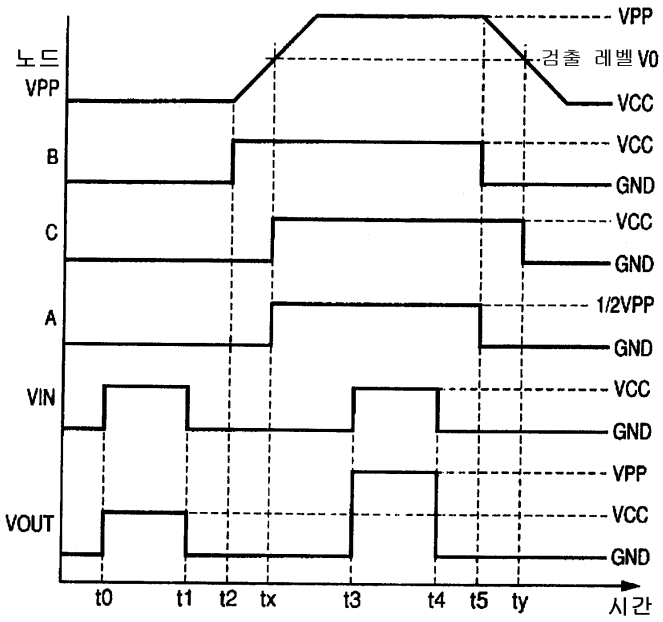

도면12



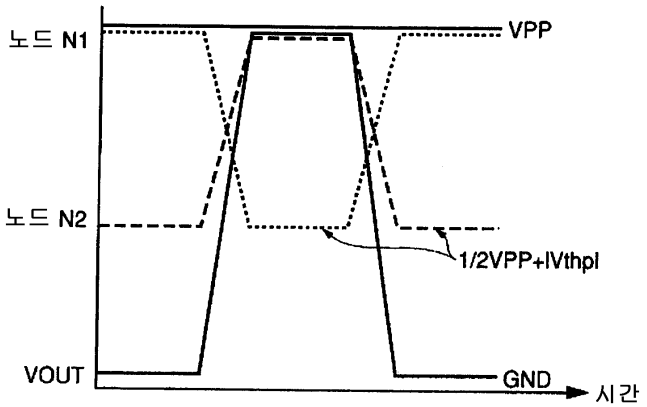

도면13



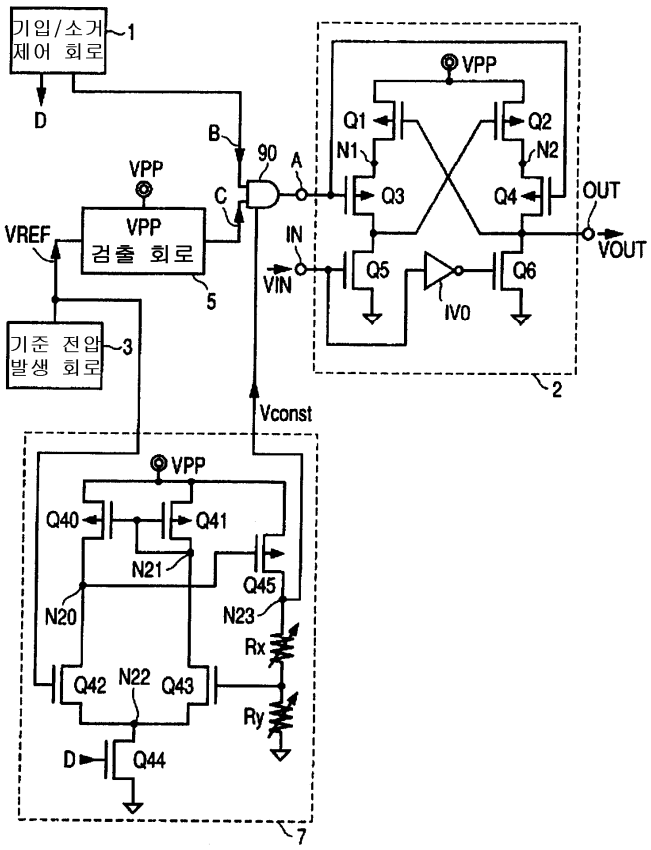
도면14


노드 VPP
B
C
A
VIN
VOUT
VPP
검출 레벨 V0
VCC
VCC
GND
VCC
GND
1/2VPP
GND
VCC
GND
VPP
VCC
GND
t0
t1
t2
tx
t3
t4
t5
ty
시간

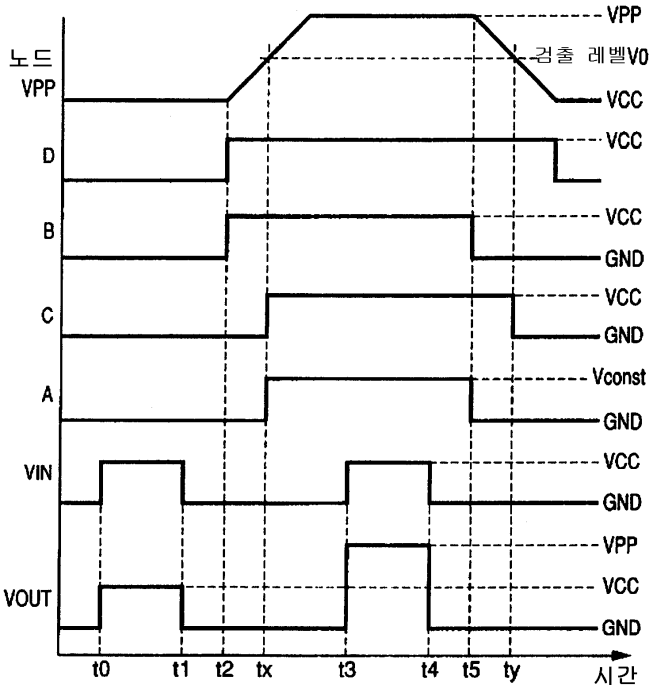
도면15


노드 N1
노드 N2
VOUT
VPP
1/2VPP+|Vthp|
GND
시간

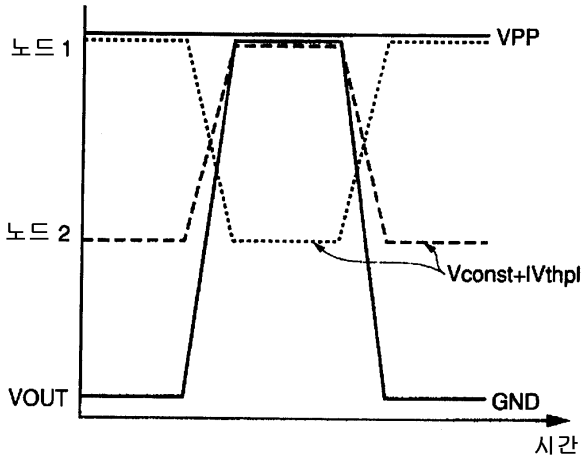
도면16


기입/소거
제어 회로
1
D
B
90
A
C
VPP
VPP
검출 회로
5
VREF
기준 전압
발생 회로
3
VPP
Q1
Q2
N1
N2
Q3
Q4
OUT
VOUT
IN
VIN
Q5
Q6
IV0
2
Vconst
VPP
Q40
Q41
N21
Q45
N20
N23
Rx
Q42
N22
Q43
Ry
D
Q44
7

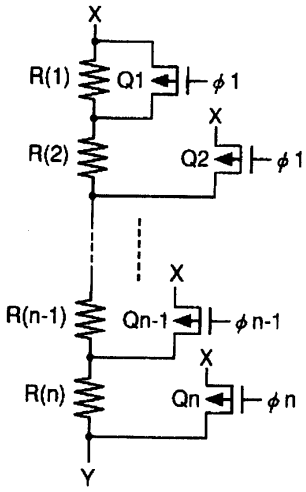
도면17


노드
VPP
D
B
C
A
VIN
VOUT
VPP
검출 레벨V0
VCC
VCC
VCC
GND
VCC
GND
Vconst
GND
VCC
GND
VPP
VCC
GND
t0
t1
t2
tx
t3
t4
t5
ty
시간

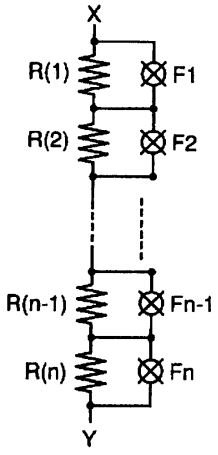
도면18



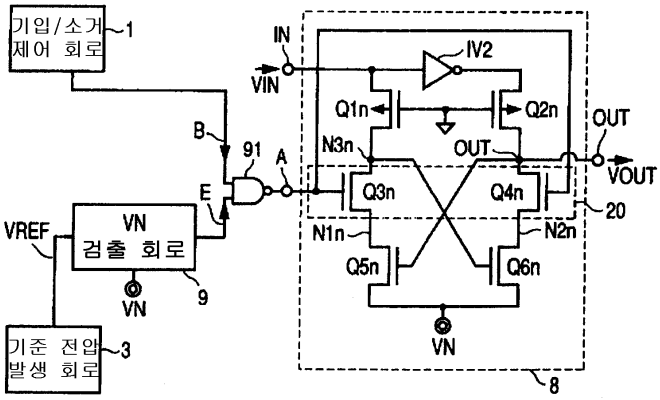

도면19



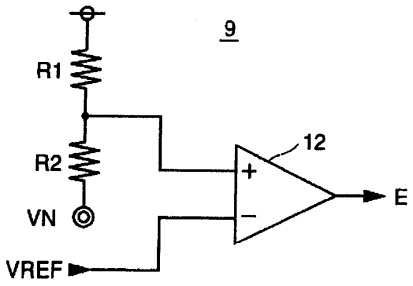

도면20



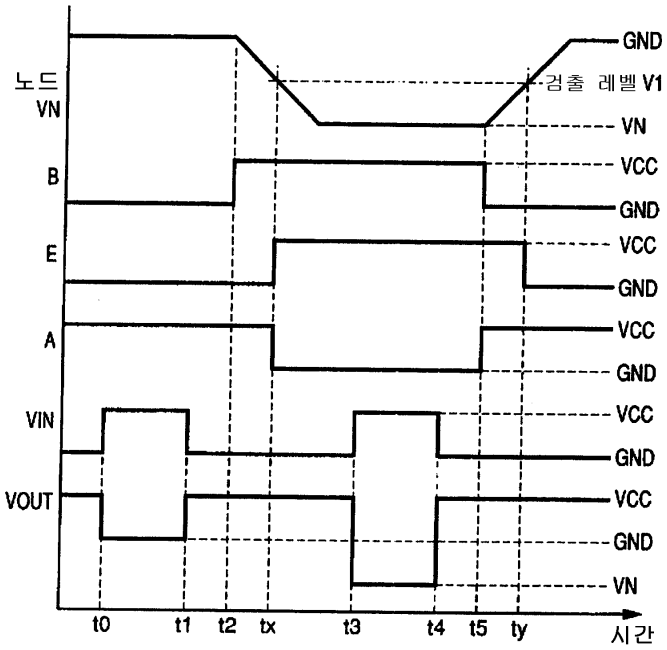
도면21



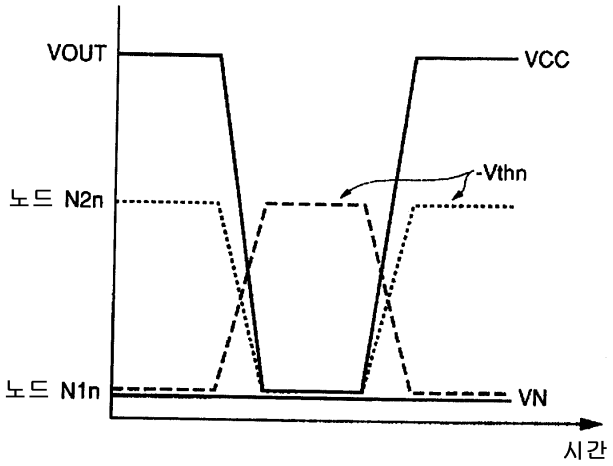

도면22



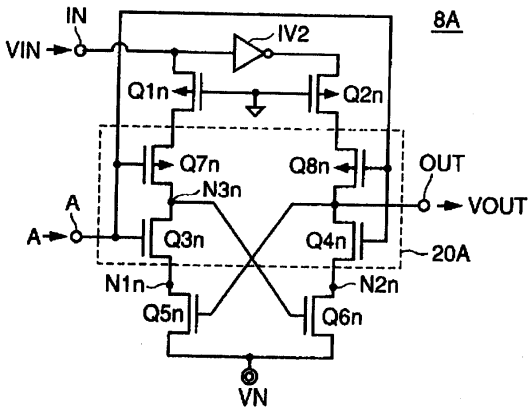

도면23



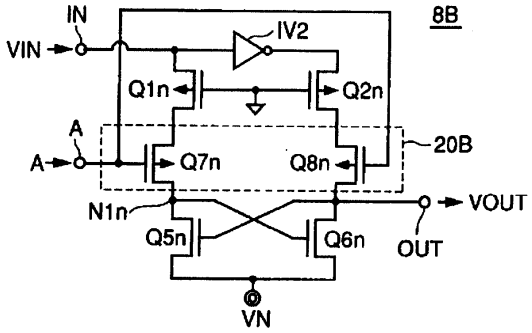
도면24



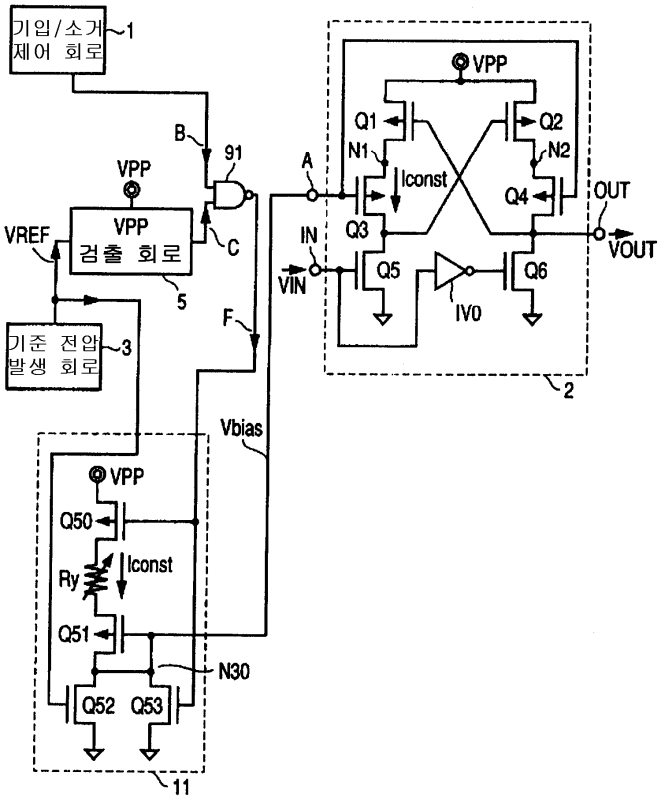

도면25



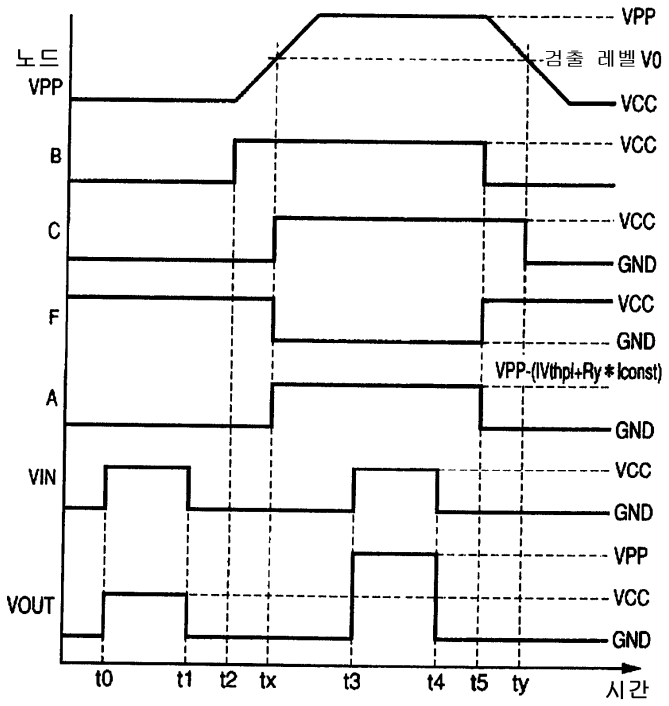

도면26



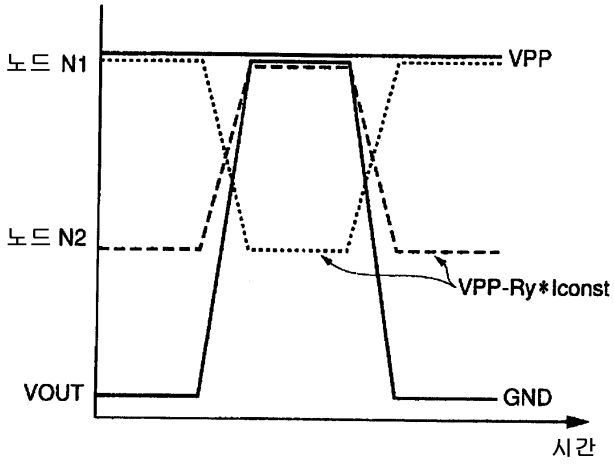
도면27


기입/소거 제어 회로
1
B
91
VPP
VREF
VPP 검출 회로
C
5
기준 전압 발생 회로
3
F
A
IN
VIN
VPP
Q1
Q2
N1
N2
Iconst
Q4
Q3
Q5
Q6
IV0
OUT
VOUT
2
Vbias
VPP
Q50
Ry
Iconst
Q51
N30
Q52
Q53
11

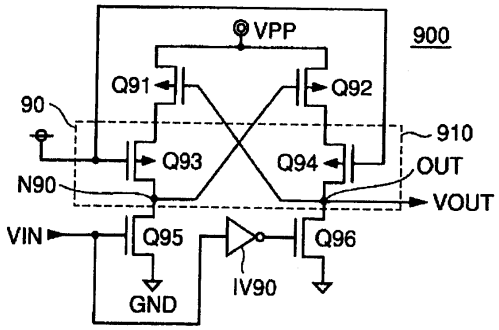
도면28


노드
VPP
B
C
F
A
VIN
VOUT
VPP
검출 레벨 V0
VCC
VCC
VCC
GND
VCC
GND
VPP-(|Vthp|+Ry*Iconst)
GND
VCC
GND
VPP
VCC
GND
t0
t1
t2
tx
t3
t4
t5
ty
시간

도면29




도면30




도면31