



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202326807 A

(43)公開日：中華民國 112 (2023) 年 07 月 01 日

(21)申請案號：111139587

(22)申請日：中華民國 111 (2022) 年 10 月 19 日

(51)Int. Cl. : H01L21/02 (2006.01)

H01L33/00 (2010.01)

H01L27/12 (2006.01)

(30)優先權：2021/10/28 日本

2021-176922

(71)申請人：日商信越半導體股份有限公司(日本) SHIN-ETSU HANDOTAI CO., LTD. (JP)
日本

(72)發明人：石崎順也 ISHIZAKI, JUNYA (JP)

(74)代理人：李世章；彭國洋

申請實體審查：無 申請專利範圍項數：11 項 圖式數：64 共 65 頁

(54)名稱

接合型半導體晶圓的製造方法

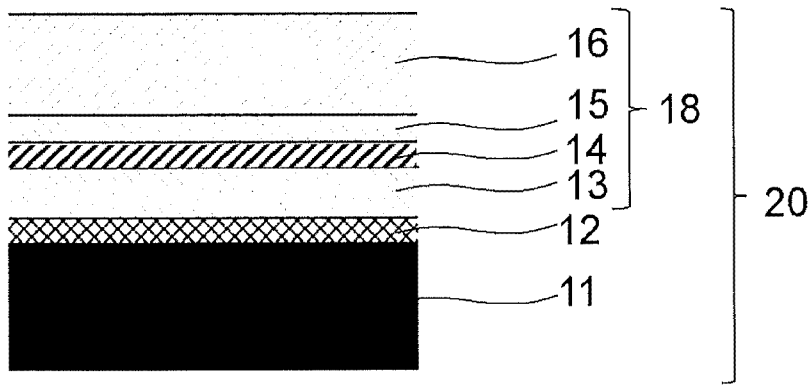
(57)摘要

本發明是一種接合型半導體晶圓的製造方法，其具有下述步驟：製作磊晶晶圓的步驟，其將犧牲層、與具有半導體功能層之磊晶層磊晶成長於起始基板上，藉此製作磊晶晶圓；形成元件分離溝的步驟，其利用選擇性蝕刻法，以使前述犧牲層露出的方式來形成元件分離溝；形成鈍化膜的步驟，其將鈍化膜形成於至少露出有前述犧牲層的表面；製作接合基板的步驟，其隔著熱硬化型接合材料，將前述磊晶層與透明的被接合基板進行接合，來製作接合基板；蝕刻並去除的步驟，其將前述接合基板的前述鈍化膜進行蝕刻並去除；及，分離步驟，其將蝕刻液供給至前述接合基板的前述元件分離溝來蝕刻前述犧牲層，藉此分離前述起始基板與前述磊晶層。藉此，可提供一種接合型半導體晶圓的製造方法，其在接合型半導體晶圓的製造方法中，能夠防止接合材料外溢至元件分離溝而阻礙犧牲層蝕刻的情況，該接合型半導體晶圓是在磊晶晶圓上形成元件分離溝並且隔著柔軟的接合材料與被接合基板進行接合者。

無

指定代表圖：

第1圖



符號簡單說明：

11:起始基板

12:犧牲層

13:第一披覆層

14:活性層

15:第二披覆層

16:窗層

18:半導體功能層

20:磊晶晶圓

【發明摘要】

【中文發明名稱】接合型半導體晶圓的製造方法

【英文發明名稱】無

【中文】本發明是一種接合型半導體晶圓的製造方法，其具有下述步驟：製作磊晶晶圓的步驟，其將犧牲層、與具有半導體功能層之磊晶層磊晶成長於起始基板上，藉此製作磊晶晶圓；形成元件分離溝的步驟，其利用選擇性蝕刻法，以使前述犧牲層露出的方式來形成元件分離溝；形成鈍化膜的步驟，其將鈍化膜形成於至少露出有前述犧牲層的表面；製作接合基板的步驟，其隔著熱硬化型接合材料，將前述磊晶層與透明的被接合基板進行接合，來製作接合基板；蝕刻並去除的步驟，其將前述接合基板的前述鈍化膜進行蝕刻並去除；及，分離步驟，其將蝕刻液供給至前述接合基板的前述元件分離溝來蝕刻前述犧牲層，藉此分離前述起始基板與前述磊晶層。藉此，可提供一種接合型半導體晶圓的製造方法，其在接合型半導體晶圓的製造方法中，能夠防止接合材料外溢至元件分離溝而阻礙犧牲層蝕刻的情況，該接合型半導體晶圓是在磊晶晶圓上形成元件分離溝並且隔著柔軟的接合材料與被接合基板進行接合者。

【英文】無

【指定代表圖】第 1 圖

【代表圖之符號簡單說明】

1 1 : 起 始 基 板

1 2 : 犧 牲 層

1 3 : 第 一 披 覆 層

1 4 : 活 性 層

1 5 : 第 二 披 覆 層

1 6 : 窗 層

1 8 : 半 導 體 功 能 層

2 0 : 磊 晶 晶 圓

【特徵化學式】

無

【發明說明書】

【中文發明名稱】接合型半導體晶圓的製造方法

【英文發明名稱】無

【技術領域】

【0001】 本發明關於一種接合型半導體晶圓的製造方法。

【先前技術】

【0002】 僅將磊晶功能層等半導體功能層由起始基板分離並移載至其他基板的技術，是一種可緩和起因於起始基板的物性的制約，並且在用以提升裝置系統的設計自由度方面至關重要的技術。

【0003】 要實現這樣的移載，需要一種將磊晶功能層接合於永久基板後去除起始基板來實現移載的技術。

【0004】 專利文獻 1 中揭示了隔著介電體層將半導體磊晶基板與暫時支撐基板進行熱壓接的技術、與利用濕式蝕刻來分離暫時支撐基板與磊晶功能層的技術。

【0005】 專利文獻 2 中揭示了一種技術，其在形成元件分離溝並露出犧牲層後，實行接合並實施犧牲層蝕刻來分離起始基板。

【0006】 但是，在該等技術中，接合材料必須是固形材料。當利用柔軟或者液狀的材料來形成接合界面時，接合

層會因為接合時的壓力而變形，並且有時會發生外溢至元件分離溝的情況。經外溢的接合材料會填補元件分離溝，其結果會造成下述問題：形成元件分離溝的目的也就是犧牲層會被接合材料包覆，而變得無法進行犧牲層蝕刻。

[先前技術文獻]

(專利文獻)

【0007】

專利文獻 1：日本特開 2021-27301 號公報。

專利文獻 2：國際公開第 WO2014/020906 號。

【發明內容】

【0008】 [發明所欲解決的問題]

本發明是有鑑於上述問題而成者，目的在於提供一種接合型半導體晶圓的製造方法，其在接合型半導體晶圓的製造方法中，能夠防止接合材料外溢至元件分離溝而阻礙犧牲層蝕刻的情況，該接合型半導體晶圓是在磊晶晶圓上形成元件分離溝並且隔著柔軟的接合材料與被接合基板進行接合者。

[解決問題的技術手段]

【0009】 本發明是為了達成上述目的而成者，提供一種接合型半導體晶圓的製造方法，其特徵在於具有下述步驟：

磊晶成長步驟，其使犧牲層磊晶成長於起始基板上；

製作磊晶晶圓的步驟，其使具有半導體功能層之磊晶層磊晶成長於前述犧牲層上，藉此製作磊晶晶圓；

形成元件分離溝的步驟，其利用選擇性蝕刻法，以在前述磊晶晶圓的部分區域處使前述犧牲層露出的方式來形成元件分離溝；

形成鈍化膜的步驟，其將鈍化膜形成於前述元件分離溝的至少露出有前述犧牲層的表面；

製作接合基板的步驟，其隔著熱硬化型接合材料，將前述磊晶晶圓的前述磊晶層與相對於可見光為透明的被接合基板進行接合，來製作接合基板；

蝕刻並去除的步驟，其將前述接合基板的前述鈍化膜進行蝕刻並去除；及，

分離步驟，其將蝕刻液供給至前述接合基板的前述元件分離溝來蝕刻前述犧牲層，藉此分離前述起始基板與前述磊晶層。

【0010】 只要是這樣的接合型半導體晶圓的製造方法，在接合時，會在元件分離溝的至少犧牲層表面形成有鈍化(P S V)膜，所以能夠防止由於接合材料外溢至元件分離溝並覆蓋犧牲層表面，而造成犧牲層蝕刻受到阻礙的情況。

【0011】 此時，較佳是：將前述被接合基板設為由藍寶石、合成石英、石英(天然石英)、玻璃、SiC、LiTaO₃、LiNbO₃中任一種材料所構成。

【0012】 這樣的被接合基板，特別能夠以提高對雷射的穿透性的方式來選擇，並且是適於本發明的接合型半導體晶圓的製造方法的被接合基板。

【0013】 此外，較佳是：將前述熱硬化型接合材料設為矽氧樹脂、環氧樹脂、苯并環丁烯、旋塗式玻璃、聚醯亞胺、氟樹脂中的一種以上的材料。

【0014】 如該等的熱硬化型接合材料，能夠適合用來作為接合型半導體晶圓的製造方法的接合材料。

【0015】 此外，較佳是：將前述熱硬化型接合材料的厚度設為 $0.01\ \mu\text{m}$ 以上且 $0.6\ \mu\text{m}$ 以下。

【0016】 只要是這樣的黏著層厚度，就不會有因過厚所造成的厚度偏差的問題，此外能夠確保要黏著時的必要且充分的厚度。

【0017】 此外，前述熱硬化型接合材料能夠設為未進行熱硬化者。

【0018】 如此，只要熱硬化型接合材料設為不進行熱硬化，當實行剝離時，能夠容易地剝離。

【0019】 此外，較佳是：將前述鈍化膜設為矽氧化膜。

【0020】 如此，只要將用於本發明的鈍化膜設為矽氧化膜，在要形成和要去除時皆能夠較為容易地實行。此外，矽氧化膜去除蝕刻藉由使用氟系溶液也能夠兼顧犧牲層蝕刻。

【0021】 此外，較佳是：將前述接合型半導體晶圓作成微型發光二極體(Micro LED)用。

【0022】 如此，本發明的接合型半導體晶圓的製造方法在製造用於Micro LED這樣尺寸小的元件時特別有利。

[發明的效果]

【0023】 只要是本發明的接合型半導體晶圓的製造方法，其在接合型半導體晶圓的製造方法中，能夠藉由鈍化膜的存在，防止接合材料外溢至元件分離溝而阻礙犧牲層蝕刻的情況，該接合型半導體晶圓是在磊晶晶圓上形成元件分離溝並且隔著柔軟的接合材料與被接合基板進行接合者。因此，能夠針對接合型半導體晶圓使元件製造的產率提升。

【圖式簡單說明】

【0024】

第1圖是顯示本發明的接合型半導體晶圓的製造方法的第一實施形態的一部分的示意剖面圖。

第2圖是顯示本發明的接合型半導體晶圓的製造方法的第一實施形態的另一部分的示意剖面圖。

第3圖是顯示本發明的接合型半導體晶圓的製造方法的第一實施形態的另一部分的示意剖面圖。

第4圖是顯示本發明的接合型半導體晶圓的製造方法的第一實施形態的另一部分的示意剖面圖。

第5圖是顯示本發明的接合型半導體晶圓的製造方法的第一實施形態的另一部分的示意剖面圖。

第6圖是顯示本發明的接合型半導體晶圓的製造方法的第一實施形態的另一部分的示意剖面圖。

第7圖是顯示本發明的接合型半導體晶圓的製造方法的第一實施形態的另一部分的示意剖面圖。

第 8 圖是顯示本發明的接合型半導體晶圓的製造方法的第一實施形態的另一部分的示意剖面圖。

第 9 圖是顯示本發明的接合型半導體晶圓的製造方法的第一實施形態的另一部分的示意剖面圖。

第 10 圖是顯示本發明的接合型半導體晶圓的製造方法的第一實施形態的另一部分的示意剖面圖。

第 11 圖是利用本發明的接合型半導體晶圓的製造方法的第一實施形態所獲得的接合型半導體晶圓的一例的示意剖面圖。

第 12 圖是顯示本發明的接合型半導體晶圓的製造方法的第二實施形態的一部分的示意剖面圖。

第 13 圖是顯示本發明的接合型半導體晶圓的製造方法的第二實施形態的另一部分的示意剖面圖。

第 14 圖是顯示本發明的接合型半導體晶圓的製造方法的第二實施形態的另一部分的示意剖面圖。

第 15 圖是顯示本發明的接合型半導體晶圓的製造方法的第二實施形態的另一部分的示意剖面圖。

第 16 圖是顯示本發明的接合型半導體晶圓的製造方法的第二實施形態的另一部分的示意剖面圖。

第 17 圖是顯示本發明的接合型半導體晶圓的製造方法的第二實施形態的另一部分的示意剖面圖。

第 18 圖是顯示本發明的接合型半導體晶圓的製造方法的第二實施形態的另一部分的示意剖面圖。

第 19 圖是顯示本發明的接合型半導體晶圓的製造方法的第二實施形態的另一部分的示意剖面圖。

第 20 圖是顯示本發明的接合型半導體晶圓的製造方法的第二實施形態的另一部分的示意剖面圖。

第 21 圖是顯示本發明的接合型半導體晶圓的製造方法的第二實施形態的另一部分的示意剖面圖。

第 22 圖是顯示本發明的接合型半導體晶圓的製造方法的第二實施形態的另一部分的示意剖面圖。

第 23 圖是顯示本發明的接合型半導體晶圓的製造方法的第二實施形態的另一部分的示意剖面圖。

第 24 圖是顯示本發明的接合型半導體晶圓的製造方法的第二實施形態的另一部分的示意剖面圖。

第 25 圖是利用本發明的接合型半導體晶圓的製造方法的第二實施形態所獲得的接合型半導體晶圓的一例的示意剖面圖。

第 26 圖是顯示本發明的接合型半導體晶圓的製造方法的第三實施形態的一部分的示意剖面圖。

第 27 圖是顯示本發明的接合型半導體晶圓的製造方法的第三實施形態的另一部分的示意剖面圖。

第 28 圖是顯示本發明的接合型半導體晶圓的製造方法的第三實施形態的另一部分的示意剖面圖。

第 29 圖是顯示本發明的接合型半導體晶圓的製造方法的第三實施形態的另一部分的示意剖面圖。

第 30 圖是顯示本發明的接合型半導體晶圓的製造方法的第三實施形態的另一部分的示意剖面圖。

第 31 圖是顯示本發明的接合型半導體晶圓的製造方法的第三實施形態的另一部分的示意剖面圖。

第 32 圖是顯示本發明的接合型半導體晶圓的製造方法的第三實施形態的另一部分的示意剖面圖。

第 33 圖是顯示本發明的接合型半導體晶圓的製造方法的第三實施形態的另一部分的示意剖面圖。

第 34 圖是顯示本發明的接合型半導體晶圓的製造方法的第三實施形態的另一部分的示意剖面圖。

第 35 圖是顯示本發明的接合型半導體晶圓的製造方法的第三實施形態的另一部分的示意剖面圖。

第 36 圖是顯示本發明的接合型半導體晶圓的製造方法的第三實施形態的另一部分的示意剖面圖。

第 37 圖是顯示本發明的接合型半導體晶圓的製造方法的第三實施形態的另一部分的示意剖面圖。

第 38 圖是利用本發明的接合型半導體晶圓的製造方法的第三實施形態所獲得的接合型半導體晶圓的一例的示意剖面圖。

第 39 圖是顯示本發明的接合型半導體晶圓的製造方法的第四實施形態的一部分的示意剖面圖。

第 40 圖是顯示本發明的接合型半導體晶圓的製造方法的第四實施形態的另一部分的示意剖面圖。

第 41 圖是顯示本發明的接合型半導體晶圓的製造方法的第四實施形態的另一部分的示意剖面圖。

第 42 圖是顯示本發明的接合型半導體晶圓的製造方法的第四實施形態的另一部分的示意剖面圖。

第 43 圖是顯示本發明的接合型半導體晶圓的製造方法的第四實施形態的另一部分的示意剖面圖。

第 44 圖是顯示本發明的接合型半導體晶圓的製造方法的第四實施形態的另一部分的示意剖面圖。

第 45 圖是顯示本發明的接合型半導體晶圓的製造方法的第四實施形態的另一部分的示意剖面圖。

第 46 圖是顯示本發明的接合型半導體晶圓的製造方法的第四實施形態的另一部分的示意剖面圖。

第 47 圖是顯示本發明的接合型半導體晶圓的製造方法的第四實施形態的另一部分的示意剖面圖。

第 48 圖是顯示本發明的接合型半導體晶圓的製造方法的第四實施形態的另一部分的示意剖面圖。

第 49 圖是顯示本發明的接合型半導體晶圓的製造方法的第四實施形態的另一部分的示意剖面圖。

第 50 圖是顯示本發明的接合型半導體晶圓的製造方法的第四實施形態的另一部分的示意剖面圖。

第 51 圖是顯示本發明的接合型半導體晶圓的製造方法的第四實施形態的另一部分的示意剖面圖。

第 5 2 圖是利用本發明的接合型半導體晶圓的製造方法的第四實施形態所獲得的接合型半導體晶圓的一例的示意剖面圖。

第 5 3 圖是顯示比較例的接合型半導體晶圓的製造方法的一部分的示意剖面圖。

第 5 4 圖是顯示比較例的接合型半導體晶圓的製造方法的另一部分的示意剖面圖。

第 5 5 圖是顯示比較例的接合型半導體晶圓的製造方法的另一部分的示意剖面圖。

第 5 6 圖是顯示比較例的接合型半導體晶圓的製造方法的另一部分的示意剖面圖。

第 5 7 圖是顯示比較例的接合型半導體晶圓的製造方法的另一部分的示意剖面圖。

第 5 8 圖是顯示比較例的接合型半導體晶圓的製造方法的另一部分的示意剖面圖。

第 5 9 圖是顯示比較例的接合型半導體晶圓的製造方法的另一部分的示意剖面圖。

第 6 0 圖是顯示比較例的接合型半導體晶圓的製造方法的另一部分的示意剖面圖。

第 6 1 圖是顯示比較例的接合型半導體晶圓的製造方法的另一部分的示意剖面圖。

第 6 2 圖是顯示比較例的接合型半導體晶圓的製造方法的另一部分的示意剖面圖。

第 63 圖是顯示比較例的接合型半導體晶圓的製造方法所獲得的接合型半導體晶圓的一例的示意剖面圖。

第 64 圖是表示了實施例 1 ~ 4 及比較例的產率的圖表。

【實施方式】

【0025】 以下，詳細地說明本發明，但是本發明不限於此。

【0026】 本發明是一種接合型半導體晶圓的製造方法，其特徵在於具有下述步驟：磊晶成長步驟，其使犧牲層磊晶成長於起始基板上；製作磊晶晶圓的步驟，其使具有半導體功能層之磊晶層磊晶成長於前述犧牲層上，藉此製作磊晶晶圓；形成元件分離溝的步驟，其利用選擇性蝕刻法，以在前述磊晶晶圓的部分區域處使前述犧牲層露出的方式來形成元件分離溝；形成鈍化膜的步驟，其將鈍化膜形成於前述元件分離溝的至少露出有前述犧牲層的表面；製作接合基板的步驟，其隔著熱硬化型接合材料，將前述磊晶晶圓的前述磊晶層與相對於可見光為透明的被接合基板進行接合，來製作接合基板；蝕刻並去除的步驟，其將前述接合基板的前述鈍化膜進行蝕刻並去除；及，分離步驟，其將蝕刻液供給至前述接合基板的前述元件分離溝來蝕刻前述犧牲層，藉此分離前述起始基板與前述磊晶層。

【0027】 以下，例示第一實施形態 ~ 第四實施形態來說明本發明的態樣。各別的實施形態中類似的構成要素在圖式

中賦予相同的符號來進行說明。此外，重複的說明會部分地省略。

【0028】 [第一實施形態]

說明第一實施形態。首先，如第1圖所示，在起始基板11上依序地實行磊晶成長來形成各層，製作磊晶晶圓20。藉此製作具有犧牲層12和半導體功能層18之磊晶層。更具體而言，如以下的操作來實行各層的磊晶成長。

【0029】 如第1圖所示，在第一導電型的例如由GaAs所構成之起始基板11上，使犧牲層12進行磊晶成長。犧牲層12，例如能夠藉由下述方式形成：將第一導電型的GaAs緩衝層積層後，使第一導電型的GaInP第一蝕刻停止(etch stop)層、第一導電型的GaAs第二蝕刻停止層成長。進一步，在犧牲層12上，例如依序使第一導電型的AlGaInP第一披覆層13、未摻雜的AlGaInP活性層14、第二導電型的AlGaInP第二披覆層15、第二導電型的GaInP中間層(未圖示)及第二導電型的GaP窗層(Window layer)16成長，來準備具有發光元件結構作為半導體功能層(磊晶功能層)18之磊晶晶圓20。在此處，由第一披覆層13起到第二披覆層15為止稱為雙層異質(DH, double hetero)結構部(第1圖)。再者，半導體功能層(磊晶功能層)18的材料不限於此。半導體功能層18能夠如上述那樣設為具有發光元件結構者，此時，特別能夠適合地適用本發明的接合型半導體晶圓的製造方法。

【0030】 繼而，如第2圖所示，利用選擇性蝕刻法，以在磊晶晶圓20的部分區域處使犧牲層12露出的方式來形成元件分離溝21。更具體而言，利用光微影法形成光罩，並自GaP窗層16起至至少第一披覆層13為止地進行蝕刻(選擇性蝕刻)，來實施形成元件分離溝21的元件分離步驟(第2圖)。

【0031】 再者，第2圖中圖示了犧牲層12露出(露出部12a)並且未經蝕刻的狀態，但是不限於此狀態。例如，可以是犧牲層12以遍及元件分離圖案的方式受到蝕刻，也可以是蝕刻溝的深度到達起始基板11。即便在這樣的狀態下，犧牲層12仍會作為元件分離圖案的側面的一部分露出。此時仍能夠適用本發明。

【0032】 繼而，如第3圖所示，將鈍化膜22形成於元件分離溝21的至少露出有犧牲層12的表面(露出部12a)。更具體而言，如第3圖所示，能夠在構成品圓的最表面的表面(第3圖中為窗層16的表面)及元件分離溝21的內部形成SiO₂(矽氧化膜)等鈍化(P5V)膜22(第3圖)。

【0033】 繼而，如第4圖所示，製作P5V圖案基板，其是將元件分離溝21的內部以外的區域的鈍化膜22去除而成(第4圖)。

【0034】 藉由如此地將鈍化膜22形成於元件分離溝21，能夠防止後述那樣的情況：在隔著接合材料將被接合基板(被接合晶圓)進行接合時，接合材料外溢至元件分離溝21，造成溝受到接合材料封鎖而犧牲層蝕刻受到阻礙。

【0035】 繼而，如第5圖、第6圖所示，隔著熱硬化型接合材料24，將磊晶晶圓20的具有半導體功能層18之磊晶層與相對於可見光為透明的被接合基板31進行接合，來製作接合基板30。更具體而言，首先，如第5圖所示，在磊晶晶圓上將作為熱硬化型接合材料的例如苯并環丁烯(BCB)進行旋塗(第5圖)。繼而，如第6圖所示，使其以與被接合基板31即例如藍寶石晶圓相對向的方式進行重疊，並藉由進行熱壓接來製作接合基板(磊晶接合基板)30，其是磊晶晶圓20與藍寶石晶圓31以隔著熱硬化型接合材料24(BCB)的方式接合而成者(第6圖)。當利用旋塗來塗佈熱硬化型接合材料(BCB)時，設計膜厚較佳是設為 $0.01\ \mu\text{m}$ 以上且 $0.6\ \mu\text{m}$ 以下。此外，熱硬化型接合材料24也能夠設為未經過熱硬化。只要不使熱硬化型接合材料24進行熱硬化，在實行剝離時能夠容易地剝離。

【0036】 再者，被接合基板31不限於藍寶石，只要是平坦性受到保證且準分子雷射光的吸收率低的材料，即能夠選擇任一種。除了藍寶石以外，能夠選擇合成石英、石英(天然石英)、玻璃、SiC、LiTaO₃、LiNbO₃。

【0037】 此外，作為熱硬化型接合材料24不限於BCB，只要是具有熱硬化性者，即能夠選擇任一種材料。除了BCB以外，也可以使用矽氧樹脂、環氧樹脂、旋塗式玻璃(spin-on-glass, SOG)、聚醯亞胺(Polyimide，

PI)、氟樹脂等。作為氟樹脂，能夠使用CYTOP(註冊商標)等非晶質氟系樹脂。

【0038】 繼而，如第7圖所示，將接合基板30的鈍化膜22進行蝕刻並去除。更具體而言，例如能夠利用氟系溶液來蝕刻鈍化膜22(第7圖)。在第7圖的示例中，可自相對於紙面呈接近垂直的方向來供給蝕刻液。藉由該蝕刻，可去除鈍化膜22而使元件分離溝21出現。

【0039】 繼而，如第8圖所示，將蝕刻液供給至接合基板30的元件分離溝21來蝕刻犧牲層12，藉此分離起始基板11與磊晶層(具有半導體功能層18)。更具體而言，藉由利用氟系溶液來蝕刻犧牲層12，能夠將起始基板11進行剝離(第8圖)。再者，如第7圖、第8圖所示，雖然將鈍化膜去除步驟與犧牲層蝕刻步驟當作分別的步驟來記載，但是藉由針對鈍化膜22和犧牲層12皆選擇可利用氟系溶液來選擇性地蝕刻的材料，能夠設為實際上為一連串的步驟來實行。作為鈍化膜22，可利用氟系溶液來選擇性地蝕刻的材料例如是如上述的 SiO_2 。作為犧牲層12，可利用氟系溶液來選擇性地蝕刻的材料例如是如上述的GaInP和GaAs。

【0040】 如以上地操作，能夠製造接合型半導體晶圓35。顯示於第8圖的接合型半導體晶圓35，能夠設為Micro LED用。此外，如以下所示，能夠繼而形成各元件的電極等。

【0041】 首先，如第9圖所示，利用光微影法使第二披覆層15的一部分露出(第9圖)。

【0042】 繼而，如第10圖所示，在表面形成 SiO_2 等的鈍化(P S V)膜42，來製作P S V圖案膜，其是以包覆元件分離溝21的端部、已露出的活性層14的側面，並且使第一披覆層13及第二披覆層15的一部分露出的方式加工而成(第10圖)。

【0043】 繼而，如第11圖所示，在鈍化膜42的露出部形成電極44，並施加熱處理來實行歐姆接觸(第11圖)。

【0044】 [第二實施形態]

繼而，說明本發明的第二實施形態。首先，與第一實施形態同樣地，在起始基板11上依序地實行磊晶成長來形成各層，製作磊晶晶圓20，該磊晶晶圓20具有犧牲層12、和具有半導體功能層18之磊晶層。更具體而言，能夠如以下地操作來實行各層的磊晶成長。

【0045】 首先，如第12圖所示，在第一導電型的例如由GaAs所構成之起始基板11上，使犧牲層12進行磊晶成長。犧牲層12，例如能夠藉由下述方式形成：將第一導電型的GaAs緩衝層積層後，使第一導電型的GaInP第一蝕刻停止層、第一導電型的GaAs第二蝕刻停止層成長。進一步，在犧牲層12上，例如依序使第一導電型的AlGaInP第一披覆層13、未摻雜的AlGaInP活性層14、第二導電型的AlGaInP第二披覆層15、第二導電型的GaInP中間層(未圖示)及第二導電型的GaP窗層16成

長，來準備具有發光元件結構作為半導體功能層(磊晶功能層)18之磊晶晶圓20。在此處，由第一披覆層13起到第二披覆層15為止稱為雙層異質(DH)結構部(第12圖)。再者，半導體功能層(磊晶功能層)18的材料不限於此。半導體功能層18能夠如上述那樣設為具有發光元件結構者。

【0046】 繼而，如第13圖所示，利用選擇性蝕刻法，以在磊晶晶圓20的部分區域處使犧牲層12露出的方式來形成元件分離溝21。更具體而言，利用光微影法形成光罩，並自GaP窗層16起至至少第一披覆層13為止地進行蝕刻(選擇性蝕刻)，來實施形成元件分離溝21的元件分離步驟(第13圖)。藉此，犧牲層12會露出(露出部12a)

【0047】 繼而，如第14圖所示，在磊晶晶圓20上將作為熱硬化型接合材料的例如苯并環丁烯(BCB)進行旋塗(第14圖)，施加250℃且1小時的熱來使BCB膜硬化(在圖中，將經硬化的熱硬化型接合材料標示為硬化接合材料25)。

【0048】 繼而，如第15圖所示，藉由光微影法，去除元件分離溝21的一部分的硬化接合材料(硬化BCB部)25而形成開口部26，來使犧牲層12的露出部12a露出(第15圖)。

【0049】 繼而，如第16圖所示，在表面形成SiO₂等的鈍化(PSV)膜22(第16圖)，並且如第17圖所示，製作PSV

圖案基板，其是已去除元件分離溝 21 以外的區域的鈍化膜 22 者(第 17 圖)。

【0050】 繼而，如第 18 圖所示，在磊晶晶圓上將作為熱硬化型接合材料 24 的例如苯并環丁烯 (BCB) 進行旋塗(第 18 圖)。

【0051】 繼而，如第 19 圖所示，使其以與被接合基板 31 即例如藍寶石晶圓相對向的方式進行重疊，並藉由進行熱壓接來製作接合基板(磊晶接合基板)50，其是磊晶晶圓 20 與藍寶石晶圓 31 以隔著熱硬化型接合材料 24 (BCB) 的方式接合而成者(第 19 圖)。當利用旋塗來塗佈熱硬化型接合材料 (BCB) 時，設計膜厚較佳是設為 $0.01 \mu\text{m}$ 以上且 $0.6 \mu\text{m}$ 以下。

【0052】 再者，被接合基板 31 不限於藍寶石，只要是平坦性受到保證且準分子雷射光的吸收率低的材料，即能夠選擇任一種。除了藍寶石以外，能夠選擇合成石英、石英(天然石英)、玻璃、SiC、LiTaO₃、LiNbO₃。

【0053】 此外，熱硬化型接合材料 24 不限於 BCB，只要是具有熱硬化性者，即能夠選擇任一種材料。除了 BCB 以外，也可以使用矽氧樹脂、環氧樹脂、旋塗式玻璃 (spin-on-glass, SOG)、聚醯亞胺 (Polyimide, PI)、氟樹脂等。

【0054】 繼而，如第 20 圖所示，將接合基板 50 的鈍化膜 22 進行蝕刻並去除。更具體而言，例如能夠利用氟系溶液來蝕刻鈍化膜 22 (第 20 圖)。在第 20 圖的示例中，自相

對於紙面呈接近垂直的方向來供給蝕刻液。藉由該蝕刻，可去除鈍化膜 2 2 而使出元件分離溝 2 1 出現。

【0055】 繼而，如第 2 1 圖所示，將蝕刻液供給至接合基板 5 0 的元件分離溝 2 1 來蝕刻犧牲層 1 2，藉此分離起始基板 1 1 與磊晶層(具有半導體功能層 1 8)。更具體而言，如第 2 1 圖所示，藉由利用氟系溶液來蝕刻犧牲層 1 2，能夠將起始基板 1 1 進行剝離(第 2 1 圖)。再者，如第 2 1 圖、第 2 2 圖所示，雖然將鈍化膜去除步驟與犧牲層蝕刻步驟當作分別的步驟來記載，但是藉由針對鈍化膜 2 2 和犧牲層 1 2 皆選擇可利用氟系溶液來選擇性地蝕刻的材料，能夠設為實際上為一連串的步驟來實行。

【0056】 如以上地操作，能夠製造接合型半導體晶圓 5 5。顯示於第 2 1 圖的接合型半導體晶圓 5 5，能夠設為 Micro LED 用。此外，如以下所示，能夠繼而形成各元件的電極等。

【0057】 首先，如第 2 2 圖所示，利用光微影法使第二披覆層 1 5 的一部分露出(第 2 2 圖)。然後，如第 2 3 圖所示，利用掘除(lift off)法等物理性地去除成為尖刺狀的硬化接合材料 2 5 (BCB 硬化部)(第 2 3 圖)。在此處，能夠藉由以 5 kgf/cm^2 左右的壓力的液流去除尖刺狀的硬化接合材料 2 5 (BCB 硬化部)，但是不限於該方法，也可以使用灰化法和 RIE (反應性離子蝕刻)法。灰化法和 RIE 法中會等向性地侵蝕硬化接合材料 2 5，但是成為尖刺狀的 BCB 硬化部的侵蝕速度會快於膜狀的 BCB 硬化部之處，

因此只要調整好時間條件，就能夠僅去除尖刺狀的BCB硬化部。

【0058】 繼而，第24圖所示，在表面形成SiO₂等的鈍化(P S V)膜42，來製作P S V圖案膜，其是以包覆已露出的活性層14的側面，並且使第一披覆層13及第二披覆層15的一部分露出的方式進行加工(第24圖)。

【0059】 繼而，如第25圖所示，在鈍化膜42的露出部形成電極44，並施加熱處理來實行歐姆接觸(第25圖)。

【0060】 [第三實施形態]

繼而，說明本發明的第三實施形態。首先，與第一、第二實施形態同樣地，在起始基板11上依序地實行磊晶成長來形成各層，製作磊晶晶圓20，該磊晶晶圓20具有犧牲層12、和具有半導體功能層18之磊晶層。更具體而言，能夠如以下地操作來實行各層的磊晶成長。

【0061】 首先，如第26圖所示，在第一導電型的例如由GaAs所構成之起始基板11上，使犧牲層12進行磊晶成長。犧牲層12，例如能夠藉由下述方式形成：將第一導電型的GaAs緩衝層積層後，使第一導電型的GaInP第一蝕刻停止層、第一導電型的GaAs第二蝕刻停止層成長。進一步，在犧牲層12上，例如依序使第一導電型的AlGaInP第一披覆層13、未摻雜的AlGaInP活性層14、第二導電型的AlGaInP第二披覆層15、第二導電型的GaInP中間層(未圖示)及第二導電型的GaP窗層16成長，來準備具有發光元件結構作為半導體功能層(磊晶功

能層) 18 之磊晶晶圓 20。在此處，由第一披覆層 13 起到第二披覆層 15 為止稱為雙層異質 (DH) 結構部 (第 26 圖)。再者，半導體功能層 (磊晶功能層) 18 的材料不限於此。半導體功能層 18 能夠如上述那樣地設為具有發光元件結構者。

【0062】 繼而，如第 27 圖所示，利用選擇性蝕刻法，以在磊晶晶圓 20 的部分區域處使犧牲層 12 露出的方式來形成元件分離溝 21。更具體而言，利用光微影法形成光罩，並自 GaP 窗層 16 起至至少第一披覆層 13 為止地進行蝕刻 (選擇性蝕刻)，來實施形成元件分離溝 21 的元件分離步驟 (第 27 圖)。藉此，犧牲層 12 會露出 (露出部 12a)。

【0063】 繼而，如第 28 圖所示，在磊晶晶圓 20 上將作為熱硬化型接合構件的例如苯并環丁烯 (BCB) 進行旋塗 (第 28 圖)，施加 250℃ 且 1 小時的熱來使 BCB 膜硬化 (在圖中，將經硬化的熱硬化型接合材料標示為硬化接合材料 25)。再者，作為一般性的傾向，當元件分離溝 21 的寬度和深度等的長寬比大於 0.1 (較深) 時，BCB 不會到達元件分離溝的底部，而元件分離溝 21 的底部會呈現 DH 結構部的一部分和犧牲層 12 露出的狀態。

【0064】 繼而，如第 29 圖所示，藉由光微影法，去除元件分離溝 21 的一部分的硬化接合材料 25 (硬化 BCB 部) 而形成開口部 26，來使犧牲層 12 露出 (第 29 圖)。

【0065】 繼而，如第 30 圖所示，在表面形成 SiO₂ 等的鈍化 (PSV) 膜 22 (第 30 圖)，並且如第 31 圖所示，製作 PSV

圖案基板，其是已去除元件分離溝 21 以外的區域的鈍化膜 22 者 (第 31 圖)。

【0066】 繼而，如第 32 圖所示，在磊晶晶圓 20 上將作為熱硬化型接合材料 24 的例如苯并環丁烯 (BCB) 進行旋塗 (第 32 圖)，然後如第 33 圖所示，使其以與被接合基板 31 即例如藍寶石晶圓相對向的方式進行重疊，並藉由進行熱壓接來製作接合基板 (磊晶接合基板) 60，其是磊晶晶圓 20 與藍寶石晶圓 31 以隔著熱硬化型接合材料 (BCB) 的方式接合而成者。當利用旋塗來塗佈熱硬化型接合材料 (BCB) 時，設計膜厚較佳是設為 $0.01 \mu\text{m}$ 以上且 $0.6 \mu\text{m}$ 以下 (第 33 圖)。

【0067】 再者，被接合基板 31 不限於藍寶石，只要是平坦性受到保證且準分子雷射光的吸收率低的材料，即能夠選擇任一種。除了藍寶石以外，能夠選擇合成石英、石英 (天然石英)、玻璃、SiC、LiTaO₃、LiNbO₃。

【0068】 此外，作為熱硬化型接合材料 24 不限於 BCB，只要是具有熱硬化性者，即能夠選擇任一種材料。除了 BCB 以外，也可以使用矽氧樹脂、環氧樹脂、旋塗式玻璃 (spin-on-glass, SOG)、聚醯亞胺 (Polyimide, PI)、氟樹脂等。

【0069】 繼而，如第 34 圖所示，將接合基板 60 的鈍化膜 22 進行蝕刻並去除。更具體而言，例如能夠利用氟系溶液來蝕刻鈍化膜 22 (第 34 圖)。在第 34 圖的示例中，自相

對於紙面呈接近垂直的方向來供給蝕刻液。藉由該蝕刻，可去除鈍化膜 2 2 而使出元件分離溝 2 1 出現。

【0070】 繼而，如第 3 5 圖所示，將蝕刻液供給至接合基板 6 0 的元件分離溝 2 1 來蝕刻犧牲層 1 2，藉此分離起始基板 1 1 與磊晶層（具有半導體功能層 1 8）。更具體而言，如第 3 5 圖所示，藉由利用氟系溶液來蝕刻犧牲層 1 2，能夠將起始基板 1 1 進行剝離（第 3 5 圖）。再者，如第 3 4 圖、第 3 5 圖所示，雖然將鈍化膜去除步驟與犧牲層蝕刻步驟當作分別的步驟來記載，但是藉由針對鈍化膜 2 2 和犧牲層 1 2 皆選擇可利用氟系溶液來選擇性地蝕刻的材料，能夠設為實際上為一連串的步驟來實行。

【0071】 如以上地操作，能夠製造接合型半導體晶圓 6 5。顯示於第 3 5 圖的接合型半導體晶圓 6 5，能夠設為 Micro LED 用。此外，如以下所示，能夠繼而形成各元件的電極等。

【0072】 首先，如第 3 6 圖所示，利用光微影法使第二披覆層 1 5 的一部分露出（第 3 6 圖）

【0073】 繼而，第 3 7 圖所示，在表面形成 SiO_2 等的鈍化（PSV）膜 4 2，來製作 PSV 圖案膜，其是以包覆元件分離溝 2 1 的端部、已露出的活性層 1 4 的側面，並且使第一披覆層 1 3 及第二披覆層 1 5 的一部分露出的方式進行加工（第 3 7 圖）。

【0074】 繼而，如第 3 8 圖所示，在鈍化膜 4 2 的露出部形成電極 4 4，並施加熱處理來實行歐姆接觸（第 3 8 圖）。

【0075】 [第四實施形態]

繼而，說明本發明的第四實施形態。首先，與第一～第三實施形態同樣地，在起始基板11上依序地實行磊晶成長來形成各層，製作磊晶晶圓20，該磊晶晶圓20具有犧牲層12、和具有半導體功能層18之磊晶層。更具體而言，能夠如以下地操作來實行各層的磊晶成長。

【0076】 首先，如第39圖所示，在第一導電型的例如由GaAs所構成之起始基板11上，使犧牲層12進行磊晶成長。犧牲層12，例如能夠藉由下述方式形成：將第一導電型的GaAs緩衝層積層後，使第一導電型的GaInP第一蝕刻停止層、第一導電型的GaAs第二蝕刻停止層成長。進一步，在犧牲層12上，例如依序使第一導電型的AlGaInP第一披覆層13、未摻雜的AlGaInP活性層14、第二導電型的AlGaInP第二披覆層15、第二導電型的GaInP中間層(未圖示)及第二導電型的GaP窗層16成長，來準備具有發光元件結構作為半導體功能層(磊晶功能層)18之磊晶晶圓20。在此處，由第一披覆層13起到第二披覆層15為止稱為雙層異質(DH)結構部(第39圖)。再者，半導體功能層(磊晶功能層)18的材料不限於此。半導體功能層18能夠如上述那樣地設為具有發光元件結構者。

【0077】 繼而，如第40圖所示，利用選擇性蝕刻法，以在磊晶晶圓20的部分區域處使犧牲層12露出的方式來形成元件分離溝21。更具體而言，利用光微影法形成光罩，

並自GaP窗層16起至至少第一披覆層13為止地進行蝕刻(選擇性蝕刻)，來實施形成元件分離溝21的元件分離步驟(第40圖)。藉此，犧牲層12會露出(露出部12a)。

【0078】 繼而，如第41圖所示，在磊晶晶圓20上將作為熱硬化型接合材料的例如苯并環丁烯(BCB)進行旋塗(第41圖)，施加250℃且1小時的熱來使BCB膜硬化(在圖中，將經硬化的熱硬化型接合材料標示為硬化接合材料25)。

【0079】 作為一般性的傾向，當元件分離溝21的寬度和深度等的長寬比大於0.1(較深)時，BCB會呈現沒有完全地掩埋元件分離溝的狀態。

【0080】 繼而，如第42圖所示，藉由光微影法，去除元件分離溝21的一部分的硬化接合材料25(硬化BCB部)而形成開口部26，來使犧牲層12露出(第42圖)。

【0081】 繼而，如第43圖所示，在表面形成SiO₂等的鈍化(P5V)膜22(第43圖)，並且如第44圖所示，製作PSV圖案基板，其是已去除元件分離溝21以外的區域的鈍化膜22者(第44圖)。

【0082】 繼而，如第45圖所示，在磊晶晶圓20上將作為熱硬化型接合材料24的例如苯并環丁烯(BCB)進行旋塗(第45圖)，然後如第46圖所示，使其以與被接合基板31即例如藍寶石晶圓相對向的方式進行重疊，並藉由進行熱壓接來製作接合基板(磊晶接合基板)70，其是磊晶晶圓20與藍寶石晶圓31以隔著熱硬化型接合材料(BCB)的

方式接合而成者。當利用旋塗來塗佈熱硬化型接合材料(BCB)時，設計膜厚較佳是設為 $0.01\ \mu\text{m}$ 以上且 $0.6\ \mu\text{m}$ 以下(第46圖)。

【0083】再者，被接合基板31不限於藍寶石，只要是平坦性受到保證且準分子雷射光的吸收率低的材料，即能夠選擇任一種。除了藍寶石以外，能夠選擇合成石英、石英(天然石英)、玻璃、SiC、LiTaO₃、LiNbO₃。

【0084】此外，作為熱硬化型接合材料24不限於BCB，只要是具有熱硬化性者，即能夠選擇任一種材料。除了BCB以外，也可以使用矽氧樹脂、環氧樹脂、旋塗式玻璃(spin-on-glass, SOG)、聚醯亞胺(Polyimide, PI)、氟樹脂等。

【0085】繼而，如第47圖所示，將接合基板70的鈍化膜22進行蝕刻並去除。更具體而言，例如能夠利用氟系溶液來蝕刻鈍化膜22(第47圖)。在第47圖的示例中，自相對於紙面呈接近垂直的方向來供給蝕刻液。藉由該蝕刻，可去除鈍化膜22而使出元件分離溝21出現。

【0086】繼而，如48圖所示，將蝕刻液供給至接合基板70的元件分離溝21來蝕刻犧牲層12，藉此分離起始基板11與磊晶層(具有半導體功能層18)。更具體而言，如第48圖所示，藉由利用氟系溶液來蝕刻犧牲層12，能夠將起始基板11進行剝離(第48圖)。再者，如第47圖、第48圖所示，雖然將鈍化膜去除步驟與犧牲層蝕刻步驟當作分別的步驟來記載，但是藉由針對鈍化膜22和犧牲層12皆

選擇可利用氟系溶液來選擇性地蝕刻的材料，能夠設為實際上為一連串的步骤來實行。

【0087】 如以上地操作，能夠製造接合型半導體晶圓75。顯示於第48圖的接合型半導體晶圓75，能夠設為Micro LED用。此外，如以下所示，能夠繼而形成各元件的電極等。

【0088】 首先，如第49圖所示，利用光微影法使第二披覆層15的一部分露出(第49圖)。

【0089】 繼而，如第50圖所示，利用掘除法等物理性地去除成為尖刺狀的硬化接合材料25(BCB硬化部)(第50圖)。本實施形態中，能夠藉由以 5 kgf/cm^2 左右的壓力的液流去除BCB硬化部，但是當然不僅限於該方法。可以使用灰化法，也可以使用RIE法。灰化法和RIE法中會等向性地侵蝕硬化接合材料25(BCB硬化部)，但是成為尖刺狀的BCB硬化部的侵蝕速度會快於膜狀的BCB硬化部之處，因此只要調整好時間條件，就能夠僅去除尖刺狀的BCB硬化部。

【0090】 繼而，如第51圖所示，在表面形成 SiO_2 等的鈍化(P5V)膜42，來製作P5V圖案膜，其是以包覆已露出的活性層14的側面，並且使第一披覆層13及第二披覆層15的一部分露出的方式進行加工(第51圖)。

【0091】 繼而，如第52圖所示，在鈍化膜42的露出部形成電極44，並施加熱處理來實行歐姆接觸(第52圖)。

[實施例]

【0092】 以下，列舉實施例及比較例來詳細地說明本發明，但是本發明不限於此。

【0093】 (實施例1)

首先，如第1圖所示，在第一導電型的GaAs起始基板11上積層第一導電型的GaAs緩衝層後，使 $0.3\ \mu\text{m}$ 的第一導電型的 $\text{Ga}_x\text{In}_{1-x}\text{P}$ ($0.4 \leq x \leq 0.6$)第一蝕刻停止層、 $0.3\ \mu\text{m}$ 的第一導電型的GaAs第二蝕刻停止層進行磊晶成長，來作成犧牲層12。進一步，依序使 $1.0\ \mu\text{m}$ 的第一導電型的 $(\text{Al}_y\text{Ga}_{1-y})_x\text{In}_{1-x}\text{P}$ ($0.4 \leq x \leq 0.6$, $0 < y \leq 1$)第一披覆層13、未摻雜的 $(\text{Al}_y\text{Ga}_{1-y})_x\text{In}_{1-x}\text{P}$ ($0.4 \leq x \leq 0.6$, $0 \leq y \leq 0.6$)活性層14、 $1.0\ \mu\text{m}$ 的第二導電型的 $(\text{Al}_y\text{Ga}_{1-y})_x\text{In}_{1-x}\text{P}$ ($0.4 \leq x \leq 0.6$, $0 < y \leq 1$)第二披覆層15、 $0.1\ \mu\text{m}$ 的第二導電型的GaInP中間層(未圖示)及 $4\ \mu\text{m}$ 的第二導電型的GaP窗層16成長，來準備具有作為半導體功能層(磊晶功能層)18的發光元件結構之磊晶晶圓20(第1圖)。

【0094】 繼而，利用光微影法形成阻罩(resist mask)，並利用使用氯系電漿的乾式蝕刻法，自第一披覆層13起至GaP窗層16為止地進行蝕刻，來實施形成元件分離溝21的元件分離步驟(第2圖)。

【0095】 繼而，在窗層16的表面及元件分離溝21的內部形成 SiO_2 膜作為鈍化膜22(第3圖)，並在元件分離溝21以外的區域去除鈍化膜22(SiO_2 膜)(第4圖)。

【0096】 繼而，在磊晶晶圓 20 上將作為熱硬化型接合材料 24 的苯并環丁烯 (BCB) 進行旋塗 (第 5 圖)，然後使其以與被接合基板 31 即藍寶石晶圓相對向的方式進行重疊，並藉由進行熱壓接來製作接合基板 (磊晶接合基板) 30，其是磊晶晶圓 20 與藍寶石晶圓 31 以隔著 BCB 24 的方式接合而成者。當利用旋塗來塗佈 BCB 時，設計膜厚設為 $0.6 \mu\text{m}$ (第 6 圖)。在到達 BCB 的軟化點也就是溫度 150°C 後，將溫度降溫至室溫為止來進行接合。繼而，利用氟系溶液蝕刻元件分離溝 21 的內部的 SiO_2 膜 (第 7 圖)。繼而，利用氟系溶液蝕刻犧牲層 12，來剝離 GaAs 起始基板 11 (第 8 圖)。繼而，利用光微影法形成阻罩，並利用使用氯系電漿的乾式蝕刻法，使第二披覆層 15 的一部分露出 (第 9 圖)。

【0097】 繼而，在表面形成 SiO_2 膜作為鈍化膜 42，並以包覆元件分離溝 21 的端部、已露出的活性層 14 的側面，並且使第一披覆層 13 及第二披覆層 15 的一部分露出的方式進行加工 (第 10 圖)。

【0098】 繼而，在鈍化膜 42 即 SiO_2 膜的露出部處，在 P 型層附近 $0.1 \mu\text{m}$ 的區域設置 AuBe 合金層，並在 N 型層附近 $0.2 \mu\text{m}$ 設置 AuGe 合金層來作為電極 44。施加熱處理而實現歐姆接觸 (第 11 圖)。

【0099】 (實施例 2)

首先，如第 12 圖所示，在第一導電型的 GaAs 起始基板 11 上積層第一導電型的 GaAs 緩衝層後，使 $0.3 \mu\text{m}$ 的

第一導電型的 $\text{Ga}_x\text{In}_{1-x}\text{P}$ ($0.4 \leq x \leq 0.6$) 第一蝕刻停止層、 $0.3 \mu\text{m}$ 的第一導電型的 GaAs 第二蝕刻停止層進行磊晶成長，來作成犧牲層 12。進一步，依序使 $1.0 \mu\text{m}$ 的第一導電型的 $(\text{Al}_y\text{Ga}_{1-y})_x\text{In}_{1-x}\text{P}$ ($0.4 \leq x \leq 0.6$, $0 < y \leq 1$) 第一披覆層 13、未摻雜的 $(\text{Al}_y\text{Ga}_{1-y})_x\text{In}_{1-x}\text{P}$ ($0.4 \leq x \leq 0.6$, $0 \leq y \leq 0.6$) 活性層 14、 $1.0 \mu\text{m}$ 的第二導電型的 $(\text{Al}_y\text{Ga}_{1-y})_x\text{In}_{1-x}\text{P}$ ($0.4 \leq x \leq 0.6$, $0 < y \leq 1$) 第二披覆層 15、 $0.1 \mu\text{m}$ 的第二導電型的 GaInP 中間層(未圖示)及 $4 \mu\text{m}$ 的第二導電型的 GaP 窗層 16 成長，來準備具有作為半導體功能層(磊晶功能層) 18 的發光元件結構之磊晶晶圓 20 (第 12 圖)。

【0100】 繼而，利用光微影法形成阻罩，並利用使用氯系電漿的乾式蝕刻法，自第一披覆層 13 起至 GaP 窗層 16 為止地進行蝕刻，來實施形成元件分離溝 21 的元件分離步驟(第 13 圖)。

【0101】 繼而，在磊晶晶圓 20 上將苯并環丁烯 (BCB) 進行旋塗，藉此對表面及元件分離溝 21 的內部供給 BCB (第 14 圖)，施加 250°C 且 1 小時的熱來使 BCB 膜硬化(硬化接合材料 25)。

【0102】 繼而，藉由光微影法，去除元件分離溝 21 的一部分的硬化接合材料 25 (硬化 BCB 部)，來使犧牲層 12 露出(第 15 圖)。

【0103】 繼而，在窗層16的表面及元件分離溝21的內部形成 SiO_2 膜作為鈍化膜22(第16圖)，並在元件分離溝21以外的區域去除鈍化膜22(SiO_2 膜)(第17圖)。

【0104】 繼而，在磊晶晶圓20上將作為熱硬化型接合材料24的苯并環丁烯(BCB)進行旋塗(第18圖)，然後使其以與被接合基板31即藍寶石晶圓相對向的方式進行重疊，並藉由進行熱壓接來製作接合基板(磊晶接合基板)50，其是磊晶晶圓20與藍寶石晶圓31以隔著BCB24的方式接合而成者。當利用旋塗來塗佈BCB時，設計膜厚設為 $0.6 \mu\text{m}$ (第19圖)

【0105】 繼而，利用氟系溶液蝕刻元件分離溝21的內部的 SiO_2 膜(第21圖)。

【0106】 繼而，利用氟系溶液蝕刻犧牲層12，來剝離GaAs起始基板11(第21圖)。利用光微影法形成阻罩，並利用使用氯系電漿的乾式蝕刻法，使第二披覆層15的一部分露出(第22圖)。

【0107】 繼而，利用 5 kgf/cm^2 左右的壓力的液流去除已呈尖刺狀的硬化接合材料25(BCB硬化部)(第23圖)。

【0108】 在表面形成 SiO_2 膜作為鈍化膜42，並以包覆已露出的活性層14的側面，並且使第一披覆層13及第二披覆層15的一部分露出的方式進行加工(第24圖)。

【0109】 繼而，在鈍化膜42即 SiO_2 膜的露出部處，在P型層附近 $0.1 \mu\text{m}$ 的區域設置AuBe合金層，並在N型層

附近 $0.2 \mu\text{m}$ 設置 AuGe 合金層來作為電極 44。施加熱處理而實現歐姆接觸(第 25 圖)。

【0110】 (實施例 3)

首先，如第 26 圖所示，在第一導電型的 GaAs 起始基板 11 上積層第一導電型的 GaAs 緩衝層後，使 $0.3 \mu\text{m}$ 的第一導電型的 $\text{Ga}_x\text{In}_{1-x}\text{P}$ ($0.4 \leq x \leq 0.6$) 第一蝕刻停止層、 $0.3 \mu\text{m}$ 的第一導電型的 GaAs 第二蝕刻停止層進行磊晶成長，來作成犧牲層 12。進一步，依序使 $1.0 \mu\text{m}$ 的第一導電型的 $(\text{Al}_y\text{Ga}_{1-y})_x\text{In}_{1-x}\text{P}$ ($0.4 \leq x \leq 0.6$ ， $0 < y \leq 1$) 第一披覆層 13、未摻雜的 $(\text{Al}_y\text{Ga}_{1-y})_x\text{In}_{1-x}\text{P}$ ($0.4 \leq x \leq 0.6$ ， $0 \leq y \leq 0.6$) 活性層 14、 $1.0 \mu\text{m}$ 的第二導電型的 $(\text{Al}_y\text{Ga}_{1-y})_x\text{In}_{1-x}\text{P}$ ($0.4 \leq x \leq 0.6$ ， $0 < y \leq 1$) 第二披覆層 15、 $0.1 \mu\text{m}$ 的第二導電型的 GaInP 中間層(未圖示)及 $4 \mu\text{m}$ 的第二導電型的 GaP 窗層 16 成長，來準備具有作為半導體功能層(磊晶功能層) 18 的發光元件結構之磊晶晶圓 20(第 26 圖)。

【0111】 利用光微影法形成阻罩，並利用使用氯系電漿的乾式蝕刻法，自第一披覆層 13 起至 GaP 窗層 16 為止地進行蝕刻，來實施形成元件分離溝 21 的元件分離步驟(第 27 圖)。

【0112】 在磊晶晶圓 20 上將苯并環丁烯(BCB)進行旋塗，藉此對表面及元件分離溝 21 的內部的一部分供給

B C B (第 28 圖)，施加 250 °C 且 1 小時的熱來使 B C B 膜硬化(硬化接合材料 25)。

【0113】 藉由光微影法形成阻罩，並利用使用氟系電漿的乾式蝕刻法，去除元件分離溝 21 的一部分的硬化接合材料 25 (硬化 B C B 部)，來使犧牲層 12 露出(第 29 圖)。

【0114】 繼而，在窗層 16 的表面及元件分離溝 21 的內部形成 SiO₂ 膜作為鈍化膜 22 (第 30 圖)，並在元件分離溝 21 以外的區域去除鈍化膜 22 (SiO₂ 膜)(第 31 圖)。

【0115】 繼而，在磊晶晶圓 20 上將作為熱硬化型接合材料 24 的苯并環丁烯(B C B)進行旋塗(第 32 圖)，然後使其以與被接合基板 31 即藍寶石晶圓相對向的方式進行重疊，並藉由進行熱壓接來製作接合基板(磊晶接合基板)60，其是磊晶晶圓 20 與藍寶石晶圓 31 以隔著 B C B 24 的方式接合而成者。當利用旋塗來塗佈 B C B 時，設計膜厚設為 0.6 μm (第 33 圖)

【0116】 繼而，利用氟系溶液蝕刻元件分離溝 21 的內部的鈍化膜 22 (SiO₂ 膜)(第 34 圖)。

【0117】 繼而，利用氟系溶液蝕刻犧牲層 12，來剝離 GaAs 起始基板 11 (第 35 圖)。

【0118】 繼而，利用光微影法形成阻罩，並利用使用氟系電漿的乾式蝕刻法，使第二披覆層 15 的一部分露出(第 36 圖)。

【0119】 在表面形成 SiO₂ 膜作為鈍化膜 42，並以包覆元件分離溝 21 的端部、已露出的活性層 14 的側面，並且使

第一披覆層 13 及第二披覆層 15 的一部分露出的方式進行加工(第 37 圖)。

【0120】 繼而，在鈍化膜 42 即 SiO_2 膜的露出部處，在 P 型層附近 $0.1 \mu\text{m}$ 的區域設置 AuBe 合金層，並在 N 型層附近 $0.2 \mu\text{m}$ 的區域設置 AuGe 合金層來作為電極 44。施加熱處理而實現歐姆接觸(第 38 圖)。

【0121】 (實施例 4)

首先，如第 39 圖所示，在第一導電型的 GaAs 起始基板 11 上積層第一導電型的 GaAs 緩衝層後，使 $0.3 \mu\text{m}$ 的第一導電型的 $\text{Ga}_x\text{In}_{1-x}\text{P}$ ($0.4 \leq x \leq 0.6$) 第一蝕刻停止層、 $0.3 \mu\text{m}$ 的第一導電型的 GaAs 第二蝕刻停止層進行磊晶成長，來作成犧牲層 12。進一步，依序使 $1.0 \mu\text{m}$ 的第一導電型的 $(\text{Al}_y\text{Ga}_{1-y})_x\text{In}_{1-x}\text{P}$ ($0.4 \leq x \leq 0.6$ ， $0 < y \leq 1$) 第一披覆層 13、未摻雜的 $(\text{Al}_y\text{Ga}_{1-y})_x\text{In}_{1-x}\text{P}$ ($0.4 \leq x \leq 0.6$ ， $0 \leq y \leq 0.6$) 活性層 14、 $1.0 \mu\text{m}$ 的第二導電型的 $(\text{Al}_y\text{Ga}_{1-y})_x\text{In}_{1-x}\text{P}$ ($0.4 \leq x \leq 0.6$ ， $0 < y \leq 1$) 第二披覆層 15、 $0.1 \mu\text{m}$ 的第二導電型的 GaInP 中間層(未圖示)及 $4 \mu\text{m}$ 的第二導電型的 GaP 窗層 16 成長，來準備具有作為半導體功能層(磊晶功能層) 18 的發光元件結構之磊晶晶圓 20(第 39 圖)。

【0122】 利用光微影法形成阻罩，並利用使用氯系電漿的乾式蝕刻法，自第一披覆層 13 起至 GaP 窗層 16 為止地進

行蝕刻，來實施形成元件分離溝 21 的元件分離步驟(第 40 圖)。

【0123】 在磊晶晶圓 20 上將苯并環丁烯(BCB)進行旋塗，藉此對表面及元件分離溝 21 的內部的(壁面)供給 BCB(第 41 圖)，施加 250℃ 且 1 小時的熱來使 BCB 膜硬化(硬化接合材料 25)。

【0124】 藉由光微影法形成阻罩，並利用使用氟系電漿的乾式蝕刻法，去除元件分離溝 21 的一部分的硬化接合材料 25(硬化 BCB 部)，來使犧牲層 12 露出(第 42 圖)。

【0125】 繼而，以在窗層 16 的表面及元件分離溝 21 上包覆犧牲層 12 的方式形成 SiO₂ 膜作為鈍化膜 22(第 43 圖)，並在元件分離溝 21 以外的區域去除鈍化膜 22(SiO₂ 膜)(第 44 圖)。

【0126】 繼而，在磊晶晶圓 20 上將作為熱硬化型接合材料 24 的苯并環丁烯(BCB)進行旋塗，藉此對表面及元件分離溝 21 的內部的一部分供給 BCB(第 45 圖)，然後使其以與被接合基板 31 即藍寶石晶圓相對向的方式進行重疊，並藉由進行熱壓接來製作接合基板(磊晶接合基板)70，其是磊晶晶圓 20 與藍寶石晶圓 31 以隔著 BCB 24 的方式接合而成者。當利用旋塗來塗佈 BCB 時，設計膜厚設為 0.6 μm(第 46 圖)

【0127】 繼而，利用氟系溶液蝕刻元件分離溝 21 的內部的鈍化膜 22(SiO₂ 膜)(第 47 圖)。

【0128】 繼而，利用氟系溶液蝕刻犧牲層 12，來剝離 GaAs 起始基板 11 (第 48 圖)。

【0129】 繼而，形成阻罩，並利用使用氯系電漿的乾式蝕刻法，使第二披覆層 15 的一部分露出 (第 49 圖)。

【0130】 繼而，利用 5 kgf/cm^2 左右的壓力的液流去除已呈尖刺狀的 BCB 硬化部 (第 50 圖)。

【0131】 在表面形成 SiO_2 膜作為鈍化膜 42，並以包覆已露出的活性層的側面，並且使第一披覆層 13 及第二披覆層 15 的一部分露出的方式進行加工 (第 51 圖)。

【0132】 繼而，在鈍化膜 42 即 SiO_2 膜的露出部處，在 P 型層附近 $0.1 \mu\text{m}$ 的區域設置 AuBe 合金層，並在 N 型層附近 $0.2 \mu\text{m}$ 的區域設置 AuGe 合金層來作為電極 44。施加熱處理而實現歐姆接觸 (第 52 圖)。

【0133】 (比較例)

如第 53 圖所示，在第一導電型的 GaAs 起始基板 111 上積層第一導電型的 GaAs 緩衝層後，使 $0.3 \mu\text{m}$ 的第一導電型的 $\text{Ga}_x\text{In}_{1-x}\text{P}$ ($0.4 \leq x \leq 0.6$) 第一蝕刻停止層、 $0.3 \mu\text{m}$ 的第一導電型的 GaAs 第二蝕刻停止層進行磊晶成長，來作成犧牲層 12。進一步，依序使 $1.0 \mu\text{m}$ 的第一導電型的 $(\text{Al}_y\text{Ga}_{1-y})_x\text{In}_{1-x}\text{P}$ ($0.4 \leq x \leq 0.6, 0 < y \leq 1$) 第一披覆層 113、未摻雜的 $(\text{Al}_y\text{Ga}_{1-y})_x\text{In}_{1-x}\text{P}$ ($0.4 \leq x \leq 0.6, 0 \leq y \leq 0.6$) 活性層 114、 $1.0 \mu\text{m}$ 的第二導電型的 $(\text{Al}_y\text{Ga}_{1-y})_x\text{In}_{1-x}\text{P}$ ($0.4 \leq x \leq 0.6, 0 < y \leq 1$) 第二披覆層 115、 $0.1 \mu\text{m}$ 的第二導電型的 GaInP 中間層

(未圖示)及 $4\ \mu\text{m}$ 的第二導電型的 GaP 窗層 116 成長，來準備具有作為半導體功能層(磊晶功能層)118 的發光元件結構之磊晶晶圓 120 (第 53 圖)。

【0134】 利用光微影法形成阻罩，並利用使用氯系電漿的乾式蝕刻法，自第一披覆層 113 起至 GaP 窗層 116 為止地進行蝕刻，來實施形成元件分離溝 121 的元件分離步驟(第 54 圖)。藉此，犧牲層 112 的表面 112a 會露出。

【0135】 繼而，在藍寶石晶圓 131 上將 BCB 122 進行旋塗(第 55 圖)，並將其以使與形成有元件分離溝 121 之磊晶晶圓相對向的方式重疊並進行熱壓接，藉此來製作磊晶接合基板，其是磊晶晶圓與藍寶石晶圓以隔著 BCB 的方式接合而成者。當利用旋塗來塗佈 BCB 時，設計膜厚設為 $0.6\ \mu\text{m}$ (第 56 圖)。

【0136】 接合時，無法控制侵入元件分離溝 121 的 BCB 接合劑 122 的量，因此會有部分地掩埋之處，另一方面也會產生 BCB 接合劑 122 掩埋至已露出的犧牲層 112 表面為止的區域(參照第 56 圖)。

【0137】 利用濕式蝕刻去除犧牲層 112，來分離 GaAs 起始基板 111 與磊晶層。BCB 接合劑 122 掩埋了元件分離溝 121 之處不會有犧牲層蝕刻侵入，因此犧牲層 112 未受到蝕刻而部分地殘留(第 57 圖)。將部分地殘留的犧牲層標示為符號 162。

【0138】 將 GaAs 起始基板 111 自磊晶層剝離時，犧牲層 112 未經蝕刻之處的 GaAs 起始基板 111 的一部分會殘留

(第58圖)。將部分地殘留的起始基板的一部分標示為符號161。

【0139】 繼而，去除掩埋元件分離溝121的BCB122的一部分，來形成分離溝(第59圖)。

【0140】 去除第一披覆層113及活性層114的部分區域，來使第二披覆層115露出(第60圖)。露出第二披覆層115後，利用掘除的方法選擇性地去除成為尖刺狀的BCB接合劑122(第61圖)。繼而，在表面形成SiO₂等的鈍化(P5V)膜42，並以包覆元件分離端部、已露出的活性層114的側面，並且使第一披覆層113及第二披覆層115的一部分露出的方式進行加工(第62圖)。此時，SiO₂的一部分192會附著於殘留的起始基板161。

【0141】 繼而，在SiO₂膜的露出部處，在P型層附近0.1 μm的區域設置AuBe合金層，並在N型層附近0.2 μm的區域設置AuGe合金層來作為電極144。施加熱處理而實現歐姆接觸(第63圖)。此時，電極材料的一部分194會附著於殘留的起始基板161。

【0142】 (實施例與比較例的比較)

蝕刻犧牲層後，將起始基板(GaAs)不會附著於磊晶層且磊晶層與起始基板完全分離的面積定義為品質良好的面積，並將其與設計面積的比率設為產率，然後在第64圖中顯示表示了實施例與比較例的比較的內容。

【0143】 由第61圖可知，當在實施例的情況下實施時，顯示了皆為90%以上的剝離品質良好的面積。另一方面，

在比較例中，產率大幅地降低。該產率的差異也會起因於由於具有元件分離溝所產生的犧牲層的時間的差異。在設置有分離溝的全部的實施例的情況下，犧牲層蝕刻時間為1小時以內。另一方面，在比較例中，犧牲層蝕刻時間在室溫中需要數十個小時。

【0144】 在實施例中，經由元件分離溝，蝕刻液會容易侵入，因此在整個晶圓上會同時地進行蝕刻，因而犧牲層在受到蝕刻的過程中的應力的偏在較少，磊晶層不易被破壞。因此，犧牲層蝕刻後的產率為良好。

【0145】 另一方面，比較例中，蝕刻會自晶圓外周進行，因此容易會對磊晶層施加在犧牲層蝕刻的過程中偏在的應力。其結果，磊晶層會容易產生裂縫等，進而作為結果導致產率的降低。

【0146】 再者，本發明不限於上述實施形態。上述實施形態為例示，與本發明的發明申請專利範圍所記載的技術思想具有實質性相同的構成並發揮相同的作用效果者，全部皆包含在本發明的技術範圍中。

【符號說明】

【0147】

1 1 : 起始基板

1 2 : 犧牲層

1 2 a : 露出部

1 3 : 第一披覆層

- 14: 活性層
- 15: 第二披覆層
- 16: 窗層
- 18: 半導體功能層
- 20: 磊晶晶圓
- 21: 元件分離溝
- 22: 鈍化膜
- 24: 熱硬化型接合材料
- 25: 硬化接合材料
- 26: 開口部
- 30: 接合基板
- 31: 被接合基板(藍寶石晶圓)
- 35: 接合型半導體晶圓
- 42: 鈍化膜
- 44: 電極
- 50: 接合基板
- 55: 接合型半導體晶圓
- 60: 接合基板
- 65: 接合型半導體晶圓
- 70: 接合基板
- 75: 接合型半導體晶圓
- 111: 起始基板
- 112: 犧牲層
- 112a: 露出部

1 1 3 : 第一披覆層

1 1 4 : 活性層

1 1 5 : 第二披覆層

1 1 6 : 窗層

1 1 8 : 半導體功能層

1 2 0 : 磊晶晶圓

1 2 1 : 元件分離溝

1 2 2 : B C B 接合劑

1 3 1 : 藍寶石晶圓

1 4 2 : 鈍化膜

1 4 4 : 電極

1 6 1 : 部分地殘留的起始基板

1 6 2 : 部分地殘留的犧牲層

1 9 2 : SiO_2 膜的一部分

1 9 4 : 電極材料的一部分

【生物材料寄存】

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

【發明申請專利範圍】

【請求項 1】 一種接合型半導體晶圓的製造方法，其特徵在於具有下述步驟：

磊晶成長步驟，其使犧牲層磊晶成長於起始基板上；

製作磊晶晶圓的步驟，其使具有半導體功能層之磊晶層磊晶成長於前述犧牲層上，藉此製作磊晶晶圓；

形成元件分離溝的步驟，其利用選擇性蝕刻法，以在前述磊晶晶圓的部分區域處使前述犧牲層露出的方式來形成元件分離溝；

形成鈍化膜的步驟，其將鈍化膜形成於前述元件分離溝的至少露出有前述犧牲層的表面；

製作接合基板的步驟，其隔著熱硬化型接合材料，將前述磊晶晶圓的前述磊晶層與相對於可見光為透明的被接合基板進行接合，來製作接合基板；

蝕刻並去除的步驟，其將前述接合基板的前述鈍化膜進行蝕刻並去除；及，

分離步驟，其將蝕刻液供給至前述接合基板的前述元件分離溝來蝕刻前述犧牲層，藉此分離前述起始基板與前述磊晶層。

【請求項 2】 如請求項 1 所述之接合型半導體晶圓的製造方法，其中，將前述被接合基板設為由藍寶石、合成石英、石英、玻璃、 SiC 、 LiTaO_3 、 LiNbO_3 中任一種材料所構成。

【請求項 3】 如請求項 1 所述之接合型半導體晶圓的製造

方法，其中，將前述熱硬化型接合材料設為矽氧樹脂、環氧樹脂、苯并環丁烯、旋塗式玻璃、聚醯亞胺、氟樹脂中的一種以上的材料。

【請求項4】 如請求項2所述之接合型半導體晶圓的製造方法，其中，將前述熱硬化型接合材料設為矽氧樹脂、環氧樹脂、苯并環丁烯、旋塗式玻璃、聚醯亞胺、氟樹脂中的一種以上的材料。

【請求項5】 如請求項1所述之接合型半導體晶圓的製造方法，其中，將前述熱硬化型接合材料的厚度設為 $0.01\ \mu\text{m}$ 以上且 $0.6\ \mu\text{m}$ 以下。

【請求項6】 如請求項2所述之接合型半導體晶圓的製造方法，其中，將前述熱硬化型接合材料的厚度設為 $0.01\ \mu\text{m}$ 以上且 $0.6\ \mu\text{m}$ 以下。

【請求項7】 如請求項3所述之接合型半導體晶圓的製造方法，其中，將前述熱硬化型接合材料的厚度設為 $0.01\ \mu\text{m}$ 以上且 $0.6\ \mu\text{m}$ 以下。

【請求項8】 如請求項4所述之接合型半導體晶圓的製造方法，其中，將前述熱硬化型接合材料的厚度設為 $0.01\ \mu\text{m}$ 以上且 $0.6\ \mu\text{m}$ 以下。

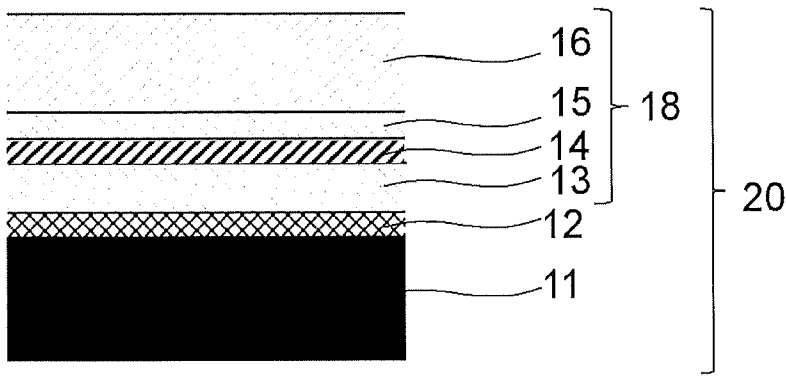
【請求項9】 如請求項1~8中任一項所述之接合型半導體晶圓的製造方法，其中，前述熱硬化型接合材料未進行熱硬化。

【請求項10】 如請求項1~8中任一項所述之接合型半導體晶圓的製造方法，其中，將前述鈍化膜設為矽氧化膜。

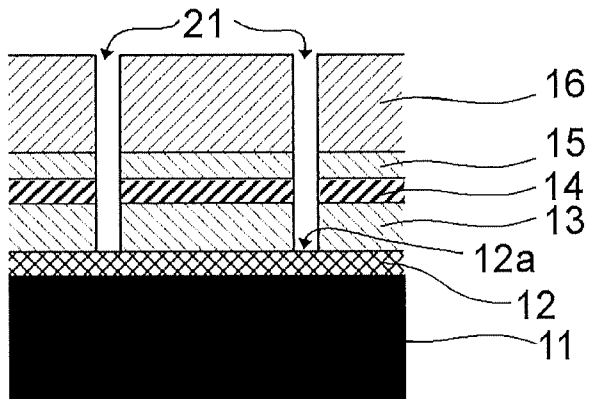
【請求項 11】如請求項 1～8 中任一項所述之接合型半導體晶圓的製造方法，其中，將前述接合型半導體晶圓作成微型發光二極體用。

【發明圖式】

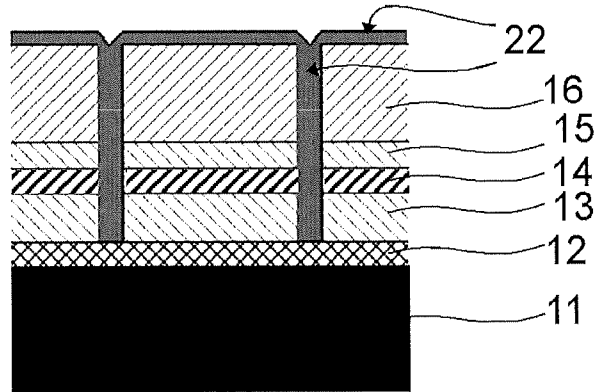
第1圖



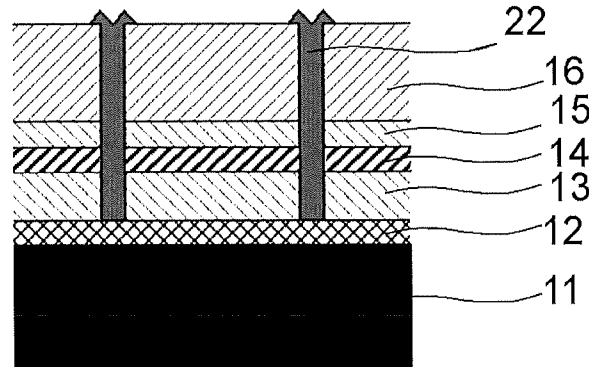
第2圖



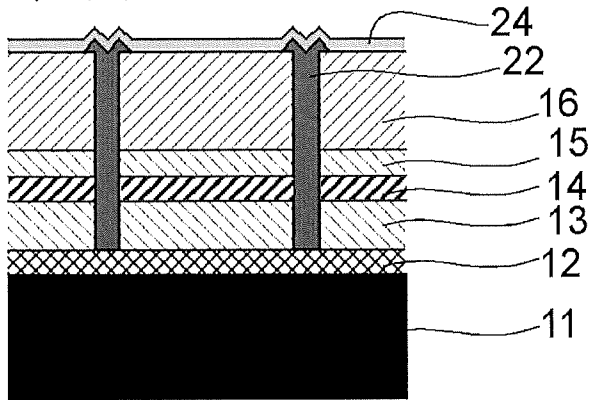
第3圖



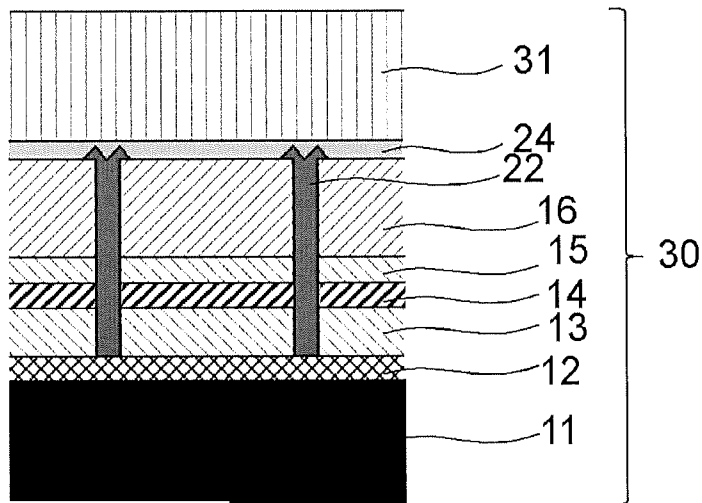
第4圖



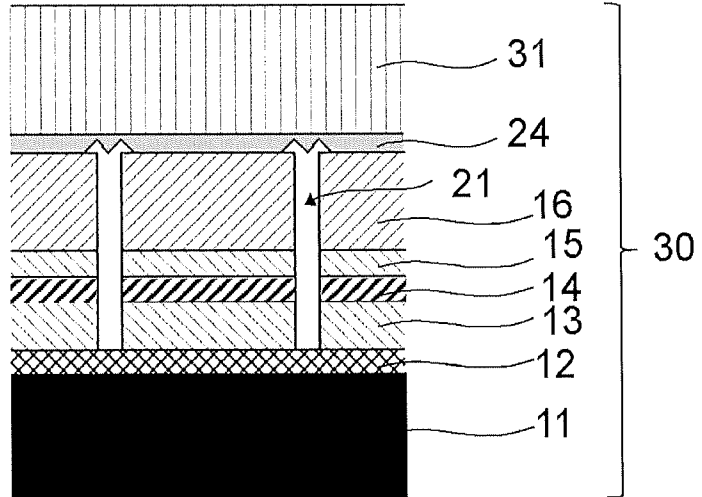
第5圖



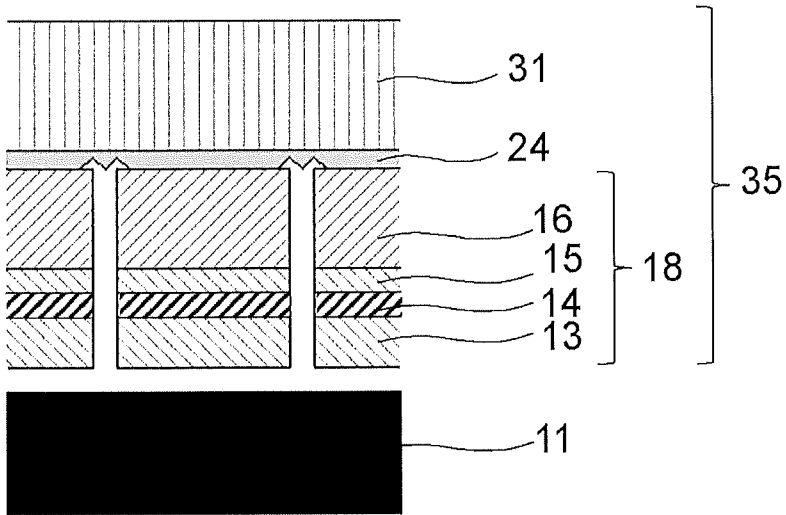
第6圖



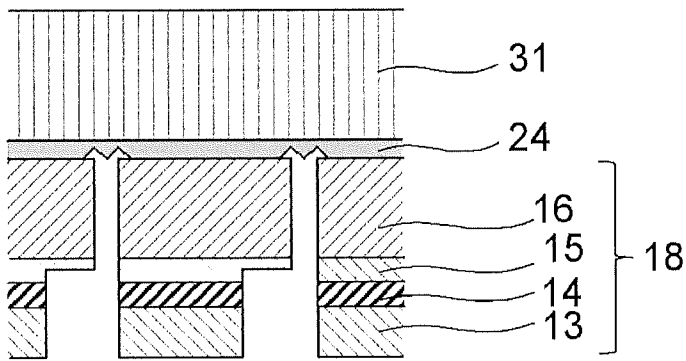
第7圖



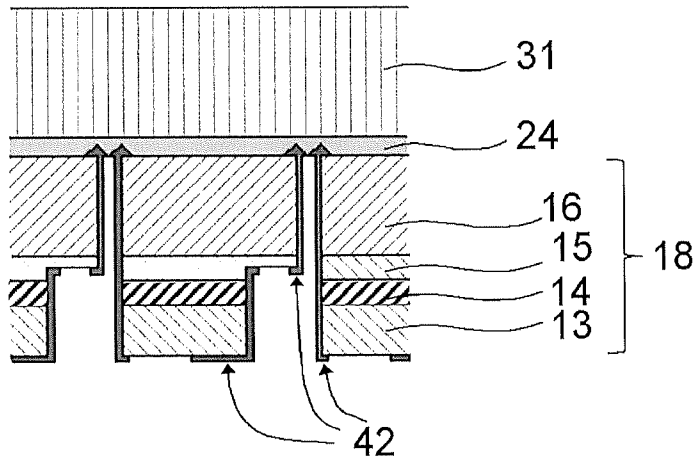
第8圖



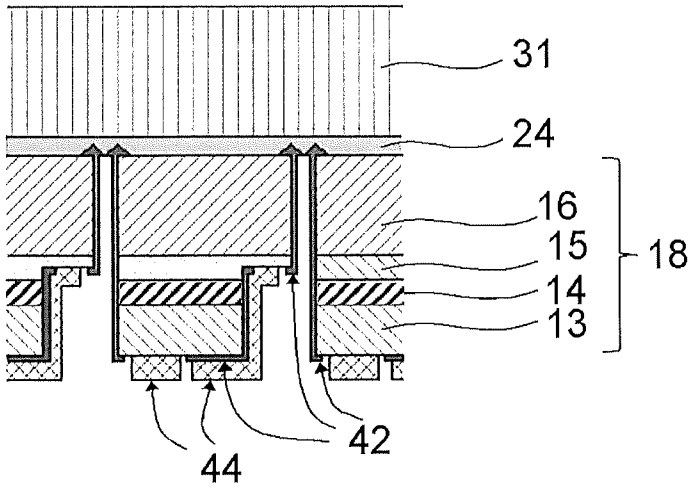
第9圖



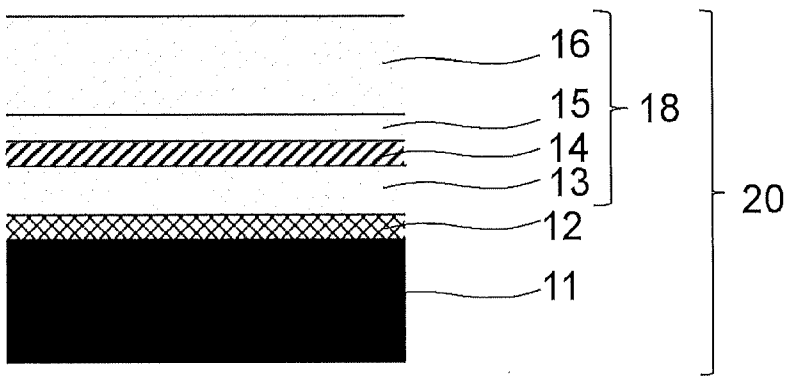
第10圖



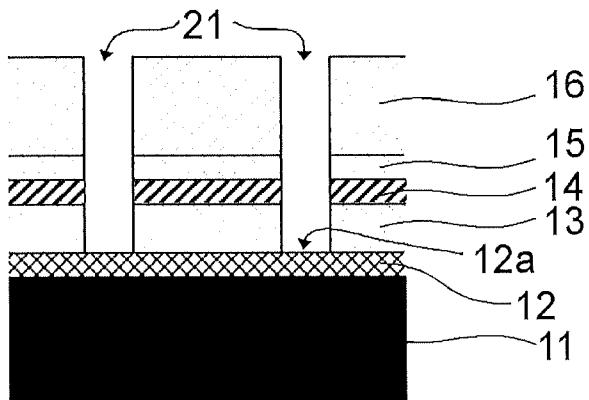
第11圖



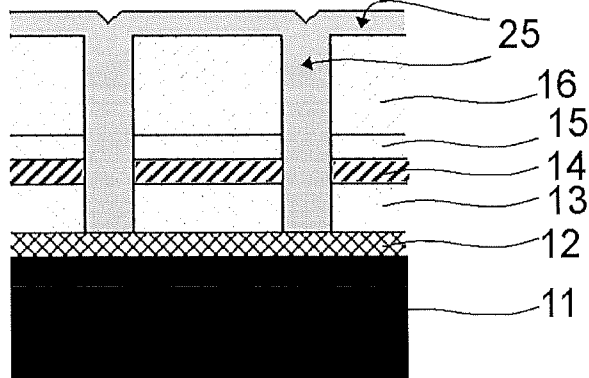
第12圖



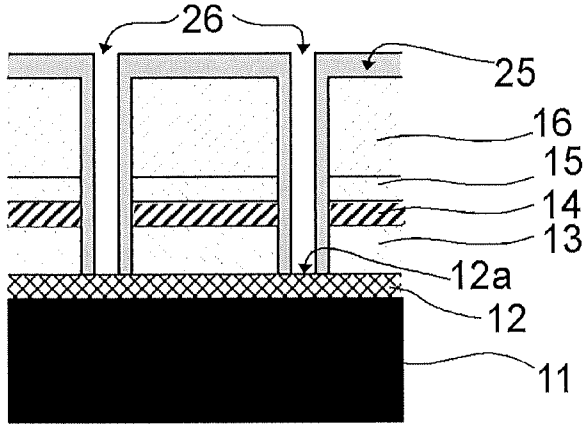
第13圖



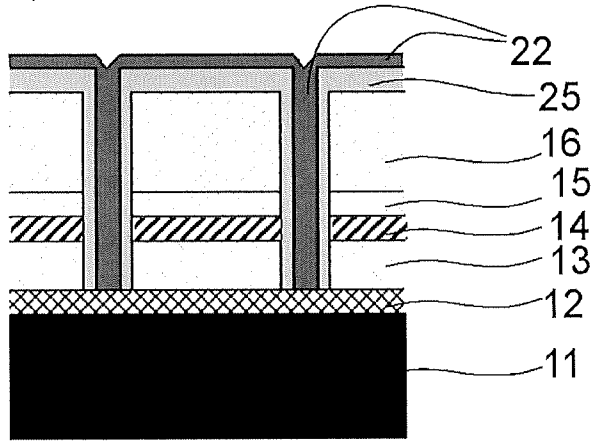
第14圖



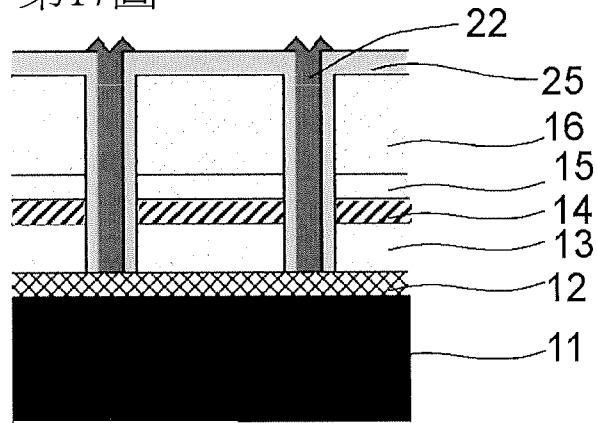
第15圖



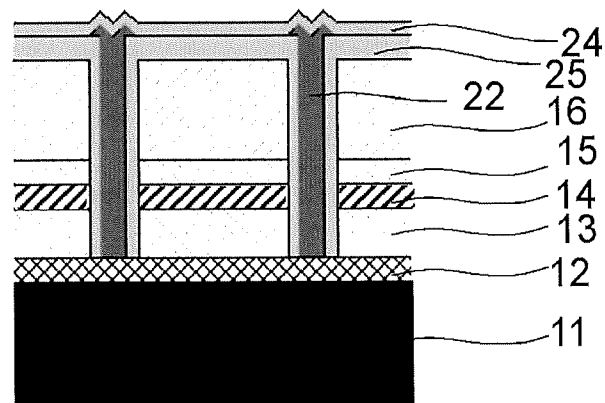
第16圖



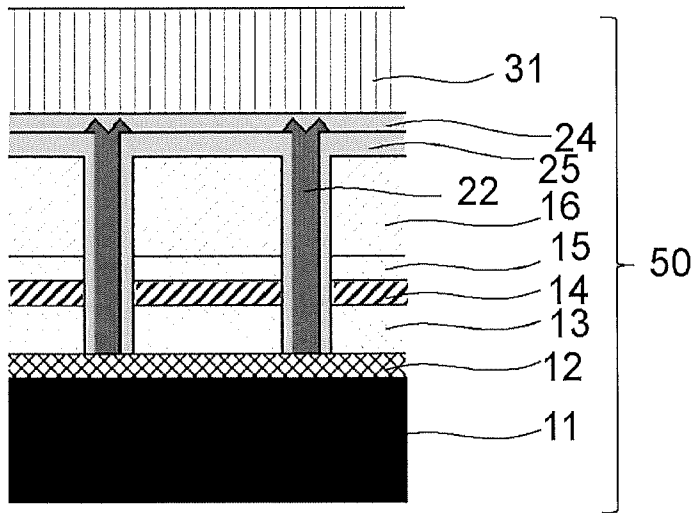
第17圖



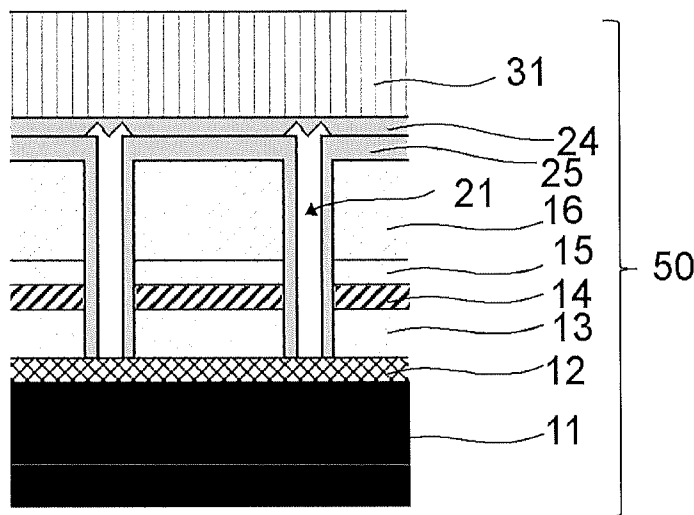
第18圖



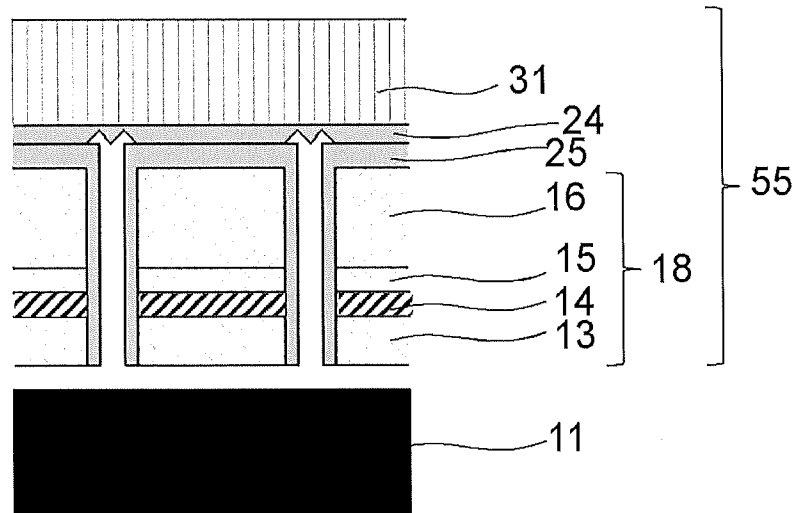
第19圖



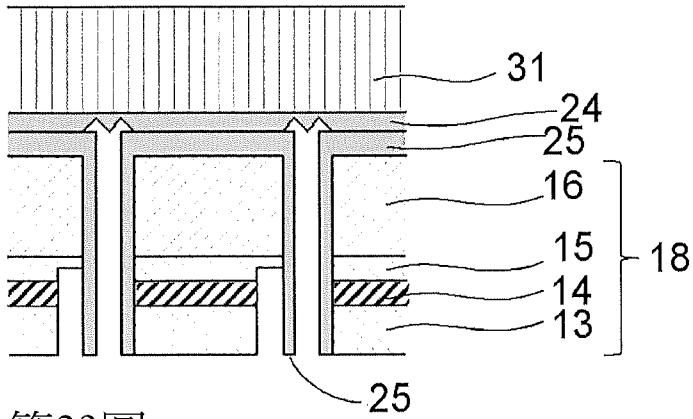
第20圖



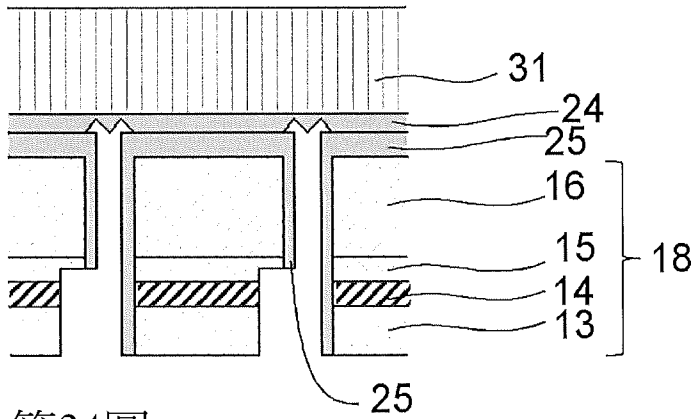
第21圖



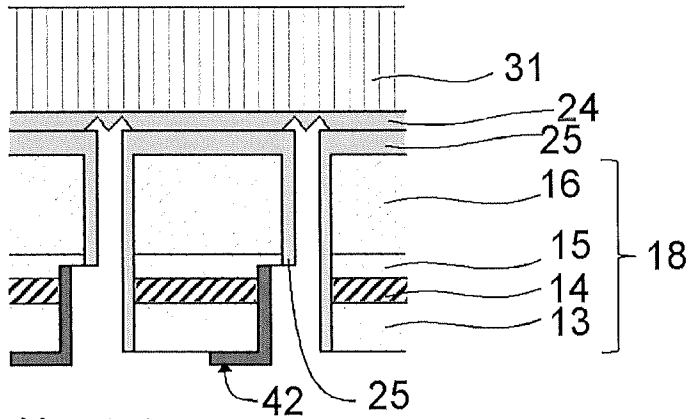
第22圖



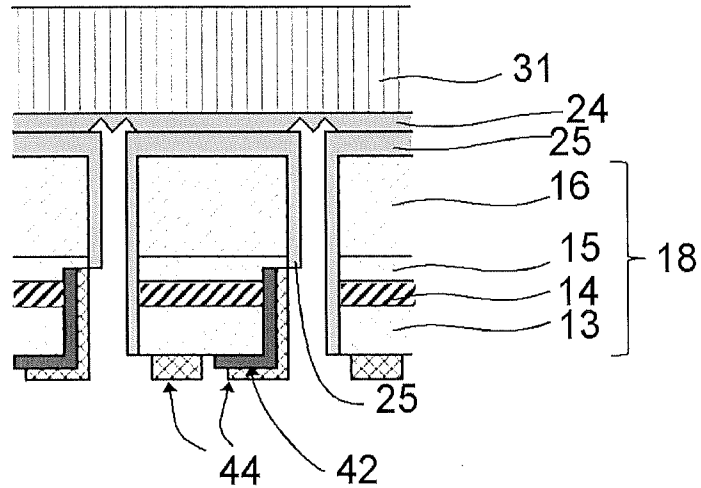
第23圖



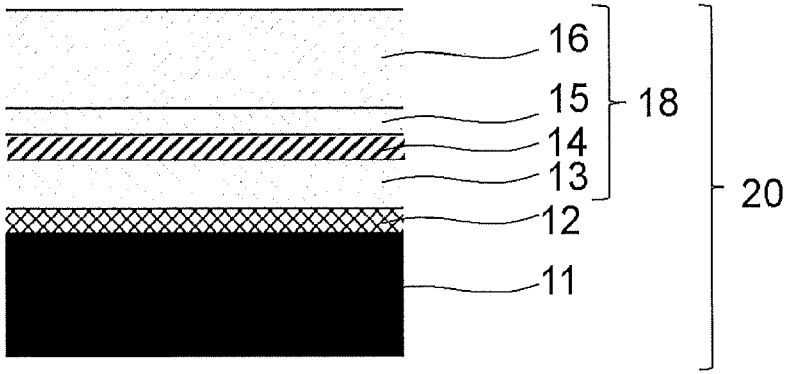
第24圖



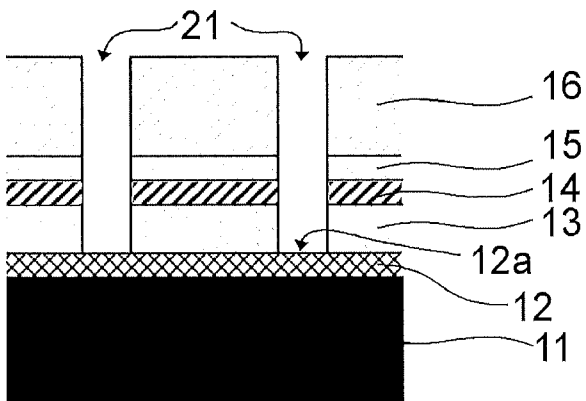
第25圖



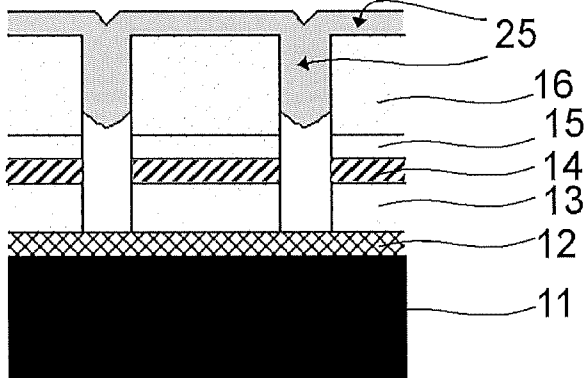
第26圖



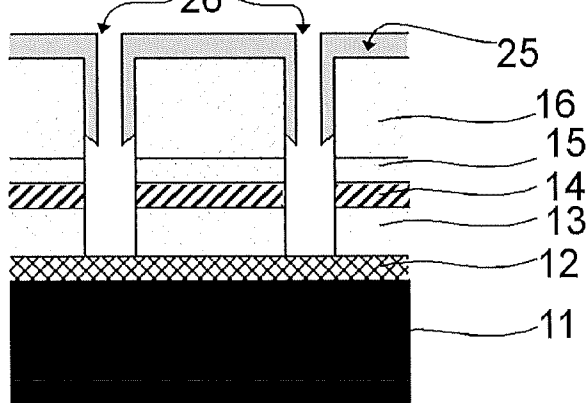
第27圖



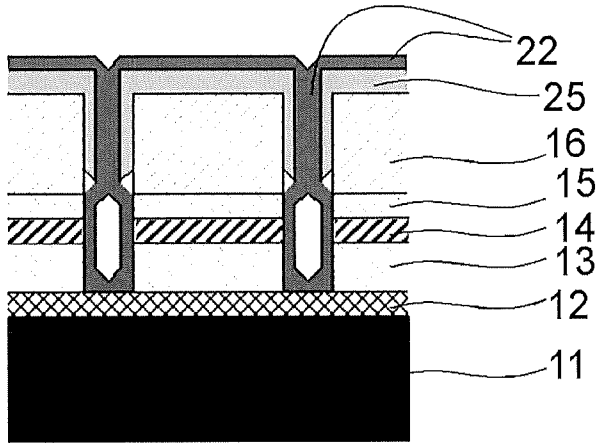
第28圖



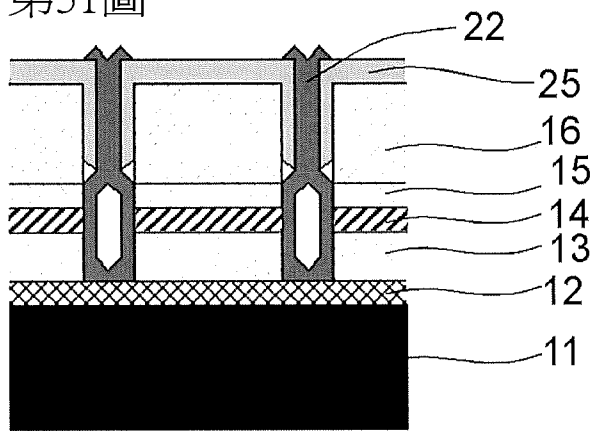
第29圖



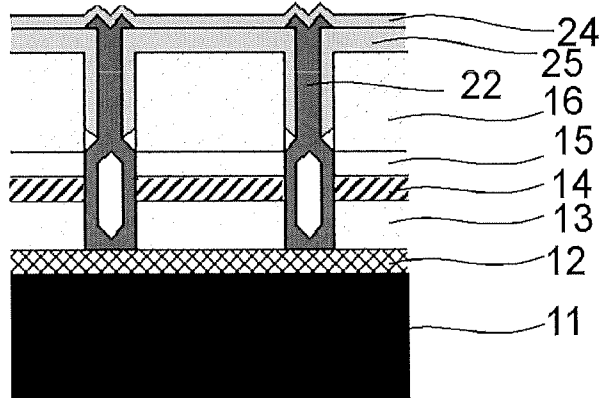
第30圖



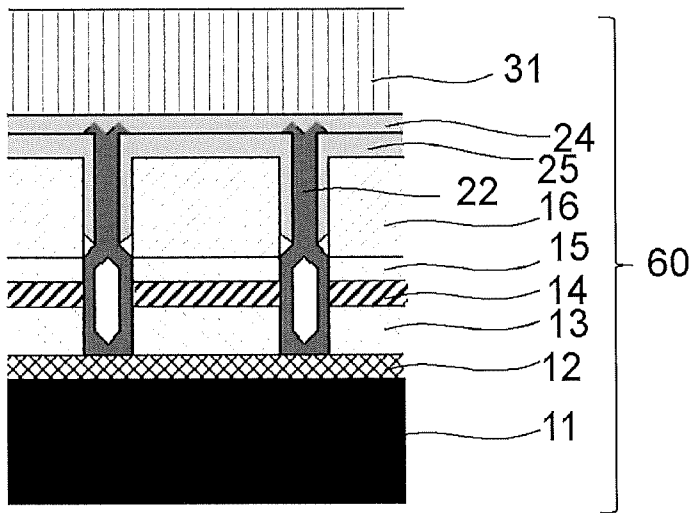
第31圖



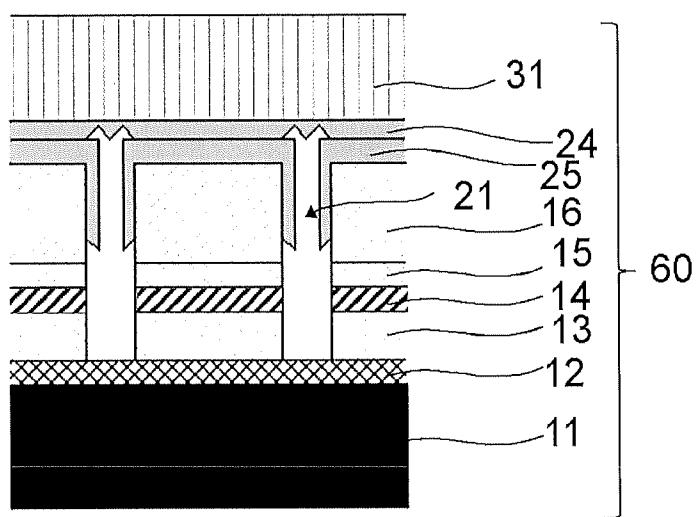
第32圖



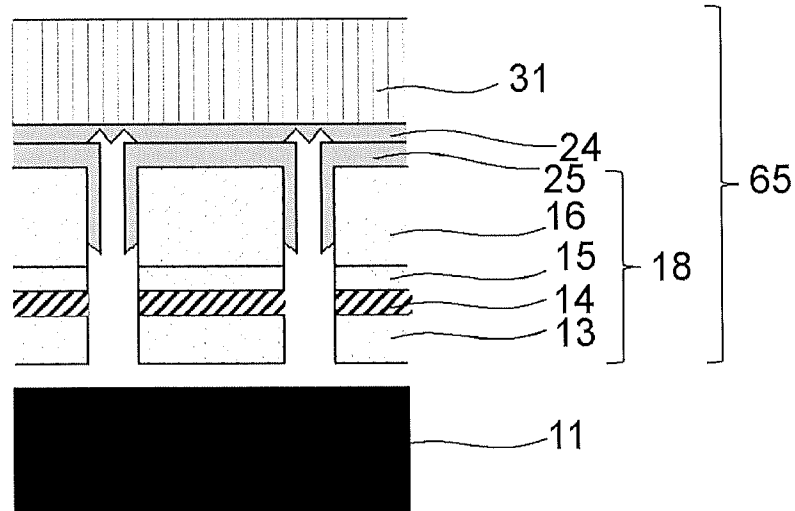
第33圖



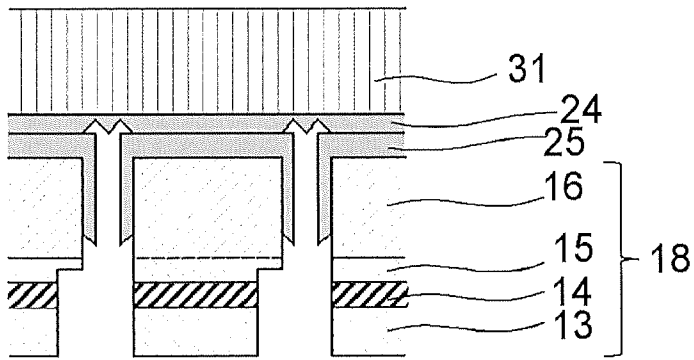
第34圖



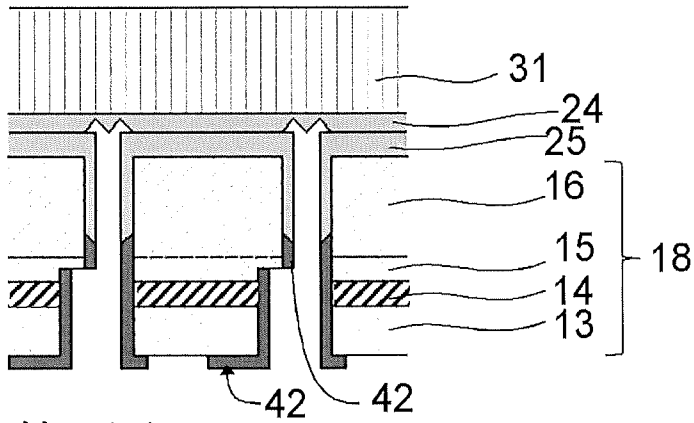
第35圖



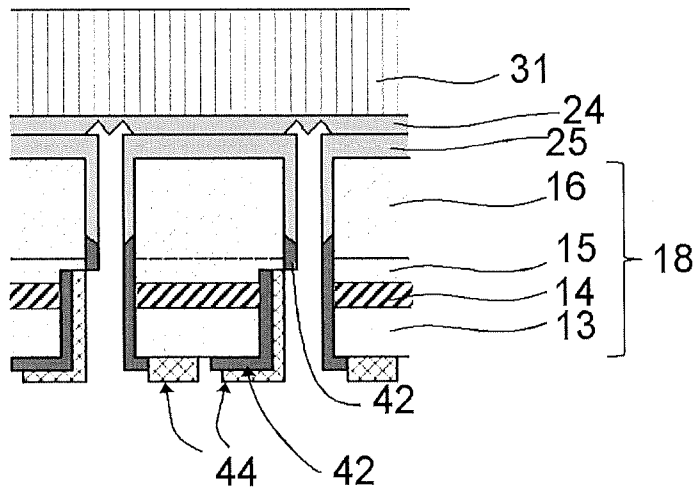
第36圖



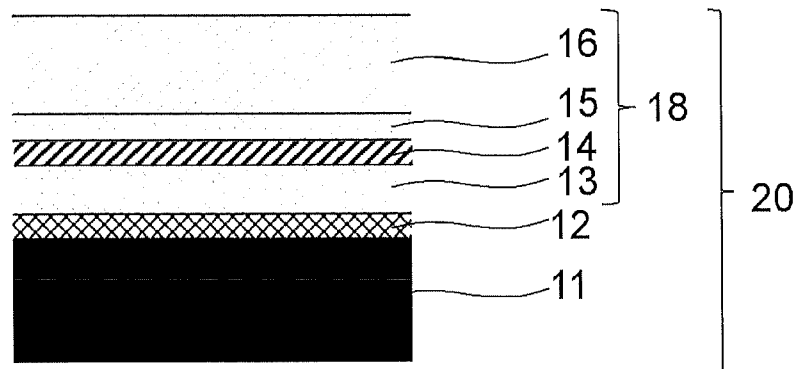
第37圖



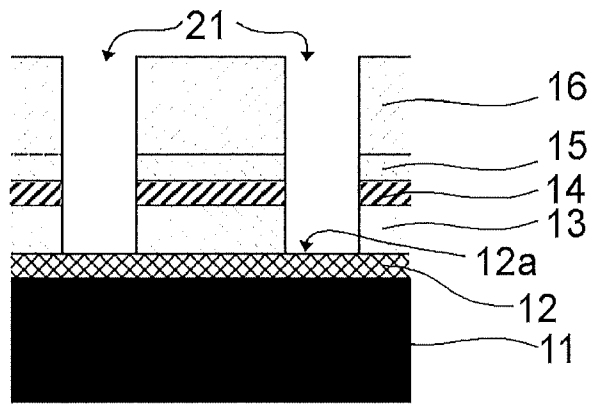
第38圖



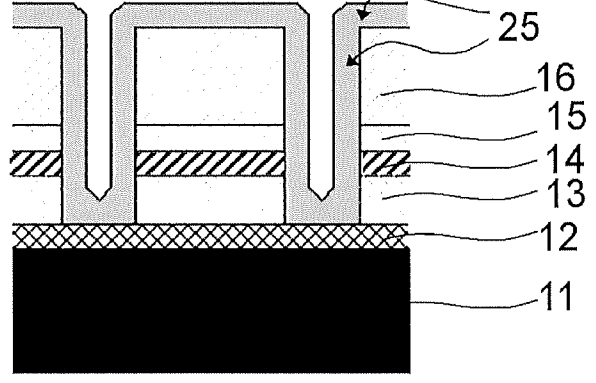
第39圖



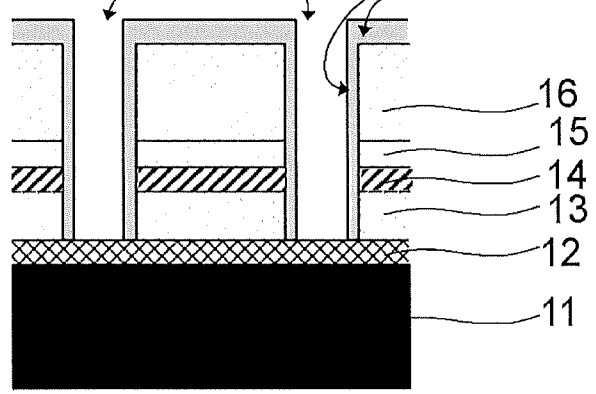
第40圖



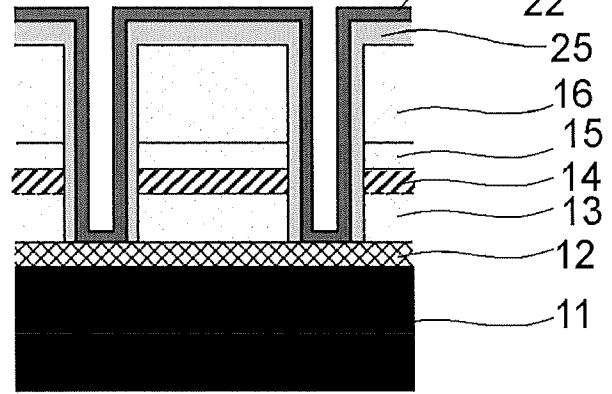
第41圖



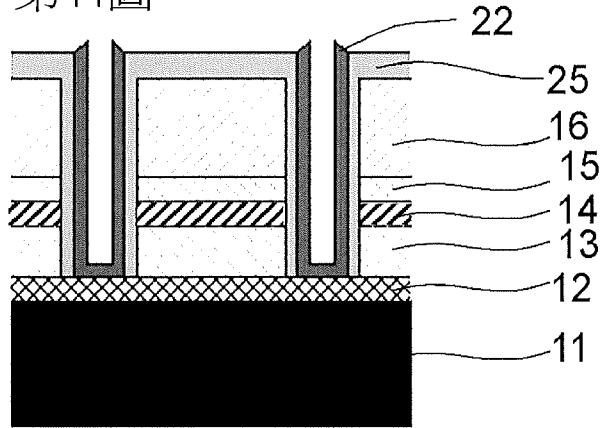
第42圖



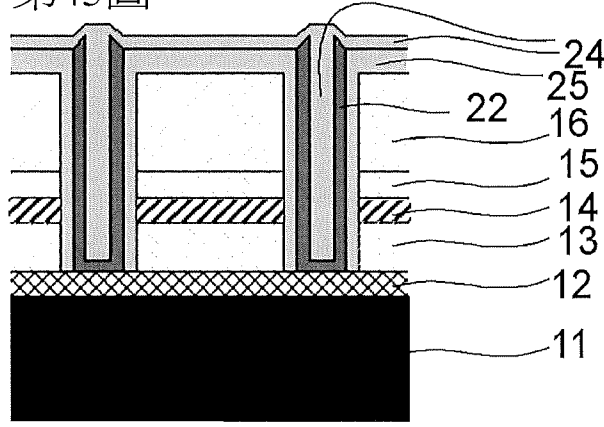
第43圖



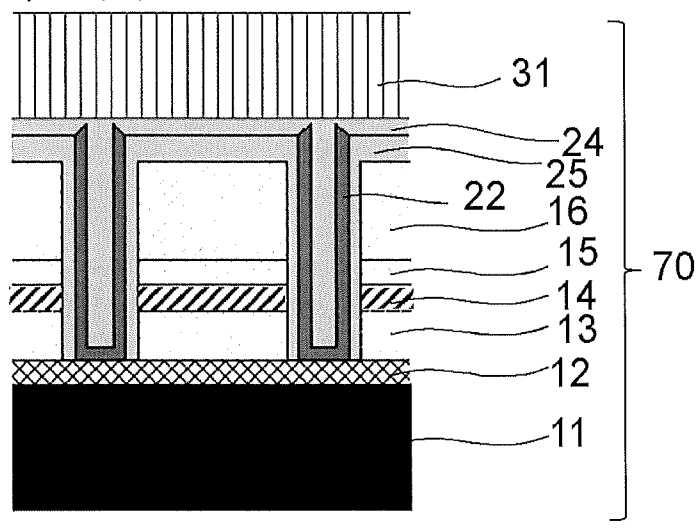
第44圖



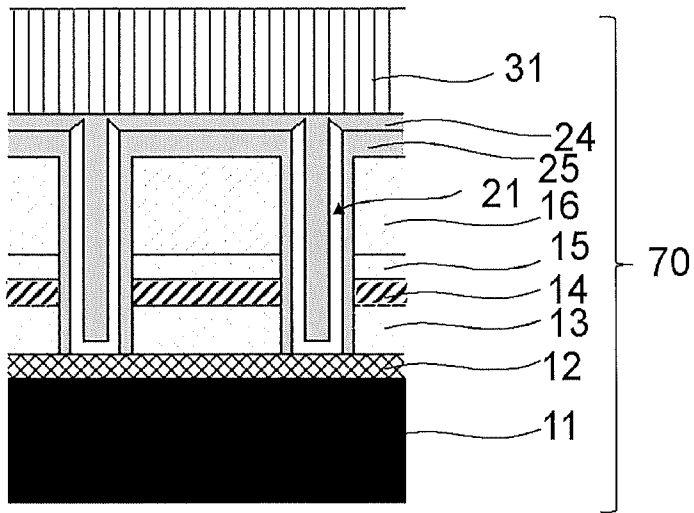
第45圖



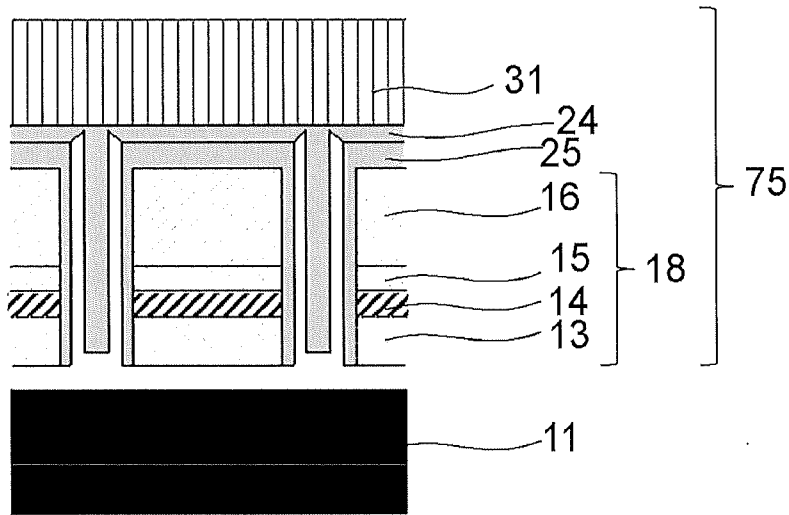
第46圖



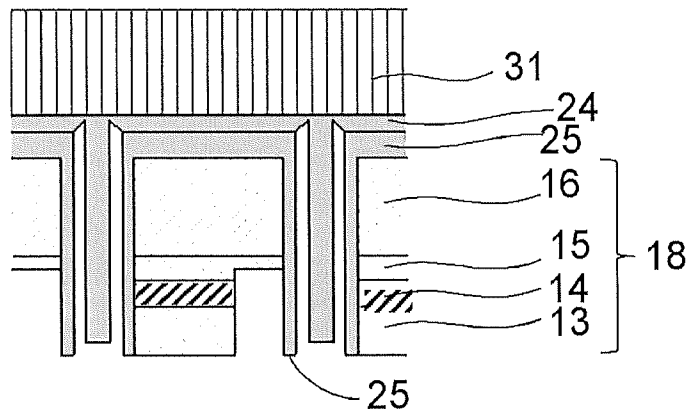
第47圖



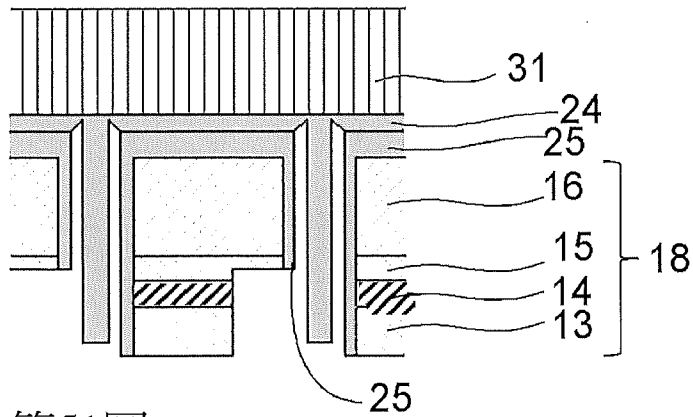
第48圖



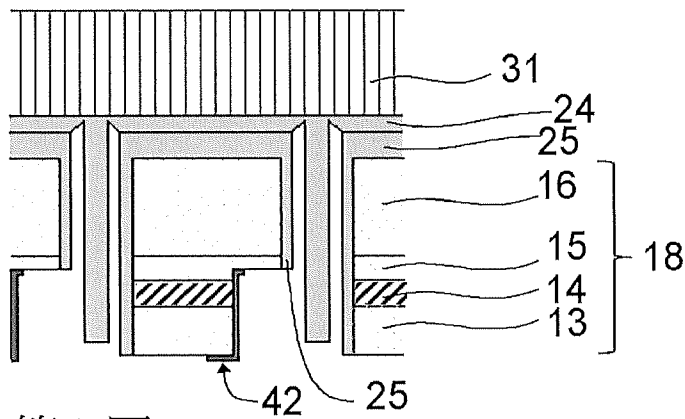
第49圖



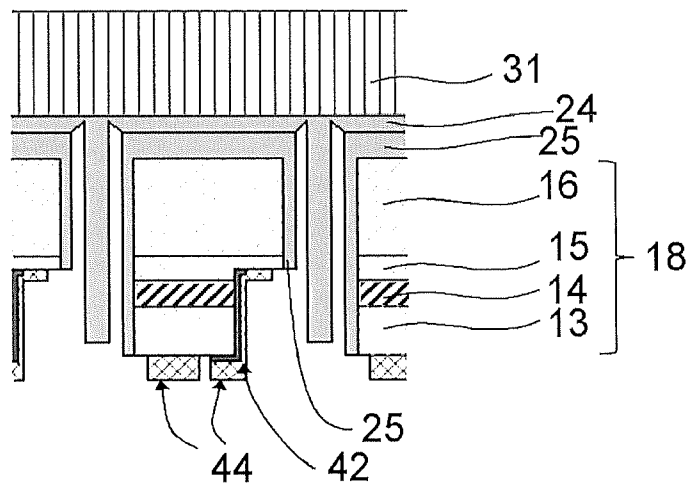
第50圖



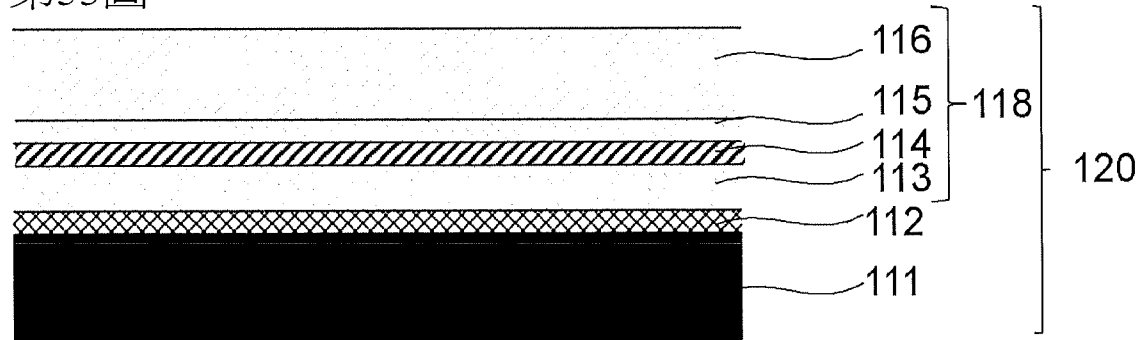
第51圖



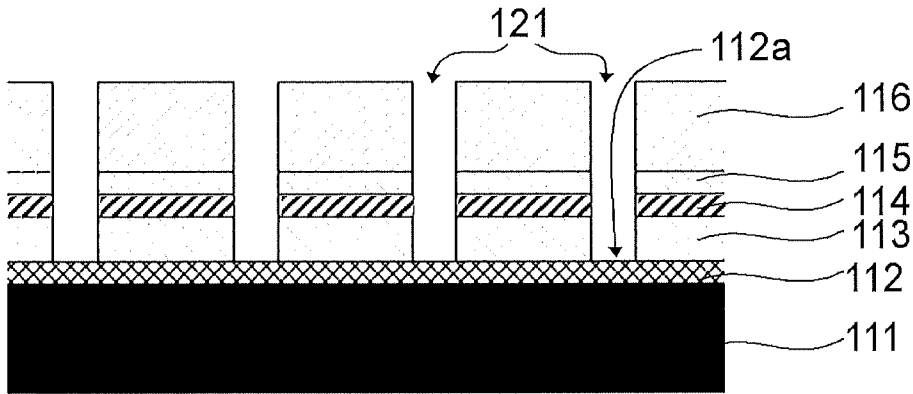
第52圖



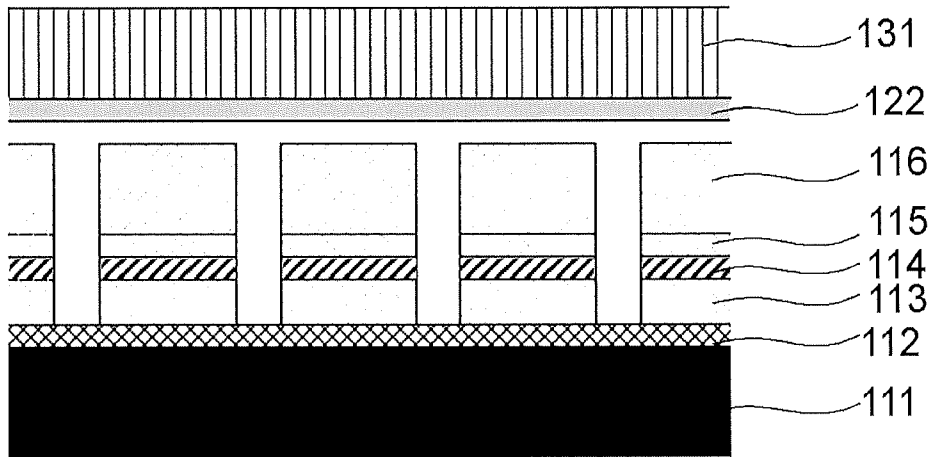
第53圖



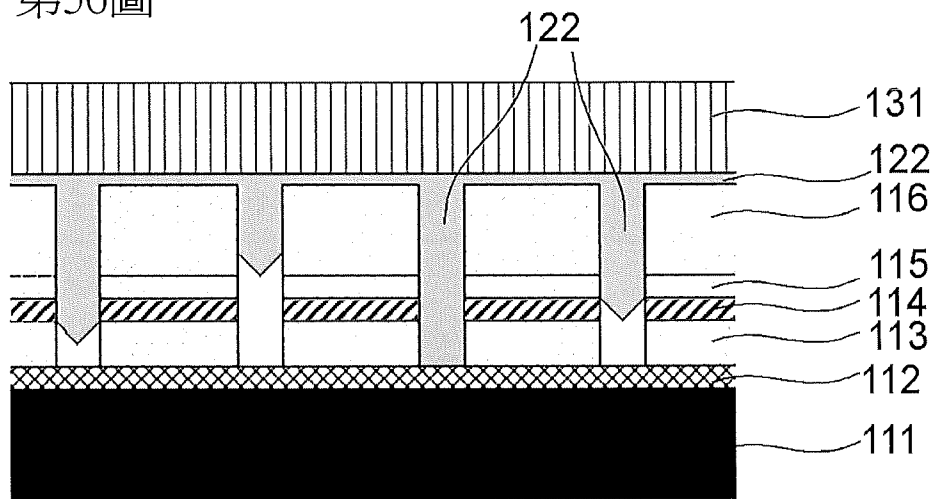
第54圖



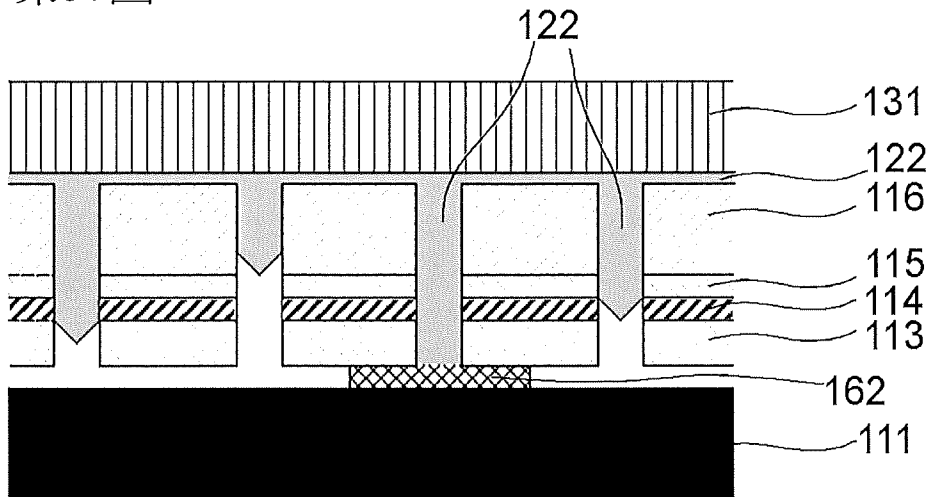
第55圖



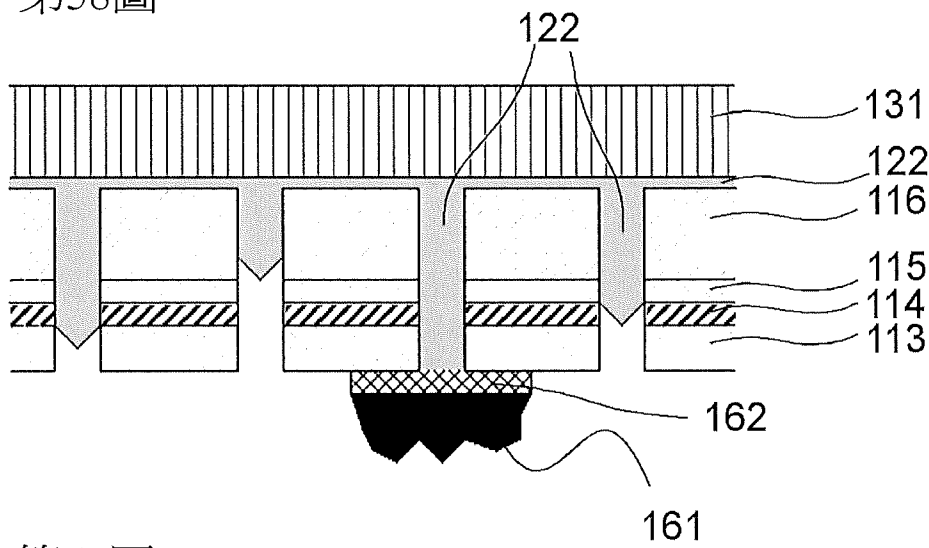
第56圖



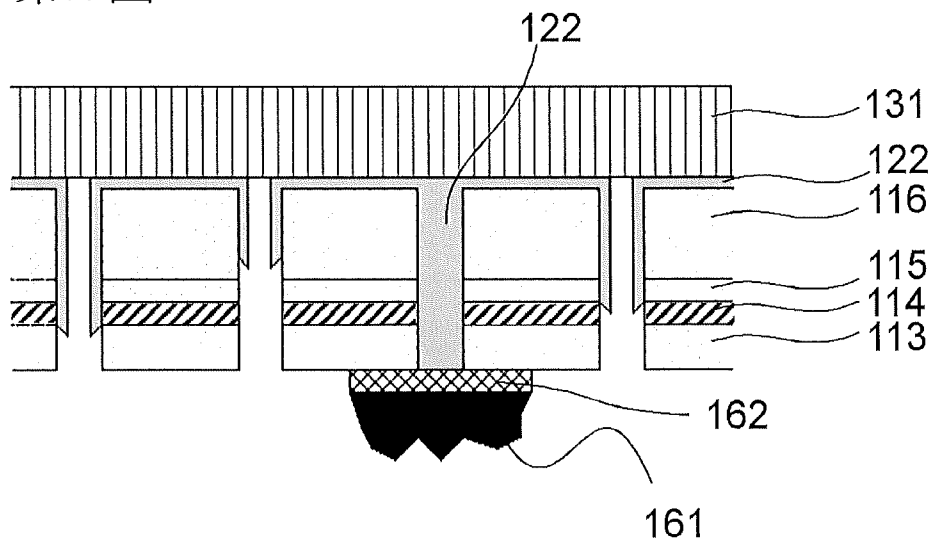
第57圖



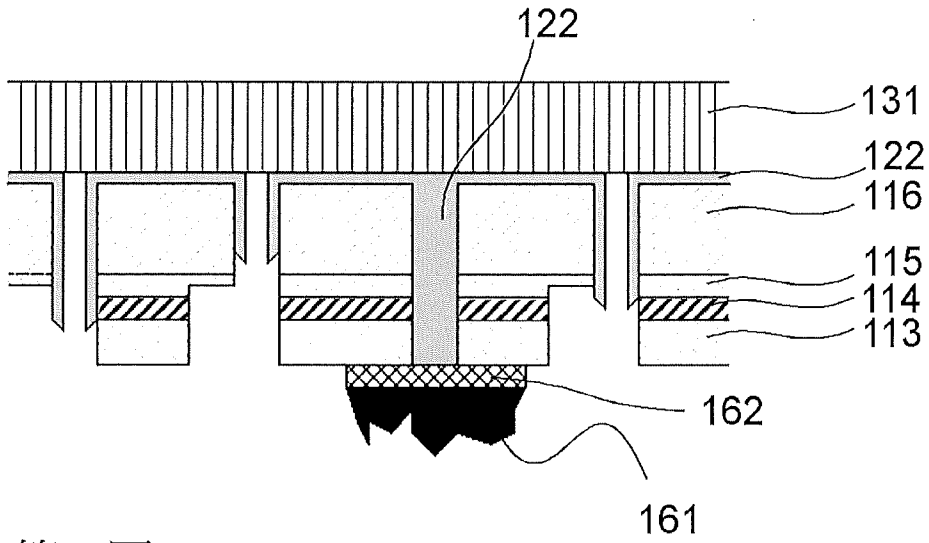
第58圖



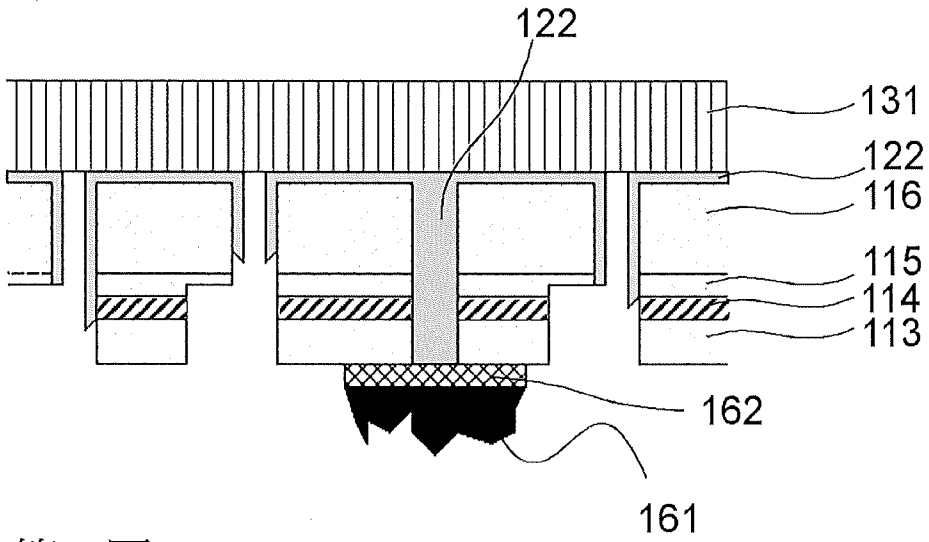
第59圖



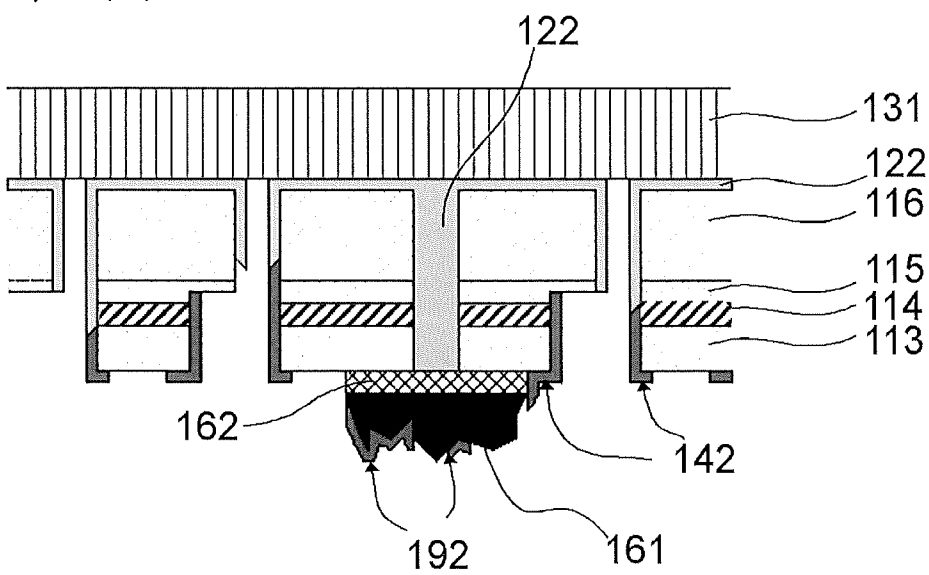
第60圖



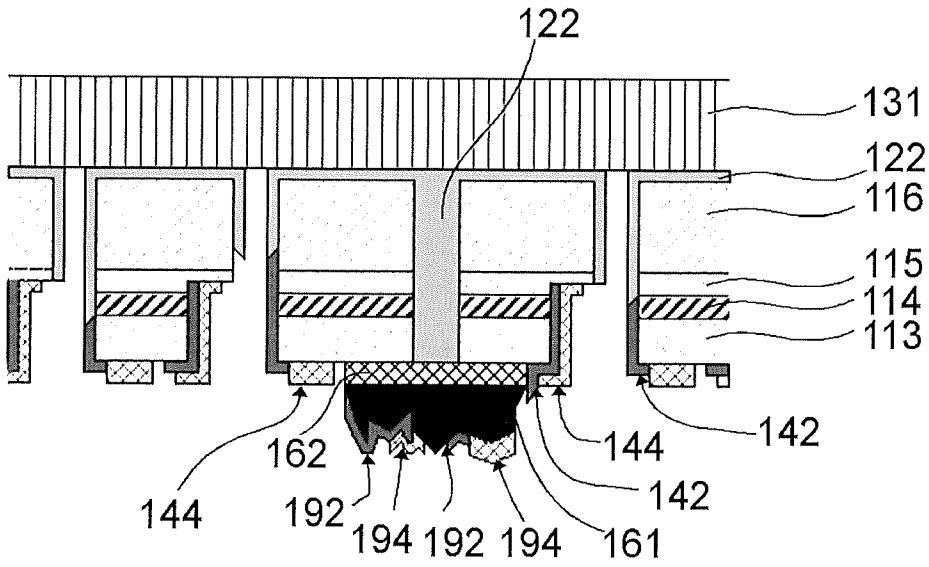
第61圖



第62圖



第63圖



第64圖

