

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成29年2月2日 (2017.2.2)

【公開番号】特開2015-126385(P2015-126385A)

【公開日】平成27年7月6日 (2015.7.6)

【年通号数】公開・登録公報2015-043

【出願番号】特願2013-269673(P2013-269673)

【国際特許分類】

H 0 4 N 5/369 (2011.01)

H 0 1 L 27/146 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 21/8236 (2006.01)

H 0 4 N 5/374 (2011.01)

H 0 4 N 5/376 (2011.01)

H 0 4 N 5/378 (2011.01)

【F I】

H 0 4 N 5/335 6 9 0

H 0 1 L 27/14 A

H 0 1 L 27/08 1 0 2 C

H 0 1 L 27/08 1 0 2 B

H 0 1 L 27/08 3 1 1 D

H 0 4 N 5/335 7 4 0

H 0 4 N 5/335 7 6 0

H 0 4 N 5/335 7 8 0

【手続補正書】

【提出日】平成28年12月19日 (2016.12.19)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

画素回路部および周辺回路部を単一の半導体基板の上に備える撮像装置であって、

前記画素回路部は、行列状に配され、各々が光電変換素子と、前記光電変換素子で生成された電荷を転送する転送素子と、前記光電変換素子で生成された電荷に基づく信号を生成する増幅素子を含む複数の画素回路を有し、

前記周辺回路部は、各々が前記画素回路の列に対応して配され、各々が前記画素回路から出力されたアナログ信号を処理する複数のアナログ信号処理回路と、デジタル信号を処理するデジタル信号処理回路と、を有し、

前記複数の画素回路の各々は、絶縁ゲート型の電界効果トランジスタであってゲートの電位とボディの電位の電位差の最大値が第 1 値以上である第 1 種トランジスタを含み、

前記複数のアナログ信号処理回路の各々は、絶縁ゲート型の電界効果トランジスタであって、ゲートの電位とボディの電位の電位差の最大値が前記第 1 値よりも小さい第 2 値以下である第 2 種トランジスタを含み、ゲートの電位とボディの電位の電位差の最大値が前記第 2 値を超える絶縁ゲート型の電界効果トランジスタを含まず、

前記デジタル信号処理回路は、絶縁ゲート型のトランジスタであって、ゲートの電位と

ボディの電位の電位差の最大値が前記第 2 値よりも小さい第 3 値以下である第 3 種トランジスタを含み、ゲートの電位とボディの電位の電位差の最大値が前記第 3 値を超える絶縁ゲート型の電界効果トランジスタを含まず、

前記転送素子は前記第 1 種トランジスタであることを特徴とする撮像装置。

【請求項 2】

前記第 1 値と前記第 2 値との差 V が下記の式を満たす、請求項 1 に記載の撮像装置。

【数 1】

$$\Delta V \geq \Phi_{MS} + \frac{2kT}{q} \ln\left(\frac{N_A}{n_i}\right) + \frac{2}{C_o} \sqrt{\epsilon_s N_A kT \ln\left(\frac{N_A}{n_i}\right)}$$

Φ_{MS} [V] は前記増幅素子のゲート電極と前記増幅素子のボディとの仕事関数差、 q [C] は素電荷、 k [J/K] はボルツマン定数、 T [K] は 300 [K]、 n_i は前記増幅素子のボディの真性キャリア密度、 N_A [cm⁻³] は前記増幅素子のボディの不純物濃度、 C_o [F/cm²] は前記増幅素子のゲート絶縁膜の容量、 ϵ_s [F/cm] は前記増幅素子のボディの誘電率である。

【請求項 3】

前記第 3 種トランジスタのゲート絶縁膜の厚みは、前記第 1 種トランジスタのゲート絶縁膜の厚みおよび前記第 2 種トランジスタのゲート絶縁膜の厚みよりも小さい、請求項 1 または 2 に記載の撮像装置。

【請求項 4】

前記第 2 種トランジスタのゲート長は、前記第 1 種トランジスタのゲート長よりも小さい、請求項 1 乃至 3 のいずれか 1 項に記載の撮像装置。

【請求項 5】

前記第 1 種トランジスタのゲート絶縁膜の厚みが、前記第 2 種トランジスタのゲート絶縁膜の厚みと等しい、請求項 1 乃至 4 のいずれか 1 項に記載の撮像装置。

【請求項 6】

前記増幅素子は前記第 1 種トランジスタである、請求項 1 乃至 5 のいずれか 1 項に記載の撮像装置。

【請求項 7】

前記転送素子はデプレッション型であり、前記増幅素子はエンハンスメント型である、請求項 1 乃至 6 のいずれか 1 項に記載の撮像装置。

【請求項 8】

前記複数の画素回路の各々は前記光電変換素子で生成された電荷をリセットするリセット素子を含み、前記リセット素子は前記第 1 種トランジスタである、請求項 1 乃至 7 のいずれか 1 項に記載の撮像装置。

【請求項 9】

前記複数の画素回路の各々は前記画素回路からの出力の ON と OFF を選択する選択素子を含み、前記選択素子は前記第 1 種トランジスタである、請求項 1 乃至 8 のいずれか 1 項に記載の撮像装置。

【請求項 10】

前記画素回路と前記アナログ信号処理回路との間にレベルシフト回路を構成する容量が設けられている、請求項 1 乃至 9 のいずれか 1 項に記載の撮像装置。

【請求項 11】

前記アナログ信号処理回路は、入力段に差動対を有する、増幅器および比較器の少なくとも一方を有し、前記差動対は前記第 2 種トランジスタを含む、請求項 1 乃至 10 のいずれか 1 項に記載の撮像装置。

【請求項 12】

前記アナログ信号処理回路はスイッチを有し、前記スイッチは前記第 2 種トランジスタ

である、請求項 1 乃至 11 のいずれか 1 項に記載の撮像装置。

【請求項 13】

前記周辺回路部は各々が前記画素回路の列に対応して配された複数の読み出し回路を有し、前記複数の読み出し回路の各々は電流源を構成する絶縁ゲート型の電界効果トランジスタである第 4 種トランジスタを含み、

前記第 4 種トランジスタのゲート長は前記第 2 種トランジスタのゲート長よりも大きい、請求項 1 乃至 12 のいずれか 1 項に記載の撮像装置。

【請求項 14】

前記第 4 種トランジスタのゲート長は、前記第 1 種トランジスタのゲート長よりも大きい、請求項 13 に記載の撮像装置。

【請求項 15】

前記周辺回路部は、各々が前記画素回路の行に対応して配され各々が前記画素回路を駆動する複数の駆動回路を有し、前記複数の駆動回路の各々は印加されるゲートの電位とボディの電位の電位差の最大値が前記第 2 値を超える絶縁ゲート型の電界効果トランジスタを含み、前記駆動回路の前記電界効果トランジスタの出力に基づく信号が、前記画素回路の前記第 1 種トランジスタのゲートに印加される、請求項 1 乃至 14 のいずれか 1 項に記載の撮像装置。

【請求項 16】

前記第 1 種トランジスタは LDD 構造を有さず、前記第 2 種トランジスタは LDD 構造を有し、前記第 2 種トランジスタは Halo 構造を有さず、前記第 3 種トランジスタは Halo 構造を有する、請求項 1 乃至 15 のいずれか 1 項に記載の撮像装置。

【請求項 17】

前記第 1 値と前記第 2 値との差が 0.50V 以上であることを特徴とする請求項 1 乃至 16 のいずれか 1 項に記載の撮像装置。

【請求項 18】

前記第 1 値は 4.0V 以上であり、前記第 2 値は 4.0V 未満である、請求項 1 乃至 16 のいずれか 1 項に記載の撮像装置。

【請求項 19】

前記複数のアナログ信号処理回路の各々はアナログ - デジタル変換回路を含み、前記デジタル信号は前記アナログ - デジタル変換回路から出力される、請求項 1 乃至 18 のいずれか 1 項に記載の撮像装置。

【請求項 20】

請求項 1 乃至 19 のいずれか 1 項に記載の撮像装置と、前記撮像装置から出力された信号を処理する信号処理装置と、を備える撮像システム。