

# ITALIAN PATENT OFFICE

Document No.

102010901903288A1

Publication Date

20120629

Applicant

STMICROELECTRONICS S.R.L.

Title

ASSEMBLAGGIO DI SUBSTRATI PROVVISIO DI INTERCONNESSIONI  
CAPACITIVE, E RELATIVO METODO DI FABBRICAZIONE

## DESCRIZIONE

del brevetto per invenzione industriale dal titolo:

"ASSEMBLAGGIO DI SUBSTRATI PROVVISIO DI INTERCONNESSIONI CAPACITIVE, E RELATIVO METODO DI FABBRICAZIONE"

di STMICROELECTRONICS S.R.L.

di nazionalità italiana

con sede: VIA C. OLIVETTI, 2

AGRATE BRIANZA (MB)

Inventori: CANEGALLO Roberto, SCANDIUZZO Mauro

\* \* \*

La presente invenzione è relativa ad un assemblaggio di substrati ("substrate assembly") comprendente interconnessioni capacitive, e ad un relativo metodo di fabbricazione.

È noto realizzare connessioni elettriche di tipo ohmico tra una pluralità di piastrine ("chip") e/o tra piastrine e un substrato. Tali connessioni prevedono la realizzazione di protuberanze o rigonfiamenti, in particolare bump per saldatura ("solder bumps") o bump a pilastro ("pillar bumps"), estendentisi a partire da rispettive porzioni affacciate delle piastrine e del substrato. Le connessioni elettriche tramite "bump" hanno numerosi vantaggi rispetto alle connessioni elettriche tramite fili ("wire bonding"), tra cui la possibilità di permettere un considerevole risparmio di area.

**Elena CERBARO**  
*(Iscrizione Albo nr. 426/BM)*

Ad esempio, il brevetto US 5,477,933 descrive un dispositivo elettronico comprendente una piastrina collegata ad un substrato tramite una pluralità di bumps. Ciascun bump, ad esempio di AuGe e/o PbSn, è disposto in contatto elettrico diretto con rispettive regioni di connessione formate su rispettive superfici affacciate della piastrina e del substrato, e realizza in questo modo una interconnessione conduttiva.

Tuttavia, con la crescita del fattore di integrazione dei dispositivi elettronici, negli ultimi anni è diventato sempre più difficile fornire una quantità sufficiente di interconnessioni ad elevate prestazioni, in particolare in grado di trasferire sia segnali di potenza ("power signals") che segnali informativi ("information signals"), soprattutto ad alta frequenza (ad esempio nel caso di dispositivi RFID, dispositivi funzionanti a radiofrequenza, ecc.). Per superare queste difficoltà, sono stati proposti dispositivi le cui interconnessioni utilizzano un accoppiamento di tipo capacitivo e/o induttivo. In questo caso, le connessioni ohmiche utilizzate per il trasferimento di segnali informativi sono sostituite da connessioni capacitive, che consentono un efficiente trasferimento di segnali in corrente alternata (AC). Una connessione capacitiva può essere realizzata formando piazzole conduttive ("conductive pads") sulle superfici

delle piastrine che devono essere accoppiate, e quindi disponendo le piastrine in modo tale che le rispettive piazzole conduttive siano tra loro affacciate a formare un condensatore. Risulta evidente che, al fine di massimizzare le prestazioni, la distanza tra piazzole conduttive affacciate deve essere controllata in modo preciso, affidabile e ripetibile. Inoltre, anche l'allineamento tra piazzole conduttive che devono comunicare deve essere controllato.

Per risolvere questi problemi, il documento US 2005/0046037 descrive un primo ed un secondo substrato provvisti di rispettive piazzole conduttive configurate per accoppiarsi capacitivamente. Il primo substrato include inoltre un recesso in cui è formato un bump (in particolare, un "solder bump"). Il recesso e il bump sono configurati così che, quando il secondo substrato viene avvicinato al primo substrato entrando in contatto con il bump, tutte le piazzole conduttive sono tra loro separate di una distanza predeterminata, comunque inferiore allo spessore del bump.

Con riferimento alle interconnessioni capacitive descritte in US 2005/0046037, la distanza tra le piazzole conduttive di substrati affacciati è determinata congiuntamente dallo spessore dei bump e dalla profondità dei recessi in cui i bump sono formati. Eventuali spread di

processo o di non uniformità delle fasi di fabbricazione possono portare alla formazione, sullo stesso substrato, di recessi aventi profondità tra loro non uniforme e/o bump aventi spessore non uniforme. Inoltre, per consentire un sufficiente grado di stabilità meccanica e sostegno tra substrati accoppiati, può essere necessario formare i bump in numero di molto superiore a quanto effettivamente necessario per il trasferimento di segnali informativi tra substrati. In particolare, qualora il trasferimento di segnali informativi fosse effettuato esclusivamente utilizzando l'accoppiamento capacitivo tra piazzole conduttive, tutti i bump avrebbero la sola funzione di sostegno e separazione tra piazzole conduttive.

Questo risulta in un considerevole spreco di area dei substrati utilizzati, inoltre complicandone il processo di fabbricazione ed aumentandone i costi, a causa della necessità di scavare il substrato in una pluralità di porzioni per realizzare i recessi in cui formare i bump.

Scopo della presente invenzione è fornire un assemblaggio di substrati comprendente interconnessioni capacitive, ed un relativo metodo di fabbricazione in grado di superare i problemi dell'arte nota.

Secondo la presente invenzione sono forniti un assemblaggio di substrati comprendente interconnessioni capacitive, ed un relativo metodo di fabbricazione, come

**Elena CERBARO**  
*(Iscrizione Albo nr. 426/BM)*

definito nelle rivendicazioni allegate.

Per una migliore comprensione della presente invenzione viene ora descritta una forma di realizzazione preferita, a puro titolo di esempio non limitativo, con riferimento ai disegni allegati, nei quali:

- la figura 1 mostra, in vista in sezione, un assemblaggio di substrati accoppiati tra loro capacitivamente, secondo una forma di realizzazione della presente invenzione;

- la figura 2a mostra, in vista in sezione, un assemblaggio di substrati accoppiati tra loro capacitivamente e ohmicamente, secondo un'altra forma di realizzazione della presente invenzione;

- la figura 2b mostra, in vista in sezione, un assemblaggio di substrati accoppiati tra loro capacitivamente e ohmicamente, secondo un'ulteriore forma di realizzazione della presente invenzione;

- le figure 3a, 3b, 4-6 mostrano fasi di formazione dell'assemblaggio di figura 2a o 2b;

- la figura 7 mostra, in vista in sezione, un assemblaggio di substrati accoppiati tra loro capacitivamente e ohmicamente, secondo una ulteriore forma di realizzazione della presente invenzione;

- la figura 8 mostra, in vista in sezione, un assemblaggio 3D di piastrine secondo la presente

**Elena CERBARO**  
*(Iscrizione Albo nr. 426/BM)*

invenzione; e

- la figura 9 mostra, in vista dall'alto, una piastrina comprendente piazzole ("pads") disposte in una porzione centrale ed in una porzione periferica.

La figura 1 mostra, in vista in sezione, un assemblaggio ("assembly") di due substrati secondo una forma di realizzazione della presente invenzione, formante, ad esempio, un dispositivo elettronico 10.

In dettaglio, il dispositivo elettronico 10 comprende un primo substrato 2 ed un secondo substrato 6, ad esempio di materiale semiconduttore, quale silicio.

Il primo substrato 2 è provvisto di prime piazzole conduttive 4, formate su una superficie 2a del primo substrato 2, ed il secondo substrato 6 provvisto di seconde piazzole conduttive 8 formate su una superficie 6a del secondo substrato 6. La figura 1 mostra, esemplificativamente, tre prime piazzole conduttive 4 e tre seconde piazzole conduttive 8. Risulta evidente che, a seconda delle necessità, le prime e le seconde piazzole conduttive 4, 8 possono essere in un numero qualsiasi, superiore o inferiore a tre.

Il secondo substrato 6 include inoltre uno strato dielettrico 12, formato al di sopra della superficie 6a e al di sopra delle seconde piazzole conduttive 8. Lo strato dielettrico 12 è, secondo una forma di realizzazione della

**Elena CERBARO**  
*(Iscrizione Albo nr. 426/BM)*

presente invenzione, uno strato di passivazione, ad esempio di ossido di silicio, e ha uno spessore compreso tra alcune centinaia di nanometri ad alcuni micrometri, ad esempio pari ad 1  $\mu\text{m}$ .

Il primo substrato 2 e il secondo substrato 6 sono reciprocamente disposti in modo tale che le rispettive superfici 2a e 6a sono tra loro affacciate e le prime piazzole 4 sono almeno parzialmente allineate, lungo una direzione verticale definita dall'asse Z, alle rispettive seconde piazzole 8. In questo modo, rispettive prime e seconde piazzole conduttive 4, 8 sono tra loro affacciate.

Il primo substrato 2 e il secondo substrato 6 sono accoppiati mediante una pluralità di elementi di accoppiamento 16 di materiale conduttivo, ad esempio protuberanze ("bump"), in particolare "bump" per saldatura ("solder bumps"). Gli elementi di accoppiamento 16 sono, ad esempio, di metallo, come alluminio, rame, stagno, piombo, oro, o altri metalli ancora, o di una lega conduttiva, ad esempio oro/germanio (AuGe) o piombo/stagno (PbSn) o stagno/argento (SnAg).

In particolare, ciascun elemento di accoppiamento 16 si estende a partire da ciascuna prima piazzola conduttiva 4 (con cui è in contatto elettrico) fino a contattare lo strato dielettrico 12 in una porzione di quest'ultimo affacciata ad una rispettiva seconda piazzola conduttiva 8.

**Elena CERBARO**  
*(Iscrizione Albo nr. 426/BM)*

Ciascuna prima piazzola conduttiva 4 è pertanto almeno parzialmente allineata, lungo la direzione dell'asse Z, ad un rispettivo elemento di accoppiamento 16 e ad una rispettiva seconda piazzola 8.

In dettaglio, ciascuna prima piazzola conduttiva 4 è in contatto elettrico con un rispettivo elemento di accoppiamento 16, il quale è capacitivamente accoppiato ad una rispettiva seconda piazzola conduttiva 8. Si forma così una interconnessione capacitiva 19, schematizzabile come un condensatore in cui una piastra del condensatore ("capacitor plate") è formata dall'insieme di una prima piazzola 4 e di un elemento di accoppiamento 16, e l'altra piastra del condensatore è formata da una seconda piazzola 8. Il dielettrico interposto tra le piastre del condensatore è una porzione dello strato dielettrico 12 compresa tra l'elemento di accoppiamento 16 e la rispettiva seconda piazzola conduttiva 8.

Si realizza così un accoppiamento capacitivo tra ciascuna prima piazzola 4 e una rispettiva seconda piazzola 8.

Il primo e il secondo substrato 2, 6 comprendono inoltre uno o più circuiti di ricezione e trasmissione 13, ciascuno di essi accoppiato ad una rispettiva piazzola conduttiva 4, 8 e formato, ad esempio, in forma integrata nel rispettivo primo e secondo substrato 2, 6.

**Elena CERBARO**  
*(Iscrizione Albo nr. 426/BM)*

Ciascun circuito di ricezione e trasmissione 13 è un circuito di tipo noto, configurato per consentire la comunicazione in trasmissione e/o ricezione di dati informativi (in formato digitale o analogico) tra le piazzole conduttive 4, 8.

Il primo substrato 2 comprende inoltre un circuito elettronico integrato 23, collegato alle piazzole conduttive 4 tramite rispettivi circuiti di ricezione e trasmissione 13, e configurato per gestire i dati informativi scambiati tra le piazzole conduttive 4 e le piazzole conduttive 8.

Analogamente, anche il substrato 6 comprende un rispettivo circuito elettronico integrato 25, collegato alle piazzole conduttive 8 tramite rispettivi circuiti di ricezione e trasmissione 13, e configurato per gestire i dati informativi scambiati tra le piazzole conduttive 4 e le piazzole conduttive 8. I circuiti integrati 23, 25 possono in questo modo scambiarsi dati informativi tramite l'accoppiamento capacitivo formato tra le piazzole conduttive 4 e le piazzole conduttive 8.

Grazie alla presenza dello strato dielettrico 12, non è necessario fornire il circuito di ricezione e trasmissione 13 con diodi di protezione da scariche elettrostatiche (diodi ESD).

La figura 2a mostra, in vista in sezione, un

**Elena CERBARO**  
*(Iscrizione Albo nr. 426/BM)*

assemblaggio di due substrati secondo una ulteriore forma di realizzazione della presente invenzione. L'assemblaggio di figura 2a forma, ad esempio, un dispositivo elettronico 30.

Il dispositivo elettronico 30 è analogo al dispositivo elettronico 10 di figura 1 (elementi comuni non sono ulteriormente descritti e sono indicati in figura con gli stessi numeri di riferimento), e comprende, oltre alle interconnessioni capacitive 19, una interconnessione ohmica 31. Risulta evidente che il numero di interconnessioni capacitive 19 e interconnessioni ohmiche 31 può essere diverso da quanto mostrato in figura 2a. In particolare possono essere presenti interconnessioni capacitive 19 in numero superiore o inferiore a due, e interconnessioni ohmiche 31 in numero superiore a uno.

L'interconnessione ohmica 31 è formata mediante un elemento di accoppiamento 16a analogo agli elementi di accoppiamento 16, ad esempio un bump conduttivo (di tipo "solder bump"). L'elemento di accoppiamento 16a si estende tra una prima piazzola conduttiva 4a (analoga alle prime piazzole conduttive 4) e una rispettiva seconda piazzola conduttiva 8a (analoga alle seconde piazzole conduttive 8), affacciata alla prima piazzola conduttiva 4a e ad essa allineata lungo una direzione parallela all'asse Z. L'elemento di accoppiamento 16a è in contatto ohmico sia

con la prima piazzola conduttiva 4a che con la seconda piazzola conduttiva 8a, e può essere utilizzato per il trasferimento di segnali informativi e/o per il trasferimento di segnali di polarizzazione in corrente continua, e/o per il trasferimento dell'alimentazione tra il primo e il secondo substrato 4, 6. A tal fine, può essere previsto un collegamento tra i circuiti elettronici 23, 25 tramite l'elemento di accoppiamento 16a.

Secondo una forma di realizzazione della presente invenzione, come mostrato in figura 2b, le interconnessioni capacitive 19 sono utilizzate per la comunicazione di dati informativi utilizzando segnali in corrente alternata (AC), e l'interconnessione ohmica 31 è utilizzata per l'alimentazione in corrente continua (DC). Il primo substrato 2 comprende inoltre un alimentatore 29, formato in forma integrata nel primo substrato 2, configurato per alimentare il circuito elettronico integrato 23 e il circuito elettronico integrato 25. L'alimentazione al circuito elettronico integrato 25 è fornita tramite l'interconnessione ohmica 31.

Alternativamente, in modo non mostrato in figura, l'alimentatore 29 è esterno al primo e al secondo substrato 2, 6. Con riferimento alle figura 3a, 3b, 4-6, sono ora descritte fasi di processo per la fabbricazione dell'assemblaggio che forma il dispositivo elettronico 30

di figura 2a (o 2b).

Le figure 3a e 3b mostrano il primo e il secondo substrato 2, 6 al termine di rispettive fasi di lavorazione. In questa fase, il primo e il secondo substrato 2, 6 sono substrati lavorati in modo indipendente l'uno dall'altro, ed in particolare comprendenti una pluralità di strati di materiali depositati e/o cresciuti, secondo tecniche note di microfabbricazione. Le superfici 2a e 6a sono pertanto le superfici risultanti al termine di rispettive fasi di lavorazione dei substrati 2, 6. In particolare, le superfici 2a, 6a comprendono rispettive piazzole conduttive 4, 4a, 8, 8a, disposte in modo tale da consentire l'interconnessione dei substrati 2, 6 come precedentemente descritto con riferimento alla figura 2a.

Risulta evidente che i substrati 2, 6 possono essere indifferentemente substrati a semiconduttore di rispettive piastrine ("chip"), o substrati di supporti a circuito stampato (PCB - "printed circuit board"), o, ancora, substrati di "package" atti a portare una piastrina provvista di connessioni a bump ed accoppiati alla piastrina tramite i bump stessi, o altro ancora.

Il secondo substrato 6 comprende, come detto, uno strato dielettrico 12 formato sulle seconde piazzole conduttive 8 ma non sulla seconda piazzola conduttiva 8a.

Il primo substrato 2 alloggia, in corrispondenza delle

prime piazzole conduttive 4, gli elementi di accoppiamento 16, e in corrispondenza della prima piazzola 4a, l'elemento di accoppiamento 16a. Gli elementi di accoppiamento 16, 16a sono, secondo una forma di realizzazione della presente invenzione, bump metallici ("solder bumps" o "pillar bumps") uguali tra loro e formati in una medesima fase di processo.

Tecniche per la formazione di bump sono note in letteratura, ad esempio da US 5,477,933.

Quindi, figura 4, il primo e il secondo substrato 2, 6 sono disposti con le rispettive superfici 2a e 6a affacciate tra loro (tecnica di "flip-chip"), in modo tale che le seconde piazzole conduttive 8, 8a siano allineate, lungo l'asse Z, con gli elementi di accoppiamento 16 e 16a, rispettivamente.

Quindi, figura 5, il secondo substrato 6 viene avvicinato al primo substrato 2 (o viceversa) in modo tale che gli elementi di accoppiamento 16 siano posti in contatto con lo strato dielettrico 12. In questa fase, l'elemento di accoppiamento 16a potrebbe non essere in contatto con la rispettiva seconda piazzola conduttiva 8a, a causa dello spessore dello strato dielettrico 12.

Infine, figura 6, il primo e il secondo substrato 2, 6 vengono disposti in un ambiente avente, ad esempio, temperatura leggermente superiore alla temperatura di

fusione degli elementi di accoppiamento 16 e 16a, e tale da causare una fusione parziale degli elementi di accoppiamento 16 e 16a (anche conosciuta come "reflow"). Generalmente, per elementi di accoppiamento 16, 16a di PbSn, la temperatura di fusione è di circa 310°C.

Durante la fase di reflow si genera un parziale riallineamento e ridisposizione del primo e del secondo substrato 2, 6, che, per effetto della parziale fusione degli elementi di accoppiamento 16 e 16a, si avvicinano lungo l'asse Z, riducendo la distanza reciproca tra le superfici 2a, 6a. In questo modo, anche l'elemento di accoppiamento 16a contatta la seconda piazzola conduttiva 8a.

La richiedente ha verificato che, essendo lo spessore dello strato dielettrico 12 ridotto (come detto, ad esempio di 1 µm), la ridisposizione reciproca tra i substrati 2, 6 durante la fase di reflow è sufficiente a colmare la distanza eventualmente presente tra l'elemento di accoppiamento 16a e la seconda piazzola conduttiva 8a.

Quanto detto vale in generale anche nel caso in cui, per spread di processo, alcuni tra gli elementi di accoppiamento 16 abbiano spessore inferiore ad altri elementi di accoppiamento 16. La ridisposizione reciproca dei substrati 2, 6 durante la fase di reflow consente anche di ottenere un buon contatto tra gli elementi di

accoppiamento 16 e lo strato dielettrico 12.

Chiaramente, la temperatura e la durata della fase di reflow è accuratamente controllata, come noto nella tecnica anteriore, e nessuno degli elementi di accoppiamento 16 si fonde completamente.

Alternativamente a quanto descritto con riferimento alla fasi di figura 6, il processo termico può essere sostituito da o affiancato a un processo di bonding a pressione ("pressure bonding").

Si forma così il dispositivo elettronico di figura 2a.

La figura 7 mostra un dispositivo elettronico 40 secondo una ulteriore forma di realizzazione della presente invenzione.

Secondo la forma di realizzazione di figura 7, gli elementi di accoppiamento 16 (e l'elemento di accoppiamento 16a quando presente) sono bump a pilastro ("pillar bumps"). Elementi comuni alle forme di realizzazione di figura 1 e figura 2a non sono ulteriormente descritti e sono indicati con gli stessi numeri di riferimento.

Gli elementi di accoppiamento 16, 16a in forma di pillar bumps comprendono una struttura portante 42, tipicamente in rame, avente spessore di alcune decine di micrometri, alle cui estremità opposte sono formate regioni di accoppiamento 43 e 44, tipicamente di una lega di piombo/stagno o stagno/argento o UBM ("under bump

metallization"). Le regioni di accoppiamento 43, 44 sono atte a favorire l'adesione (tipicamente mediante saldatura) di ciascun elemento di accoppiamento 16, 16a con le prime e seconde piazzole conduttive 4, 4a, 8, 8a. Durante la fase di reflow, come precedentemente descritto con riferimento alla figura 6, le regioni di accoppiamento 43, 44 fondono in modo controllato, così da consentire una riduzione della distanza che separa le superfici 2a e 6a lungo l'asse Z tale da portare in contatto diretto gli elementi di accoppiamento 16 con lo strato dielettrico 12 e l'elemento di accoppiamento 16 a con la seconda piazzola metallica 8a. La fusione ha altresì lo scopo di favorire l'adesione tra le regioni di accoppiamento 43, 44 e le piazzole conduttive 4, 4a, 8a con cui sono in contatto, nonché di favorire un buon accoppiamento capacitivo tra le regioni di accoppiamento 43 e lo strato dielettrico 12

Il vantaggio di utilizzare pillar bumps invece di solder bump risiede nel fatto che, come noto, è possibile formare pillar bumps aventi distanza reciproca laterale (lungo l'asse X) inferiore alla distanza richiesta dai solder bump. I pillar bump hanno tuttavia lo svantaggio di richiedere fasi di fabbricazione più complesse e generano condensatori parassiti tra pillar bump adiacenti aventi capacità parassite superiori rispetto a quanto avviene nel caso di solder bump.

Come mostrato in figura 8, l'assemblaggio secondo la presente invenzione (secondo una qualsiasi delle forme di realizzazione descritte) trova applicazione nell'integrazione 3D di piastrine ("chip"). Ad esempio, la figura 8 mostra una prima, una seconda e una terza piastrina 101, 102 e 103 capacitivamente accoppiate tra loro mediante una pluralità di elementi di accoppiamento del tipo precedentemente descritto. Inoltre, le piastrine 101-103 comprendono uno o più elementi di accoppiamento atti a formare un accoppiamento elettrico ohmico, ad esempio per l'alimentazione elettrica delle piastrine 101-103.

Per proteggere le superfici tra loro affacciate di ciascuna piastrina 101-103, le piastrine 101-103 comprendono un rispettivo strato di passivazione, estendentesi su tutta la superficie delle piastrine 101-103 ad eccezione delle piazzole conduttive in corrispondenza delle quali è previsto un accoppiamento di tipo ohmico.

In dettaglio, la piastrina 101 comprende un substrato a semiconduttore 111 avente una superficie 111a e alloggiante una pluralità di piazzole conduttive 118, 118a in corrispondenza della superficie 111a. Sulla superficie 111a si estende inoltre uno strato di passivazione 112, di materiale dielettrico, avente spessore ad esempio pari a 1µm. Lo strato di passivazione 112 copre le piazzole

conduttive 118 ma non la piazzola conduttiva 118a. Le piazzole conduttive 118 sono configurate per consentire un accoppiamento capacitivo tra la piastrina 101 e la piastrina 103, mentre la piazzola conduttiva 118a è configurata per consentire un accoppiamento ohmico tra la piastrina 101 e la piastrina 103.

Il substrato 111, analogamente a quanto già descritto con riferimento al substrato 6 delle figure 1, 2a, 2b, può comprendere una pluralità di circuiti elettronici integrati, collegati con ciascuna piazzola conduttiva 118 per consentire la ricezione e/o la trasmissione di segnali informativi in modalità capacitiva, ed un circuito di alimentazione, collegato alla piazzola conduttiva 118a per prelevare il segnale di alimentazione.

La piastrina 103 comprende un substrato 113, ad esempio di materiale semiconduttore, alloggiante, in corrispondenza di una superficie 113a, una pluralità di piazzole conduttive 114, 114a, 114b. Sulla superficie 113a del substrato 113 si estende inoltre uno strato di passivazione 120, a protezione della superficie 113a. Lo strato di passivazione 120 lascia scoperte le piazzole conduttive 114, 114a, 114b.

Analogamente a quanto descritto con riferimento alla piastrina 101, anche il substrato 113 comprendere una pluralità di circuiti elettronici integrati, collegati con

ciascuna piazzola conduttiva 114 per consentire la ricezione e/o la trasmissione di segnali informativi, ed un circuito di alimentazione elettrica.

Le piastrine 101 e 103 sono reciprocamente disposte in modo tale che le rispettive superfici 111a, 113a siano tra loro affacciate.

L'accoppiamento tra la piastrina 101 e la piastrina 103 è realizzato per mezzo di una pluralità di elementi di accoppiamento 116, 116a, ad esempio solder bumps, come descritto con riferimento alle figure 3-6.

Gli elementi di accoppiamento 116 si estendono tra ciascuna piazzola conduttiva 114 della piastrina 103 allo strato di passivazione 112 della piastrina 101, in contatto elettrico ohmico con la piazzola 114 ed in contatto con una porzione dello strato di passivazione 112 in corrispondenza della quale si estende una rispettiva piazzola conduttiva 118 della piastrina 101. In questo modo, ciascuna piazzola conduttiva 114 è accoppiata capacitivamente ad una rispettiva piazzola conduttiva 118, tramite l'elemento di accoppiamento 116.

L'elemento di accoppiamento 116a si estende tra la piazzola conduttiva 114a della piastrina 103 e la piazzola conduttiva 118a della piastrina 101, in contatto elettrico ohmico sia con la piazzola conduttiva 114a che con la piazzola conduttiva 118a. L'elemento di accoppiamento 116a

può essere utilizzato sia per il trasferimento di segnali informativi che per l'alimentazione elettrica.

La terza piastrina 103 è inoltre disposta su un substrato 105, ad esempio un substrato 105 di un package (non mostrato). La terza piastrina 103 è collegata elettricamente al substrato 105 mediante connessioni a filo 106, estendentisi tra le piazzole conduttiva 114b e rispettive piazzole conduttive del substrato 105.

Alternativamente, in modo non mostrato in figura, anche la terza piastrina 103 ed il substrato 105 possono essere tra loro accoppiati capacitivamente e/o elettricamente mediante elementi di accoppiamento di tipo solder bumps o pillars. In questo caso, la terza piastrina 103 presenta una pluralità di vias conduttivi (TSV - "through-silicon-via") atti a formare un collegamento tra facce opposte della piastrina 103, rendendo l'integrazione 3D delle piastrine di tipo particolarmente compatto.

La seconda piastrina 102 è provvista di un proprio substrato a semiconduttore 112, ed è connessa alla terza piastrina 103 in modo analogo a quanto descritto con riferimento alla prima piastrina 101, e non è quindi ulteriormente descritta.

La figura 9 mostra, in forma schematica e in vista dall'alto, piazzole conduttive 114, 114a disposte in corrispondenza della superficie 111a della piastrina 101.

**Elena CERBARO**  
*(Iscrizione Albo nr. 426/BM)*

Tuttavia, quanto qui detto è valido per tutte le piastrine 101-103.

Con riferimento alla figura 9, la piastrina 101 comprende una porzione centrale 201 circondata da una porzione periferica 202. In particolare, una o più piazzole conduttive possono essere disposte all'interno della porzione centrale 201, ed essere comunque facilmente accessibili mediante connessione capacitiva. Altre piazzole possono essere disposte in corrispondenza della porzione periferica 202. La possibilità di utilizzare la porzione centrale 201 risulta particolarmente vantaggiosa in piastrine o circuiti integrati di tipo "pad-limited", in cui il numero di piazzole conduttive realizzabili nella porzione periferica 202 della piastrina 101 è limitato.

Da un esame delle caratteristiche del trovato realizzato secondo la presente invenzione sono evidenti i vantaggi che essa consente di ottenere.

In particolare, la presente invenzione consente un notevole risparmio di area dei substrati utilizzati in quanto bump conduttivi possono essere formati in una regione qualsiasi del substrato, in particolare in corrispondenza delle piazzole conduttive. In questo modo, i bump hanno allo stesso tempo la funzione di elementi di supporto meccanico e la funzione di elementi di accoppiamento elettrica a contatto (i bump connessi

ohmicamente alle rispettive piazzole) o elementi di accoppiamento elettrica senza contatto (i bump connessi capacitivamente alle rispettive piazzole).

Inoltre, il processo di fabbricazione è compatibile con processi CMOS standard.

Inoltre, l'uso di interconnessioni capacitive consente di limitare l'utilizzo di elementi di protezione elettrostatica (ESD), che occupano area e limitano le performance del dispositivo. L'assenza di elementi di protezione elettrostatica consente anche di ridurre i consumi.

Risulta infine chiaro che al trovato qui descritto ed illustrato possono essere apportate modifiche e varianti senza per questo uscire dall'ambito protettivo della presente invenzione, come definito nelle rivendicazioni allegate.

## RIVENDICAZIONI

1. Assemblaggio (10; 30; 40) comprendente:

- un primo substrato (2) avente una prima superficie (2a) e alloggiante un primo ed un secondo elemento di interconnessione elettrica (4, 4a) in corrispondenza della prima superficie (2a);

- un secondo substrato (6) avente una seconda superficie (6a), alloggiante un terzo e un quarto elemento di interconnessione elettrica (8, 8a) in corrispondenza della seconda superficie (6a), e provvisto di uno strato dielettrico (12) estendentesi al di sopra del terzo elemento di interconnessione elettrica (8);

- un primo elemento di accoppiamento (16), di materiale conduttore, estendentesi tra il primo e il terzo elemento di interconnessione elettrica (4, 8) ed almeno parzialmente allineato al primo e al terzo elemento di interconnessione elettrica (4, 8); e

- un secondo elemento di accoppiamento (16a), di materiale conduttore, estendentesi tra il secondo e il quarto elemento di interconnessione elettrica (4a, 8a) ed almeno parzialmente allineato al secondo e al quarto elemento di interconnessione elettrica (4a, 8a),

il primo elemento di accoppiamento (16) essendo ohmicamente accoppiato al primo (4) elemento di interconnessione elettrica e capacitivamente accoppiato al terzo (8) elemento di interconnessione elettrica, e

**Elena CERBARO**  
*(Iscrizione Albo nr. 426/BM)*

il secondo elemento di accoppiamento (16a) essendo ohmicamente accoppiato al secondo (4a) e al quarto (8a) elemento di interconnessione elettrica.

2. Assemblaggio secondo la rivendicazione 1, in cui il primo elemento di accoppiamento (16) è disposto a contatto con il primo elemento di interconnessione elettrica (4) e con una porzione dello strato dielettrico (12) affacciata al terzo elemento di interconnessione elettrica (8).

3. Assemblaggio secondo una qualsiasi delle rivendicazioni precedenti, in cui il primo e il secondo elemento di accoppiamento (16, 16a) sono "bump", in particolare bump per saldatura ("solder bumps") o bump a pilastro ("pillar bumps").

4. Assemblaggio secondo una qualsiasi delle rivendicazioni precedenti, in cui il primo, il secondo, il terzo e il quarto elemento di interconnessione elettrica (4, 4a, 8, 8a) sono piazzole ("pad") di materiale conduttivo.

5. Assemblaggio secondo una qualsiasi delle rivendicazioni precedenti, in cui il primo substrato (2) alloggia un primo circuito integrato (13, 23) connesso con il primo elemento di interconnessione elettrica (4), il secondo substrato (6) alloggia un secondo circuito integrato (13, 25) connesso con il terzo elemento di interconnessione elettrica (8), il primo e il secondo circuito integrato essendo capacitivamente accoppiati tra

loro per mezzo del primo elemento di interconnessione elettrica (4), del primo elemento di accoppiamento (16) e del terzo elemento di interconnessione elettrica (8).

6. Assemblaggio secondo una qualsiasi delle rivendicazioni precedenti, in cui il primo elemento di interconnessione elettrica (4) e il primo elemento di accoppiamento (16) formano un primo piatto di un condensatore (19), e il terzo elemento di interconnessione elettrica (8) forma un secondo piatto del condensatore (19), lo strato dielettrico (12) formando un dielettrico interposto tra il primo e il secondo piatto del condensatore (19).

7. Assemblaggio secondo una qualsiasi delle rivendicazioni precedenti, in cui il terzo elemento di interconnessione elettrica (4a), il secondo elemento di accoppiamento (16a), e il quarto elemento di interconnessione elettrica (8a) sono configurati per trasferire un segnale in corrente continua tra il primo e il secondo substrato.

8. Assemblaggio secondo una qualsiasi delle rivendicazioni precedenti, in cui il primo substrato (2) comprende inoltre una prima pluralità di elementi di interconnessione elettrica (4) alloggiati in corrispondenza della prima superficie (2a); il secondo substrato (6) comprende inoltre una seconda pluralità di elementi di interconnessione elettrica (8) alloggiati in corrispondenza

della seconda superficie (6a), lo strato dielettrico (12) estendentesi al di sopra di detta seconda pluralità di elementi di interconnessione elettrica (8),

detto assemblaggio comprendendo inoltre una prima pluralità di elementi di accoppiamento (16), ciascun elemento di accoppiamento estendendosi tra un elemento di interconnessione elettrica (4) ed un elemento di interconnessione elettrica (8), ed essendo ohmicamente accoppiato al rispettivo elemento di interconnessione elettrica (4) e capacitivamente accoppiato al rispettivo elemento di interconnessione elettrica (8).

9. Assemblaggio secondo una qualsiasi delle rivendicazioni precedenti, in cui il primo substrato (2) comprende inoltre una terza pluralità di elementi di interconnessione elettrica (4a) alloggiati in corrispondenza della prima superficie (2a); e il secondo substrato (6) comprende inoltre una quarta pluralità di elementi di interconnessione elettrica (8a) alloggiati in corrispondenza della seconda superficie (6a),

detto assemblaggio comprendendo inoltre una seconda pluralità di elemento di accoppiamento (16a), ciascun elemento di accoppiamento di detta seconda pluralità di elementi di accoppiamento estendendosi tra un elemento di interconnessione elettrica (4a) della terza pluralità di elementi di interconnessione elettrica ed un elemento di interconnessione elettrica (8a) della quarta pluralità di

elementi di interconnessione elettrica,

gli elementi di accoppiamento (16a) della seconda pluralità di elementi di accoppiamento essendo ohmicamente accoppiati ad un elemento di interconnessione elettrica (4a) di detta terza pluralità di elementi di interconnessione elettrica ed ohmicamente accoppiati ad un elemento di interconnessione elettrica (8a) di detta quarta pluralità di elementi di interconnessione elettrica.

10. Assemblaggio secondo una qualsiasi delle rivendicazioni precedenti, in cui il primo substrato (2) e il secondo substrato (6) sono scelti tra: un substrato di una piastrina ("chip") a semiconduttore; un substrato di un circuito stampato; un substrato di un contenitore ("package") per un circuito microelettronico.

11. Metodo di assemblaggio di un primo e di un secondo substrato (4, 6), comprendente le fasi di:

- disporre il primo substrato (2);
- formare, in corrispondenza di una prima superficie (2a) del primo substrato (2), un primo elemento di interconnessione elettrica (4) ed un secondo elemento di interconnessione elettrica (4a);
- disporre il secondo substrato (6);
- formare, in corrispondenza di una seconda superficie (6a) del secondo substrato (6), un terzo elemento di interconnessione elettrica (8) ed un quarto elemento di interconnessione elettrica (8a);

- formare, al di sopra del terzo elemento di interconnessione elettrica (8), uno strato dielettrico (12);

- formare un primo elemento di accoppiamento (16), di materiale conduttore, tra il primo e il terzo elemento di interconnessione elettrica (4, 8), almeno parzialmente allineato al primo e al terzo elemento di interconnessione elettrica lungo una direzione ortogonale alla prima (2a) e alla seconda (6a) superficie;

- formare un secondo elemento di accoppiamento (16a), di materiale conduttore, tra il secondo e il quarto elemento di interconnessione elettrica (4a, 8a), almeno parzialmente allineato al secondo e al quarto elemento di interconnessione elettrica lungo una direzione ortogonale alla prima (2a) e alla seconda (6a) superficie;

- accoppiare il primo elemento di accoppiamento (16) ohmicamente al primo elemento di interconnessione elettrica (4) capacitivamente al terzo elemento di interconnessione elettrica (8); e

- accoppiare ohmicamente il secondo elemento di accoppiamento (16a) al secondo (4a) e al quarto (8a) elemento di interconnessione.

12. Metodo secondo la rivendicazione 11, in cui la fase di accoppiare capacitivamente il primo elemento di accoppiamento (16) al secondo elemento di interconnessione elettrica (8) comprende disporre il primo elemento di

accoppiamento a contatto con lo strato dielettrico (12) in una porzione dello strato dielettrico (12) affacciata al secondo elemento di interconnessione elettrica (8).

13. Metodo secondo la rivendicazione 16 o 17, in cui le fasi di formare il primo, il secondo, il terzo e il quarto elemento di interconnessione elettrica (4, 4a, 8, 8a) comprendono formare, rispettivamente, una prima, una seconda, una terza e una quarta piazzola conduttiva ("conductive pad").

14. Metodo secondo una qualsiasi delle rivendicazioni 11-13, in cui le fasi di formare il primo e il secondo elemento di accoppiamento (16, 16a) comprendono formare un rispettivo "bump" in contatto con il primo elemento di interconnessione elettrica (4) e, rispettivamente, con il secondo elemento di interconnessione elettrica (4a).

15. Metodo secondo una qualsiasi delle rivendicazioni 11-14, in cui le fasi di accoppiare il primo elemento di accoppiamento ohmicamente al primo elemento di interconnessione elettrica (4) e capacitivamente al terzo elemento di interconnessione elettrica (8), e le fasi di accoppiare il secondo elemento di accoppiamento ohmicamente al secondo (4a) e al quarto (8a) elemento di interconnessione elettrica comprendono eseguire un processo termico ad una temperatura pari o superiore alla temperatura di fusione del primo e del secondo elemento di accoppiamento.

16. Metodo secondo una qualsiasi delle rivendicazioni 11-15, comprendente inoltre le fasi di:

- formare, in corrispondenza della prima superficie (2a), una prima pluralità di elementi di interconnessione elettrica (4);

- formare, in corrispondenza della seconda superficie (6a), una seconda pluralità di elementi di interconnessione elettrica (8), lo strato dielettrico (12) estendendosi al di sopra della seconda pluralità di elementi di interconnessione elettrica (8);

- formare una prima pluralità di elementi di accoppiamento (16) tra un elemento di interconnessione elettrica (4) di detta prima pluralità di elementi di interconnessione elettrica ed un elemento di interconnessione elettrica (8) di detta seconda pluralità di elementi di interconnessione elettrica;

- accoppiare ohmicamente ciascun elemento di accoppiamento di detta pluralità di elementi di accoppiamento ad un rispettivo elemento di interconnessione elettrica (4) di detta prima pluralità di elementi di interconnessione elettrica; e

- accoppiare capacitivamente ciascun elemento di accoppiamento di detta pluralità di elementi di accoppiamento ad un rispettivo elemento di interconnessione elettrica (8) di detta seconda pluralità di elementi di interconnessione elettrica.

17. Metodo secondo una qualsiasi delle rivendicazioni 11-16, comprendente inoltre le fasi di:

- formare, in corrispondenza della prima superficie (2a), una terza pluralità di elementi di interconnessione elettrica (4a);

- formare, in corrispondenza della seconda superficie (6a), una quarta pluralità di elementi di interconnessione elettrica (8a);

- formare una seconda pluralità di elementi di accoppiamento (16a) tra un elemento di interconnessione elettrica (4a) di detta terza pluralità di elementi di interconnessione elettrica ed un elemento di interconnessione elettrica (8a) di detta quarta pluralità di elementi di interconnessione elettrica;

- accoppiare ohmicamente ciascun elemento di accoppiamento di detta pluralità di elementi di accoppiamento ad un rispettivo elemento di interconnessione elettrica (4a) di detta terza pluralità di elementi di interconnessione elettrica e ad un rispettivo elemento di interconnessione elettrica (8a) di detta quarta pluralità di elementi di interconnessione elettrica.

p.i.: STMICROELECTRONICS S.R.L.

**Elena CERBARO**

**Elena CERBARO**  
*(Iscrizione Albo nr. 426/BM)*

**CLAIMS**

1. An assembly (10; 30; 40) comprising:
- a first substrate (2), having a first surface (2a), housing  
5 a first electrical-interconnection element (4) and a second  
electrical-interconnection element (4a) at the first surface  
(2a);
  - a second substrate (6), having a second surface (6a),  
10 housing a third electrical-interconnection element (8) and a  
fourth electrical-interconnection element (8a) at the second  
surface (6a), and provided with a dielectric layer (12)  
extending on top of the third electrical-interconnection  
element (8);
  - a first coupling element (16) of conductive material,  
15 extending between the first electrical-interconnection element  
(4) and the third electrical-interconnection element (8) and  
at least partially aligned to the first electrical-  
interconnection element (4) and to the third electrical-  
interconnection element (8); and
  - 20 - a second coupling element (16a) of conductive material,  
extending between the second electrical-interconnection  
element (4a) and the fourth electrical-interconnection element  
(8a), at least partially aligned to the second and to the  
fourth electrical-interconnection elements (4a, 8a),  
25 the first coupling element (16) being ohmically coupled to the  
first electrical-interconnection element (4) and capacitively  
coupled to the third electrical-interconnection element (8),  
and the second coupling element (16a) being ohmically coupled  
to the second electrical-interconnection element (4a) and to  
30 the fourth electrical-interconnection element (8a).

2. The assembly according to claim 1, wherein the first  
coupling element (16) is arranged in contact with the first  
electrical-interconnection element (4) and with a portion of

the dielectric layer (12) facing the third electrical-interconnection element (8).

3. The assembly according to any one of the preceding claims,  
5 wherein the first coupling element (16) and the second coupling element (16a) are bumps, in particular solder bumps or pillar bumps.

4. The assembly according to any one of the preceding claims,  
10 wherein the first, second, third, and fourth electrical-interconnection elements (4, 4a, 8, 8a) are pads of conductive material.

5. The assembly according to any one of the preceding claims,  
15 wherein the first substrate (2) houses a first integrated circuit (13, 23) connected to the first electrical-interconnection element (4), the second substrate (6) houses a second integrated circuit (13, 25) connected to the third electrical-interconnection element (8), the first and second  
20 integrated circuits being capacitively coupled together by means of the first electrical-interconnection element (4), the first coupling element (16), and the third electrical-interconnection element (8).

25 6. The assembly according to any one of the preceding claims, wherein the first electrical-interconnection element (4) and the first coupling element (16) form a first capacitor plate (19), and the third electrical-interconnection element (8) forms a second capacitor plate (19), the dielectric layer (12)  
30 forming a dielectric disposed between the first and second capacitor plates (19).

7. The assembly according to any one of the preceding claims, wherein the third electrical-interconnection element (4a), the

second coupling element (16a), and the fourth electrical-interconnection element (8a) are configured for transferring a DC signal between the first and second substrates.

5 8. The assembly according to any one of the preceding claims, wherein the first substrate (2) further comprises a first plurality of electrical-interconnection elements (4) housed at the first surface (2a); the second substrate (6) further comprises a second plurality of electrical-interconnection  
10 elements (8) housed at the second surface (6a), the dielectric layer (12) extending on top of said second plurality of electrical-interconnection elements (8), said assembly further comprising a first plurality of coupling elements (16), each coupling element extending between an electrical-  
15 interconnection element (4) and an electrical-interconnection element (8), and being ohmically coupled to the respective electrical-interconnection element (4) and capacitively coupled to the respective electrical-interconnection element (8).

20 9. The assembly according to any one of the preceding claims, wherein the first substrate (2) further comprises a third plurality of electrical-interconnection elements (4a) housed at the first surface (2a); and the second substrate (6)  
25 further comprises a fourth plurality of electrical-interconnection elements (8a) housed at the second surface (6a), said assembly further comprising a second plurality of coupling elements (16a), each coupling element of said second plurality of coupling elements extending between an  
30 electrical-interconnection element (4a) of the third plurality of electrical-interconnection elements and an electrical-interconnection element (8a) of the fourth plurality of electrical-interconnection elements, the coupling elements (16a) of the second plurality of coupling elements being

ohmically coupled to an electrical-interconnection element (4a) of said third plurality of electrical-interconnection elements and ohmically coupled to an electrical-interconnection element (8a) of said fourth plurality of electrical-interconnection elements.

10. The assembly according to any one of the preceding claims, wherein the first substrate (2) and the second substrate (6) are chosen from among: a substrate of a semiconductor chip; a substrate of a printed circuit; a substrate of a package for a microelectronic circuit.

11. A method for assembly of a first substrate (4) and a second substrate (6), comprising the steps of:

- providing a first substrate (2);
- forming, at a first surface (2a) of the first substrate (2), a first electrical-interconnection element (4) and a second electrical-interconnection element (4a);
- providing a second substrate (6);
- forming, at a second surface (6a) of the second substrate (6), a third electrical-interconnection element (8), and a fourth electrical-interconnection element (8a);
- forming, above the third electrical-interconnection element (8), a dielectric layer (12);
- forming a first coupling element (16) of conductive material between the first and third electrical-interconnection elements (4, 8), at least partially aligned to the first and third electrical-interconnection elements along a direction orthogonal to the first surface (2a) and the second surface (6a);
- forming a second coupling element (16a) of conductive material between the second electrical-interconnection element (4a) and the fourth electrical-interconnection element (8a), at least partially aligned to the second and fourth

electrical-interconnection elements along a direction orthogonal to the first surface (2a) and to the second surface (6a);

- coupling the first coupling element (16) ohmically to the first electrical-interconnection element (4) and capacitively to the third electrical-interconnection element (8); and
- ohmically coupling the second coupling element (16a) to the second interconnection element (4a) and to the fourth interconnection element (8a).

10

12. The method according to claim 11, wherein the step of capacitively coupling the first coupling element (16) to the second electrical-interconnection element (8) comprises arranging the first coupling element in contact with the dielectric layer (12) at a portion of the dielectric layer (12) facing the second electrical-interconnection element (8).

15

13. The method according to claim 16 or claim 17, wherein the steps of forming the first, second, third, and fourth electrical-interconnection elements (4, 4a, 8, 8a) comprise forming, respectively, a first conductive pad, a second conductive pad, a third conductive pad, and a fourth conductive pad.

20

14. The method according to any one of claims 11-13, wherein the steps of forming the first and second coupling elements (16, 16a) comprise forming a respective bump in contact with the first electrical-interconnection element (4) and, respectively, with the second electrical-interconnection element (4a).

25

30

15. The method according to any one of claims 11-14, wherein the steps of coupling the first coupling element ohmically to the first electrical-interconnection element (4) and

capacitively to the third electrical-interconnection element (8), and the steps of ohmically coupling the second coupling element to the second electrical-interconnection element (4a) and to the fourth electrical-interconnection element (8a) comprise carrying out a thermal process at a temperature equal to or higher than the melting temperature of the first and second coupling elements.

16. The method according to any one of claims 11-15, further comprising the steps of:

- forming, at the first surface (2a), a first plurality of electrical-interconnection elements (4);
- forming, at the second surface (6a), a second plurality of electrical-interconnection elements (8), the dielectric layer (12) extending on top of the second plurality of electrical-interconnection elements (8);
- forming a first plurality of coupling elements (16) between an electrical-interconnection element (4) of said first plurality of electrical-interconnection elements and an electrical-interconnection element (8) of said second plurality of electrical-interconnection elements;
- ohmically coupling each coupling element of said plurality of coupling elements to a respective electrical-interconnection element (4) of said first plurality of electrical-interconnection elements; and
- capacitively coupling each coupling element of said plurality of coupling elements to a respective electrical-interconnection element (8) of said second plurality of electrical-interconnection elements.

17. The method according to any one of claims 11-16, further comprising the steps of:

- forming, at the first surface (2a), a third plurality of electrical-interconnection elements (4a);

- forming, at the second surface (6a), a fourth plurality of electrical-interconnection elements (8a);

- forming a second plurality of coupling elements (16a) between an electrical-interconnection element (4a) of said  
5 third plurality of electrical-interconnection elements and an electrical-interconnection element (8a) of said fourth plurality of electrical-interconnection elements;

- ohmically coupling each coupling element of said plurality  
10 of coupling elements to a respective electrical-interconnection element (4a) of said third plurality of electrical-interconnection elements and to a respective electrical-interconnection element (8a) of said fourth plurality of electrical-interconnection elements.

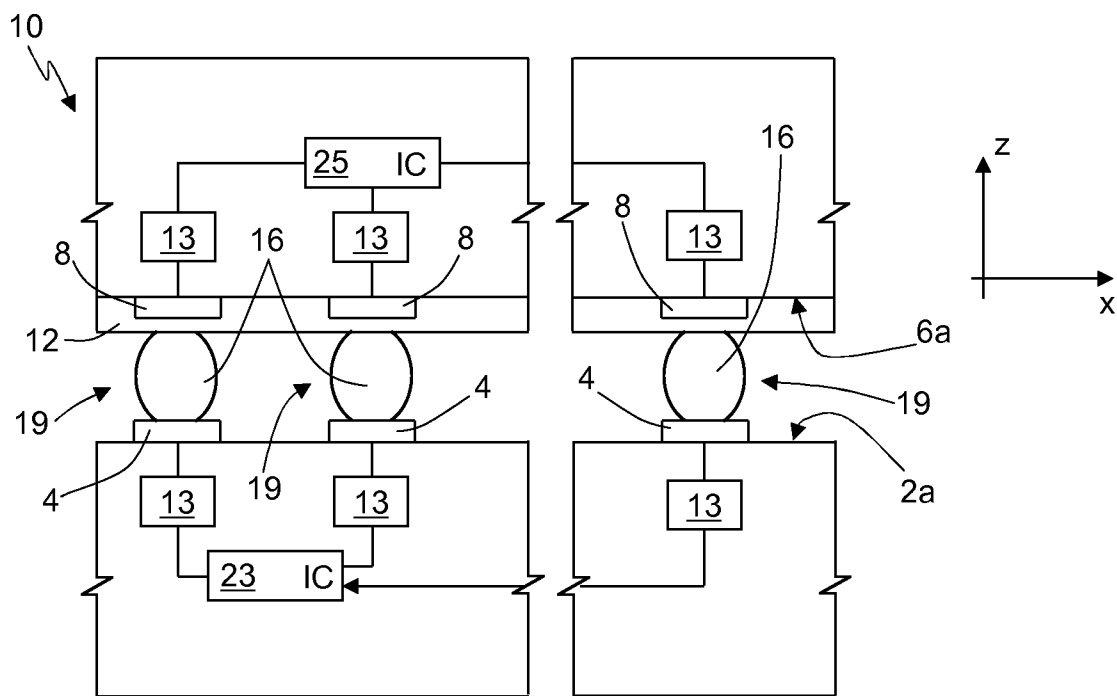


Fig.1

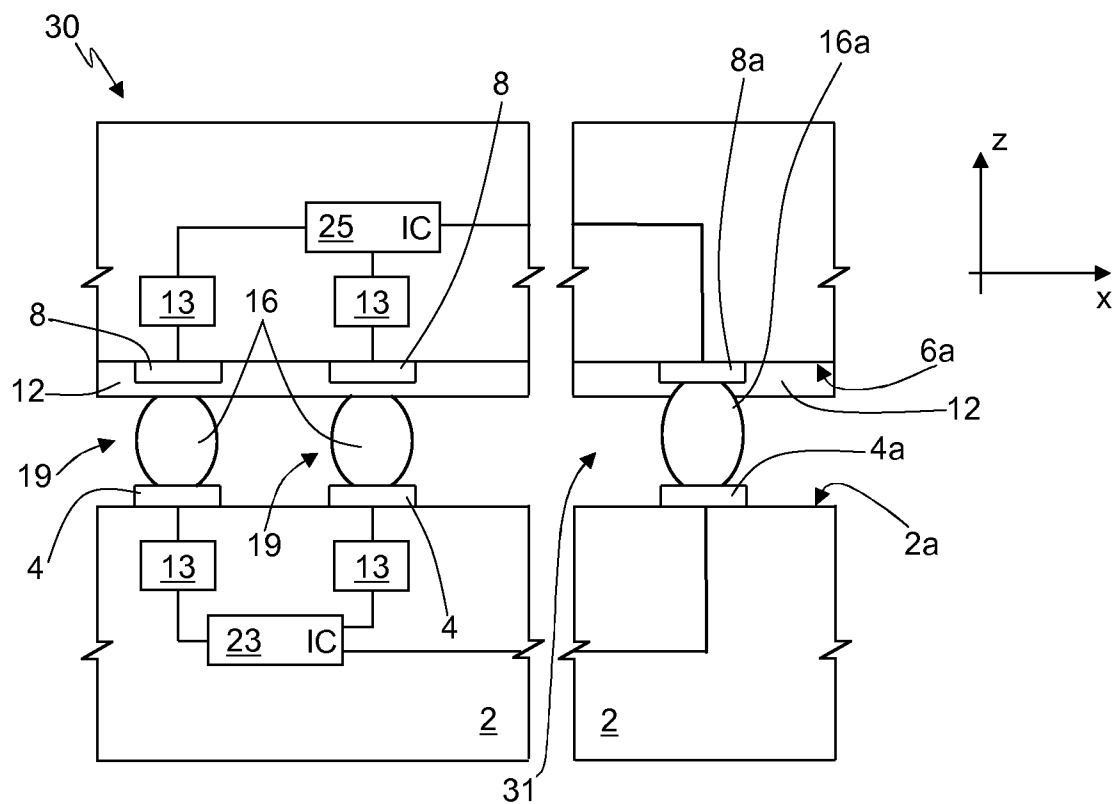
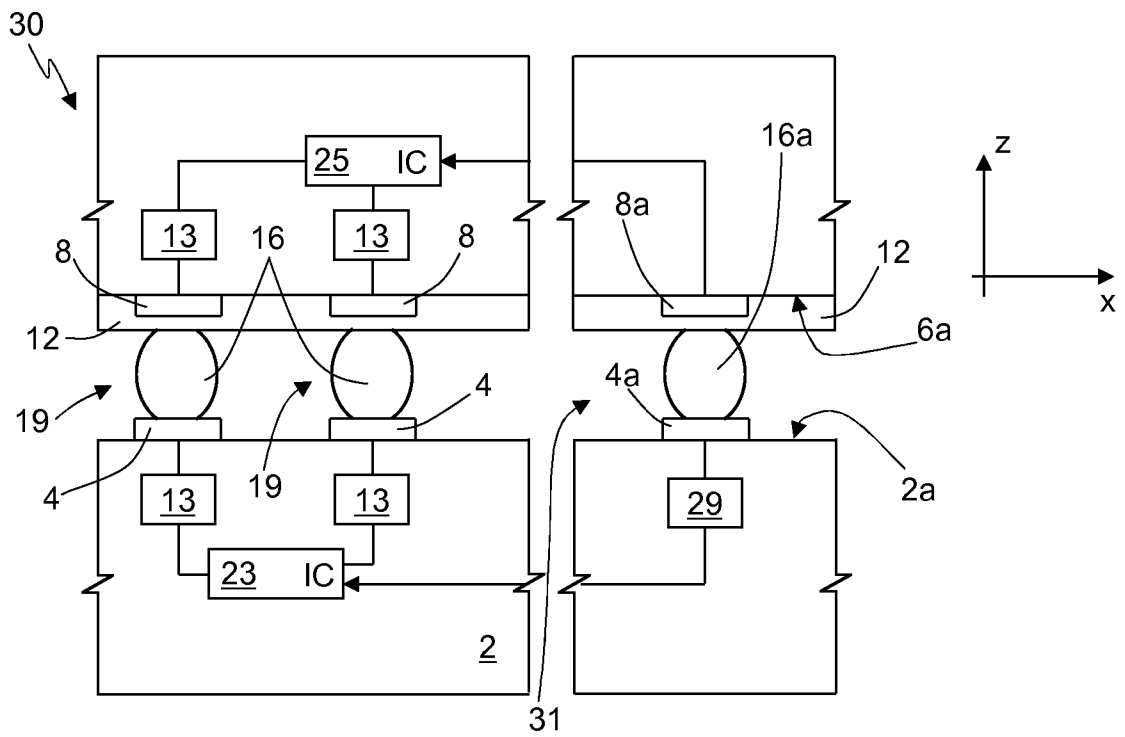
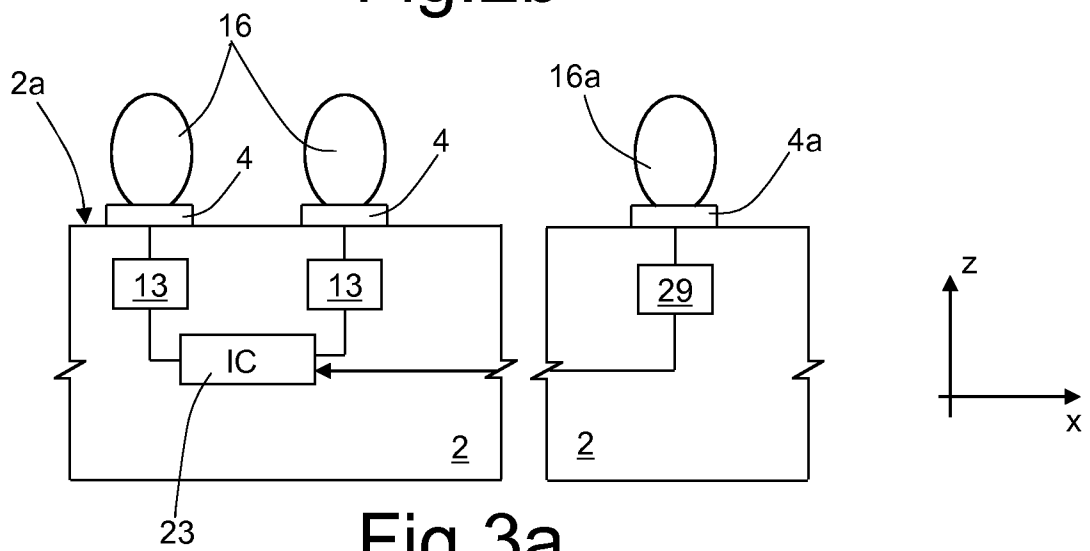


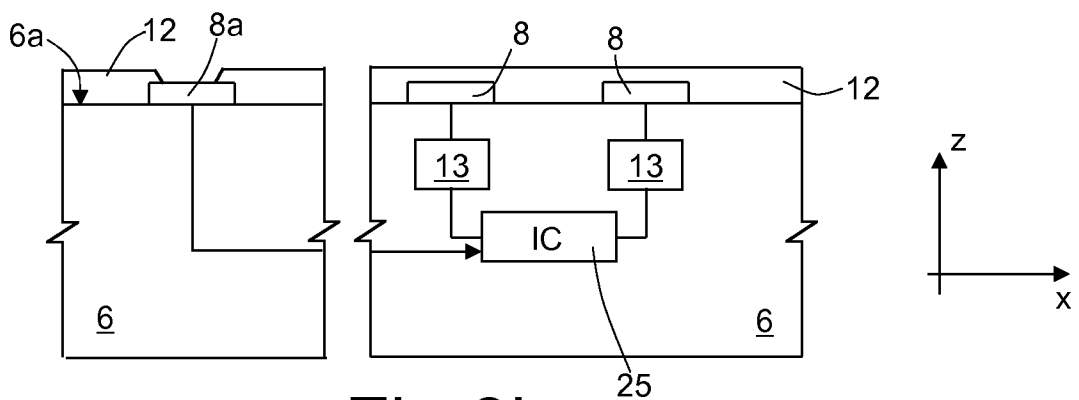
Fig.2a



**Fig. 2b**



**Fig. 3a**



**Fig. 3b**

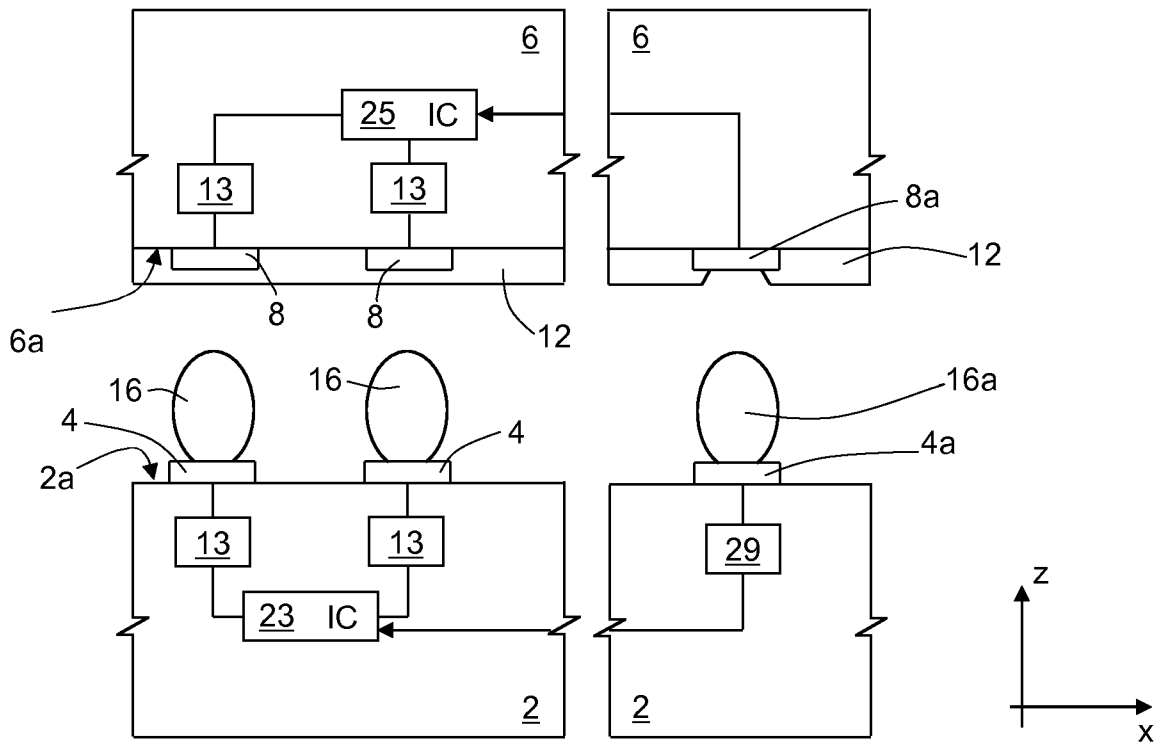


Fig.4

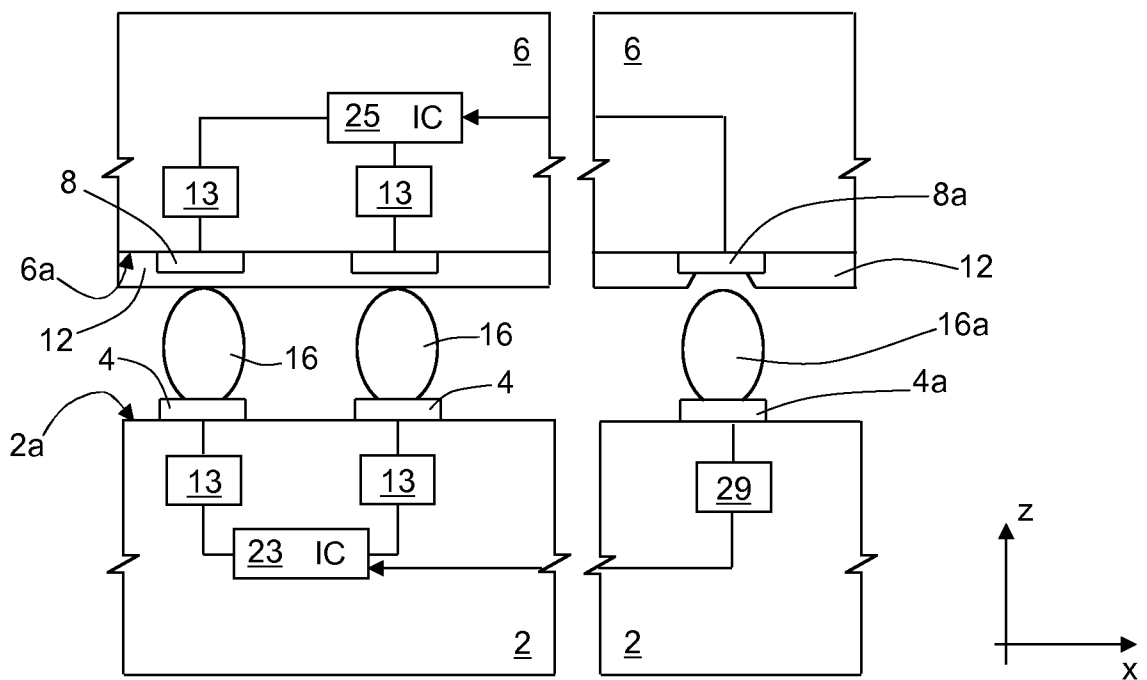


Fig.5



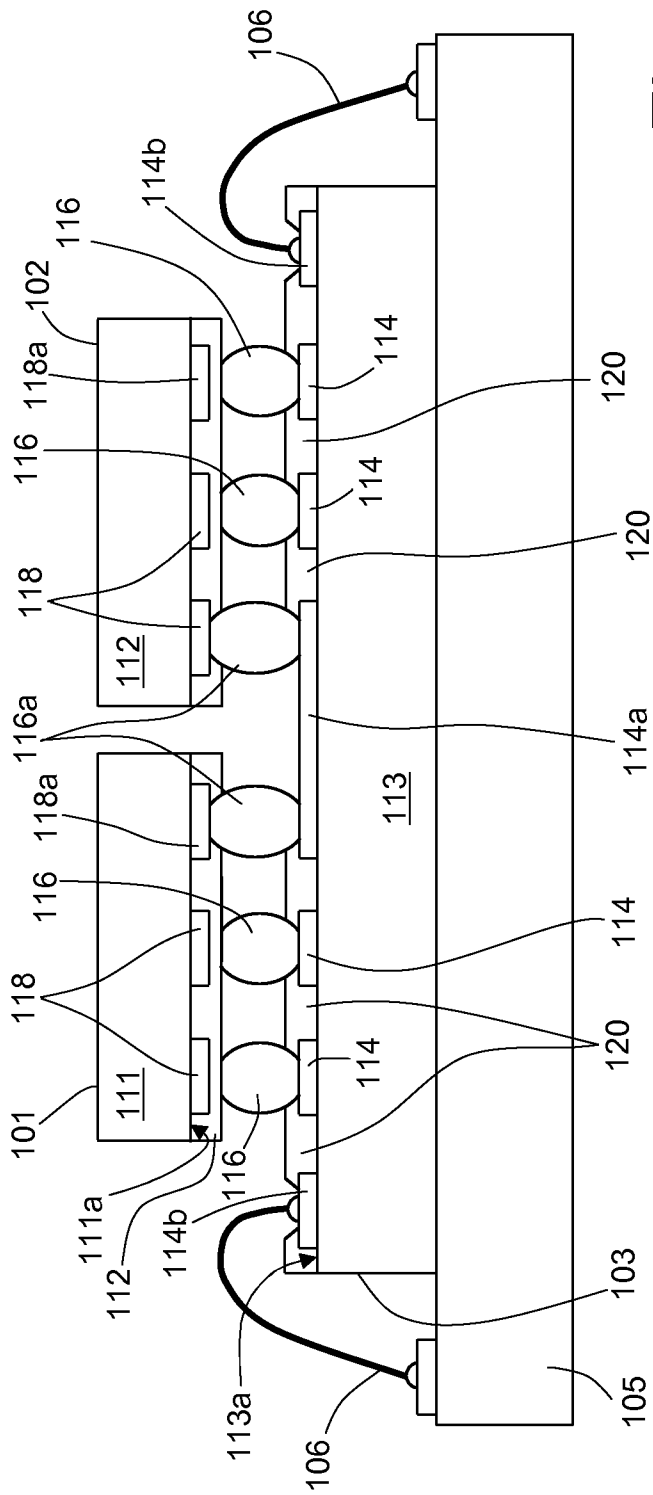


Fig. 8

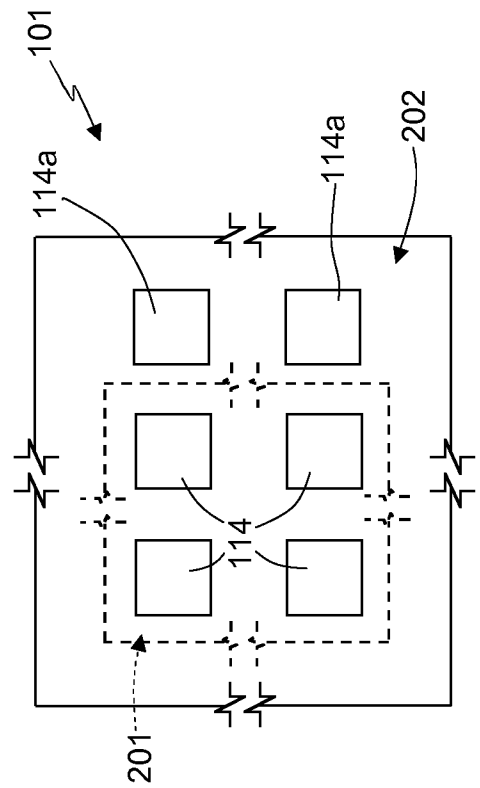


Fig. 9

p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO  
(Iscrizione Albo nr. 426/BM)