

(21)申請案號：109141115

(22)申請日：中華民國 109 (2020) 年 11 月 24 日

(51)Int. Cl. : H01L29/12 (2006.01)

H01L29/78 (2006.01)

H01L29/786 (2006.01)

C30B29/16 (2006.01)

(30)優先權：2019/11/29 日本

2019-217103

(71)申請人：日商 F L O S F I A 股份有限公司 (日本) FLOSFIA INC. (JP)

日本

(72)發明人：杉本雅裕 SUGIMOTO, MASAHIRO (JP)；樋口安史 HIGUCHI, YASUSHI (JP)

(74)代理人：葉信金

申請實體審查：無 申請專利範圍項數：15 項 圖式數：10 共 38 頁

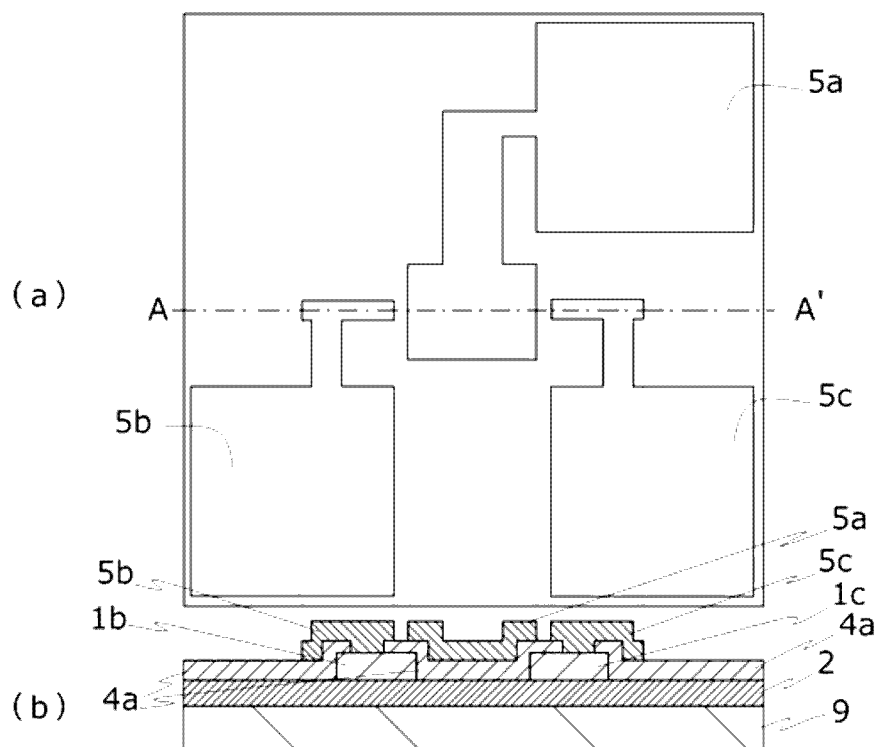
(54)名稱

半導體裝置及半導體系統

(57)摘要

一種半導體裝置，其係至少具有結晶性氧化物半導體層，其中，前述結晶性氧化物半導體層的能隙為 4.5eV 以上，而且其場效移動率為 $10\text{cm}^2/\text{V}\cdot\text{s}$ 以上。

指定代表圖：



符號簡單說明：

1b:n+型半導體層(n+型源極層)

1c:n+型半導體層(n+型汲極層)

2:高電阻氧化物膜

4a:閘極絕緣膜

5a:閘極電極

5b:源極電極

5c:汲極電極

9:基板

【圖2】



202135317

【發明摘要】

【中文發明名稱】 半導體裝置及半導體系統

【中文】

一種半導體裝置，其係至少具有結晶性氧化物半導體層，其中，前述結晶性氧化物半導體層的能隙為 4.5eV 以上，而且其場效移動率為 $10\text{cm}^2/\text{V}\cdot\text{s}$ 以上。

【指定代表圖】 圖2。

【代表圖之符號簡單說明】

1b: n+型半導體層(n+型源極層)

1c: n+型半導體層(n+型汲極層)

2:高電阻氧化物膜

4a:閘極絕緣膜

5a:閘極電極

5b:源極電極

5c:汲極電極

9:基板

【發明說明書】

【中文發明名稱】 半導體裝置及半導體系統

【技術領域】

【0001】

本發明係關於可有用地作為功率元件等的半導體裝置、以及具有該半導體裝置的半導體系統。

【先前技術】

【0002】

使用了能隙大之氧化鎵(Ga_2O_3)的半導體裝置，作為可實現高耐壓、低損失及高耐熱的次世代開關元件而受到矚目，期待將其應用於反向器 (inverter) 等電力用半導體裝置。而且因為寬能隙而亦被期待用來作為 LED 或感測器等受發光裝置。根據非專利文獻 1，可分別藉由銮或鋁、或是將其組合進行混晶來對於該氧化鎵進行能隙控制，其作為 InAlGaO 系半導體而構成極具魅力的材料系統。此處 InAlGaO 系半導體表示 $\text{In}_x\text{Al}_y\text{Ga}_z\text{O}_3$ ($0 \leq x \leq 2$, $0 \leq y \leq 2$, $0 \leq z \leq 2$, $x+y+z=1.5 \sim 2.5$)，可將其視為內含氧化鎵的同一材料系統。

【0003】

然後，近幾年開始研究氧化鎵系的 p 型半導體，例如專利文獻 1 中記載若使用 MgO(p 型摻雜物源)以 FZ 法形成 $\beta\text{-Ga}_2\text{O}_3$ 系結晶，則可得到呈現 p 型導電性的基板。又，專利文獻 2 中記載藉由離子注入而在以 MBE 法所形成的 $\alpha\text{-(Al}_x\text{Ga}_{1-x})_2\text{O}_3$ 單結晶膜中摻雜 p 型摻雜物，進而形成 p 型半導體。然而，此等方法中，難以實現 p 型半導體的製作(非專利文獻 2)，實際上並未有以此等方法成功製作 p 型半導體的報告。因此仍期待一種可實現的 p

型氧化物半導體及其製造方法。

【0004】

又，如非專利文獻 3 及非專利文獻 4 中記載，亦研究例如將 Rh_2O_3 或 ZnRh_2O_4 等用於 p 型半導體，但 Rh_2O_3 在成膜時原料濃度變得特別低，而具有對於成膜造成影響的問題，即便使用有機溶劑亦難以製作 Rh_2O_3 單結晶。又，即使實施霍爾效應測量，亦未判定為 p 型，而具有測量本身亦無法進行的問題，又，關於測量值，例如霍爾係數只能到達測量界限($0.2\text{cm}^3/\text{C}$)以下，在實用上成為問題。又， ZnRh_2O_4 的移動度低，能隙亦狹窄，而具有無法用於 LED 或功率元件的問題，此等未必完全滿足需求。

【0005】

作為寬能隙半導體，除了 Rh_2O_3 或 ZnRh_2O_4 等以外，p 型的氧化物半導體亦具有各種研究。專利文獻 3 中記載使用黑銅鐵礦(Delafossite)或氧硫屬化物(oxychalcogenide)等作為 p 型半導體。然而，此等的半導體，移動度為 $1\text{cm}^2/\text{V}\cdot\text{s}$ 左右或是在其之下，電特性不佳，而且還有不能良好地形成與 $\alpha\text{-Ga}_2\text{O}_3$ 等 n 型的次世代氧化物半導體的 pn 接合的問題。

【0006】

另外， Ir_2O_3 以往即已為人所知。例如，專利文獻 4 中記載使用 Ir_2O_3 作為銻觸媒。又，專利文獻 5 中記載將 Ir_2O_3 用於介電質。又，專利文獻 6 中記載將 Ir_2O_3 用於電極。然而，將 Ir_2O_3 用於 p 型半導體尚未為人所知，最近由本案發明人研究將 Ir_2O_3 用於 p 型半導體而進行研究開發。

此外，電晶體等功率元件中，要求低的導通電阻(on-resistance)與高耐壓，但在漏電流等電特性方面則另外具有課題。特別是在能隙為 4.5eV 以上的氧化鎵(Ga_2O_3)中，例如絕緣破壞電場強度為 10 左右，導通電阻亦低，並且具有優良的半導體特性，但因為在電特性方面仍具有課題，因而具有

無法充分發揮此等半導體特性這樣的問題。具體而言，在離子注入中容易產生的接合漏電流，對於氧化物半導體而言具有對於電特性造成不良影響的問題等，因此期望一種解決這種電特性等問題而有效地使用氧化鎵(Ga_2O_3)等優良的半導體材料來實現高耐壓、低損失及高耐熱的半導體裝置。

[先前技術文獻]

[專利文獻]

【0007】

專利文獻 1：日本專利公開第 2005-340308 號

專利文獻 2：日本專利公開第 2013-58637 號

專利文獻 3：日本專利公開第 2016-25256 號

專利文獻 4：日本專利公開第平 9-25255 號

專利文獻 5：日本專利公開第平 8-227793 號

專利文獻 6：日本專利公開第平 11-21687 號

[非專利文獻]

【0008】

非專利文獻 1：金子健太郎，“剛玉結構氧化鎵系混晶薄膜的成長和物理性質”，京都大學博士論文，平成 25 年 3 月

非專利文獻 2：竹本達哉，EE Times Japan “功率半導體氧化鎵”，熱傳導率、P 型……的問題的克服和實用化，[online]，2014 年 2 月 27 日，ITmedia 股份有限公司。[平成 28 年 6 月 21 日搜索]，網址<URL：
http://eetimes.jp/ee/articles/1402/27/news028_2.html>

非專利文獻 3：F.P.KOFFYBERG et al., "optical bandgaps and electron affinities of semiconducting $\text{Rh}_2\text{O}_3(\text{I})$ and $\text{Rh}_2\text{O}_3(\text{III})$ ", J. Phys. Chem. Solids Vol.53, No.10, pp.1285-1288, 1992

非專利文獻 4：細野秀雄，“氧化物半導體的功能發展”，物性研究・電子版，Vol.3、No.1、031211（2013 年 11 月・2014 年 2 月合併號）

【發明內容】

[發明所欲解決之課題]

【0009】

本發明之一目的係提供一種有用的半導體特性優良的半導體裝置，其作為功率元件等。

[解決課題之手段]

【0010】

本案發明人為了達成上述目的而詳細研究的結果，發現若沿著電流的流動方向配置 $1.0 \times 10^6 \Omega \cdot \text{cm}$ 以上的高電阻氧化物膜，所製作之半導體裝置的電特性驚異地提升至另一個層次，再進一步反覆研究，成功創造高移動度的氧化鎵半導體的電晶體，並發現所得之電晶體能夠解決上述以往的問題。

又，本案發明人在得到上述見解後進一步反覆研究，進而完成本發明。

【0011】

亦即，本發明係關於以下的發明。

[1] 一種半導體裝置，其係至少具有結晶性氧化物半導體層，其中，前述結晶性氧化物半導體層的能隙為 4.5eV 以上，而且其場效移動率 (field-effect mobility) 為 $10\text{cm}^2/\text{V} \cdot \text{s}$ 以上。

[2] 如前述[1]所述之半導體裝置，其中前述場效移動率為 $30\text{cm}^2/\text{V} \cdot \text{s}$ 以上。

[3] 如前述[1]或[2]所述之半導體裝置，其中前述結晶性氧化物半導

體層包含 p 型摻雜物。

[4] 如前述[1]至[3]中任一項所述之半導體裝置，其中前述結晶性氧化物半導體層中更配置有高電阻氧化物膜，前述高電阻氧化物膜的電阻為 $1.0 \times 10^6 \Omega \cdot \text{cm}$ 以上。

[5] 如前述[4]所述之半導體裝置，其中前述高電阻氧化物膜的電阻為 $1.0 \times 10^{10} \Omega \cdot \text{cm}$ 以上。

[6] 如前述[4]或[5]所述之半導體裝置，其更包含通道形成區域，在前述通道形成區域下配置有前述高電阻氧化物膜。

[7] 如前述[4]至[6]中任一項所述之半導體裝置，其中前述高電阻氧化物膜為電流阻擋層。

[8] 如前述[1]至[7]中任一項所述之半導體裝置，其中前述結晶性氧化物半導體層具有剛玉(corundum)結構。

[9] 如前述[1]至[8]中任一項所述之半導體裝置，其中前述結晶性氧化物半導體層包含 Ga_2O_3 。

[10] 如前述[1]至[9]中任一項所述之半導體裝置，其為縱向型元件。

[11] 如前述[1]至[10]中任一項所述之半導體裝置，其為功率元件。

[12] 如前述[1]至[11]中任一項所述之半導體裝置，其為 MOSFET。

[13] 如前述[1]至[12]中任一項所述之半導體裝置，其 on/off 比為 1000 以上。

[14] 如前述[1]至[13]中任一項所述之半導體裝置，其為常閉型 (normally off)。

[15] 一種半導體系統，其係具備半導體裝置的半導體系統，其中前述半導體裝置為如前述[1]至[14]中任一項所述之半導體裝置。

[發明之效果]

【0012】

本發明的半導體裝置作為功率元件等有用，其半導體特性優良。

【圖式簡單說明】**【0013】**

圖 1 係本發明中較佳使用的成膜裝置(霧化 CVD 裝置)的概略構成圖。

圖 2 係示意顯示實施例 1 的 MOSFET 的圖，(a)係示意顯示 MOSFET 的上表面，(b)係示意顯示(a)的 A-A'之間的剖面。

圖 3 係示意顯示本發明之 MOSFET 較佳的一態樣以作為一例的圖，(a)係示意顯示 MOSFET 的上表面，(b)係示意顯示(a)的剖面。

圖 4 係示意顯示本發明之 MOSFET 較佳的一態樣以作為一例的圖。

圖 5 係示意顯示本發明之 MOSFET 較佳的一態樣以作為一例的圖，(a)係示意顯示 MOSFET 的上表面，(b)係示意顯示(a)的 B-B'之間的剖面。

圖 6 係示意顯示本發明之 MOSFET 較佳的一態樣以作為一例的圖。

圖 7 係顯示實施例中的 IV 測量結果的圖。

圖 8 係示意顯示電源系統較佳之一例的圖。

圖 9 係示意顯示系統裝置較佳之一例的圖。

圖 10 係示意顯示電源裝置之電源電路圖較佳之一例的圖。

【實施方式】**【0014】**

本發明的實施態樣中的半導體裝置，包含結晶性氧化物半導體層，前述結晶性氧化物半導體層的能隙為 4.5eV 以上，而且其場效移動率 (field-effect mobility) 為 $10\text{cm}^2/\text{V}\cdot\text{s}$ 以上。本發明的實施態樣中，前述結晶性氧化物半導體層的能隙，較佳地為 5eV 以上。而且，較佳地前述結晶性氧化物半導體層具有剛玉結構，而且較佳地由氧化物半導體膜所構成。前述

氧化物半導體膜較佳為包含氧化鎵 (Ga_2O_3) 或其混晶作為主成分的氧化物半導體膜。而且，本發明的實施態樣中，較佳地前述場效移動率較佳為 $30\text{cm}^2/\text{V}\cdot\text{s}$ 以上，更佳為 $60\text{cm}^2/\text{V}\cdot\text{s}$ 以上。將電阻為 $1.0\times 10^6\Omega\cdot\text{cm}$ 以上的高電阻氧化物膜，沿電流的流動方向配置並成膜於前述結晶性氧化物半導體層，進而製造半導體裝置，藉此能夠容易地得到此種優選的半導體裝置。另外，前述場效移動率通常表示最大場效移動率。而且，當前述半導體裝置至少具備閘極電極、源極電極與汲極電極的情況時，將 $1.0\times 10^6\Omega\cdot\text{cm}$ 以上的高電阻氧化物膜成膜於前述源極電極與前述汲極電極之間，來製造前述半導體裝置，藉此能夠容易地製造前述半導體裝置。而且，當前述半導體裝置，為在基板上，直接或隔著其他層分別地至少形成閘極電極、源極電極與汲極電極以及高電阻氧化物膜的半導體裝置的情況時，將 $1.0\times 10^6\Omega\cdot\text{cm}$ 以上的高電阻氧化物膜，成膜於前述源極電極或/及前述汲極電極、與前述基板之間，來製造前述半導體裝置，藉此能夠容易地製造前述半導體裝置。

【0015】

前述高電阻氧化物膜只要是具有 $1.0\times 10^6\Omega\cdot\text{cm}$ 以上之電阻的氧化物膜則未特別限定，但本發明的實施態樣中，前述高電阻氧化物膜的電阻較佳為 $1.0\times 10^{10}\Omega\cdot\text{cm}$ 以上，前述高電阻氧化物膜的電阻更佳為 $1.0\times 10^{12}\Omega\cdot\text{cm}$ 以上。此外，這裡，高電阻氧化物膜的電阻，是指高電阻氧化物膜的電阻率 [$\Omega\cdot\text{cm}$]。藉由在前述高電阻氧化物膜上形成測量用的電極並流入電流，藉此可測量前述電阻。前述電阻的上限並未特別限定，但較佳為 $1.0\times 10^{15}\Omega\cdot\text{cm}$ ，更佳為 $1.0\times 10^{14}\Omega\cdot\text{cm}$ 。又，本發明的實施態樣中，前述高電阻氧化物膜較佳為電流阻擋層。藉由使用前述高電阻氧化物膜作為電流阻擋層，可發揮更優良的電特性。

【0016】

前述高電阻氧化物膜的構成材料並未特別限定，本發明的實施態樣中較佳為結晶膜。前述結晶膜可為多晶膜，亦可為單晶膜。前述結晶膜的結晶結構亦未特別限定，但本發明的實施態樣中較佳為具有剛玉結構。又，前述高電阻氧化物膜的構成材料包含鎵亦較佳，更佳為包含 Ga_2O_3 。又，本發明的實施態樣中，前述高電阻氧化物膜較佳為包含 p 型摻雜物。又，根據本發明，較佳係前述半導體裝置更包含通道形成區域，前述通道形成區域下配置有前述高電阻氧化物膜。根據此等較佳的範圍，可輕易實現 $10\text{cm}^2/\text{V}\cdot\text{s}$ 以上(更佳為 $30\text{cm}^2/\text{V}\cdot\text{s}$ 以上)的高場效移動率。而且，前述場效移動率通常是指最大場效移動率，其係指使用與前述半導體裝置對應的輸出電流數據計算出來的電晶體等半導體裝置的場效移動率。此外，根據前述優選的範圍，可以輕易實現 1000 以上（更優選 100,000 以上）的 on/off 比。另外，「on/off 比」係指前述半導體裝置的導通電流相對於關閉電流的比。前述關閉電流，例如在前述半導體裝置至少具備源極電極與汲極電極的情況中，係指前述半導體裝置為關閉時在前述源極電極與前述汲極電極之間流動的電流，前述導通電流，係指在前述半導體裝置為導通時在前述源極電極與前述汲極電極之間流動的電流。

【0017】

前述高電阻氧化物膜，較佳為包含氧化鎵（ Ga_2O_3 ）或其混晶作為主成分的氧化物半導體膜。前述結晶性氧化物半導體層或前述高電阻氧化物膜中的前述氧化物半導體膜可為 p 型半導體膜，亦可為 n 型半導體膜。作為前述氧化鎵，例如，可列舉 $\alpha\text{-Ga}_2\text{O}_3$ 、 $\beta\text{-Ga}_2\text{O}_3$ 、 $\epsilon\text{-Ga}_2\text{O}_3$ 等，其中較佳為 $\alpha\text{-Ga}_2\text{O}_3$ 。又，作為前述氧化鎵的混晶，可列舉前述氧化鎵與 1 種或 2 種以上之金屬氧化物的混晶，作為前述金屬氧化物的較佳例，可列舉例如：氧

化鋁、氧化銻、氧化銻、氧化銻、氧化銻、氧化鐵等。另外，所謂的「主成分」，例如在氧化物半導體膜包含 $\alpha\text{-Ga}_2\text{O}_3$ 作為主成分的情況中，只要以前述氧化物半導體膜的金屬元素中銻的原子比為 0.5 以上的比例含有 $\alpha\text{-Ga}_2\text{O}_3$ 即可。本發明的實施態樣中，前述氧化物半導體膜的金屬元素中銻的原子比較佳為 0.7 以上，更佳為 0.8 以上。又，例如氧化物半導體膜包含 $\alpha\text{-Ga}_2\text{O}_3$ 與 $\alpha\text{-Al}_2\text{O}_3$ 的混晶作為主成分的情況，只要以前述氧化物半導體膜的金屬元素中銻與鋁的總原子比為 0.5 以上的比例包含前述混晶即可，但本發明的實施態樣中，前述氧化物半導體膜的金屬元素中銻的原子比進一步較佳為 0.5 以上，更佳為 0.7 以上。

【0018】

又，前述高電阻氧化物膜的膜厚並未特別限定，可為 $1\mu\text{m}$ 以下，亦可為 $1\mu\text{m}$ 以上，但本發明的實施態樣中較佳為 $1\mu\text{m}$ 以上，更佳為 $1\mu\text{m}\sim 40\mu\text{m}$ ，最佳為 $1\mu\text{m}\sim 25\mu\text{m}$ 。前述半導體膜的表面積並未特別限定，但可為 1mm^2 以上，亦可為 1mm^2 以下。另外，前述高電阻氧化物膜可為單層膜，亦可為多層膜。

【0019】

前述高電阻氧化物膜較佳為含有摻雜物的氧化物半導體膜。前述摻雜物只要不阻礙本發明之目的即未特別限定，可為習知者。作為前述摻雜物，可列舉例如： Mg 、 Zn 或 Ca 等 p 型摻雜物等。摻雜物的含量，在前述氧化物半導體膜的組成中，較佳為 0.00001 原子%以上，更佳為 0.00001 原子% \sim 20 原子%，最佳為 0.0001 原子% \sim 20 原子%。

【0020】

另外，前述 p 型摻雜物，只要是將前述氧化物半導體膜作為 p 型半導體膜而賦予導電性者則未特別限定，亦可為習知者。作為前述 p 型摻雜物，

可列舉例如：Mg、H、Li、Na、K、Rb、Cs、Fr、Be、Ca、Sr、Ba、Ra、Mn、Fe、Co、Ni、Pd、Cu、Ag、Au、Zn、Cd、Hg、Tl、Pb、N、P 等及此等之中的 2 種以上的元素等，本發明的實施態樣中，前述 p 型摻雜物較佳為 Mg、Zn 或 Ca。

【0021】

前述高電阻氧化物膜，與以往以離子注入所形成之高電阻氧化物層不同，通常係使用磊晶結晶成長方法進行成膜而獲得，但形成方法等並未特別限定。前述磊晶結晶成長方法，只要不阻礙本發明之目的則未特別限定，亦可為習知的方法。作為前述磊晶結晶成長方法，例如，可列舉 CVD 法、MOCVD 法、MOVPE 法、霧化 CVD 法、霧化/磊晶法、MBE 法、HVPE 法或脈衝成長法等。本發明的實施態樣中，前述磊晶結晶成長方法較佳為霧化 CVD 法或霧化/磊晶法。

【0022】

本發明的實施態樣中，較佳係藉由下述方式來進行前述成膜：使金屬之原料溶液霧化(霧化步驟)，以載氣載持所得之霧化液滴而將其運送至前述基體附近(運送步驟)，然後使前述霧化液滴進行熱反應(成膜步驟)。

【0023】

(原料溶液)

原料溶液只要包含金屬作為成膜原料並且可霧化則未特別限定，亦可包含無機材料，亦可包含有機材料。前述金屬可為金屬單體，亦可為金屬化合物，只要不阻礙本發明的目的則未特別限定，可列舉：選自鎵(Ga)、銱(Ir)、銦(In)、銑(Rh)、鋁(Al)、金(Au)、銀(Ag)、鉑(Pt)、銅(Cu)、鐵(Fe)、錳(Mn)、鎳(Ni)、鈀(Pd)、鈷(Co)、鈦(Ru)、鉻(Cr)、鉬(Mo)、鎢(W)、鉭(Ta)、鋅(Zn)、鉛(Pb)、銻(Re)、鈦(Ti)、錫(Sn)、鎵(Ga)、鎂(Mg)、鈣(Ca)及鋯(Zr)

中的 1 種或 2 種以上的金屬等，但本發明的實施態樣中，前述金屬較佳為至少包含周期表第 4 周期～第 6 周期中的 1 種或 2 種以上的金屬，更佳為至少包含鎵、銮、鋁、銻或鉍，最佳為至少含鎵。藉由使用這種較佳的金屬，可形成適合由半導體裝置等所應用的磊晶膜。

【0024】

本發明的實施態樣中，作為前述原料溶液，可較佳地使用以錯合物或鹽的形態將前述金屬溶解或分散於有機溶劑或水中而成者。作為錯合物的形態，可列舉例如：乙醯丙酮錯合物、羰基錯合物、氨錯合物、氫化物錯合物等。作為鹽的形態，可列舉例如：有機金屬鹽(例如金屬乙酸鹽、金屬草酸鹽、金屬檸檬酸鹽等)、硫化金屬鹽、硝化金屬鹽、磷酸化金屬鹽、鹵化金屬鹽(例如氯化金屬鹽、溴化金屬鹽、碘化金屬鹽等)等。

【0025】

前述原料溶液的溶劑，只要未阻礙本發明之目的則未特別限定，可為水等無機溶劑，亦可為醇等有機溶劑，亦可為無機溶劑與有機溶劑的混合溶劑。本發明的實施態樣中，前述溶劑較佳含水。

【0026】

又，前述原料溶液中亦可混合氫鹵酸或氧化劑等添加劑。作為前述氫鹵酸，可列舉例如：氫溴酸、鹽酸、氫碘酸等。作為前述氧化劑，可列舉例如：過氧化氫(H_2O_2)、過氧化鈉(Na_2O_2)、過氧化鋇(BaO_2)、過氧化苯甲醯(C_6H_5CO) $_2O_2$ 等過氧化物、次氯酸(HClO)、過氯酸、硝酸、臭氧水、過乙酸或硝基苯等有機過氧化物等。前述添加劑的摻合比例並未特別限定，相對於原料溶液，較佳為 0.001 體積%～50 體積%，更佳為 0.01 體積%～30 體積%。

【0027】

前述原料溶液中亦可含摻雜物。前述摻雜物只要不阻礙本發明的目的則未特別限定。作為前述摻雜物，可列舉例如：上述 n 型摻雜物或 p 型摻雜物等。摻雜物的濃度通常約為 $1 \times 10^{16}/\text{cm}^3 \sim 1 \times 10^{22}/\text{cm}^3$ ，又亦可使摻雜物的濃度為例如約 $1 \times 10^{17}/\text{cm}^3$ 以下的低濃度。又，再者，根據本發明亦可以約 $1 \times 10^{20}/\text{cm}^3$ 以上的高濃度含有摻雜物。

【0028】

(霧化步驟)

前述霧化步驟，係製備含金屬之原料溶液，並使前述原料溶液霧化而產生霧化液滴。前述金屬的摻合比例並未特別限定，但相對於原料溶液整體，較佳為 $0.0001\text{mol/L} \sim 20\text{mol/L}$ 。霧化方法只要可使前述原料溶液霧化則未特別限定，可為習知的霧化方法，但本發明的實施態樣中，較佳為使用超音波振動的霧化方法。本發明中所使用的霧化液滴(例如霧氣等)，更佳為在空中飄浮者，其並非係以例如噴霧的方式吹附，而是在初速度為零的情況下飄浮於空間中而能夠進行運送的霧化液滴。霧化液滴的液滴尺寸並未特別限定，可為數 mm 左右的液滴，但較佳為 $50\mu\text{m}$ 以下，更佳為 $1 \sim 10\mu\text{m}$ 。

【0029】

(運送步驟)

前述運送步驟中，藉由前述載氣將前述霧化液滴運送至前述基體。作為載氣的種類，只要不阻礙本發明之目的則未特別限定，作為較佳的例子，可列舉例如：氧、臭氧、非活性氣體(例如氮氣或氬氣等)、或是還原氣體(氫氣或合成氣體(forming gas)等等)。又，載氣的種類可為 1 種，亦可為 2 種以上，亦可進一步使用使載氣濃度變化的稀釋氣體(例如 10 倍稀釋氣體等等)作為第 2 載氣。又，載氣的供給處亦可不僅 1 處而是 2 處以上。載氣的流量並未特別限定，較佳為 $0.01 \sim 20\text{LPM}$ ，更佳為 $0.1 \sim 10\text{LPM}$ 。

【0030】**(成膜步驟)**

成膜步驟中，使前述霧化液滴反應，而在前述基體上成膜。前述反應，只要是從前述霧化液滴形成膜的反應則未特別限定，本發明的實施態樣中，較佳為熱反應。前述熱反應，只要是能夠以熱能使前述霧化液滴進行反應即可，只要不阻礙本發明之目的，反應條件等亦未特別限定。本步驟中，通常係以原料溶液之溶劑的蒸發溫度以上的溫度進行前述熱反應，但較佳係在不過高的溫度以下，更佳為 850°C 以下，最佳為 650°C 以下。又，只要不阻礙本發明之目的，則熱反應可在真空下、非氧環境下、還原氣體環境下及氧環境下的任一環境下進行，又，亦可在大氣壓下、加壓下及減壓下的任一條件下進行，但本發明的實施態樣中，在大氣壓下進行能夠更簡單地計算蒸發溫度，因此從能夠簡化設備等的觀點來看為較佳。又，可藉由調整成膜時間來設定膜厚。

【0031】**(基體)**

前述基體，只要可支撐前述膜則未特別限定。前述基體的材料，只要不阻礙本發明之目的則未特別限定，可為習知的基體，亦可為有機化合物，亦可為無機化合物。前述基體的形狀可為任何形狀，對於所有形狀皆有效，可列舉例如：平板或圓板等板狀、纖維狀、棒狀、圓柱狀、角柱狀、筒狀、螺旋狀、球狀、環狀等，本發明的實施態樣中較佳為基板。本發明的實施態樣中並未特別限定基板的厚度。

【0032】

前述基板只要為板狀且成為前述半導體膜的支撐體則未特別限定。可為絕緣體基板，亦可為半導體基板，亦可為金屬基板或導電性基板，但前

述基板較佳為絕緣體基板，又，表面具有金屬膜的基板亦較佳。作為前述基板，可列舉例如：包含具有剛玉結構的基板材料作為主成分的底層基板、或是包含具有 β -gallia 結構的基板材料作為主成分的底層基板、包含具有六方晶結構的基板材料作為主成分的底層基板等。此處所謂的「主成分」，係指以原子比計，相對於基板材料的所有成分而言，較佳為包含 50%以上的具有前述特定結晶結構的基板材料，更佳為 70%以上，再佳為 90%以上，亦可為 100%。

【0033】

基板材料，只要不阻礙本發明之目的則未特別限定，亦可為習知者。作為具有前述剛玉結構的基板材料，可適當地列舉例如： α - Al_2O_3 (藍寶石基板)或 α - Ga_2O_3 ，作為更適當的例子，可列舉： a 面藍寶石基板、 m 面藍寶石基板、 r 面藍寶石基板、 c 面藍寶石基板、以及 α 型氧化鎵基板(a 面、 m 面或 r 面)等。作為以具有 β -gallia 結構的基板材料作為主成分的底層基板，可列舉例如： β - Ga_2O_3 基板、或是包含 Ga_2O_3 與 Al_2O_3 而 Al_2O_3 多於 0wt%且在 60wt%以下的混晶體基板等。又，以具有六方晶結構的基板材料作為主成分的底層基板，可列舉例如： SiC 基板、 ZnO 基板、 GaN 基板等。

【0034】

本發明的實施態樣中，在前述成膜步驟之後，亦可進行退火處理。退火的處理溫度，只要不阻礙本發明之目的則未特別限定，通常為 300°C ~ 650°C ，較佳為 350°C ~ 550°C 。又，退火的處理時間，通常為 1 分鐘~48 小時，較佳為 10 分鐘~24 小時，更佳為 30 分鐘~12 小時。另外，只要不阻礙本發明之目的，則可在任何環境下進行退火處理，較佳為非氧環境下，更佳為氮氣環境下。

【0035】

又，本發明的實施態樣中，亦可直接在前述基體上設置前述半導體膜，亦可隔著緩衝層(緩衝層)或應力緩和層等其他層而設置前述半導體膜。各層的形成方法並未特別限定，可為習知的方法，但本發明的實施態樣中較佳為霧化 CVD 法或霧化/磊晶法。

【0036】

以下，使用圖式說明適合用於前述霧化 CVD 法或霧化/磊晶法的的成膜裝置 19。圖 1 的成膜裝置 19 具備：載氣源 22a，供給載氣；流量調節閥 23a，用以調節從載氣源 22a 送出的載氣流量；載氣(稀釋)源 22b，供給載氣(稀釋)；流量調節閥 23b，用以調節從載氣(稀釋)源 22b 送出的載氣(稀釋)流量；霧氣產生源 24，收納原料溶液 24a；容器 25，放入有水 25a；超音波振動器 26，安裝於容器 25 的底面；成膜室 30；石英製的供給管 27，從霧氣產生源 24 連接至成膜室 30；及加熱板(加熱器)28，設於成膜室 30 內。加熱板 28 上設有基板 20。

【0037】

然後，如圖 1 所示，將原料溶液 24a 收納於霧氣產生源 24 內。接著使用基板 20，設置於加熱板 28 上，使加熱板 28 運作而使成膜室 30 內的溫度升溫。接著，開啟流量調節閥 23(23a、23b) 將載氣從載氣源 22(22a、22b) 供給至成膜室 30 內，以載氣充分取代成膜室 30 的環境後，分別調節載氣的流量與載氣(稀釋)的流量。接著，使超音波振動器 26 振動，並通過水 25a 將該振動傳播至原料溶液 24a 而使原料溶液 24a 微粒子化以生成霧化液滴 24b。此霧化液滴 24b 藉由載氣導入成膜室 30 內而運送至基板 20，然後在大氣壓下，霧化液滴 24b 於成膜室 30 內進行熱反應，而在基板 20 上形成膜。

【0038】

本發明的實施態樣中，亦可將由前述成膜步驟所得到的膜直接用於半導體裝置，亦可在使用從前述基體等剝離等的習知方法之後再用於半導體裝置。

前述半導體裝置具備半導體層及基板，前述半導體層與前述基板之間較佳係配置有前述高電阻氧化物膜。根據這種較佳的半導體裝置，可得到電特性更優良的橫向型半導體裝置，而能夠適合作為功率元件使用。

又，前述半導體裝置中，前述高電阻氧化物膜具有開口部，其為縱向型元件亦較佳，而根據這種較佳的半導體裝置，可得到能夠實現高耐壓且大電流化的電特性更優良之橫向型半導體裝置，而能夠適合作為功率元件使用。

【0039】

前述半導體裝置對於功率元件而言格外有用。作為前述半導體裝置，可列舉例如電晶體等，但其中較佳為 MOSFET。又，前述半導體裝置較佳為常閉型。

【0040】

作為前述電晶體，可列舉例如：至少包含高電阻氧化物膜、閘極絕緣膜、閘極電極、源極電極及汲極電極的半導體裝置等。本發明的實施態樣中，前述高電阻氧化物膜亦可作為半導體層使用。又，前述半導體裝置較佳為包含通道形成區域，更佳為包含反轉通道形成區域。

【0041】

前述反轉通道形成區域，通常設於呈現不同形態之導電性的半導體區域之間。例如，前述反轉通道形成區域設於 p 型半導體層內的情況，通常係設於由 n 型半導體所構成之半導體區域之間的 p 型半導體層內，又，前述反轉通道形成區域設於 n 型半導體層內的情況，通常係設於由 p 型半導

體所構成之半導體區域之間的 n 型半導體層內。另外，各半導體區域的形成方法亦可與前述高電阻氧化物膜的形成方法相同。

【0042】

又，本發明的實施態樣中，較佳係在前述反轉通道形成區域上積層包含周期表第 15 族中至少 1 種元素的氧化膜。作為前述元素，可列舉例如：氮(N)、磷(P)等，但本發明的實施態樣中，較佳為氮(N)或磷(P)，更佳為磷(P)。例如，藉由在閘極絕緣膜與前述反轉通道形成區域之間將至少含磷的氧化膜積層於前述反轉通道形成區域上，可防止氫擴散至氧化物半導體膜，再者可降低界面能態，因此能夠對於半導體裝置、尤其是寬能隙半導體的半導體裝置賦予更優良的半導體特性。另外，本發明的實施態樣中，更佳係前述氧化膜至少包含周期表第 15 族中至少 1 種的前述元素及周期表第 13 族中 1 種或 2 種以上的金屬。作為前述金屬，可列舉例如：鋁(Al)、鎵(Ga)、銦(In)等，其中較佳為 Ga 及/或 Al，更佳為 Ga。又，前述氧化膜較佳為薄膜，更佳為膜厚在 100nm 以下，最佳為膜厚在 50nm 以下。藉由積層這樣的氧化膜，可更有效地抑制閘極漏電(gate leakage)，而能夠使半導體特性更為優良。作為前述氧化膜的形成方法，可列舉例如習知方法等，更具體而言，可列舉例如乾式法或濕式法等，但較佳係藉由磷酸等對於前述反轉通道區域上進行表面處理。

【0043】

又，本發明的實施態樣中，較佳係在前述反轉通道形成區域上隔著閘極絕緣膜設置閘極電極，在前述反轉通道形成區域及前述氧化膜上隔著閘極絕緣膜設置閘極電極亦較佳，藉由如此構成，容易防止氫的擴散等，而能夠實現更良好的半導體特性。

【0044】

前述閘極絕緣膜，只要不阻礙本發明之目的則未特別限定，亦可為習知的絕緣膜。作為前述閘極絕緣膜，作為適當的例子，可列舉例如： SiO_2 、 Si_3N_4 、 Al_2O_3 、 GaO 、 AlGaO 、 InAlGaO 、 AlInZnGaO_4 、 AlN 、 Hf_2O_3 、 SiN 、 SiON 、 MgO 、 GdO ，至少含磷的氧化膜等氧化膜。前述閘極絕緣膜的形成方法可為習知的方法，作為這種習知的形成方法，可列舉例如乾式法或濕式法等。作為乾式法，可列舉例如：濺鍍、真空蒸鍍、CVD、PLD等習知的方法。作為濕式法，可列舉例如：網版印刷或模塗法等塗布方法。

【0045】

前述閘極電極可為習知的閘極電極，此電極材料亦可為導電性無機材料，亦可為導電性有機材料。本發明的實施態樣中，前述電極材料較佳為金屬。作為前述金屬，並未特別限定，可適當地列舉例如：選自周期表第4族至第11族的至少1種金屬等。作為周期表第4族的金屬，可列舉例如：鈦(Ti)、鋯(Zr)、鈪(Hf)等，但其中較佳為Ti。作為周期表第5族的金屬，可列舉例如：釩(V)、鈮(Nb)、鉭(Ta)等。作為周期表第6族的金屬，可列舉例如：選自鉻(Cr)、鉬(Mo)及鎢(W)等中的1種或2種以上的金屬等，本發明的實施態樣中，為了使開關特性等半導體特性更為良好，因此較佳為Cr。作為周期表第7族的金屬，可列舉例如：錳(Mn)、鎔(Tc)、錳(Re)等。作為周期表第8族的金屬，可列舉例如：鐵(Fe)、鈺(Ru)、銱(Os)等。作為周期表第9族的金屬，可列舉例如：鈷(Co)、銩(Rh)、銱(Ir)等。作為周期表第10族的金屬，可列舉例如：鎳(Ni)、鈀(Pd)、鉑(Pt)等，但其中較佳為Pt。作為周期表第11族的金屬，可列舉例如：銅(Cu)、銀(Ag)、金(Au)等。作為前述閘極電極的形成方法，可列舉例如習知的方法等，更具體而言，可列舉例如：乾式法或濕式法等。作為乾式法，可列舉例如：濺鍍、真空蒸鍍、CVD等習知的方法。作為濕式法，可列舉例如：網版印刷或模塗法

等。

【0046】

另外，本發明的實施態樣中，不僅具備閘極電極，通常亦具備源極電極及汲極電極，但前述源極電極及汲極電極皆與前述閘極電極相同，分別可為習知的電極，而形成電極的方法亦可分別為習知的方法。

【0047】

以下使用圖式更具體說明本發明的較佳實施態樣，但本發明不限於此等。

【0048】

(MOSFET)

作為本發明的半導體裝置的具體之一例，可列舉例如圖 2 所示的 MOSFET 等。圖 2 的 MOSFET 為橫向型的 MOSFET，具備：n+型半導體層(n+型源極層)1b、n+型半導體層(n+型汲極層)1c、作為 p 型半導體層的高電阻氧化物膜 2、閘極絕緣膜 4a、閘極電極 5a、源極電極 5b、汲極電極 5c 及基板 9。另外，圖 2(a)係從頂部方向觀看 MOSFET 的上表面圖，其示意地顯 MOSFET 的上表面。又，圖 2(b)示意地顯示圖 2(a)的 A-A'間的 MOSFET 的剖面。

【0049】

圖 2 的 MOSFET 的導通狀態，係在前述源極電極 5b 與前述汲極電極 5c 之間施加電壓，若在前述閘極電極 5a 對於前述源極電極 5b 施予正的電壓，則 n+型半導體層(n+型源極層)1b 與 n+型半導體層(n+型汲極層)1c 之間形成通道層，而成為導通。off 狀態係藉由使前述閘極電極的電壓為 0V，使通道層失效，而成為關閉。

【0050】

作為本發明之半導體裝置的一例，圖 3 中顯示 MOSFET 的一態樣。另外，圖 3(a)係從頂部方向觀看 MOSFET 的表面圖，其示意地顯示 MOSFET 的上表面。又，圖 3(b)係示意地顯示圖 3(a)之 MOSFET 的剖面。圖 3 的 MOSFET 為橫向型的 MOSFET，具備：n+型半導體層 1、n-型半導體層 3、n+型半導體層(n+型源極層)1b、n+型半導體層(n+型汲極層)1c、高電阻氧化物膜 2、閘極絕緣膜 4a、閘極電極 5a、源極電極 5b、汲極電極 5c 及基板 9。圖 3 的 MOSFET 的 on 狀態中，若在前述源極電極 5b 與前述汲極電極 5c 之間施加電壓，並在前述閘極電極 5a 對於前述源極電極 5b 施予正的電壓，則在 n+型半導體層(n+型源極層)1b 與 n+型半導體層(n+型汲極層)1c 之間形成通道層，而成為導通。另外，藉由高電阻氧化物膜 3，可在抑制漏電流等的情況下感應電流。又，off 狀態，係藉由使前述閘極電極的電壓為 0V，使通道層失效，而成為關閉。

【0051】

作為本發明的半導體裝置的一例，圖 4 中顯示 MOSFET 的一態樣。圖 4 的 MOSFET 為橫向型的 MOSFET，具備：n+型半導體層 1、n-型半導體層 3、n+型半導體層(n+型源極層)1b、n+型半導體層(n+型汲極層)1c、高電阻氧化物膜 2、閘極絕緣膜 4a、閘極電極 5a、源極電極 5b、汲極電極 5c 及基板 9。圖 4 的 MOSFET，相較於圖 3 的 MOSFET，n+型半導體層(n+型汲極層)1c 成為凸形 (mesa 狀)，並具有階差結構。n+型半導體層(n+型汲極層)1c 中，閘極電極側變低，汲極電極側變高。藉由如此構成，可實現更高耐壓的半導體裝置。

【0052】

作為本發明的半導體裝置的一例，圖 5 顯示 MOSFET 的一態樣。另外，圖 5(a)係從頂部方向觀看 MOSFET 的上表面圖，其示意地顯示 MOSFET 的

上表面。又，圖 5(b)係示意地顯示圖 5(a)的 B-B'間的 MOSFET 的剖面。圖 5 的 MOSFET 為縱向型的 MOSFET，其成為能夠實現更高耐壓大電流化的半導體裝置。又，圖 5 的 MOSFET，具備 n+型半導體層(n+型源極層)1b、n+型半導體層(n+型汲極層)1c、高電阻氧化物膜 2、n-型半導體層 3、閘極絕緣膜 4a、閘極電極 5a、源極電極 5b、汲極電極 5c 及基板 9。高電阻氧化物膜 2，在閘極電極下方具有開口部。前述開口部，若使其寬度比閘極電極更寬，則可更降低導通電阻，又，若使其寬度比閘極電極更窄，則可更提升耐壓。可使用習知的方法藉由進行蝕刻等來形成前述開口部。本發明的實施態樣中，例如亦可在形成前述高電阻氧化物膜之後，藉由蝕刻等來製作開口部，亦可在形成 n-型半導體層後，在成為開口部之處使用遮罩而形成高電阻氧化物膜，然後再將前述遮罩去除。具有由後者的方法所形成之開口部的高電阻氧化物膜的例子顯示於圖 6。圖 6 的 MOSFET 係顯示在圖 5 的 MOSFET 中開口部的位置設於閘極電極側的 n-型半導體層內之情況的例子。本發明的實施態樣中，圖 5 的 MOSFET 及圖 6 的 MOSFET 的任一 MOSFET 皆可適當地使用。

【0053】

本發明的半導體裝置，除了上述事項以外，進一步使用習知的方法，而適合作為功率模組、反向器或變流器（converter）使用，再者，例如適合用於使用了電源裝置的半導體系統等。藉由使用習知的方法連接於配線圖案等，而可由前述半導體裝置製作前述電源裝置或是將其作為前述半導體裝置。圖 8 顯示電源系統的例子。圖 8 顯示使用多個前述電源裝置 171、172 與控制電路 173 所構成的電源系統 170。前述電源系統 170，如圖 9 所示，可將電子電路 181 與電源系統 182(亦即圖 8 的電源系統 170)組合而用於系統裝置 180。另外，圖 10 顯示電源裝置的電源電路圖的一例。圖 10 顯示由

功率電路與控制電路所構成之電源裝置的電源電路，藉由反向器 192(由 MOSFET：A~D 所構成)以高頻切換 DC 電壓而轉換成 AC 後，以變壓器 193 實施絕緣及變壓，以整流 MOSFET(A~B')整流後，藉由 DCL195(平順抗流線圈 L1、L2)與電容器進行平滑化，輸出直流電壓。此時以電壓比較器 197 比較輸出電壓與基準電壓，利用 PWM 控制電路 196 控制反向器 192 及整流 MOSFET194 以形成預期的輸出電壓。

[實施例]

【0054】

(實施例 1)圖 2 顯示之 MOSFET 的製作

1.p 型半導體層(高電阻氧化物膜)的形成

1-1.成膜裝置

使用圖 1 的成膜裝置 19。

【0055】

1-2.原料溶液的製作

以體積比計，使 0.1M 溴化鎂水溶液含有 20%的氫溴酸，再以 10 體積 %的比例加入 Mg，以此作為原料溶液。

【0056】

1-3.成膜準備

將上述 1-2.所得之原料溶液 24a 收納於霧氣產生源 24 內。接著，將藍寶石基板設置於載置台 21 上以作為基板 20，使加熱器 28 運作而將成膜室 30 內的溫度升溫至 520°C。接著，開啟流量調節閥 23a、23b，從作為載氣源的載氣供給源 22a、22b 將載氣供給至成膜室 30 內，以載氣充分取代成膜室 30 的環境後，將載氣的流量調節為 1LPM，並將載氣(稀釋)的流量調節為 1LPM。另外，係使用氮氣作為載氣。

【0057】

1-4.半導體膜形成

接著，以 2.4MHz 使超音波振動器 26 振動，通過水 25a 將該振動傳播至原料溶液 24a，藉此使原料溶液 24a 霧化而生成霧氣。此霧氣藉由載氣而導入成膜室 30 內，在大氣壓下，以 520°C 於成膜室 30 內使霧氣反應，而在基板 20 上形成 p 型半導體層(高電阻氧化物膜)。另外，膜厚為 0.6 μ m，成膜時間為 15 分鐘。

【0058】

1-5.評價

使用 XRD 繞射裝置鑑定上述 1-4.所得之膜的相，結果所得之膜為 α -Ga₂O₃。

【0059】

2.n+型半導體區域的形成

以體積比計，使 0.1M 溴化鎵水溶液分別含有氫溴酸 10%及溴化錫 8%，以此作為原料溶液，以及使成膜溫度為 580°C及使成膜時間為 5 分鐘，除此之外，與上述 1.相同地在上述 1.所得之 p 型半導體層上形成 n+型半導體膜。對於所得之膜，使用 XRD 繞射裝置鑑定膜的相，結果所得之結晶性氧化物半導體膜為 α -Ga₂O₃，而且能隙為 5eV 以上。

【0060】

3.閘極絕緣膜及各電極的形成

在與閘極部對應的區域(1b 與 1c 之間)的 n+型半導體層以磷酸進行蝕刻，再以磷酸進行處理而在 p 型半導體層上形成至少含磷的氧化膜之後，使用 TEOS 形成 SiO₂ 以作為閘極絕緣膜。另外，高電阻氧化物膜的電阻，係在高電阻氧化物膜上形成測量用的電極並流入電流以進行測量，結果為

$1.0 \times 10^{12} \Omega \cdot \text{cm}$ 以上。又，對其進行光微影、蝕刻處理、電子束蒸鍍處理等，如圖 2 所示，製作 MOSFET。另外，電極皆係使用 Ti。

【0061】

(評價)

對於所得之 MOSFET 實施 IV 測量。IV 測量結果顯示於圖 7。由圖 7 明確得知，成功形成反轉通道區域而創造了高移動度的氧化鎵半導體的 MOSFET，亦證實了作為電晶體而良好地運作。另外，由圖 7 可知，評價 I_d - V_g 特性($V_d=10\text{V}$)的結果，場效移動率(V_g 為 20V 時)分別為 $62.52\text{cm}^2/\text{V} \cdot \text{s}$ 、 $116.9\text{cm}^2/\text{V} \cdot \text{s}$ 及 $54.55\text{cm}^2/\text{V} \cdot \text{s}$ ，又，場效移動率(V_g 為 14V 時)為 $102.5\text{cm}^2/\text{V} \cdot \text{s}$ 、 $131.6\text{cm}^2/\text{V} \cdot \text{s}$ 及 $36.85\text{cm}^2/\text{V} \cdot \text{s}$ 。又，由所得之 IV 特性所求得之閘極電壓閾值電壓為 7V 以上。又，on/off 比為 10000000。

[產業上的可利用性]

【0062】

本發明的半導體裝置可用於半導體(例如化合物半導體電子裝置等)、電子零件/電力設備零件，光學/電子影像相關裝置、工業構件等所有領域，對於功率元件而言尤其有用。

【符號說明】

【0063】

1:n+型半導體層

1b:n+型半導體層(n+型源極層)

1c:n+型半導體層(n+型汲極層)

2:高電阻氧化物膜

3:n-型半導體層

4a:閘極絕緣膜

5a:閘極電極

5b:源極電極

5c:汲極電極

9:基板

19:霧化 CVD 裝置

20:基板

21:載置台

22a:載氣供給源

22b:載氣(稀釋)供給源

23a:流量調節閥

23b:流量調節閥

24:霧氣產生源

24a:原料溶液

24b:霧化液滴

25:容器

25a:水

26:超音波振動器

27:供給管

28:加熱器

29:排氣口

30:成膜室

170:電源系統

171:電源裝置

172:電源裝置

173:控制電路

180:系統裝置

181:電子電路

182:電源系統

192:反向器

193:變壓器

194:整流 MOSFET

195:DCL

196:PWM 控制電路

197:電壓比較器

【發明申請專利範圍】

【請求項 1】一種半導體裝置，其係至少具有結晶性氧化物半導體層，其中，前述結晶性氧化物半導體層的能隙為 4.5eV 以上，而且其場效移動率 (field-effect mobility) 為 $10\text{cm}^2/\text{V}\cdot\text{s}$ 以上。

【請求項 2】如請求項 1 所述之半導體裝置，其中前述場效移動率為 $30\text{cm}^2/\text{V}\cdot\text{s}$ 以上。

【請求項 3】如請求項 1 或 2 所述之半導體裝置，其中前述結晶性氧化物半導體層包含 p 型摻雜物。

【請求項 4】如請求項 1 至 3 中任一項所述之半導體裝置，其中前述結晶性氧化物半導體層中更配置有高電阻氧化物膜，前述高電阻氧化物膜的電阻為 $1.0\times 10^6\Omega\cdot\text{cm}$ 以上。

【請求項 5】如請求項 4 所述之半導體裝置，其中前述高電阻氧化物膜的電阻為 $1.0\times 10^{10}\Omega\cdot\text{cm}$ 以上。

【請求項 6】如請求項 4 或 5 所述之半導體裝置，其更包含通道形成區域，前述通道形成區域下配置有前述高電阻氧化物膜。

【請求項 7】如請求項 4 至 6 中任一項所述之半導體裝置，其中前述高電阻氧化物膜為電流阻擋層。

【請求項 8】如請求項 1 至 7 中任一項所述之半導體裝置，其中前述結晶性氧化物半導體層具有剛玉結構。

【請求項 9】如請求項 1 至 8 中任一項所述之半導體裝置，其中前述結晶性氧化物半導體層包含 Ga_2O_3 。

【請求項 10】如請求項 1 至 9 中任一項所述之半導體裝置，其為縱向型元件。

【請求項 11】如請求項 1 至 10 中任一項所述之半導體裝置，其為功率元件。

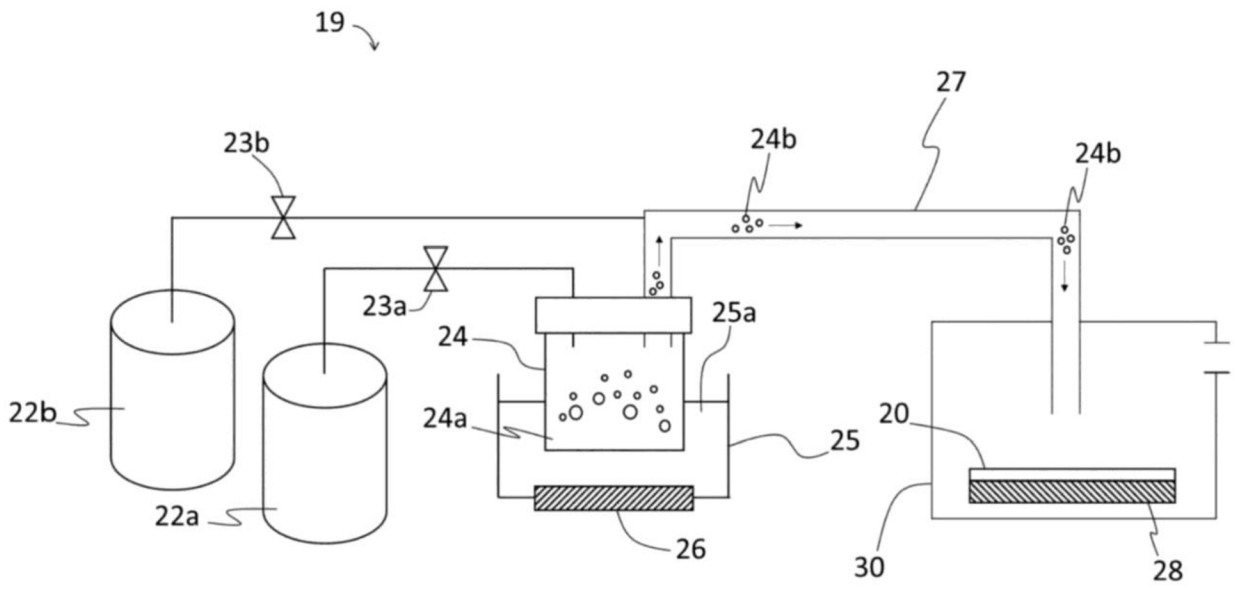
【請求項 12】如請求項 1 至 11 中任一項所述之半導體裝置，其為 MOSFET。

【請求項 13】如請求項 1 至 12 中任一項所述之半導體裝置，其 on/off 比為 1000 以上。

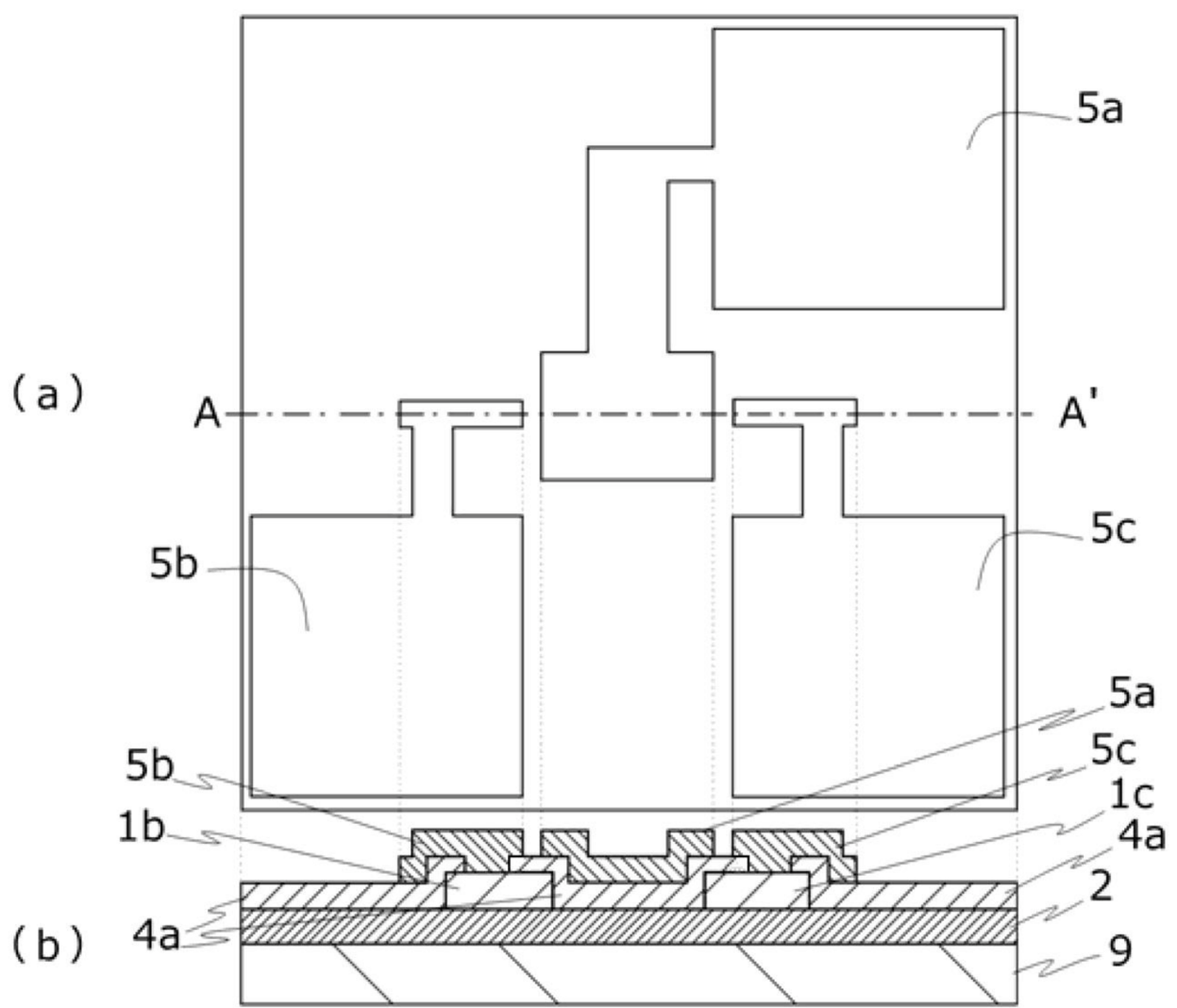
【請求項 14】如請求項 1 至 13 中任一項所述之半導體裝置，其為常閉型。

【請求項 15】一種半導體系統，其係具備半導體裝置的半導體系統，前述半導體裝置為如請求項 1 至 14 中任一項所述之半導體裝置。

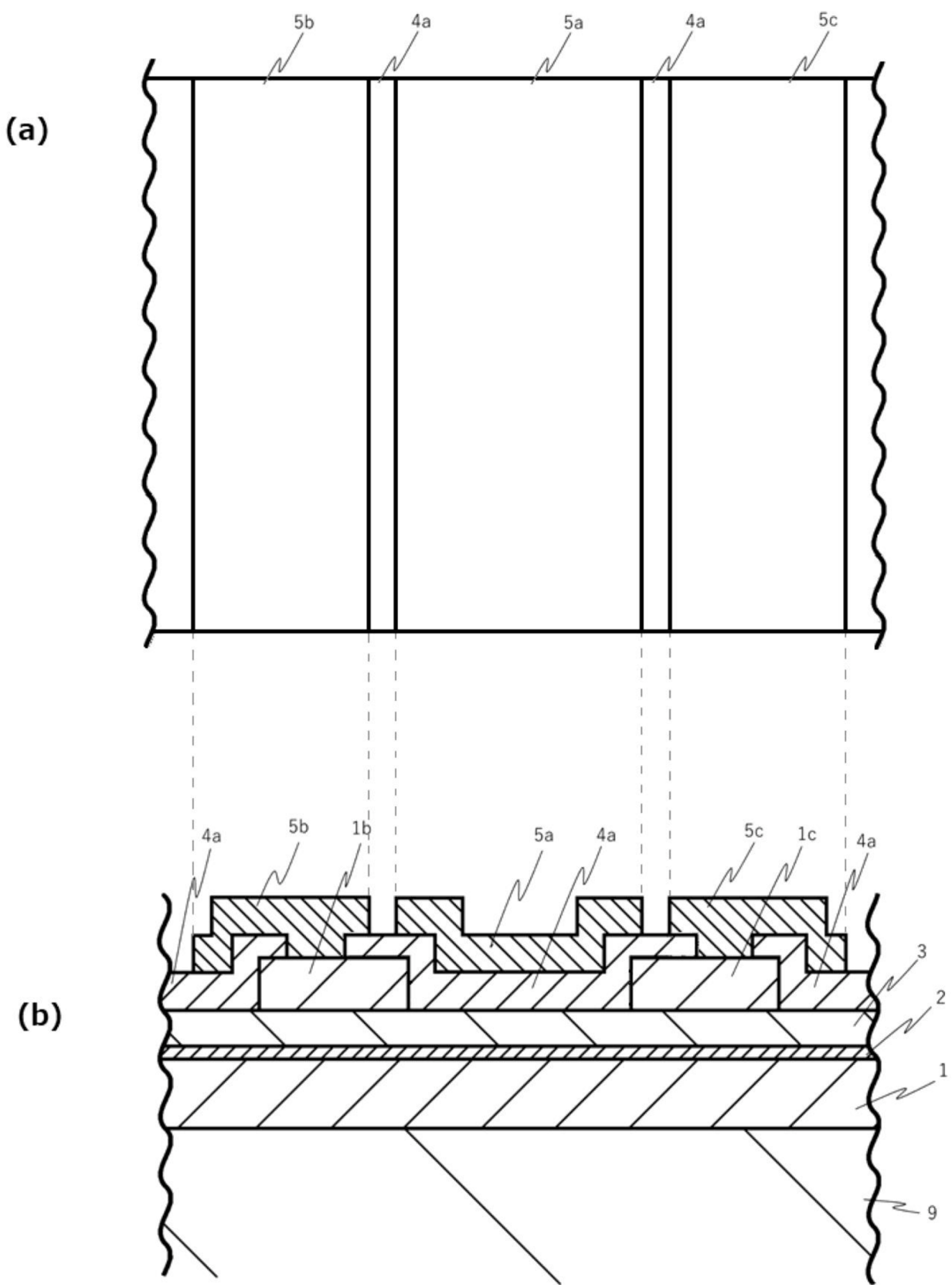
【發明圖式】



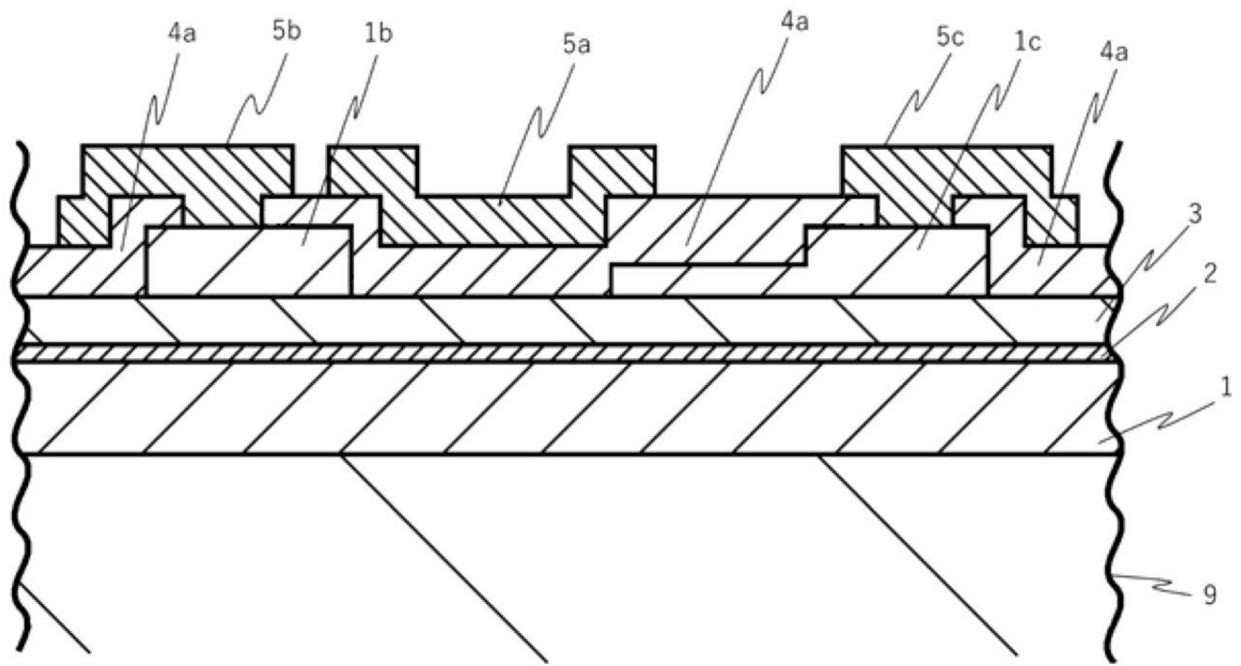
【圖1】



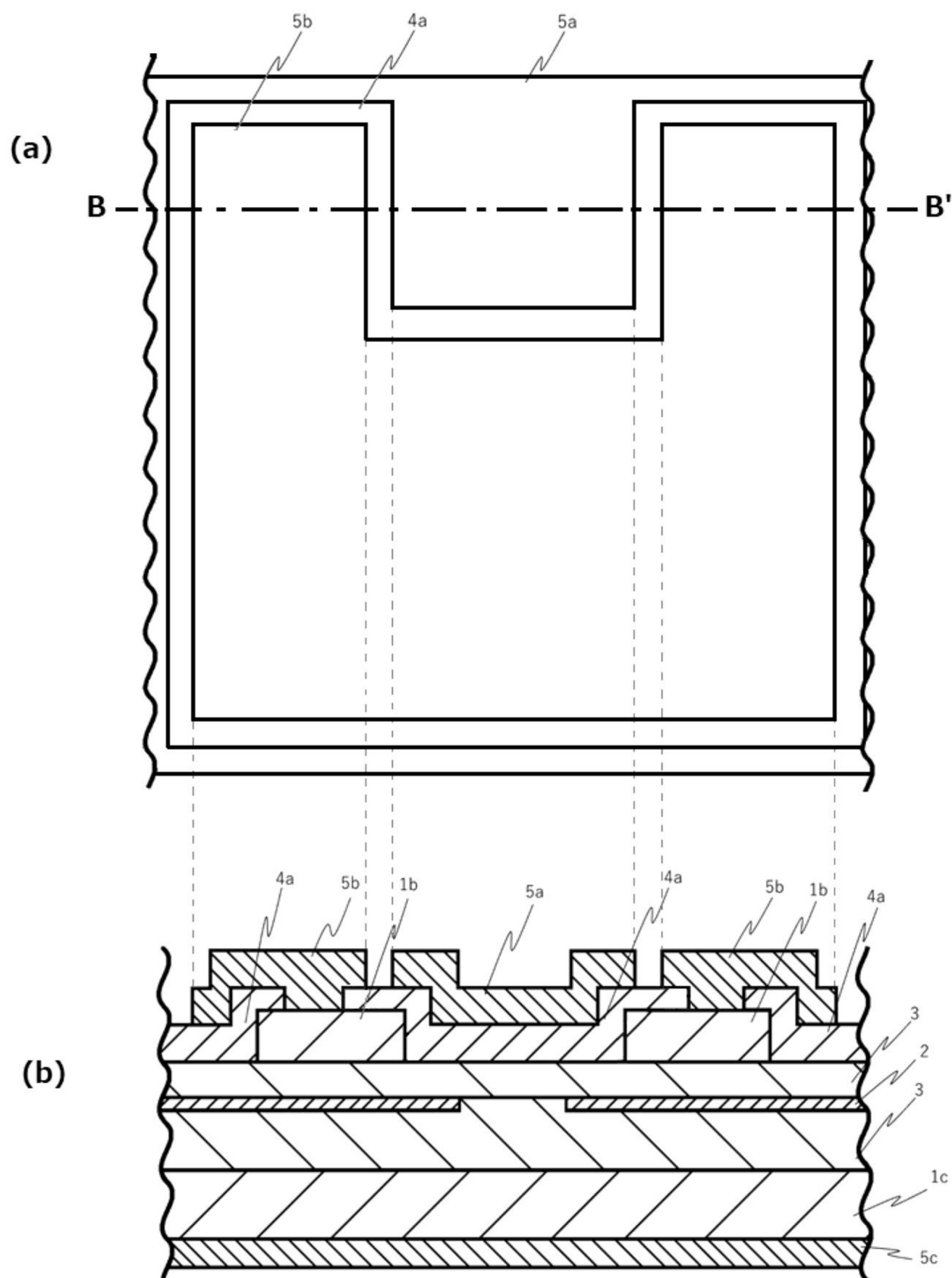
【圖2】



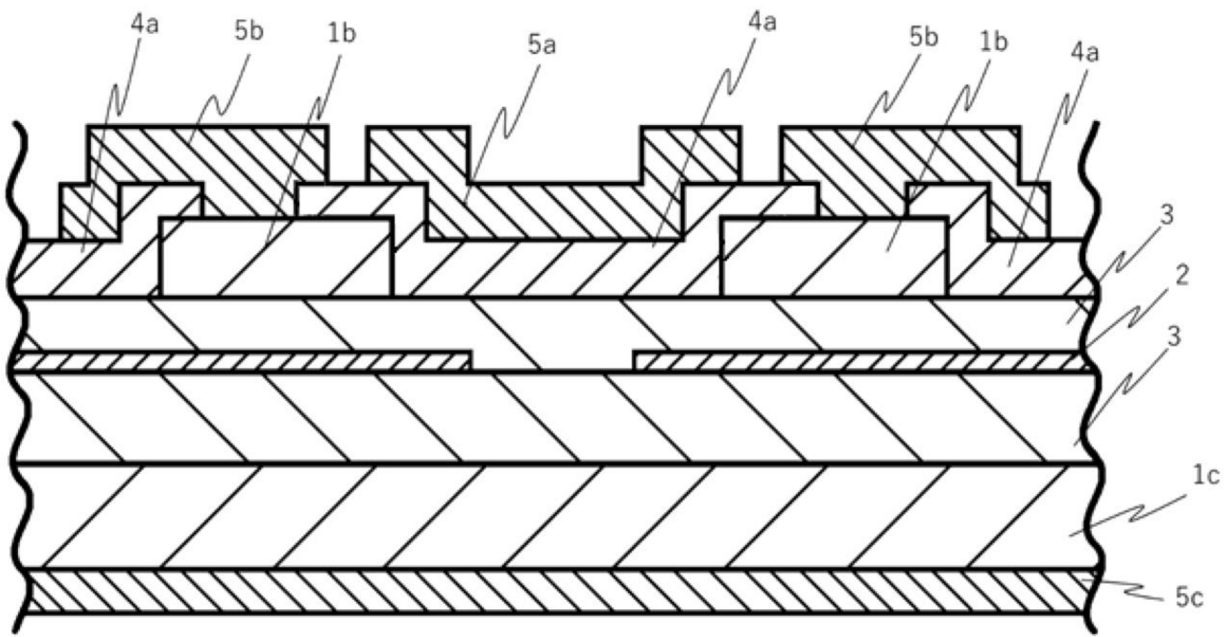
【圖3】



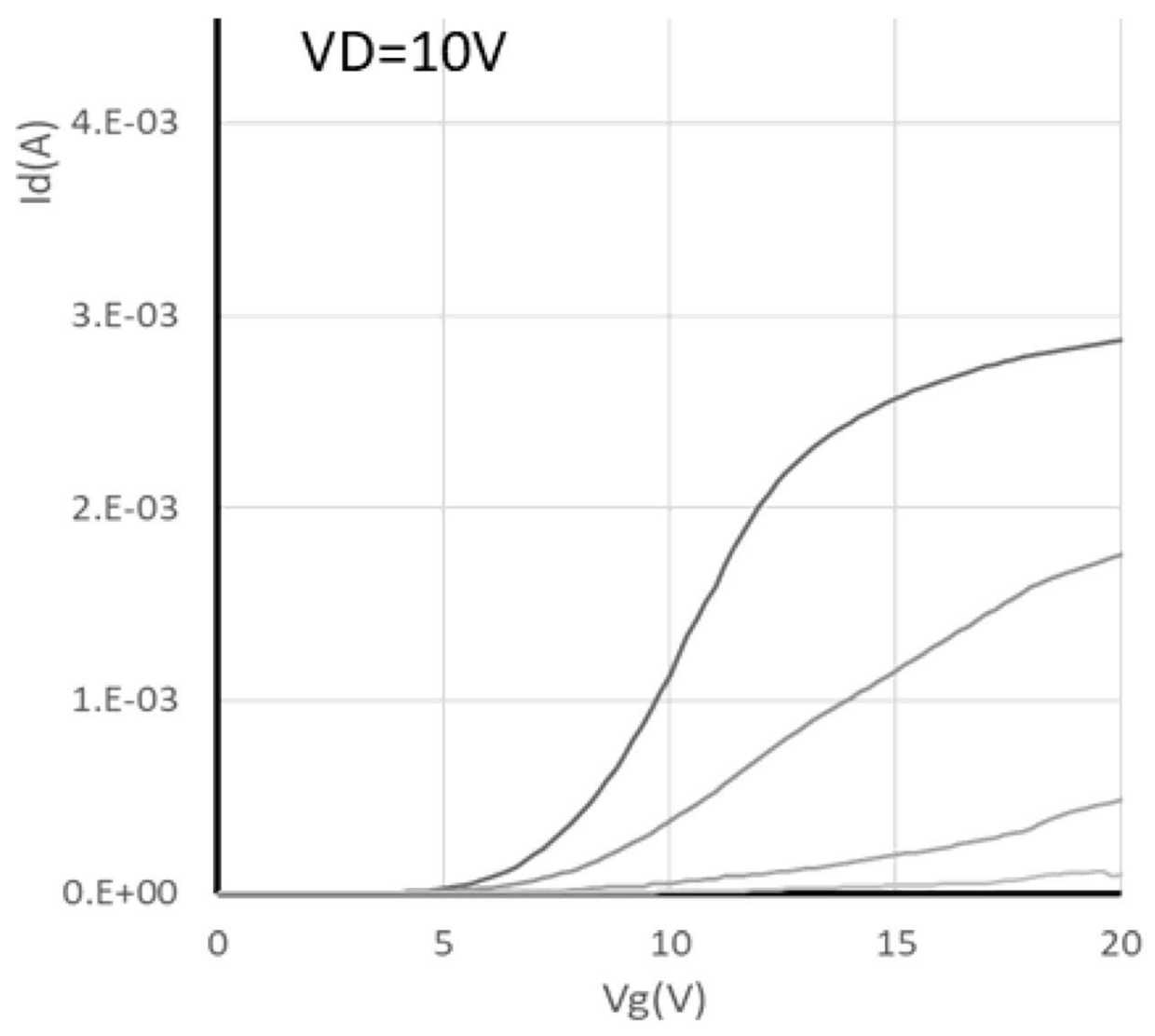
【圖4】



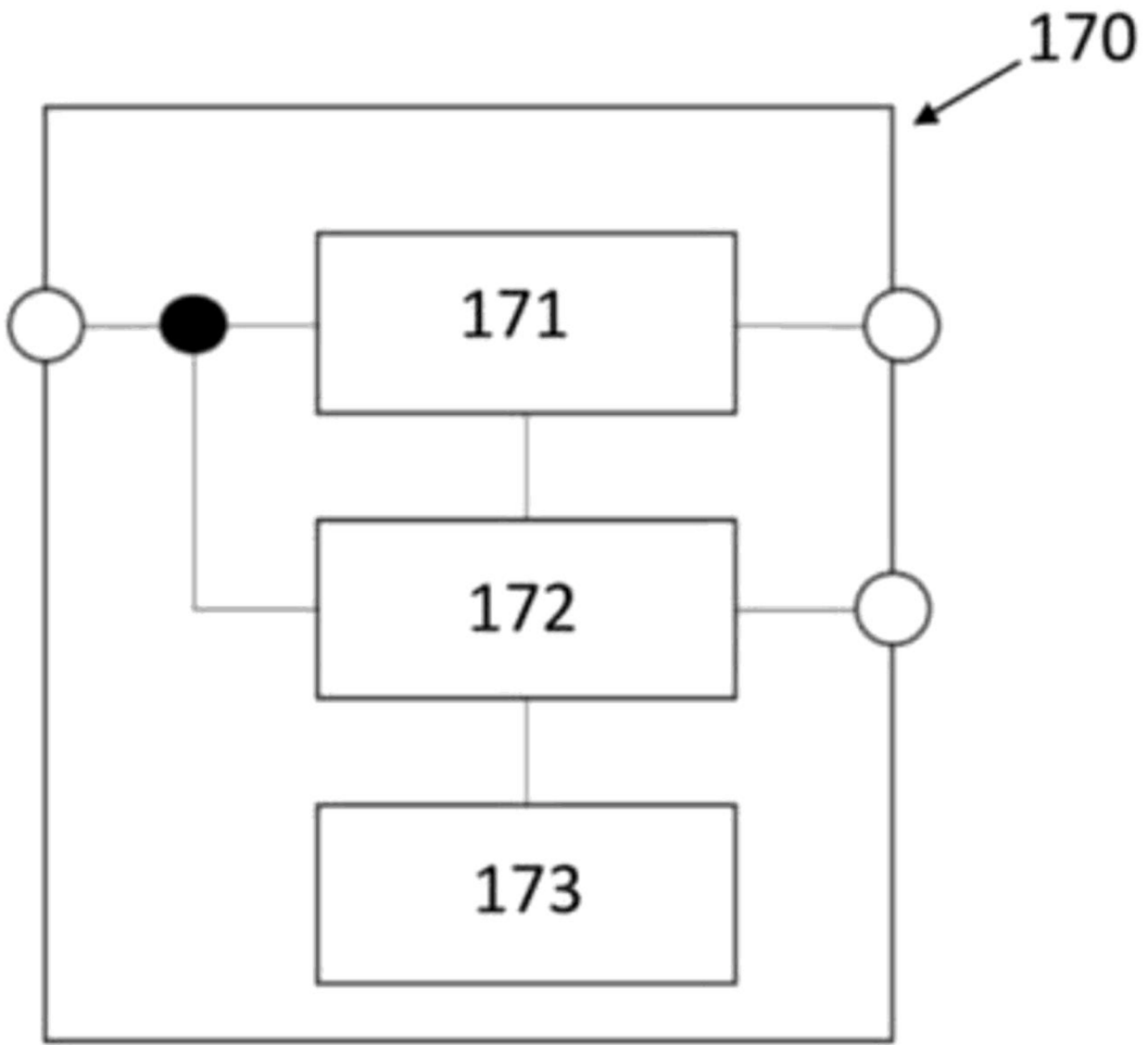
【圖5】



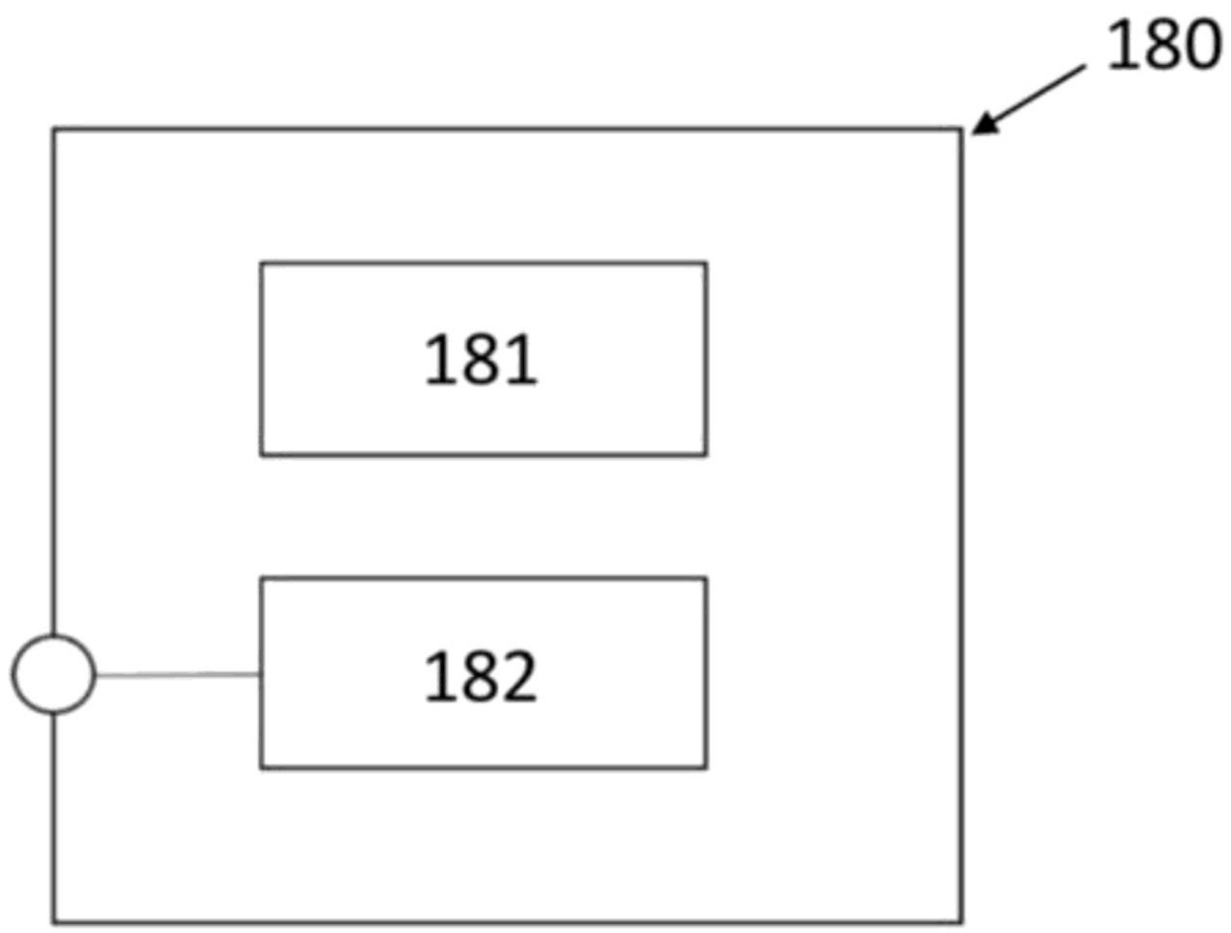
【圖6】



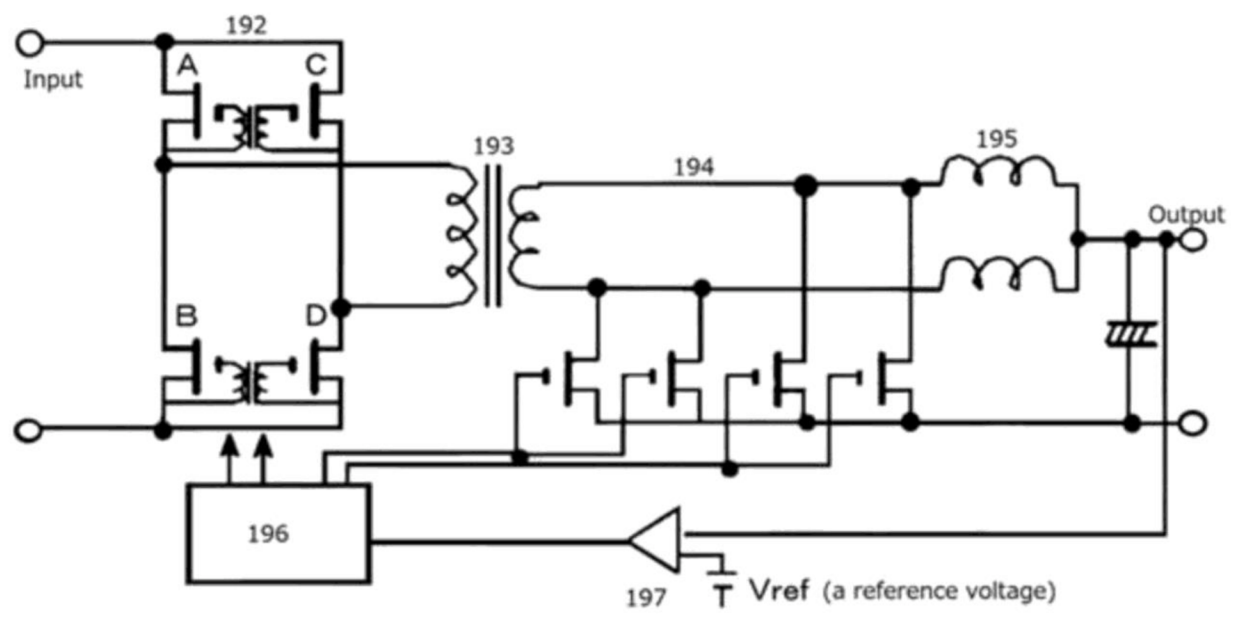
【圖7】



【圖8】



【圖9】



【圖10】