



등록특허 10-2109482



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년05월12일
(11) 등록번호 10-2109482
(24) 등록일자 2020년05월06일

- (51) 국제특허분류(Int. Cl.)
H01L 21/3105 (2006.01) *H01L 21/02* (2006.01)
H01L 21/768 (2006.01)
- (21) 출원번호 10-2014-7029230
- (22) 출원일자(국제) 2013년06월18일
심사청구일자 2018년06월14일
- (85) 번역문제출일자 2014년10월17일
- (65) 공개번호 10-2015-0035509
- (43) 공개일자 2015년04월06일
- (86) 국제출원번호 PCT/US2013/046285
- (87) 국제공개번호 WO 2014/011364
국제공개일자 2014년01월16일
- (30) 우선권주장
61/671,191 2012년07월13일 미국(US)

(56) 선행기술조사문현

KR1020090023276 A*

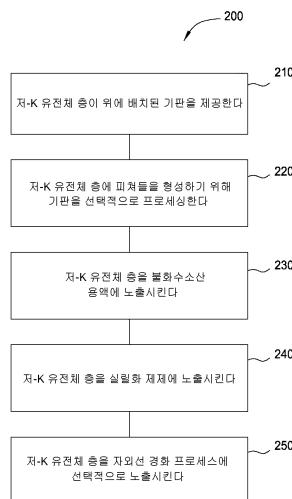
(뒷면에 계속)

전체 청구항 수 : 총 14 항

심사관 : 김영진

(54) 발명의 명칭 **다공성 저-K 막의 유전 상수를 감소시키기 위한 방법****(57) 요약**

본 발명의 실시예들은 일반적으로, 반도체 제조에서 사용되는 저-k 유전체 막들의 유전 상수를 저감시키기 위한 방법들에 관한 것이다. 일 실시예에서, 저-k 실리콘 함유 유전체 막의 유전 상수(k)를 저감시키기 위한 방법은, 다공성 저-k 실리콘 함유 유전체 막을 불화수소산 용액에 노출시키는 단계, 및 후속하여, 저-k 실리콘 함유 유전체 막을 실릴화 제제에 노출시키는 단계를 포함한다. 실릴화 제제는, 저-k 유전체 막에서의 탄소의 농도를 증가시키기 위해, 다공성 저-k 유전체 막에서의 Si-OH 작용기들과 반응한다.

대 표 도 - 도2

(72) 발명자

임, 강섭

미국 94303 캘리포니아 팔로 알토 루이스 로드
1916

데모스, 알렉산드로스 티.

미국 94538 캘리포니아 프리몬트 모자르트 테라스
39370

(56) 선행기술조사문현

US20020022378 A1*

KR1020070086070 A*

KR1020060065493 A*

JP2000340651 A

JP2002324838 A

US20110117678 A1

JP2006077245 A

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

저-k 실리콘 함유 유전체 막의 유전 상수(k)를 저감시키기 위한 방법으로서,

저-k 실리콘 함유 유전체 막을 불화수소산 용액에 노출시키는 단계;

상기 저-k 실리콘 함유 유전체 막을 기화된(vaporized) 실릴화 제제에 노출시키는 단계; 및

상기 저-k 실리콘 함유 유전체 막을 자외선(UV) 경화 프로세스에 노출시키는 단계

를 포함하고,

상기 저-k 실리콘 함유 유전체 막은, 상기 불화수소산 용액에 대한 노출 전의 저-k 실리콘 함유 유전체의 유전 상수(k)와 비교하여 상기 불화수소산 용액에 대한 노출 후에 더 높은 유전 상수(k)를 가지며,

상기 저-k 실리콘 함유 유전체 막은, 상기 불화수소산 용액에 대한 노출 전의 저-k 실리콘 함유 유전체의 유전 상수(k)와 비교하여 상기 기화된 실릴화 제제에 대한 노출 후에 더 낮은 유전 상수(k)를 갖는,

저-k 실리콘 함유 유전체 막의 유전 상수(k)를 저감시키기 위한 방법.

청구항 2

제 1 항에 있어서,

상기 저-k 실리콘 함유 유전체 막을 기화된 실릴화 제제에 노출시키는 단계, 및 상기 저-k 실리콘 함유 유전체 막을 자외선 경화 프로세스에 노출시키는 단계는, 동일한 프로세싱 챔버에서 수행되는,

저-k 실리콘 함유 유전체 막의 유전 상수(k)를 저감시키기 위한 방법.

청구항 3

제 1 항에 있어서,

상기 자외선 경화 프로세스는, 섭씨 100 도 내지 섭씨 800 도의 UV 경화 온도에서 수행되는,

저-k 실리콘 함유 유전체 막의 유전 상수(k)를 저감시키기 위한 방법.

청구항 4

제 3 항에 있어서,

UV 복사 장치들을 시뮬레이트(simulate)하기 위해, 원격 플라즈마 소스에 의해 형성된 플라즈마를 사용하는 단계를 더 포함하는,

저-k 실리콘 함유 유전체 막의 유전 상수(k)를 저감시키기 위한 방법.

청구항 5

제 1 항에 있어서,

상기 저-k 실리콘 함유 유전체 막을 기화된 실릴화 제제에 노출시키는 단계 및 상기 저-k 실리콘 함유 유전체 막을 자외선 경화 프로세스에 노출시키는 단계는, 동시에 수행되는,

저-k 실리콘 함유 유전체 막의 유전 상수(k)를 저감시키기 위한 방법.

청구항 6

제 1 항에 있어서,

상기 저-k 실리콘 함유 유전체 막을 기화된 실릴화 제제에 노출시키는 단계 및 상기 저-k 실리콘 함유 유전체

막을 자외선 경화 프로세스에 노출시키는 단계를, 반복시키는 단계를 더 포함하는,
저-k 실리콘 함유 유전체 막의 유전 상수(k)를 저감시키기 위한 방법.

청구항 7

삭제

청구항 8

제 1 항에 있어서,

상기 저-k 실리콘 함유 유전체 막은, 3 또는 그 미만의 초기 유전 상수를 갖는 실리콘 기초 유전체 재료인,
저-k 실리콘 함유 유전체 막의 유전 상수(k)를 저감시키기 위한 방법.

청구항 9

제 8 항에 있어서,

상기 저-k 실리콘 함유 유전체 막은, 탄소 및 수소를 함유하는 실리콘 산화물인,
저-k 실리콘 함유 유전체 막의 유전 상수(k)를 저감시키기 위한 방법.

청구항 10

제 1 항에 있어서,

상기 저-k 실리콘 함유 유전체 막은, 상기 저-k 실리콘 함유 유전체 막을 상기 불화수소산 용액에 노출시키기 전에, 평탄화 프로세스, 예칭 프로세스, 확산 배리어 증착 프로세스, 금속 증착 프로세스, 또는 이들의 조합들로부터 선택되는 집적(integration) 프로세스에 노출되는,

저-k 실리콘 함유 유전체 막의 유전 상수(k)를 저감시키기 위한 방법.

청구항 11

제 1 항에 있어서,

상기 저-k 실리콘 함유 유전체 막을 자외선 경화 프로세스에 노출시키는 단계는, 상기 저-k 실리콘 함유 유전체 막을 상기 기화된 실릴화 제제에 노출시키기 전에, 상기 저-k 실리콘 함유 유전체 막을 상기 기화된 실릴화 제제에 노출시키는 것과 동시에, 상기 저-k 실리콘 함유 유전체 막을 상기 기화된 실릴화 제제에 노출시킨 후에, 또는 이들의 조합들에서 수행되는,

저-k 실리콘 함유 유전체 막의 유전 상수(k)를 저감시키기 위한 방법.

청구항 12

제 1 항에 있어서,

상기 저-k 실리콘 함유 유전체 막을 자외선 경화 프로세스에 노출시키는 단계는, 상기 저-k 실리콘 함유 유전체 막을 상기 기화된 실릴화 제제에 노출시킨 후에 수행되는,

저-k 실리콘 함유 유전체 막의 유전 상수(k)를 저감시키기 위한 방법.

청구항 13

제 1 항에 있어서,

상기 저-k 실리콘 함유 유전체 막을 불화수소산 용액에 노출시키는 단계는, 상기 저-k 실리콘 함유 유전체 막을 상기 불화수소산 용액에 디핑(dipping)하는 단계 또는 상기 저-k 실리콘 함유 유전체 막 상에 상기 불화수소산 용액을 분무하는 단계를 포함하는,

저-k 실리콘 함유 유전체 막의 유전 상수(k)를 저감시키기 위한 방법.

청구항 14

제 1 항에 있어서,

상기 저-k 실리콘 함유 유전체 막을 상기 자외선 경화 프로세스에 노출시키기 전에 또는 상기 저-k 실리콘 함유 유전체 막을 상기 자외선 경화 프로세스에 노출시키는 것과 동시에, 상기 저-k 실리콘 함유 유전체 막을 가열시키는 단계를 더 포함하는,

저-k 실리콘 함유 유전체 막의 유전 상수(k)를 저감시키기 위한 방법.

청구항 15

제 1 항에 있어서,

상기 저-k 실리콘 함유 유전체 막은 0.5 nm 내지 20 nm의 범위의 직경을 갖도록 형성된 나노포어(nanopore)들을 갖는,

저-k 실리콘 함유 유전체 막의 유전 상수(k)를 저감시키기 위한 방법.

발명의 설명

기술 분야

[0001]

본 발명의 실시예들은 일반적으로, 반도체 제조에서 사용되는 저-k 유전체 막들의 유전 상수를 저감시키기 위한 방법들에 관한 것이다.

배경 기술

[0002]

반도체 제조에서의 유전체 막들의 유전 상수(k)는 디바이스 스케일링(scaling)이 계속됨에 따라 계속 감소되고 있다. 저 유전 상수(저-k) 막들에 대한 집적(integration) 손상을 최소화하는 것은 피쳐(feature) 사이즈들을 계속 감소시키는 것을 가능하게 하는데 중요하다. 그러나, 피쳐 사이즈들이 축소됨에 따라, 유전체 막들의 신뢰성 및 저항성 캐패시턴스(resistive capacitance)에서의 개선이 심각한 난제가 된다.

[0003]

예컨대 탄소-도핑된 산화물들(CDO)을 포함하는 다공성 저-k 유전체 막들은, 폴리싱, 에칭, 애싱(ashing), 및 세정과 같지만 이에 제한되지는 않는 집적 단계들에 노출되는 경우에 이들의 결합 구조들에 대한 손상을 경험한다. 더 높은 k -값을 갖는 유전체 막들은 후속 집적 단계들에서 더 잘 견뎌내는 것이 가능할 수 있지만; 피쳐 사이즈들이 축소됨에 따라, 더 낮은 k -값이 전형적으로 최종 막에서 바람직하다. 예컨대, 다마신(damascene) 프로세스에 대해, 패터닝된 저-k 유전체 막이 전형적으로 구리로 충전되고(filled), 뒤이어, 구리 막을 평탄화하기 위한 화학적 기계적 평탄화(CMP) 프로세스가 후속된다. 더 높은 k -값을 갖는 유전체 막은 더 기계적으로 강건할 것이고, 큰 손상 없이 CMP 프로세스에서 더 잘 견뎌내는 것이 가능할 것이다. 반면에, 더 낮은 유전 상수를 갖는 유전체 막은 덜 기계적으로 강건할 것이고, CMP 프로세스에 의해 상당히 손상될 것이다.

[0004]

따라서, 더 작은 디바이스 사이즈들을 허용하고 효율을 개선하기 위해, 유전체 막들의 k -값을 저감시키기 위한 방법이 필요하다.

발명의 내용

[0005]

본 발명의 실시예들은 일반적으로, 반도체 제조에서 사용되는 저-k 유전체 막들의 유전 상수를 저감시키기 위한 방법들에 관한 것이다. 일 실시예에서, 저-k 실리콘 함유 유전체 막의 유전 상수(k)를 저감시키기 위한 방법은, 다공성 저-k 실리콘 함유 유전체 막을 불화수소산(hydrofluoric acid) 용액에 노출시키는 단계, 및 후속하여, 저-k 실리콘 함유 유전체 막을 실릴화 제제(silylation agent)에 노출시키는 단계를 포함한다.

[0006]

다른 실시예에서, 저-k 실리콘 함유 유전체 막의 유전 상수(k)를 저감시키기 위한 방법이 제공된다. 방법은, 다공성 저-k 실리콘 함유 유전체 막을 불화수소산 용액에 노출시키는 단계, 저-k 실리콘 함유 유전체 막을 기화된 실릴화 제제에 노출시키는 단계, 및 저-k 유전체 막을 자외선(UV) 경화 프로세스에 노출시키는 단계를 포함한다.

도면의 간단한 설명

[0007]

본 발명의 상기 열거된 특징들이 상세히 이해될 수 있는 방식으로 앞서 간략히 요약된 본 발명의 보다 구체적인 설명이 실시예들을 참조로 하여 이루어질 수 있는데, 이러한 실시예들의 일부는 첨부된 도면들에 예시되어 있다. 그러나, 첨부된 도면들은 본 발명의 단지 전형적인 실시예들을 도시하는 것이므로 본 발명의 범위를 제한하는 것으로 간주되지 않아야 한다는 것이 주목되어야 하는데, 이는 본 발명이 다른 균등하게 유효한 실시예들을 허용할 수 있기 때문이다.

도 1a 내지 도 1d는 여기에서 설명되는 실시예들에 따른 프로세싱의 다양한 스테이지들 동안의 유전체 막을 예시한다.

도 2는 여기에서 설명되는 실시예들에 따른 저-k 유전체 막의 k-값을 저감시키는 하나의 방법을 예시하는 프로세스 흐름도이다.

도 3은 여기에서 설명되는 실시예들을 실시하기 위해 사용될 수 있는 예시적인 프로세싱 챕터의 단면도이다.

이해를 용이하게 하기 위하여, 도면들에 대해 공통인 동일한 엘리먼트들을 지시하기 위해 가능한 경우에 동일한 참조 번호들이 사용되었다. 일 실시예의 프로세스 단계들 및/또는 엘리먼트들이 부가적인 설명 없이 다른 실시예들에 유익하게 포함될 수 있다는 것이 고려된다.

발명을 실시하기 위한 구체적인 내용

[0008]

본 발명의 실시예들은 일반적으로, 반도체 제조에서 사용되는 저-k 유전체 막들의 유전 상수를 저감시키기 위한 방법들에 관한 것이다. VLSI/ULSI는, 점점 더 낮은 유전 상수들을 갖는 백엔드(backend) 유전체들의 사용을 요구한다. 여기에서 설명되는 실시예들의 하나의 가능한 애플리케이션은, 높은 유전 상수(즉, 더 적은 탄소)를 갖는 유전체 막이 특정 집적 단계들을 견디고, 그 후에, 증가된 탄소 농도(즉, 더 낮은-k)를 갖도록 프로세싱되게 허용하는 것이다. 다공성 저-k 유전체 막의 탄소 함유량을 미세 조정(fine tuning)하는 것은 다른 가능한 애플리케이션이다.

[0009]

다공성 저-k 유전체 막(예컨대, CDO) 또는 다공성 저-k 유전체 막들의 층들을 포함하는 기판이 불화 수소(HF) 용액에 침지된다(submerged). 불화수소산이 다공성 저-k 유전체 막과 반응하여, HF 노출 전의 저-k 유전체 막과 비교하여 더 높은 농도의 Si-OH 작용기들이 저-k 유전체 막에서 생성된다. 그 후에, 기판은 린싱 용제/용액으로 린싱될 수 있고, 그 뒤에 건조될 수 있다. HF 노출 후에, 그 후, 기판은 기상 또는 액상의 실릴화 제제에 노출된다. 실릴화 제제가 다공성 저-k 유전체 막에서의 Si-OH 작용기들과 반응하여, 저-k 유전체 막에서의 탄소의 농도가 증가된다. 필요한 경우에, 기판은 린싱 및 건조될 수 있다. 기판은 실릴화 제제 및 UV 광 양자 모두에 동시에 노출될 수 있다. 기판은 실릴화 제제에 대한 노출 후에 UV 광에 노출될 수 있다. 증가된 탄소 농도로 인해, 다공성 저-k 유전체 막의 유전 상수는 HF 노출 전의 유전 상수보다 더 낮다. 여기에서 농도는 단위 부피(unit volume) 당 물들의 수를 지칭한다. HF 노출 프로세스는 Si-OH 작용기들의 양을 제어하기 위해 시간측정됨(timed) 수 있다. 이러한 제어는 결국, 최종적인 탄소 농도 그리고 그에 따라 결과적인 유전 상수를 좌우한다.

[0010]

도 1a는 구조물(101) 상에 증착된 유전체 막(100)을 예시한다. 구조물(101)은, 예컨대 실리콘 웨이퍼와 같은 기판, 또는 예컨대 메탈라이제이션(metallization) 또는 인터커넥트(interconnect) 층과 같은 이전에 형성된 층일 수 있다. 저-k 유전체 막(100)은, 약 3 또는 그 미만의 k-값을 갖는 임의의 종래의 다공성 저-k 실리콘-계 유전체 재료일 수 있다. 예시적인 저-k 유전체 막들은, 예컨대, SiO_2 , SiOC , SiON , SiCOH , SiOCN , 및 다른 관련된 막들을 포함한다. 일 실시예에서, 저-k 유전체 재료는, 탄소 및 수소 원자들을 함유하는 실리콘 산화물인 유기실리케이트 유리(organosilicate glass)(OSG, 또한 SiCOH 라고 알려져 있음)이다. SiCOH 는 약 2 내지 3의 k-값을 가질 수 있고, 캘리포니아, 산타 클라라의 Applied Materials로부터 Black Diamond IITM으로서 입수가능하다. 저-k 유전체 막(100)은 그 내부에 형성된 포어(pore)들(102)을 가질 수 있다. 포어들은 나노포어(nanopore)들일 수 있다. 나노포어들은 약 0.5 nm 내지 약 20 nm의 범위의 직경을 가질 수 있다. 저-k 유전체 막은 플라즈마-강화 화학 기상 증착(PECVD) 프로세스 또는 임의의 다른 적합한 증착 기법에 의해 증착될 수 있다. 저-k 유전체 막(100)은 다공성 탄소 도핑된 산화물(CDO) 막일 수 있다. 저-k 유전체 막(100)은 막의 프로세싱 후의 유전체 막의 k-값보다 더 큰 k-값을 가질 수 있다.

[0011]

도 1b는 평탄화되고 에칭되어 저-k 유전체 막(100) 내에 피쳐들(104)이 형성된 후의 저-k 유전체 막(100)을 예시한다. 저-k 유전체 막(100)은, 예컨대 화학적 기계적 평탄화(CMP) 프로세스에 의해 평탄화될 수 있다. 저-k 유전체 막(100)은, 예컨대, 저-k 유전체 막(100)의 부분을 마스킹하고, 저-k 유전체 막(100)의 마스킹되지 않은

부분을 불화수소산(HF) 증기로부터 형성된 플라즈마와 접촉시키며, 산소(O_2) 가스 또는 CO_2 가스로부터 형성된 플라즈마를 사용하여 마스크를 애싱하여 제거함으로써, 예칭될 수 있다. 저-k 유전체 막(100)의 k-값은, 여기에서 설명되는 실시예들을 사용하는 프로세싱 단계들 중 임의의 것 후에 저감될 수 있다.

[0012] 도 1c는, 확산 배리어(106)가 저-k 유전체 막(100)의 피쳐들(104) 내로 증착될 수 있고 예컨대 구리 또는 구리 합금과 같은 금속 재료(107)가 피쳐들(104) 내로 증착될 수 있는 후의 저-k 유전체 막(100)을 예시한다. 도 1d에서 예시된 바와 같이, 금속 재료(107)를 평탄화하고, 평탄화 동안에 형성될 수 있는 금속 재료(107)로부터의 임의의 산화물들을 제거하는 것이 필요할 수 있다. 일반적인 금속 산화물 제거 기법들은 수소 또는 암모니아 플라즈마의 사용을 수반한다. 평탄화 및/또는 금속 산화물 제거 프로세스들은, 저-k 유전체 막(100)이 더 낮은 k-값을 갖는 경우에 저-k 유전체 막(100)의 표면을 손상시킬 수 있다. 결과로서, 저-k 유전체 막(100)이, 프로세싱 전에 그리고 프로세싱 동안에, 다양한 프로세싱 단계들이 수행된 후의 유전체 막(100)의 k-값보다 더 높은 k-값을 갖는 것이 바람직할 수 있다. 유전체 막(100)의 k-값은, 여기에서 설명되는 k-값 저감 프로세스들을 사용하는 전술된 프로세스 단계들 중 임의의 것 후에 저감될 수 있다.

[0013] 도 2는 여기에서 설명되는 실시예들에 따른, 저-k 유전체 막의 k-값을 저감시키는 하나의 방법(200)을 예시하는 프로세스 흐름도이다. 블록(210)에서, 저-k 유전체 막이 위에 배치된 기판이 프로세싱 챔버에 위치된다. 기판 및 저-k 유전체 막은 도 1a 내지 도 1d에서 도시된 저-k 유전체 막(100) 및 구조물(101)과 유사할 수 있다. 저-k 유전체 막은 전형적으로, 방법(200)의 수행 후의 막의 최종 k-값보다 더 높은 초기 k-값을 갖는다. 프로세싱 챔버는 도 3에서 도시된 프로세싱 챔버(300)와 유사할 수 있다.

[0014] 블록(220)에서, 기판은, 임의의 적합한 건식 또는 습식 예칭 프로세스를 사용하여, 저-k 유전체 막에 비아들 및/또는 트렌치들과 같은 피쳐들을 형성하기 위해, 인-시튜(in-situ)로 또는 별개의 프로세싱 챔버에서, 선택적으로 프로세싱될 수 있다. 기판 상에 남겨진 예칭 프로세스로부터의 임의의 마스킹 재료들 및/또는 잔여물들은, 애싱 프로세스 또는 임의의 다른 적합한 기법을 사용하여, 인-시튜로 또는 전용된 프로세싱 챔버에서 박리(strip)/제거될 수 있다. 피쳐들을 형성하기 위해 사용될 수 있는 다른 집적 프로세스들은, 평탄화 프로세스들, 확산 배리어 증착 프로세스들, 금속 증착 프로세스들, 및 이들의 조합들을 포함한다.

[0015] 블록(230)에서, 저-k 유전체 막이 불화수소산(HF) 용액에 노출된다. 불화수소산 용액은 액상 또는 기상일 수 있다. 불화수소산 용액은 희석된 불화수소(DHF) 산 용액일 수 있다. 불화수소산은 완충될(buffered) 수 있거나, 즉, 완충된 불화수소산(BHF)일 수 있거나, 또는 완충되지 않을 수 있다. HF를 완충하기 위한 예시적인 완충제들은 불화 암모늄(NH₄F)을 포함한다. 불화수소산 용액은, 불화수소산 용액이 Si-OH 결합들을 형성하기 위해 저-k 유전체 막에서의 Si-O-Si 결합 네트워크의 부분을 분열(disrupt)시킬 것이라고 생각되기 때문에 선택된다. 저-k 유전체 막에서의 Si-OH 결합들이 저-k 유전체 막 내로의 부가적인 탄소의 삽입을 허용하여, 저-k 유전체 막의 k-값이 감소될 것이다. 희석된 불화수소산 용액의 농도 및 희석된 HF에 대한 저-k 유전체 막의 노출의 시간 기간과 같은 인자들이 Si-O-Si 네트워크의 분열의 양에 영향을 미칠 것이다.

[0016] 저-k 유전체 막은, 예컨대 약 30 초 내지 약 800 초의 기간 동안, 희석된 산 용액에 디핑(dipped) 수 있다. 특정 실시예들에서, 희석된 산 용액이 저-k 유전체 막 상에 분무될 수 있다. 선택적으로, 불화수소산 용액에 대한 저-k 유전체 막의 노출 후에, 예컨대 DI 수를 사용하는 노출-후 린스 프로세스가 기판 표면을 세정하기 위해 사용될 수 있다. 선택적인 세정 프로세스에 이어서, 당업계에 알려져 있는 건조 방법들을 사용하는 선택적인 건조 프로세스가 후속될 수 있다.

[0017] 불화수소산 용액은 탈이온수(deionized water) 내의 불화수소산(HF)의 희석된 용액일 수 있다. 불화수소산 용액은, 약 0.1 부피% 내지 약 100 부피%의 불화수소산일 수 있다. 불화수소산 용액은, 약 1 부피% 내지 약 70 부피%의 불화수소산일 수 있다. 불화수소산 용액은, 약 0.1 부피% 내지 약 5 부피%, 예컨대 약 0.5 부피% 내지 약 1 부피%의 농도로 불화수소산을 포함할 수 있다. 불화수소산 디핑은 실온(예컨대, 약 20 °C)에서 수행될 수 있다. 디핑 시간은, 요구되는 Si-O-Si 결합 분열의 양 및 불화수소산 농도에 따라 변화할 수 있다.

[0018] 블록(230)에서, 저-k 유전체 막이 실릴화 제제에 노출된다. 일 실시예에서, 실릴화 프로세스는, 도 3에 대하여 논의되는 프로세싱 챔버(300)와 같은 UV 기반 프로세싱 챔버에서 수행될 수 있다. 실릴화 프로세스는, 저-k 유전체 막의 k-값이 더 감소되게 하는 저-k 유전체 막 내로의 부가적인 탄소의 삽입을 허용할 뿐만 아니라, 블록(220) 동안에 야기되는 저-k 유전체 막에 대한 손상의 적어도 일부를 복원 또는 보수하기 위해 사용될 수 있다. 실릴화 제제에 대한 다공성 저-k 유전체 막(100)의 노출은, 유전체 막(100)에서의 Si-OH 기들을, 소수성(hydrophobic) 기들, 예컨대 Si-O-Si(CH₃)₃ 기들로 변환시킬 수 있다. 소수성 기들은 유전체 막(100)의 손상된

포어들(103) 밖으로 물을 배출하는 것을 보조한다.

[0019]

실릴화 제제에 대한 저-k 유전체 막(100)의 노출은 기상 또는 액상으로 발생할 수 있다. 기상 실릴화 프로세스는, 위에서 설명된 저-k 유전체 막(100)에서의 Si-O-Si(CH₃)₃ 기들을 생성하기 위해, 저-k 유전체 막(100)을 기화된 실릴화 제제와 접촉시키는 것을 포함한다. 실릴화 제제를 기화시키는 것은, 실릴화 제제로 하여금, 저-k 유전체 막(100) 내로 깊이 침투하게 허용한다. 예시적인 실릴화 제제들은, 헥사메틸디실라잔(HMDS), 테트라메틸디실라잔(TMDS), 트리메틸클로로실란(TMCS), 디메틸디클로로실란(DMDCS), 메틸트리클로로실란(MTCS), 트리메틸메톡시실란(TMMS)(CH₃-O-Si-(CH₃)₃), 디메틸디메톡시실란(DMDMS)((CH₃)₂-Si-(OCH₃)₂), 메틸트리메톡시실란(MTMS)((CH₃-O)₃-Si-CH₃), 페닐트리메톡시실란(PTMOS)(C₆H₅-Si-(OCH₃)₃), 페닐디메틸클로로실란(PDMCS)(C₆H₅-Si(Cl)-(CH₃)₂), 디메틸아미노트리메틸실란(DMATMS)((CH₃)₂-N-Si-(CH₃)₃), 비스(디메틸아미노)디메틸실란(BDMADMS), 또는 Si, H, 및 C를 함유하는 다른 화합물들을 포함한다. 실릴화 제제는 가스 또는 기화된 액체 증기의 형태를 취할 수 있다.

[0020]

기상 실릴화 프로세스는, 저-k 유전체 막(100)을 프로세싱 챔버 내로 배치하고, 실릴화 제제를 기화시키고, 기화된 실릴화 제제를 프로세싱 챔버 내로 유동시킴으로써 실시될 수 있다. 실릴화 제제는 대안적으로, 프로세싱 챔버에서 기화될 수 있다. 실릴화 제제는, 프로세싱 챔버의 상측 부분에 위치된 사워헤드를 통해 프로세싱 챔버 내로 도입될 수 있다. 프로세싱 챔버 내로의 실릴화 제제의 유동을 보조하기 위해, He, Ar, N₂, H₂, 및 이들의 조합들과 같은 캐리어 가스가 사용될 수 있다. 부가적으로, 물과 같은 촉매가 기상 실릴화 프로세스 동안에 부가될 수 있다. 기상 실릴화 프로세스는, 약 50 mTorr 내지 약 500 Torr, 예컨대 약 200 mTorr 내지 약 6 Torr의 프로세싱 챔버 압력에서 실시될 수 있다. 실릴화 프로세스 동안에, 유전체 막은, 약 100 °C 내지 약 400 °C, 예컨대 약 200 °C 내지 약 390 °C의 온도로 가열될 수 있다. 실릴화 제제의 유량은, 1 sccm 내지 약 10,000 sccm, 예컨대 약 100 sccm 내지 약 2,000 sccm일 수 있다. 실릴화 제제의 유량은 400 sccm 내지 2,000 sccm일 수 있다. 실릴화 제제의 유량은, 1 mgm 내지 10,000 mgm, 예컨대 약 100 mgm 내지 약 2,000 mgm일 수 있다. 실릴화 제제의 유량은, 1,000 mgm 내지 2,000 mgm일 수 있다. 선택적인 캐리어 가스의 유량은, 1 sccm 내지 10,000 sccm, 예컨대 약 2,000 sccm 내지 약 3,000 sccm일 수 있다. 선택적인 캐리어 가스의 유량은, 400 sccm 내지 2,000 sccm일 수 있다. 기상 실릴화를 위한 프로세싱 시간은, 약 1 분 내지 약 10 분일 수 있다. 프로세싱 챔버 내의 압력은 기상 실릴화 프로세스 동안에 변화될 수 있다. 예컨대, 압력은 50 Torr 내지 500 Torr에서 변화될 수 있다.

[0021]

저-k 유전체 막의 손상된 막을 기화된 실릴화 제제에 노출시키는 것은, 손상된 막을 탄소로 보충(replenish)할 수 있고, 또한, 부가적인 탄소를 저-k 유전체 막에 부가할 수 있다. 예컨대, 메틸 또는 페닐을 함유하는 실릴화 제제들이 저-k 유전체 막에서의 Si-OH 기들과 반응하여, 친수성 Si-OH 기들이 소수성 Si-O-Si 결합들(예컨대, Si-O-Si(CH₃)₃ 기들 또는 Si-O-Si(CH₃)₂-O-Si 기들)로 변환될 수 있다. 소수성 막들이 친수성 막들보다 수분(moisture)을 더 적게 보유할 수 있을 것이므로, 수분은 처리된 저-k 유전체 막의 특성들에 영향을 미칠 수 없다. 따라서, 저-k 유전체 막의 k-값은 복원된다(즉, 감소된다).

[0022]

블록(250)에서, 저-k 유전체 막은 선택적으로 자외선 경화 프로세스에 노출된다. 저-k 유전체 막은, UV 투명 윈도우 및 UV 투명 가스 분배 샤워헤드 위에 배치된 UV 유닛으로부터의 UV 에너지를 사용하여, 블록(240)에서 수행된 k-복원 프로세스와 동일한 프로세싱 챔버에서 경화될 수 있다. 블록(250)의 UV 경화 프로세스는, 블록(240)의 프로세스 전에, 블록(240)의 프로세스와 동시에, 블록(240)의 프로세스 후에, 또는 전술된 시퀀스들 중 임의의 조합들에서 수행될 수 있다. UV 경화 프로세스는, 저-k 유전체 막(100)을 프로세싱 챔버 내로 배치하고, 저-k 유전체 막(100)을 UV 복사와 접촉시키도록 UV 복사의 소스를 인게이징(engaging)함으로써 실시될 수 있다. UV 복사 소스는 예컨대 UV 램프일 수 있다. UV 복사 소스는 프로세싱 챔버 외부에 위치될 수 있고, 프로세싱 챔버는, UV 복사가 통과할 수 있는 석영 윈도우를 가질 수 있다. 저-k 유전체 막(100)은, 예컨대 He 또는 Ar과 같은 비활성 가스 환경에 위치될 수 있다. 프로세싱 챔버는 또한, 저-k 유전체 막(100)을 UV 복사에 노출시키기 전에 또는 그와 동시에, 저-k 유전체 막(100)을 가열하기 위한 마이크로파 소스를 포함할 수 있다. UV 경화 프로세스는 또한, 플라즈마를 사용하여 UV 복사 광장을 시뮬레이트(simulate)하여 실시될 수 있다. 플라즈마는, RF 전력을 He, Ar, O₂, N₂, 또는 이들의 조합들과 같은 처리 가스에 커플링시킴으로써 형성될 수 있다. 플라즈마는 원격 플라즈마 소스(RPS)에 의해 형성될 수 있고, 프로세싱 챔버로 전달될 수 있다.

[0023]

UV 경화 프로세스는, 1 Torr 내지 100 Torr, 예컨대 6 Torr의 프로세싱 챔버 압력, 20 °C 내지 400 °C, 예컨대 385 °C의 유전체 막 온도, 8,000 sccm 내지 24,000 sccm, 예컨대 16,000 sccm의 환경 가스 유량, 2,000 sccm

내지 20,000 sccm, 예컨대 12,000 sccm의 처리 가스 유량, 50 W 내지 1,000 W, 예컨대 500 W의 RF 전력, 13.56 MHz의 RF 전력 주파수, 10 초 내지 180 초, 예컨대 60 초의 프로세싱 시간, 100 W/m^2 내지 $2,000 \text{ W/m}^2$, 예컨대 $1,500 \text{ W/m}^2$ 의 UV 방사조도 전력(irradiance power), 및 100 nm 내지 400 nm의 UV 파장들로 실시될 수 있다. 위에서 설명된 UV 경화 프로세스는 유리하게, 피쳐들(104)의 측벽들에서의 손상된 포어들(103)을 보수한다.

[0024] 일 실시예에서, UV 경화 온도는, 약 100 °C 내지 약 800 °C, 예컨대 약 400 °C일 수 있다. UV 경화 시간은 약 10 초 내지 약 600 초일 수 있다. UV 경화 가스는 UV 투명 가스 분배 샤퍼헤드를 통해 프로세싱 챔버로 유동될 수 있다. 일 실시예에서, 헬륨 및 아르곤과 같은 비활성 경화 가스는, 약 1,000 sccm 내지 약 27,000 sccm의 유량으로 프로세싱 챔버로 유동될 수 있다.

[0025] 다른 실시예에서, 블록(240)에서의 실릴화 프로세스 및 블록(250)에서의 UV 경화는 동시에 수행될 수 있다. 그러한 경우에서, UV 유닛은 실릴화 프로세스와 동시에 턴 온/오프된다. 다른 실시예에서, 블록(250)에서의 UV 경화는 블록(240)에서의 실릴화 프로세스 전에 수행될 수 있다. 또 다른 실시예에서, 블록(240)에서의 실릴화 프로세스 및 블록(250)에서의 UV 경화는 교번적으로 수행될 수 있다. 예컨대, UV 경화는 표면/측벽으로부터 어느 정도의 물을 제거하기 위해 수행될 수 있다. 그 후에, 실릴화는 표면 소수성(hydrophobicity)을 복원하기 위해 수행된다. 그 후에, UV 경화는 저-k 막 손상을 더 복원하기 위해 수행된다. 그러한 경우에서, 실릴화 및 UV 경화는 각각, 약 15 내지 약 30 초 동안 수행될 수 있다. 실릴화 및 UV 경화 프로세스의 실릴화 제제 유량, 시간, UV 전력, 기판 온도, 챔버 압력이 애플리케이션에 따라 변화할 수 있다는 것이 고려된다. 원하는 경우에, UV 경화는 실릴화 프로세스를 위한 프로세싱 챔버와 상이한 별개의 프로세싱 챔버에서 수행될 수 있다.

[0026] 다양한 퍼지 가스 및 진공배기(evacuation) 프로세스들이 방법(200) 동안에 수행될 수 있다. 예컨대, 블록(240)의 실릴화 프로세스 전에, 프로세싱 챔버 내로 저-k 유전체 막의 삽입 후에, 챔버를 진공배기시키는 것이 유리할 수 있다. 프로세싱 챔버는 진공 펌프의 사용에 의해 진공배기될 수 있다.

[0027] 방법(200)의 수행 후에, 저-k 유전체 막이 위에 배치된 기판은 프로세싱 챔버로부터 제거될 수 있고, 선택적인 건조 프로세스가 후속되는 린싱 용제/용액에 노출될 수 있다.

[0028] 도 3은 여기에서 설명되는 실시예들을 실시하기 위해 사용될 수 있는 예시적인 프로세싱 챔버의 단면도이다. 도 3은 Applied Materials, Inc.에 의해 현재 제조되는 PRODUCER® 챔버들의 피쳐들에 기초한다. PRODUCER CVD 챔버(200 mm 또는 300 mm)는, 탄소-도핑된 실리콘 산화물들 및 다른 재료들을 증착하기 위해 사용될 수 있는 2개의 격리된 프로세싱 구역들을 갖는다.

[0029] 도 3은 UV 경화를 위해 구성된 텐덤(tandem) 프로세싱 챔버(300)를 예시한다. 텐덤 프로세싱 챔버(300)는, 바디(301) 및 바디(301)에 힌지될(hinged) 수 있는 덮개(303)를 포함한다. 2개의 하우징들(305)이 덮개(303)에 커플링되며, 2개의 하우징들(305)은 하우징들(305)의 내부를 통해 냉각 공기를 통과시키기 위하여 배출구들과 함께 유입구들에 각각 커플링된다. 냉각 공기는 실온에 있을 수 있거나 또는 대략 섭씨 22 도에 있을 수 있다. 텐덤 프로세스 챔버(300)와 연관된 임의의 UV 램프 벌브들 및/또는 벌브들에 대한 전력 소스들(313)의 적절한 동작을 보장하기 위해, 중앙 가압형 공기 소스(미도시)가 유입구들로 공기의 충분한 유량을 제공한다.

[0030] 도 3은, UV 경화를 위해 구성된, 덮개(303), 하우징들(305), 및 전력 소스들(313)을 갖는 텐덤 프로세스 챔버(300)의 부분적인 단면도를 도시한다. 하우징들(305) 각각은, 바디(301) 내에 정의된 2개의 프로세싱 구역들(320) 위에 각각 배치된 2개의 UV 램프 벌브들(302) 각각을 덮는다. 프로세싱 구역들(320) 각각은, 프로세싱 구역들(320) 내에서 기판(308)을 지지하기 위한 가열 페데스탈(306)을 포함한다. 페데스탈들(306)은 세라믹, 또는 알루미늄과 같은 금속으로 제조될 수 있다. 바람직하게, 페데스탈들(306)은 스템(stem)들(310)에 커플링되며, 그 스템들(310)은 바디(301)의 바닥을 통해 연장되고, 페데스탈들(306)은 프로세싱 구역들(320)에서 UV 램프 벌브들(302)을 향하여 그리고 그 UV 램프 벌브들(302)로부터 멀어지게 이동시키도록 구동 시스템들(312)에 의해 동작된다. 구동 시스템들(312)은 또한, 기판 조명(illumination)의 균일성을 더 향상시키기 위해 경화 동안에 페데스탈들(306)을 회전시킬 수 있고 그리고/또는 병진운동(translate)시킬 수 있다. 페데스탈들(306)의 조정 가능한 위치선정(positioning)은, 초점 거리(focal length)와 같은 광 전달 시스템 설계 고려사항들의 성질에 따른 기판(308) 상의 입사 UV 방사조도 레벨들의 가능한 미세 조정에 부가하여, 휘발성 경화 부산물 및 퍼지 및 세정 가스 유동 패턴들 그리고 체류 시간들의 제어를 가능하게 한다.

[0031] 일반적으로, 본 발명의 실시예들은, 수은 마이크로파 아크 램프(mercury microwave arc lamp)들, 펄스형 크세논 플래시 램프들, 또는 고효율 UV 발광 다이오드 어레이들과 같은 임의의 UV 소스를 고려한다. UV 램프 벌브들(302)은, 전력 소스들(313)에 의한 여기를 위한 수은(Hg) 또는 크세논(Xe)과 같은 하나 또는 그 초과의 가스들

로 충전된 밀봉된 플라즈마 벌브들이다. 바람직하게, 전력 소스들(313)은, 하나 또는 그 초과의 마그네트론(magnetron)들(미도시) 및 마그네트론들의 필라멘트들을 에너자이징(energize)하기 위한 하나 또는 그 초과의 변압기(transformer)들(미도시)을 포함할 수 있는 마이크로파 생성기들이다. 킬로와트 마이크로파(MW) 전력 소스들을 갖는 일 실시예에서, 하우징들(305) 각각은, 전력 소스들(313)로부터 약 6,000 W까지의 마이크로파 전력을 수신하여, 후속적으로, 벌브들(302) 각각으로부터 약 100 W까지의 UV 광을 생성하기 위해 전력 소스들(313) 근처에 구멍(aperture)(315)을 포함한다. 다른 실시예에서, UV 램프 벌브들(302)은 그 내부에 전극 또는 필라멘트를 포함할 수 있고, 그에 따라, 전력 소스들(313)은 전극에 대한 직류(DC) 또는 펄스형 DC와 같은 전류 공급들 및/또는 회로망을 나타낸다.

[0032] 몇몇 실시예들을 위한 전력 소스들(313)은, UV 램프 벌브들(302) 내의 가스들을 여기시킬 수 있는 무선 주파수(RF) 에너지 소스들을 포함할 수 있다. 벌브에서의 RF 여기의 구성은 용량성 또는 유도성일 수 있다. 유도성 커플링된 플라즈마(ICP) 벌브는, 용량성 커플링된 방전(discharge)을 이용하는 것보다 더 밀도가 높은 플라즈마의 생성에 의해 벌브 광도(brilliancy)를 효율적으로 증가시키기 위해 사용될 수 있다. 부가하여, ICP 램프는 전극 열화(degradation)로 인한 UV 출력에서의 열화를 제거하여, 향상된 시스템 생산성을 위해 벌브 수명을 더 길게 한다. RF 에너지 소스들인 전력 소스들(313)의 이익들은 효율의 증가를 포함한다.

[0033] 바람직하게, 벌브들(302)은 170 nm 내지 400 nm의 파장들의 넓은 대역에 걸쳐 광을 방출한다. 벌브들(302) 내에서 사용하기 위해 선택되는 가스들이, 방출되는 파장들을 결정할 수 있다. 산소가 존재하는 경우에 더 짧은 파장들이 오전을 생성하는 경향이 있으므로, 벌브들(302)에 의해 방출되는 UV 광은, 경화 프로세스들 동안의 오존 생성을 방지하기 위해 200 nm 초과의 넓은 대역의 UV 광을 주로 생성하도록 조정될 수 있다.

[0034] UV 램프 벌브들(302)로부터 방출되는 UV 광은, 덮개(303)에서의 구멍들에 배치된 윈도우들(314)을 통과함으로써 프로세싱 구역들(320)에 진입한다. 윈도우들(314)은 바람직하게는, OH 프리 합성 석영 유리(OH free synthetic quartz glass)로 제조되고, 균열이 없이 진공을 유지하기에 충분한 두께를 갖는다. 추가로, 윈도우들(314)은 바람직하게는, 아래로 대략 150 nm 까지의 UV 광을 투과시키는 용융 실리카이다. 덮개(303)가 바디(301)에 대해 밀봉되고 윈도우들(314)이 덮개(303)에 대해 밀봉되므로, 프로세싱 구역들(320)은 대략 1 Torr 내지 대략 650 Torr의 압력을 유지할 수 있는 부피들을 제공한다. 프로세싱 또는 세정 가스들(317)은 2개의 유입구 통로들(316) 각각을 통해 프로세싱 구역들(320)에 진입한다. 그 후에, 프로세싱 또는 세정 가스들(317)은 공통 배출구 포트(318)를 통해 프로세싱 구역들(320)에서 빠져나간다. 부가적으로, 하우징들(305)의 내부로 공급되는 냉각 공기는 벌브들(302)을 지나서 순환하지만, 윈도우들(314)에 의해 프로세싱 구역들(320)로부터 격리된다.

예

[0035] 여기에서 설명되는 실시예들의 목적들 및 이점들은 다음의 예들에 의해 추가로 예시된다. 이들 예들에서 기재된, 특정한 재료들 및 그 특정한 재료들의 양들 뿐만 아니라, 다른 조건들 및 세부사항들은 여기에서 설명되는 실시예들을 제한하기 위해 사용되지 않아야 한다.

[0036] 샘플 1 및 샘플 2에 대해, 진공을 파괴하지 않으면서 프로세싱 챔버들 사이에서 웨이퍼들이 이송되었다. 샘플 1 및 샘플 2에서 수행된 보수 프로세스에 대해, 2개의 프로세스 단계들이 존재하였다. 제 1 프로세스에 대해, UV가 적용되지 않았었다. UV는 제 2 프로세스 동안에 적용되었다. 샘플들 1 및 2가 별개의 챔버들에서 수행되었지만, 단일 챔버가 동시적인 화학물질 및 UV 노출에 대해 사용될 수 있다.

샘플 1:

[0037] 저-k 유전체 막 내에서 손상을 유발하기 위해, Black Diamond II™ 저-k 유전체 막이 1 분 동안, 예천트 용액(1:100의 불화수소산:물)에 디핑되었다. 과잉 불화수소산을 제거하기 위해, 손상된 저-k 유전체 막이 DI 수로 린칭되었고, 건조되었다. 손상된 저-k 유전체 막은 PRODUCER CVD 프로세싱 챔버에 위치되었다. 저-k 유전체 막은 약 385 °C로 가열되었다. 프로세싱 챔버에서의 압력은 약 6 Torr로 조정되었다. 헬륨 캐리어 가스와 함께 디메틸아미노트리메틸실란(DMATMS)이 프로세싱 챔버 내로 유동되었다. DMATMS 및 헬륨 캐리어 가스의 유량은 각각, 약 1,000 mgm 및 2,000 sccm이었다. 기상 실릴화를 위한 프로세싱 시간은 약 3 분이었다.

[0038] 실릴화 프로세스 후에, 저-k 유전체 막은 UV 노출을 위한 제 2 프로세싱 챔버로 이송되었다. 저-k 유전체 막은 약 385 °C로 가열되었다. 프로세싱 챔버에서의 압력은 약 6 Torr로 조정되었다. 헬륨 가스 및 아르곤 가스가 프로세싱 챔버 내로 유동되었다. 헬륨 가스 및 아르곤 가스의 유량은 각각, 약 16,000 sccm 및 약 16,000 sccm

이었다. UV 노출 시간은, 약 95 %의 UV 출력 및 100 nm 내지 400 nm의 UV 광장들에 대해 약 30 초였다.

[0041] 샘플 2:

[0042] 저-k 유전체 막 내에서 손상을 유발하기 위해, Black Diamond II™ 저-k 유전체 막이 5 분 동안, 에칠툰 용액(1:100의 불화수소산:물 또는 희석된 HF "DHF")에 다플되었다. 파잉 불화수소산을 제거하기 위해, 손상된 저-k 유전체 막이 DI 수로 린싱되었고, 건조되었다. 손상된 저-k 유전체 막은 PRODUCER CVD 프로세싱 챔버에 위치되었다. 저-k 유전체 막은 약 385 °C로 가열되었다. 프로세싱 챔버에서의 압력은 약 6 Torr로 조정되었다. 헬륨 캐리어 가스와 함께 디메틸아미노트리메틸실란(DMATMS)이 프로세싱 챔버 내로 유동되었다. DMATMS 및 헬륨 캐리어 가스의 유량은 각각, 약 1,000 mgm 및 2,000 sccm이었다. 기상 실릴화를 위한 프로세싱 시간은 약 3 분이었다.

[0043] 실릴화 프로세스 후에, 저-k 유전체 막은 UV 노출을 위한 제 2 프로세싱 챔버로 이송되었다. 저-k 유전체 막은 약 385 °C로 가열되었다. 프로세싱 챔버에서의 압력은 약 6 Torr로 조정되었다. 헬륨 가스 및 아르곤 가스가 프로세싱 챔버 내로 유동되었다. 헬륨 가스 및 아르곤 가스의 유량은 각각, 약 16,000 sccm 및 약 16,000 sccm이었다. UV 노출 시간은, 약 95 %의 UV 출력 및 100 nm 내지 400 nm의 UV 광장들에 대해 약 30 초였다.

[0044] 샘플 3:

[0045] 저-k 유전체 막 내에서 손상을 유발하기 위해, Black Diamond II™ 저-k 유전체 막이 10 분 동안, 에칠툰 용액(1:100의 불화수소산:물 또는 희석된 HF "DHF")에 다플되었다. 파잉 불화수소산을 제거하기 위해, 손상된 저-k 유전체 막이 DI 수로 린싱되었고, 건조되었다. 손상된 저-k 유전체 막은 PRODUCER CVD 프로세싱 챔버에 위치되었다. 저-k 유전체 막은 약 385 °C로 가열되었다. 프로세싱 챔버에서의 압력은 약 6 Torr로 조정되었다. 헬륨 캐리어 가스와 함께 디메틸아미노트리메틸실란(DMATMS)이 프로세싱 챔버 내로 유동되었다. DMATMS 및 헬륨 캐리어 가스의 유량은 각각, 약 1,000 mgm 및 2,000 sccm이었다. 기상 실릴화를 위한 프로세싱 시간은 약 3 분이었다.

[0046] 샘플 3은, 막이 에칠툰 용액에 대한 노출 동안에 파괴되었으므로 UV에 노출되지 않았다.

[0047] 결과들:

표 1

[0048]	샘플	예칭 시간 (분)	HF 전			HF 후			보수 후		
			두께	RI	k-평균	두께	RI	k-평균	두께	RI	k-평균
	1	1	1,972	1.3437	2.54	1,971	1.3456	2.61	1907	1.3596	2.41
	2	5	1,992	1.3427	2.54	2084	1.3050	2.87	1870	1.3586	2.24
	3	10	1,990	1.3430	2.54	20	1.1079	n/a			

[0049] 표 1에서 나타낸 바와 같이, 샘플 2(5 분의 DHF 노출)는 HF 노출 후에 샘플 1(1 분의 DHF 노출)보다 더 높은 k-값을 가졌다. 따라서, DHF 노출 시간은 DHF-후 k-값과 같이 증가하였다(trended with). 이론에 의해 구속되지 않지만, DHF에 대한 샘플 2의 증가된 노출 시간이 더 큰 손상(예컨대, Si-OH)을 생성하였다고 생각된다. 샘플 2에서의 증가된 손상으로 인해, 샘플 2는 실릴화 후에 더 낮은 k를 가졌다.

[0050] 손상-후 및 보수-후 막들의 단일 빔 측정들이 수행되었다. 하나의 단일 빔 스펙트럼의 다른 단일 빔 스펙트럼으로부터의 감산(subtraction)은 다양한 파수들에서의 강도 이득(intensity gain)들 및 손실들을 나타내는 차이 스펙트럼을 생성한다. FTIR 차이 스펙트럼들의 비교(보수된 것 빼기 손상된 것)는, 샘플 2가 실릴화 동안에 Si-O-Si 및 탄소의 더 큰 증가 그리고 Si-OH의 더 큰 감소를 가졌다는 것을 입증하였다. 이들 결과들 모두는, DHF 노출 후에 더 많은 SiOH를 가진 것의 결과들이다(SiOH + DMATMS → Si-O-Si-Me₃ + DMA). FTIR 분석은 반응들의 수의 측정이고, 더 많은 Si-OH의 존재는 더 많은 반응들을 나타낸다. 디메틸아민(DMA)은 Si-OH와 DMATMS의 반응의 부산물이다.

[0051] 여기에서 설명되는 특정 실시예들을 사용하여, 저-k 유전체 막의 유전 상수는 2.54의 k를 갖는 저-k 유전체 막으로부터 2.24의 k를 갖는 저-k 유전체 막으로 감소되었다. 저-k 막의 유전 상수를 감소시키기 위해, 더 큰 정

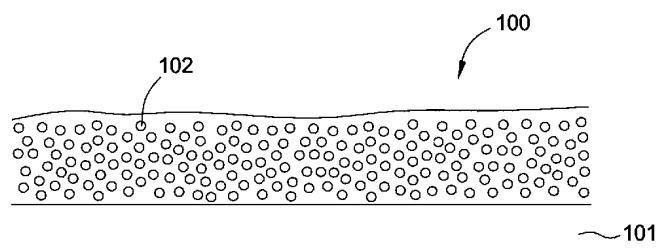
도까지 손상시켜야 한다(DHF 노출과 실릴화 제제에 대한 노출 사이의 중간 k-값이 더 높아져야 한다). 따라서, DHF 프로세스는 결과를 제어한다. 그러나, DHF 노출 시간이 너무 긴 경우에, 10 분의 시간 기간 동안 노출되었던 샘플 3에 의해 나타내어진 바와 같이, 저-k 유전체 막은 파괴될 수 있다. 시간에 부가하여, 온도 및 농도와 같은 다른 인자들이, 프로세스가 실행가능한지 그리고 최종 막의 유전 상수가 얼마나 낮은지를 좌우할 것이다.

[0052]

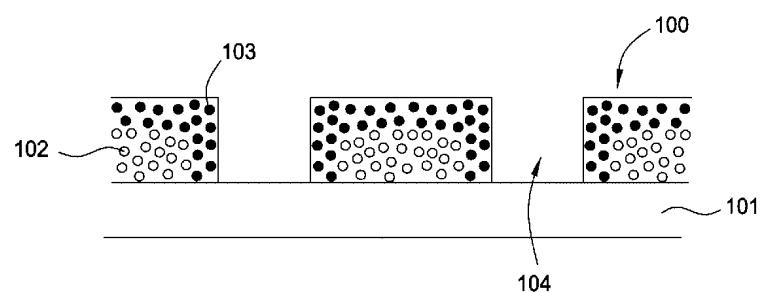
전술한 바가 본 발명의 실시예들에 관한 것이지만, 본 발명의 다른 그리고 추가적인 실시예들이 본 발명의 기본적인 범위로부터 벗어나지 않고 고안될 수 있으며, 본 발명의 범위는 다음의 청구항들에 의해 결정된다.

도면

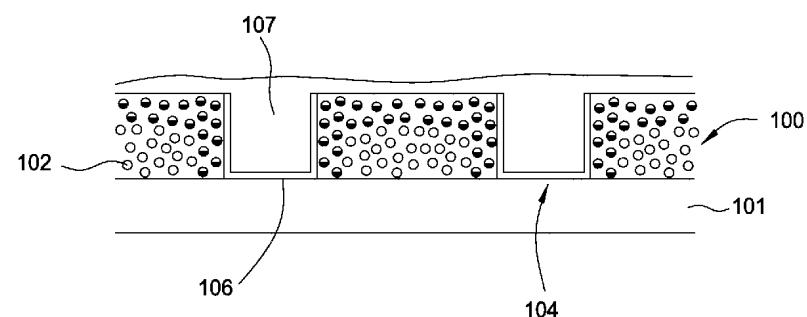
도면1a



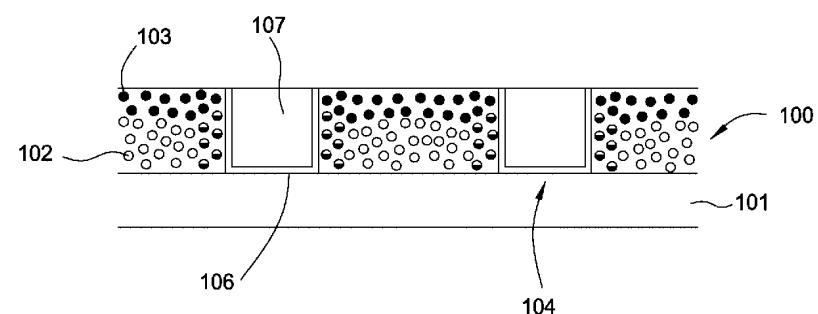
도면1b



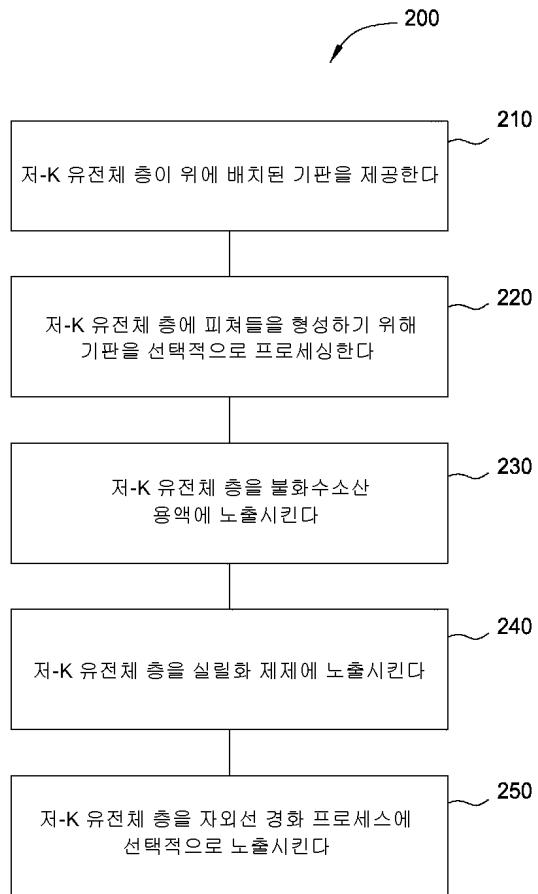
도면1c



도면1d



도면2



도면3

