



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I512748 B

(45)公告日：中華民國 104 (2015) 年 12 月 11 日

- (21)申請案號：101135620 (22)申請日：中華民國 101 (2012) 年 09 月 27 日
- (51)Int. Cl. : *G11C29/42 (2006.01)* *G06F11/10 (2006.01)*  
*G06F12/08 (2006.01)* *G06F13/16 (2006.01)*
- (30)優先權：2011/09/30 世界智慧財產權組織 PCT/US11/54421
- (71)申請人：英特爾公司(美國) INTEL CORPORATION (US)  
 美國
- (72)發明人：拿里 比爾 NALE, BILL (US)；拉馬努金 拉傑 K RAMANUJAN, RAJ K. (US)；  
 史瓦米那森 木蘇庫瑪 SWAMINATHAN, MUTHUKUMAR (IN)；湯瑪斯 泰希  
 爾 THOMAS, TESSIL (IN)；波里皮迪 塔林耶 POLEPEDDI, TAARINYA (IN)
- (74)代理人：惲軼群；陳文郎
- (56)參考文獻：
- |                   |                   |
|-------------------|-------------------|
| US 4713755        | US 7962715B2      |
| US 2004/0078523A1 | US 2008/0082720A1 |
| US 2011/0138122A1 | US 2011/0208900A1 |
| US 2011/0231593A1 |                   |
- 審查人員：鄧嘉琳
- 申請專利範圍項數：16 項 圖式數：12 共 103 頁

## (54)名稱

支接近記憶體存取及遠記憶體存取的方法及半導體晶片

METHOD AND SEMICONDUCTOR CHIP FOR SUPPORTING NEAR MEMORY AND FAR MEMORY ACCESS

## (57)摘要

一種包含記憶體控制器電路的半導體晶片具有介面電路以耦接至一記憶體通道。該記憶體控制器係包括第一邏輯電路以在該記憶體通道上體現一第一記憶體通道協定。該第一記憶體通道協定乃專用於一第一依電性系統記憶體技術。該介面也包括第二邏輯電路以在該記憶體通道上體現一第二記憶體通道協定。該第二記憶體通道協定乃專用於一第二非依電性系統記憶體技術。該第二記憶體通道協定乃一異動協定。

A semiconductor chip comprising memory controller circuitry having interface circuitry to couple to a memory channel. The memory controller includes first logic circuitry to implement a first memory channel protocol on the memory channel. The first memory channel protocol is specific to a first volatile system memory technology. The interface also includes second logic circuitry to implement a second memory channel protocol on the memory channel. The second memory channel protocol is specific to a second non volatile system memory technology. The second memory channel protocol is a transactional protocol

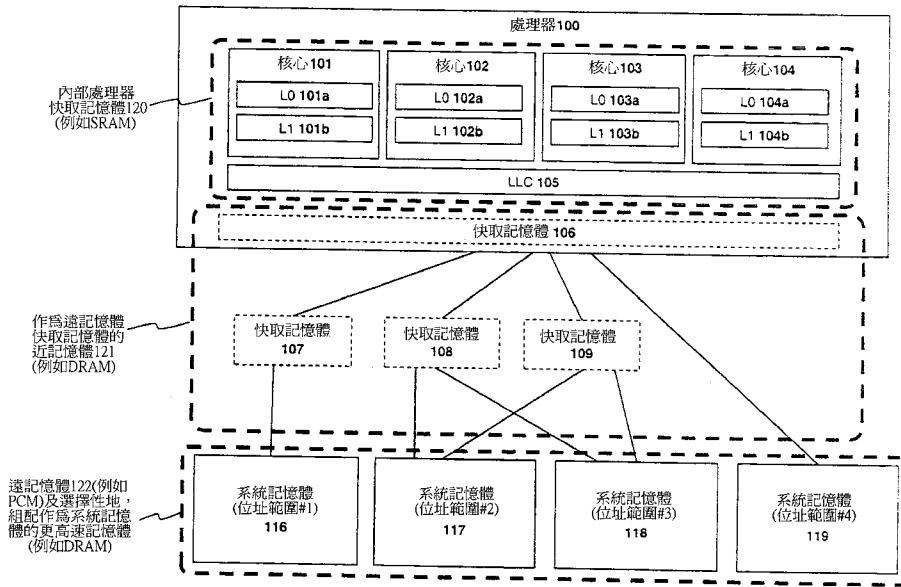


圖 1

- 100 . . . 處理器
- 101-104 . . . 處理器核心
- 101a-104a . . . 等級 0 內部處理器快取記憶體
- 101b-104b . . . 等級 1 內部處理器快取記憶體
- 105 . . . 低階快取記憶體(LLC)
- 106 . . . 快取記憶體
- 107、108、109 . . . 快取記憶體
- 116-119 . . . 系統記憶體區域
- 120 . . . 內部處理器快取記憶體
- 121 . . . 近記憶體
- 122 . . . 遠記憶體

## 公告本

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101135620

※申請日：101.9.27

※IPC 分類：G11C 29/42 (2006.01)

G06F 11/10 (2006.01)

12/08 (2006.01)

13/16 (2006.01)

## 一、發明名稱：(中文/英文)

支援近記憶體存取及遠記憶體存取的方法及半導體晶片

METHOD AND SEMICONDUCTOR CHIP FOR SUPPORTING NEAR  
MEMORY AND FAR MEMORY ACCESS

## 二、中文發明摘要：

一種包含記憶體控制器電路的半導體晶片具有介面電路以耦接至一記憶體通道。該記憶體控制器係包括第一邏輯電路以在該記憶體通道上體現一第一記憶體通道協定。該第一記憶體通道協定乃專用於一第一依電性系統記憶體技術。該介面也包括第二邏輯電路以在該記憶體通道上體現一第二記憶體通道協定。該第二記憶體通道協定乃專用於一第二非依電性系統記憶體技術。該第二記憶體通道協定乃一異動協定。

## 三、英文發明摘要：

A semiconductor chip comprising memory controller circuitry having interface circuitry to couple to a memory channel. The memory controller includes first logic circuitry to implement a first memory channel protocol on the memory channel. The first memory channel protocol is specific to a first volatile system memory technology. The interface also includes second logic circuitry to implement a second memory channel protocol on the memory channel. The second memory channel protocol is specific to a second non volatile system memory technology. The second memory channel protocol is a transactional protocol

#### 四、指定代表圖：

(一)本案指定代表圖為：第 ( 1 ) 圖。

(二)本代表圖之元件符號簡單說明：

100...處理器

101-104...處理器核心

101a-104a...等級0內部處理器快取記憶體

101b-104b...等級1內部處理器快取記憶體

105...低階快取記憶體(LLC)

106...快取記憶體

107、108、109...快取記憶體

116-119...系統記憶體區域

120...內部處理器快取記憶體

121...近記憶體

122...遠記憶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

#### 發明領域

[0001]本發明大致上係有關於電腦系統領域。更明確言之，本發明係有關於一種用以體現含括一非依電性記憶體層的多等級記憶體階層的裝置及方法。

### 【先前技術】

#### 發明背景

##### A. 目前記憶體與儲存裝置組態

[0002]今日電腦創新的限制因素中之一者乃記憶體與儲存裝置技術。於習知電腦系統中，系統記憶體(又稱主記憶體、一次記憶體、可執行記憶體)典型地係藉動態隨機存取記憶體(DRAM)體現。以DRAM為基的記憶體即便當無記憶體讀或寫時也耗電，原因在於必須恆常地充電內部電容器故。以DRAM為基的記憶體為依電性，表示一旦電力被拔除則儲存在DRAM記憶體的資料喪失。習知電腦系統也仰賴多個快取等級以改良效能。快取記憶體乃位在處理器與系統記憶體間的一高速記憶體，比較從系統記憶體服務，前者可更快速服務記憶體存取請求。此等快取記憶體典型地係以靜態隨機存取記憶體(SRAM)體現。快取記憶體管理協定可用以確保最頻繁地存取的資料及指令係儲存在快取記憶體的多個層級中之一者，藉此減少記憶體存取異動次數與改良效能。

[0003]至於大容量儲存裝置(又稱二次儲存裝置或碟片

儲存裝置), 習知大容量儲存裝置典型地包括磁性媒體(例如硬碟機)、光學媒體(例如光碟(CD)機、數位影音碟(DVD)等)、全像媒體、及/或大容量儲存裝置快閃記憶體(例如固態驅動裝置(SSD)、活動式快閃驅動裝置等)。通常, 此等儲存裝置被視為輸出入(I/O)裝置, 原因在於其係藉體現各項I/O協定的I/O配接器而藉處理器存取。此等I/O配接器及I/O協定耗用顯著大量電力, 且對晶粒面積及平台的形狀因數造成顯著影響。可攜式或行動裝置(例如膝上型電腦、小筆電、平板電腦、個人數位助理器(PDA)、可攜式媒體播放器、可攜式遊戲裝置、數位相機、行動電話、智慧型電話、未來電話等)當不連結至持久電源供應器時具有有限的電池壽命, 可包含活動式大容量儲存裝置(例如嵌入式多媒體卡(eMMC)、保全數位(SD)卡)典型地係透過低功率互連體及I/O控制器而耦接至處理器以滿足有源的及閒置的電力預算。

[0004]至於韌體記憶體(諸如啟動記憶體(又稱BIOS快閃記憶體)), 習知電腦系統典型地使用快閃記憶體裝置以儲存經常被讀取但罕見(或未曾)被寫入的持久系統資訊。舉例言之, 在啟動處理(基本輸出入系統(BIOS)影像)期間由處理器用以初始化關鍵系統組件的初始指令典型地係儲存在快閃記憶體裝置。目前市面上可得的快閃記憶體裝置通常速度有限(例如50 MHz)。此種速度又因讀協定的額外負擔(例如2.5 MHz)而更進一步減慢。為了加速BIOS執行速度, 於啟動處理的前置可擴延韌體介面(PEI)階段期間, 習知處理

器通常快取BIOS代碼的一部分。處理器快取記憶體的大小對用在PEI階段的BIOS代碼(又稱「PEI BIOS代碼」)大小造成限制。

#### B.相變記憶體(PCM)及相關技術

[0005]相變記憶體(PCM)偶爾又稱相變隨機存取記憶體(PRAM或PCRAM)、PCME、奧佛(Ovonic)聯合記憶體、或硫屬化物RAM(C-RAM)乃典型非依電性電腦記憶體，其探索硫屬玻璃的獨特表現。由於電流通過產熱的結果，硫屬玻璃可在兩態間切換：結晶態與非晶態。晚近的PCM版本可達成兩個額外獨特態。

[0006]PCM提供比快閃記憶體更高的效能，原因在於PCM的記憶體元件可更快速切換，可進行寫(變更個別位元為1或0)而無需先抹除一整個胞元區塊，且從寫降級更慢(一PCM裝置可存活約一億次寫週期；PCM降級係由於程式規劃期間的熱膨脹、金屬(及其它材料)遷移、及其它機轉)。

#### **【發明內容】**

[0007]依據本發明之一實施例，係特地提出一種藉設置在一卡上的邏輯電路執行的方法，該卡具有一連接器以插入支接近記憶體快取存取及遠記憶體存取的一記憶體通道內，該方法係包含從該記憶體通道接收正在由耦接至該記憶體通道的一主機處理的一讀取請求異動之一目標位址的一第一標籤組件；應答該讀取請求異動，接收讀取自一近記憶體快取記憶體的一快取列之一位址的一第二標籤組件；及比較該第一與第二標籤組件以決定該快取列是否相

對應於一快取命中或一快取失誤。

### 【圖式簡單說明】

[0008]後文詳細說明部分及附圖係用以例示說明本發明之實施例。附圖中：

[0009]圖1例示說明依據本發明之實施例一種快取記憶體及系統記憶體配置；

[0010]圖2例示說明於本發明之實施例採用的一種記憶體與儲存裝置階層；

[0011]圖3例示說明於其上可體現本發明之實施例的一種電腦系統；

[0012]圖4例示說明在一相同記憶體通道上的近記憶體快取記憶體及遠記憶體之體現；

[0013]圖5例示說明可在圖4觀察得的近記憶體/遠記憶體系統上執行的一寫處理；

[0014]圖6例示說明可在圖4觀察得的近記憶體/遠記憶體系統上執行的一讀處理；

[0015]圖7A例示說明用以整合在一相同記憶體通道上的近記憶體快取記憶體及遠記憶體之「在前方近記憶體」架構；

[0016]圖7B-D例示說明可藉圖7A之系統執行的處理；

[0017]圖8A例示說明用以整合在一相同記憶體通道上的近記憶體快取記憶體及遠記憶體之「在前方近記憶體」架構；

[0018]圖8B-D例示說明可藉圖8A之系統執行的處理；

[0019]圖9A例示說明記憶體通道布線以支援近記憶體存取之應用；

[0020]圖9B例示說明記憶體通道布線以支援遠記憶體存取之應用；

[0021]圖10例示說明一種用以存取近記憶體之方法；

[0022]圖11例示說明遠記憶體控制邏輯電路之一實施例；

[0023]圖12A-B例示說明可發出支援近記憶體存取及遠記憶體存取之一記憶體通道的基元處理。

## 【實施方式】

較佳實施例之詳細說明

[0024]於後文詳細說明部分中，陳述無數特定細節以供更徹底瞭解本發明，諸如邏輯體現、操作代碼(opcode)、載明運算元的手段、資源區劃/共享/複製體現、系統組件的型別及交互關係、及邏輯區劃/綜合選擇。但熟諳技藝人士須瞭解可無此等特定細節而實施本發明。於其它情況下，其它控制結構、閘極層面電路及全軟體指令序列未曾以細節顯示以免遮掩本發明。熟諳技藝人士利用本文含括的描述，無需不當的實驗將能體現適當功能。

[0025]於本說明書中述及「一個實施例」、「一實施例」、「一個具體實施例」等係指示所描述的實施例可包括特定特徵、結構、或特性，但並非必要每個實施例皆包括該特定特徵、結構、或特性。此外，此等片語並非全部皆係指同一個實施例。又，當一特定特徵、結構、或特性係連結

一實施例描述時，表示聯結其它實施例執行此等特徵、結構、或特性係落入熟諳技藝人士的知識範圍內而與其是否明確地描述無關。

[0026]於後文描述及申請專利範圍中，可使用「耦合」及「連結」等詞連同其衍生詞。須瞭解此等術語並非意圖成為彼此的同義詞。「耦合」係用來指示二或多個元件，該等元件可能或可能不彼此直接實體或電氣接觸、彼此協作或互動。「連結」係用來指彼此耦接的二或多個元件間建立通訊。

[0027]具有虛線邊界(例如大虛線、小虛線、點虛線、點)的加括號的文字及方塊偶爾用於此處以例示說明增加額外特徵至本發明之實施例的選擇性操作/組件。但此等標記法不應解譯為表示此等標記乃唯一選項或選擇性操作/組件，及/或於本發明之某些實施例中具有實線邊界的方塊並非選擇性。

## 引言

[0028]記憶體容量及效能要求隨著處理器核心數目的增加及新穎使用模型諸如虛擬化而持續增加。此外，記憶體功率及成本已經分別地變成電子系統的總功率及成本的一大組成因素。

[0029]若干本發明之實施例藉由在各個記憶體技術間智慧型地細分效能要求與容量要求而解決前述挑戰。此項辦法的焦點係聚焦在以相對小量相當高速記憶體諸如DRAM而提供效能，同時使用顯著更廉價且更緊密的非依

電性隨機存取記憶體(NVRAM)而體現系統記憶體本體。後文描述的本發明之實施例定義許可使用NVRAM的階層式記憶體次系統組織作動的平台組態。NVRAM的用在記憶體階層也許可新用途，諸如擴延啟動空間及大容量儲存體現，容後詳述。

[0030]圖1例示說明依據本發明之實施例一種快取記憶體及系統記憶體配置。更明確言之，圖1顯示記憶體階層包括一組內部處理器快取記憶體120、「近記憶體」作為一遠記憶體快取記憶體121，其可包括內部快取記憶體106及外部快取記憶體107-109二者、及「遠記憶體」122。於本發明之若干實施例中，可用作為「遠記憶體」的一個特定型別之記憶體乃非依電性隨機存取記憶體(NVRAM)。因此，NVRAM的綜論提供如下，接著為遠記憶體及近記憶體的綜論。

#### A. 非依電性隨機存取記憶體(NVRAM)

[0031]NVRAM有多項可能的技術選擇，包括相變記憶體(PCM)、相變記憶體及開關(PCMS)(後者乃前者的更特定體現)、位元組可定址持久記憶體(BPRAM)、儲存類別記憶體(SCM)、通用記憶體、 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 、可規劃金屬化單元(PMC)、電阻記憶體(RRAM)、RESET(非晶型)單元、SET(結晶型)單元、PCME、奧辛斯基(Ovshinsky)記憶體、鐵電記憶體(又稱作聚合物記憶體及聚(N-乙基基吡啶))、鐵磁記憶體(又稱自旋電子學記憶體(Spintronics)、SPRAM(自旋轉轉移矩RAM)、STRAM(自旋穿隧RAM)、磁阻記憶體、磁性

記憶體、磁性隨機存取記憶體(MRAM))、及半導體-氧化物-氮化物-氧化物-半導體(SONOS，又稱電介質記憶體)。

[0032]NVRAM具有下列特性：

(1)即使電力被去除仍然保有其內容，類似於用在固態驅動裝置(SSD)的快閃記憶體，而與依電性的SRAM及DRAM相異；

(2)比依電性記憶體諸如SRAM及DRAM的功耗低；

(3)類似SRAM及DRAM的隨機存取(又稱為可隨機定址)；

(4)比較SSD中所見快閃記憶體(只能以一次一個「區塊」改寫及抹除，亦即對NOR FLASH最小的大小為64千位元組而NAND FLASH為16位元組)，可以更低的粒度等級(例如位元組等級)改寫及抹除；

(5)用作為系統記憶體且配置系統記憶體位址空間的全部或部分；

(6)可使用異動協定(支援異動識別符(ID)以區別不同的異動使得該等異動可脫序完成之一協定)透過一匯流排而耦接至該處理器，且許可以夠小的粒度等級存取以支援NVRAM作為系統記憶體的操作(快取記憶體行大小，諸如64或128位元組)。舉例言之，匯流排可為記憶體匯流排(例如DDR匯流排諸如DDR3、DDR4等)，透過該等匯流排跑異動協定，而與一般使用的非異動協定相反。至於另一個實例，匯流排可為其上通常跑異動協定(本機異動協定)的匯流排，諸如PCI快速(PCIe)匯流排、桌上管理介面(DMI)匯流

排、或任何其它型別的匯流排利用一異動協定及夠小的異動酬載大小(快取記憶體行大小，諸如64或128位元組)；及

(7)下列中之一或多者：

a)比非依電性記憶體/儲存技術諸如快閃記憶體更快的寫入速度；

b)極高讀取速度(比快閃記憶體更快而接近或等於DRAM讀取速度)；

c)可直接寫入(而非如用在SSD的快閃記憶體在寫資料前要求抹除(以1秒改寫))；

d)失敗前有更大的寫入次數(大於啟動ROM及SSD內使用的快閃記憶體)；及/或

[0033]如前述，與快閃記憶體相反，快閃記憶體必須改寫且一次抹除一個完整「區塊」，在任何給定的體現中NVRAM存取的粒度等級可取決於特定記憶體控制器及特定記憶體匯流排或NVRAM耦接的其它型別的匯流排。舉例言之，於若干體現中，於該處NVRAM係用作為系統記憶體，NVRAM可於快取列的粒度(例如64位元組或128位元組快取列)存取，無庸殆言以1位元組粒度存取的特有功能，原因在於快取列乃記憶體次系統存取記憶體的等級。如此，當NVRAM係被部署在一記憶體次系統內部時，NVRAM可以與用在相同記憶體次系統的DRAM(例如「近記憶體」)相同粒度等級存取。即使如此，由記憶體控制器及特定記憶體匯流排或其它型別的匯流排存取NVRAM的粒度等級係小於由快閃記憶體所使用的區塊大小及I/O次系統控制

器及匯流排的存取大小的粒度等級。

[0034]NVRAM也可結合耗損調平演算法以考慮下述事實：在遠記憶體層級的儲存胞元經多次寫存取後開始磨耗，特別係當可能出現顯著寫入次數時尤為如此，諸如次系統記憶體體現。因高周期計數區塊最可能以此種方式磨耗，耗損調平藉調換高周期計數區塊位址與低周期計數區塊位址而橫跨遠記憶體胞元擴展寫入。注意大部分位址調換典型地對應用程式為透明，原因在於位址調換係藉硬體、低階軟體(例如低階驅動裝置或作業系統)、或二者的組合處置之故。

#### B.遠記憶體

[0035]本發明之若干實施例的遠記憶體122係以NVRAM體現，但非必要限於任何特定記憶體技術。就其特性及/或其於記憶體/儲存裝置階層的應用而言，遠記憶體122可與其它指令及資料記憶體/儲存裝置技術區別。舉例言之，遠記憶體122係與下列各者不同：

1)靜態隨機存取記憶體(SRAM)可用於處理器核心101-104各自專用的等級0及等級1內部處理器快取記憶體101a-b、102a-b、103a-b、及104a-b，及用該等處理器核心所共用的低階快取記憶體(LLC)105。

2)動態隨機存取記憶體(DRAM)組配作為處理器100內部的快取記憶體106(例如在處理器100的相同晶粒上)及/或組配成在處理器外部的一或多個快取記憶體107-109(例如在與處理器100相同的或相異的封裝體)；及

3)快閃記憶體/磁碟/光碟應用為大容量儲存裝置(圖中未顯示);及

4)記憶體諸如快閃記憶體或其它唯讀記憶體(ROM)應用作為韌體記憶體(可稱作為啟動ROM、BIOS快閃記憶體、及/或TPM快閃記憶體)(圖中未顯示)。

[0036]遠記憶體122可用作為指令及資料儲存裝置,其可由處理器100直接定址,與應用作為大容量儲存裝置的快閃記憶體/磁碟/光碟相反,遠記憶體122可與處理器100充分維持同調。此外,如前文討論且容後詳述,遠記憶體122可置於記憶體匯流排上,且可與記憶體控制器直接通訊,而又轉而與處理器100直接通訊。

[0037]遠記憶體122可組合其它指令及資料儲存裝置技術(例如DRAM)以形成混成記憶體(又稱共定位PCM及DRAM;第一層級記憶體及第二層級記憶體;FLAM(快閃記憶體及DRAM))。注意前述技術中之至少若干者包括PCM/PCMS可用作為大容量儲存裝置替代或除外系統記憶體,且當以此方式施用時無需為藉處理器可隨機存取、可位元組定址、或可直接定址。

[0038]為求方便解說,本案其餘部分大半將述及「NVRAM」,或更明確言之「PCM」或「PCMS」作為針對遠記憶體122選用的技術。如此,NVRAM、PCM、PCMS、及遠記憶體等詞可互換地用在後文討論中。但如前文討論,須瞭解不同技術也可用於遠記憶體。又,NVRAM並不限於用作為遠記憶體。

### C. 近記憶體

[0039]「近記憶體」121為組配在遠記憶體122前方的中間層級記憶體，相較於遠記憶體具有更低的讀/寫存取延遲及/或更對稱性讀/寫存取延遲(亦即讀時間粗略相當於寫時間)。於本發明之若干實施例中，近記憶體121具有比遠記憶體122顯著更低的寫延遲，但有相似的(例如略低的或相等的)讀延遲；例如近記憶體121可為依電性記憶體，諸如依電性隨機存取記憶體(VRAM)，且可包含DRAM或其它以高速電容器為基的記憶體。但須注意本發明之潛在原理並非限於此等特定記憶體型別。此外地，近記憶體121可具有比較遠記憶體122的相對低密度及/或製造上更昂貴。

[0040]於一個實施例中，近記憶體121係組配在遠記憶體122與內部處理器快取記憶體120間。於後述實施例中之部分中，近記憶體121係組配為一或多個記憶體端快取記憶體(MSC)107-109以遮蔽遠記憶體的效能限制及/或使用限制，包括例如讀/寫延遲限制及記憶體降級限制。於此等體現中，MSC 107-109與遠記憶體122的組合係在一效能等級操作，該效能等級係逼近、等於、或超過只使用DRAM作為系統記憶體之一系統。容後詳述，雖然於圖1中顯示為「快取記憶體」，近記憶體121可包括執行其它角色的模式，額外或另外地執行快取記憶體的角色。

[0041]近記憶體121可位在處理器晶粒上(作為快取記憶體106)及/或位在處理器晶粒外部(作為快取記憶體107-109)(例如在位在CPU封裝體上、位在CPU封裝體外部

與CPU封裝體有高帶寬鏈路的分開晶粒上，例如雙排式記憶體模組(DIMM)、冒口/夾層、或電腦主機板)。近記憶體121可使用單一或多個高帶寬鏈路，諸如DDR或其它異動高帶寬鏈路而與處理器100耦接通訊(容後詳述)。

#### 系統記憶體配置方案實例

[0042]圖1例示說明於本發明之實施例中，快取記憶體101-109之各個等級係如何就系統實體位址(SPA)空間116-119組配。如前文所述，本實施例包含一處理器100，具有一或多個核心101-104，各個核心具有其本身專用的高等級快取記憶體(L0)101A-104A及中等級快取記憶體(MLC)(L1)快取記憶體101b-104b。處理器100也包括一共享LLC 105。此等各項快取記憶體等級的操作為眾所周知，在此將不再詳細說明。

[0043]圖1例示說明的快取記憶體107-109可為一特定系統記憶體位址範圍或一非接續位址範圍集合所專用。舉例言之，快取記憶體107係專用作為系統記憶體位址範圍#1 116的MSC，而快取記憶體108及109係專用作為系統記憶體位址範圍#2 117及#3 118的非重疊部的MSC。後述體現可用於下述系統，其中由處理器100所使用的SPA空間係交插入由快取記憶體107-109所使用的SPA空間(例如當組配作為MSC時)。於本發明之若干實施例中，後述位址空間係稱作為記憶體通道位址(MCA)空間。於一個實施例中，內部快取記憶體101a-106針對整個SPA空間執行快取操作。

[0044]如此處使用的系統記憶體乃由在處理器100上執

行的軟體所可見及/或可直接定址的記憶體；雖然快取記憶體101a-109可對軟體為透明地操作，表示不會形成少統位址空間的可直接定址部分，但核心也可支援指令的執行以許可軟體對部分或全部快取記憶體提供某些控制(組態、策略、暗示等)。系統記憶體細分為各區116-119可藉手動執行作為系統組配處理(例如由系統設計師)的一部分，及/或可藉軟體自動地執行。

[0045]於一個實施例中，系統記憶體區116-119係使用遠記憶體(例如PCM)體現，及於若干實施例中，近記憶體係組配作為系統記憶體。系統記憶體位址範圍#4表示使用較高速記憶體，諸如DRAM其可為組配在系統記憶體模式(與快取模式相對)的近記憶體體現之一位址範圍。

[0046]圖2例示說明依據本發明之實施例，一種記憶體/儲存裝置階層140及針對近記憶體144及NVRAM之不同連續操作模式。該記憶體/儲存裝置階層140具有多個等級，包括(1)一快取記憶體等級150，其可包括處理器快取記憶體150A(例如圖1之快取記憶體101A-105)及選擇性地包括作為遠記憶體(FM)的快取記憶體150B之近記憶體(NM)(於如此處所述之若干操作模式)；(2)一系統記憶體等級151，當近記憶體存在時，其可包括遠記憶體151B(例如NVRAM，諸如PCM)(或當近記憶體不存在時，其只包括NVRAM作為系統記憶體174)，及選擇性地近記憶體操作為系統記憶體151A的快取記憶體(於如此處所述之若干操作模式)；(3)一大容量儲存裝置等級152，其可包括一快閃/磁/光大容量儲

存裝置 152B 及 / 或 NVRAM 大容量儲存裝置 152A (例如 NVRAM 142 之一部分) ; 及 (4) 一韌體記憶體等級 153 , 其可包括 BIOS 快閃記憶體 170 及 / 或 BIOS NVRAM 172 , 及選擇性地包括信賴平台模組 (TPM) NVRAM 173 。

[0047] 如前文指出 , 近記憶體 144 可體現以多種不同模式操作 , 包括一第一模式其中近記憶體操作為遠記憶體之一快取記憶體 (作為 FM 的快取記憶體 150B 之近記憶體) ; 一第二模式其中近記憶體係操作為系統記憶體 151A 且占用 SPA 空間的一部分 (偶爾稱作為近記憶體「直接存取」模式) ; 及一或多個額外操作模式諸如暫存記憶體 192 或寫緩衝器 193 。於本發明之若干實施例中 , 該近記憶體為可分割 , 於該處各個區劃可以所支援模式中之一不同者併行操作 ; 及不同實施例可藉硬體 (例如熔絲、接腳)、韌體、及 / 或軟體 (例如經由在 MSC 控制器 124 內部的一可程式規劃範圍暫存器集合 , 其內部例如可儲存以不同二進制代碼以識別各個模式及區劃) 而支援區劃組態 (例如大小、模式) 。

[0048] 圖 2 之系統位址空間 A 190 係用以例示說明當近記憶體係組配作為遠記憶體的快取記憶體 150B (即 , MSC) 時之操作。於本組態中 , 系統位址空間 A 190 表示整個系統位址空間 (而系統位址空間 B 191 不存在) 。另外 , 系統位址空間 B 191 係用以顯示當全部或部分近記憶體係被分派為系統位址空間的一部分時的一種體現。於本實施例中 , 系統位址空間 B 191 表示分派給系統記憶體 151A 的系統位址空間範圍 , 而系統位址空間 A 190 表示分派給 NVRAM 174 的系統

位址空間範圍。

[0049]此外，當作為遠記憶體的快取記憶體150B時，近記憶體144可在MSC控制器124的控制之下以各個次模式操作。於此等模式中，近記憶體位址空間(NMA)係對軟體為透明，表示該近記憶體不形成該系統位址空間之一可直接定址部分。此等模式包括但非限於下列：

(1)回寫快取模式：於本模式中，用作為FM的快取記憶體150B的近記憶體之全部或部分係用作為NVRAM遠記憶體(FM)151B的快取記憶體。於回寫模式中，每個寫操作係初步導向至用作為FM的快取記憶體150B的近記憶體(假設寫導向之該快取列係存在於該快取記憶體)。唯有當在該用作為FM的快取記憶體150B之該近記憶體內部的該快取列係將由另一個快取列置換時，才執行相對應寫操作以更新該NVRAM FM 151B(與後文說明的寫穿模式相反，其中各次寫操作係即刻地傳播至NVRAM FM 151B)。

(2)近記憶體繞道模式：於本模式中，全部讀及寫繞道用作為FM的快取記憶體150B的NM而直接前進至NVRAM FM 151B。此種模式例如可用在當一應用程式並非快取友善時，或要求資料在一快取列粒度持續地提交時。於一個實施例中，由處理器快取記憶體150A及用作為FM的快取記憶體150B的NM所執行的快取各自獨立地操作。資料可在用作為FM的快取記憶體150B的NM快取，而不在處理器快取記憶體150A快取(及於若干情況下，不許可在處理器快取記憶體150A快取)，及反之亦然。如此可被標示為在處理器快

取記憶體中「無法快取」的某些資料可在用作為FM的快取記憶體150B的NM內部快取。

(3)近記憶體讀-快取寫繞道模式：此乃前述模式的變化例，於該處許可從NVRAM FM 151B讀快取持久資料(亦即針對唯讀操作，持久資料係在用作為遠記憶體的快取記憶體150B的近記憶體快取)。當大部分持久資料為「唯讀」且應用程式的使用為快取友善時此點係有用的。

(4)近記憶體讀-快取寫穿模式：此乃近記憶體讀-快取寫繞道模式的變化例，於該處除了讀快取之外，也快取寫命中。每次寫至用作為FM的快取記憶體150B的近記憶體造成寫至FM 151B。如此，由於快取記憶體的寫穿本質，仍然保證快取列的持久。

[0050]當於近記憶體直接存取模式作動時，作為系統記憶體151A的近記憶體之全部或部分為軟體所直接可見且構成SPA空間的一部分。此種記憶體可完全地在軟體的控制之下。此種方案可針對軟體產生非一致記憶體位址(NUMA)記憶體域，於該處比較NVRAM系統記憶體174，獲得更高來自近記憶體144的效能。舉例言之，但非限制性，此種用途可採用於某種高效能運算(HPC)及圖形應用，其要求極其快速地存取某些資料結構。

[0051]於一替代實施例中，近記憶體直接存取模式係藉「固定」某些快取列於近記憶體體現(亦即具有資料也併行儲存在NVRAM 142的快取列)。此種固定可在更大型多向集合相聯結的快取記憶體有效地進行。

[0052]圖2也例示說明部分NVRAM 142可用作為韌體記憶體。舉例言之，BIOS NVRAM 172部分可用以儲存BIOS影像(替代或除外儲存BIOS資訊於BIOS快閃記憶體170)。BIOS NVRAM部分172可為SPA空間的一部分，且藉在處理器核心101-104上執行的軟體為可直接定址，而BIOS快閃記憶體170係經由I/O次系統115為可定址。至於另一個實例，信賴平台模組(TPM)NVRAM 173部分可用以保護敏感系統資訊(例如加密鑰)。

[0053]如此，如前文指示，NVRAM 142可體現而以多種不同模式操作，包括作為遠記憶體151B(例如當近記憶體144存在/操作時，該近記憶體是否透過MSC控制器124作為遠記憶體的快取記憶體(在快取記憶體101A-105之後直接存取且無MSC控制器124)；只作為NVRAM系統記憶體174(不作為遠記憶體，原因在於不存在有/操作近記憶體；及無MSC控制器124而存取)；NVRAM大容量儲存裝置152A；BIOS NVRAM 172；及TPM NVRAM 173。雖然不同實施例可以不同方式載明NVRAM模式，但圖3描述解碼表333的使用。

[0054]圖3例示說明其上可體現本發明之實施例的電腦系統300之實例。該電腦系統300包括一處理器310及記憶體/儲存裝置次系統380，NVRAM 142用於系統記憶體、大容量儲存裝置二者及選擇性地，韌體記憶體。於一個實施例中，NVRAM 142包含整個系統記憶體及由電腦系統300使用的儲存階層用以儲存資料、指令、狀態、及其它持久與

非持久的資訊。如前文討論，NVRAM 142可經組配來在系統記憶體、大容量儲存裝置、及韌體記憶體、TPM記憶體等的典型記憶體及儲存裝置階層體現。於圖3之實施例中，NVRAM 142係分割成FM 151B、NVRAM大容量儲存裝置152A、BIOS NVRAM 173、及TPM NVRAM 173。也預期涵蓋具有不同角色的儲存裝置階層，NVRAM 142之應用並非限於前述角色。

[0055]舉例言之，描述當用作為FM 的快取記憶體150B的近記憶體係在回寫快取時的操作。於一個實施例中，當用作為FM 的快取記憶體150B的近記憶體係在前述回寫快取時，讀取操作將首先到達MSC控制器124，其將執行詢查以決定所請求的資料是否存在於用作為FM 的快取記憶體150B的近記憶體(例如利用一標籤快取記憶體342)。若存在時，則將資料透過I/O次系統115而回送至發出請求的CPU、核心101-104或I/O裝置。若該資料係不存在，則該MSC控制器124將連同系統記憶體位址發送該請求至NVRAM控制器332。該NVRAM控制器332將使用解碼表333來將系統記憶體位址轉譯成一NVRAM實體裝置位址(PDA)，及導引該讀取操作至遠記憶體151B的此區。於一個實施例中，解碼表333包括一位址間接表(AIT)成分，NVRAM控制器332使用該成分來在系統記憶體位址與NVRAM PDA間轉譯。於一個實施例中，AIT被更新作為耗損調平演算法，其係體現以分散記憶體存取操作，及藉此減少NVRAM FM 151B上的磨耗。另外，AIT可為儲存在NVRAM控制器332內部的一分開表。

[0056] 當從 NVRAM FM 151B 接收所請資料時，NVRAM 控制器 332 將回送該所請資料至 MSC 控制器 124，其將該資料儲存在用作為 FM 的快取記憶體 150B 的 MSC 近記憶體，也將該資料透過 I/O 次系統 115 而回送至發出請求的處理器核心 101-104 或 I/O 裝置。隨後針對此項資料的請求可得自用作為 FM 的快取記憶體 150B 的近記憶體直接服務直到由若干其它 NVRAM FM 資料所置換。

[0057] 如文所述，於一個實施例中，記憶體寫操作也首先進入 MSC 控制器 124，將其寫至用作為 FM 的快取記憶體 150B 的 MSC 近記憶體。於回寫快取模式中，當接收到寫操作時，資料可能無法直接送至 NVRAM FM 151B。舉例言之，唯有在資料儲存於其中的用作為 FM 的快取記憶體 150B 的 MSC 近記憶體內的位置須被重新用來為不同的系統記憶體位址儲存資料時，資料才可送至 NVRAM FM 151B。當出現此種情況時，MSC 控制器 124 注意到資料目前不在 NVRAM FM 151B，如此將從用作為 FM 的快取記憶體 150B 的近記憶體取回資料且發送至 NVRAM 控制器 332。NVRAM 控制器 332 詢查 PDA 找尋系統記憶體位址，及然後將資料回寫至 NVRAM FM 151B。

[0058] 圖 3 中，NVRAM 控制器 332 係顯示為使用三條分開線而連結至 FM 151B、NVRAM 大容量儲存裝置 152A、及 BIOS NVRAM 172。但如此並非必要表示有三個分開實體匯流排或通訊通道連結 NVRAM 控制器 332 至 NVRAM 142 的此等部分。反而於若干實施例中，一共用記憶體匯流排或

其它型別的匯流排(諸如後文就圖4A-M描述者)係用以通訊耦合NVRAM控制器332至FM 151B、NVRAM大容量儲存裝置152A、及BIOS NVRAM 172。舉例言之，於一個實施例中，圖3的三條線表示一匯流排，諸如記憶體匯流排(例如DDR3、DDR4等匯流排)，透過該等匯流排NVRAM控制器332體現一異動協定以與NVRAM 142通訊。NVRAM控制器332也透過支援本機異動協定的匯流排而與NVRAM 142通訊，諸如PCI快速匯流排、桌上管理介面(DMI)匯流排、或利用異動協定及夠小型異動酬載大小(例如快取列大小諸如64或128位元組)的任何其它型別的匯流排。

[0059]於一個實施例中，電腦系統300包括整合型記憶體控制器(IMC)331，其針對處理器310執行中央記憶體存取控制，其係耦接至：1)記憶體端快取記憶體(MSC)控制器124以控制存取用作為遠記憶體的快取記憶體150B的近記憶體(NM)；及2)NVRAM控制器332以控制存取NVRAM 142。雖然於圖3中例示說明為分開單元，但MSC控制器124及NVRAM控制器332可於邏輯上構成IMC 331的一部分。

[0060]於該具體實施例中，MSC控制器124包括一範圍暫存器336集合，其載明在使用用作為遠記憶體的快取記憶體150B的NM時的操作模式(例如前述回寫快取模式、近記憶體繞道模式等)。於該具體實施例中，DRAM 144係用作為針對用作為遠記憶體的快取記憶體150B的NM之記憶體技術。應答一記憶體存取請求，MSC控制器124可決定(取決於載明於範圍暫存器336的作業模式)該請求是否可從用

作為FM的快取記憶體150B的NM服務或該請求是否須送至NVRAM控制器332，然後可服務來自NVRAM 142的遠記憶體(FM)部151B的請求。

[0061]於一實施例中，於該處NVRAM 142係以PCMS體現，NVRAM控制器332為PCMS控制器，其係以符合PCMS技術的協定執行存取。如前文討論，PCMS記憶體特性上可以1位元組的粒度存取。雖言如此，NVRAM控制器332可以較低粒度等級，諸如快取列(例如64-位元或128-位元快取列)或符合記憶體次系統的任何其它粒度等級存取以PCMS為基的遠記憶體151B。本發明之基本原理並非限於用以存取以PCMS為基的遠記憶體151B的任何特定粒度等級。但概略言之，當以PCMS為基的遠記憶體151B用以形成系統位址空間的一部分時，粒度等級將高於傳統上用於其它非依電性儲存裝置技術諸如快閃記憶體的粒度等級，後者只能以一「區塊」(對NOR FLASH最小大小是64千位元組，而對NAND FLASH是16千位元組)等級執行改寫與抹除操作。

[0062]於該具體實施例中，NVRAM控制器332可針對得自解碼表333的NVRAM 142讀取組態資料以建立先前描述的模式、大小等，或另外，可仰賴從IMC 331及I/O次系統315發送的解碼結果。舉例言之，於製造時或於現場，電腦系統300可程式規劃解碼表333以標示NVRAM 142的不同區域作為系統記憶體、透過SATA介面暴露的大容量儲存裝置、透過USB只能大容量轉移(BOT)介面暴露的大容量儲

存裝置、支援TPM儲存的加密儲存裝置等等。駕馭存取NVRAM裝置142的不同部分之手段係透過解碼邏輯。舉例言之，於一個實施例中，各個區劃的位址範圍係定義於解碼表333。於一個實施例中，當IMC 331接收到存取請求時，該項請求的目標位址經解碼以洩示該請求是否導向記憶體、NVRAM大容量儲存裝置、或I/O。若該請求係為記憶體請求，則IMC 331及/或MSC控制器124從該目標位址進一步決定該項請求是否導向至用作為FM 的快取記憶體150B的近記憶體或導向至FM 151B。用於FM 151B存取，該請求係前傳至NVRAM控制器332。若此請求係導向I/O(例如非儲存裝置及儲存裝置I/O裝置)，則IMC 331將該請求發送至I/O次系統115。I/O次系統115進一步解碼該位址以決定該位址是否指向NVRAM大容量儲存裝置152A、BIOS NVRAM 172、或其它非儲存裝置及儲存裝置I/O裝置。若此位址係指向NVRAM大容量儲存裝置152A或BIOS NVRAM 172，則I/O次系統115前傳該請求給NVRAM控制器332。若此位址係指向TPM NVRAM 173，則I/O次系統115發送該請求給TPM 334以執行保全存取。

[0063]於一個實施例中，前傳給NVRAM控制器332的各項請求係伴隨有一屬性(又稱「異動型別」)以指示存取型別。於一個實施例中，NVRAM控制器332可針對所請存取型別而仿真該存取協定，使得平台其餘部分維持不知曉由NVRAM 142在記憶體及儲存裝置階層中所扮演的多重角色。於替代實施例中，NVRAM控制器332可對NVRAM 142

執行記憶體存取而與其異動型別無關。須瞭解解碼路徑可與前述路徑不同。舉例言之，IMC 331可解碼一存取請求的目標位址，決定其是否導向至NVRAM 142。若係導向至NVRAM 142，則IMC 331依據解碼表333而產生一屬性。基於該屬性，IMC 331然後前傳該請求給適當下流邏輯(例如NVRAM控制器332及I/O次系統315)以執行該所請資料存取。於又另一實施例中，若相對應屬性不從上游邏輯(例如IMC 331及I/O次系統315)發送，則NVRAM控制器332可解碼該目標位址。也可體現其它解碼路徑。

[0064]新記憶體架構的存在，諸如此處描述者提供大量新穎可能性。雖然後文中將以遠更長的長度作說明，但緊接後文快速強調此等可能性中之若干者。

[0065]依據一項可能的體現，NVRAM 142作為系統記憶體中的傳統DRAM技術的總置換或補充。於一個實施例中，NVRAM 142表示導入第二等級系統記憶體(例如系統記憶體可視為具有包含近記憶體作為FM的快取記憶體150B(DRAM裝置340的一部分)的第一等級系統記憶體及包含遠記憶體(FM)151B(NVRAM 142之一部分)的第二等級系統記憶體)。

[0066]依據若干實施例，NVRAM 142作為快閃/磁/光大容量儲存裝置152B的總置換或補充。如前文描述，於若干實施例中，即使NVRAM 152A具有位元組等級的定址能力，取決於體現而定(例如64千位元組、128千位元組等)，NVRAM控制器332可仍然以多個位元組的區塊存取

NVRAM大容量儲存裝置152A。資料藉NVRAM控制器332從NVRAM大容量儲存裝置152A存取的特定方式對於藉處理器310執行的軟體可為透明。舉例言之，即使NVRAM大容量儲存裝置152A可與快閃/磁/光大容量儲存裝置152A差異地存取，作業系統仍然將NVRAM大容量儲存裝置152A視為標準大容量儲存裝置(例如串列ATA硬碟機或其它標準形式的大容量儲存裝置)。

[0067]於一實施例中，於該處NVRAM大容量儲存裝置152A係作為快閃/磁/光大容量儲存裝置152B的全部置換，並非必要使用儲存驅動裝置用於可區塊定址的儲存裝置存取。從儲存裝置存取中去除儲存驅動裝置額外負擔可提高存取速度與節電。於替代實施例中，於該處期望NVRAM大容量儲存裝置152A對OS及/或應用程式呈現為可區塊存取且與快閃/磁/光大容量儲存裝置152B無法區別，仿真儲存驅動裝置可用以將可區塊存取介面(例如通用串列匯流排(USB)只能大容量轉移(BOT)介面1.0；串列高級技術附件(SATA)3.0等)暴露給軟體供存取NVRAM大容量儲存裝置152A。

[0068]於一個實施例中，NVRAM 142作為韌體記憶體，諸如BIOS快閃記憶體362及TPM快閃記憶體372(圖3中以虛線顯示指示其乃選擇性)的總置換或補充。例如，NVRAM 142可包括一BIOS NVRAM 172部分以補充或置換BIOS快閃記憶體362，且可包括一TPM NVRAM 173部分以補充或置換TPM快閃記憶體372。韌體記憶體也可儲存由

TPM 334所使用的系統持久態以保護敏感系統資訊(例如加密鑰)。於一個實施例中，NVRAM 142用於韌體記憶體免除第三方快閃記憶體部件的需要，部件係儲存對系統操作具關鍵重要性的代碼及資料。

[0069]繼續討論圖3之系統，於若干實施例中，電腦系統100之架構可包括多個處理器，但圖3中例示說明單一處理器310以求清晰。處理器310可為任一型資料處理器，包括通用或特用中央處理單元(CPU)、特定應用積體電路(ASIC)、或數位信號處理器(DSP)。舉例言之，處理器310可為通用處理器，諸如核心(Core™) i3、i5、i7、2雙核心及四核心、席翁(Xeon™)、或伊塔寧(Itanium™)處理器，全部皆係得自英特爾公司(Intel Corporation)美國加州聖塔卡拉郡。另外，處理器310可得自其它公司，諸如加州昇陽維爾郡的ARM產業公司(ARM Holdings, Ltd)、加州昇陽維爾郡的MIPS技術公司(MIPS Technologies)等。處理器310可為特用處理器，諸如網路或通訊處理器、壓縮引擎、圖形處理器、共處理器、嵌入式處理器等。處理器310可在含括於一或多個封裝體內部的一或多個晶片上體現。處理器310可為基體的一部件及/或可運用多種方法技術中之任一者體現在一或多個基體上，諸如BiCMOSCMOS或NMOS。於圖3顯示之實施例中，處理器310具有單晶片系統(SOC)組態。

[0070]於一個實施例中，處理器310包括一整合圖形單元311，其包括執行圖形指令諸如3D或2D圖形指令的邏輯。雖然本發明之實施例並不限於任何特定整合圖形單元

311，但於一個實施例中，整合圖形單元311能夠執行工業標準圖形指令，諸如由開放GL(Open GL)及/或直接X(Direct X)API(例如OpenGL 4.1及Direct X 11)載明者。

[0071]處理器310也可包括一或多個核心101-104，但再度為求簡明，圖3只例示說明單一核心。於許多實施例中，核心101-104包括內部功能區塊，諸如一或多個執行單元、報廢單元、一通用與特用暫存器集合等。若該(等)核心為多執行緒或超執行緒，則各個硬體執行緒也可被視為「邏輯」核心。就架構及/或指令集而言，核心101-104可被視為同質或異質。舉例言之，部分核心可為有序，而其它核心可為失序。至於另一個實施例，該等核心中之二或多者可執行相同指令集，而其它者只能執行該指令集之一子集或一不同指令集。

[0072]處理器310也可包括一或多個快取記憶體，諸如可體現為SRAM及/或DRAM的快取記憶體313。於圖中未顯示的許多實施例中，快取記憶體313以外的額外快取記憶體係體現使得在核心101-104的執行單元與記憶體裝置(即，作為FM的快取記憶體150B及FM 151B)間存在有多個快取記憶體等級。舉例言之，共享快取單元集合可包括上等級快取記憶體諸如等級1(L1)快取記憶體，中等級快取記憶體諸如等級2(L2)、等級3(L3)、等級4(L4)或其它等級快取記憶體，一LLC，及/或其不同組合。於不同實施例中，快取記憶體313可以不同方式照比例分配且於不同實施例中，可為多種不同大小中之一者。舉例言之，快取記憶體313可為8

百萬位元組(MB)快取記憶體、16 MB快取記憶體等。此外，於不同實施例中，快取記憶體可為直接對映快取記憶體、全部聯結快取記憶體、多向集合聯結快取記憶體、或有另一型對映的快取記憶體。於包括多個核心之其它實施例中，快取記憶體313可包括一大部分在全部核心間共享，或可劃分成數個分開功能切割片(例如針對各個核心一個切割片)。快取記憶體313可包括一個部分在全部核心間共享，而數個其它部分乃每個核心的分開功能切割片。

[0073]處理器310也可包括一主機代理器314，其包括合作與操作核心101-104的該等組件。主機代理器單元314例如可包括一功率控制單元(PCU)及一顯示單元。PCU可能或包括調整核心101-104及整合圖形單元311的功率態需要的邏輯及組件。顯示單元係用以驅動一或多個外部連結的顯示器。

[0074]如所述，於若干實施例中，處理器310包括一整合型記憶體控制器(IMC)331、近記憶體快取記憶體(MSC)控制器、及NVRAM控制器332，全部皆可在與處理器310相同的晶片上，或在連結至處理器310的分開晶片及/或封裝體上。DRAM裝置144可在IMC 331及MSC控制器124的相同晶片上或不同晶片上；如此，一個晶片可具有處理器310及DRAM裝置144；一個晶片可具有處理器310而另一個晶片具有DRAM裝置144(此等晶片可在相同或相異封裝體內)；一個晶片可具有核心101-104而另一個晶片具有IMC 331、MSC控制器124及DRAM 144(此等晶片可在相同或相

異封裝體內)；一個晶片可具有核心101-104，另一個晶片具有IMC 331及MSC控制器124，及另一個具有DRAM 144(此等晶片可在相同或相異封裝體內)；等。

[0075]於若干實施例中，處理器310包括耦接至IMC 331的一I/O次系統115。I/O次系統115許可處理器310與隨後的串聯或並聯I/O裝置通訊：一或多個網路336(諸如區域網路、廣域網路或網際網路)、儲存I/O裝置(諸如快閃/磁/光大容量儲存裝置152B、BIOS快閃記憶體362、TPM快閃記憶體372)及一或多個非儲存I/O裝置337(諸如顯示器、鍵盤、揚聲器等)。I/O次系統115可包括一平台控制器中樞器(PCH)(圖中未顯示)，其進一步包括數個I/O配接器338及其它I/O電路以供存取至儲存及非儲存I/O裝置及網路。為了達成此項目的，I/O次系統115針對各個所用I/O協定可具有至少一個整合型I/O配接器338。I/O次系統115可在與處理器310相同的晶片上，或在連結至處理器310的分開晶片及/或封裝體上。

[0076]I/O配接器338將處理器310內部利用之一主機通訊協定轉譯成特殊I/O裝置相容的協定。針對快閃/磁/光大容量儲存裝置152B，I/O配接器338可轉譯的協定部分包括周邊組件互連體(PCI)-快速(PCI-E)3.0；USB 3.0；SATA 3.0；小型電腦系統介面(SCSI)超(Ultra)-640；及美國電機及電子工程師學會(IEEE) 1394「火線(Firewire)」等。針對BIOS快閃記憶體362，I/O配接器338可轉譯的協定部分包括串列周邊介面(SPI)、微線(Microwire)等。此外，可有一或多個

無線協定I/O配接器。無線協定包括用在個人區域網路者，諸如IEEE 802.15及藍牙4.0；無線區域網路諸如IEEE 802.11為基的無線協定；及小區式協定。

[0077]於若干實施例中，I/O次系統115係耦接至一TPM控制器334以控制存取至系統持久態，諸如保全資料、加密鑰、平台組態資訊等。於一個實施例中，此等系統持久態係儲存在TPM NVRAM 173而透過NVRAM控制器332存取。

[0078]於一個實施例中，TPM 334乃具有密碼學功能的保全微控制器。TPM 334具有多個信任有關的能力；例如SEAL能力用以確保由TPM保護的資料只為相同TPM可資利用。TPM 334可運用其加密能力保護資料及鑰(例如秘密)。於一個實施例中，TPM 334具有一獨特RSA密鑰，許可TPM 334認證硬體裝置及平台。舉例言之，TPM 334可證實尋求存取儲存在電腦系統300的資料之一系統為預期的系統。TPM 334也可報告平台(例如電腦系統300)的完整性。如此許可外部資源(例如網路上的伺服器)決定平台的信賴度，但無法避免由使用者存取平台。

[0079]於若干實施例中，I/O次系統315也包括一管理引擎(ME) 335，其係為微處理器許可系統管理員監視、維持、更新、升級、與修復電腦系統300。於一個實施例中，藉由透過網路336，經由ME 335編輯解碼表333的內容，系統管理員可遠端組配電腦系統300。

[0080]為求方便解說，應用程式之其餘部分偶爾將NVRAM 142稱作為PCMS裝置。PCMS裝置包括多層(垂直

堆疊)PCM胞元陣列，其為非依電性，具有低功耗，且在位元層面為可修改。如此，NVRAM裝置及PCMS裝置等詞於後文討論中可互換使用。但如前文討論，須瞭解PCMS以外的不同技術也可用於NVRAM 142。

[0081]須瞭解一電腦系統可利用NVRAM 142於系統記憶體、大容量儲存裝置、韌體記憶體及/或其它記憶體及儲存裝置用途，即便該電腦系統的處理器不具有前述處理器310的全部組件，或具有比處理器310更多個組件亦復如此。

[0082]於圖3顯示之特定實施例中，MSC控制器124及NVRAM控制器332係位在與處理器310的相同晶粒或封裝體(稱作為CPU封裝體)上。於其它實施例中，MSC控制器124及/或NVRAM控制器332可非在晶粒上或非在CPU封裝體上，透過一匯流排而耦接至處理器310或CPU封裝體，諸如記憶體匯流排(諸如DDR匯流排(例如DDR3、DDR4等))、PCI快速匯流排、桌上管理介面(DMI)匯流排、或任何其它型別的匯流排。

作為遠記憶體之快取層的近記憶體之體現

[0083]如前文討論，於各個組態中，近記憶體可組配作為遠記憶體之快取層。此處，特定遠記憶體儲存裝置(例如特定安裝PCMS記憶體晶片)可保留用於特定(例如特定範圍的)系統記憶體位址。如此，特定遠記憶體儲存裝置(例如特定安裝DRAM記憶體晶片)可設計用作為特定遠記憶體儲存裝置之快取層。於是，此等特定遠記憶體儲存裝置應具有下述效果，縮短該等特定遠記憶體儲存裝置設計以提供

儲存的最常存取的系統記憶體位址之存取時間。

[0084]依據又一辦法，於圖4觀察，近記憶體裝置係經組配作為其遠記憶體對偶部分的一直接對映快取記憶體。如技藝界眾所周知，一直接對映快取記憶體係設計使得快取記憶體中的各個分錄係保留用於更深層儲存裝置的一獨特分錄集合。換言之，於此種情況下，遠記憶體401的儲存空間可視為分解成不同儲存裝置集合401\_1、401\_2、...401\_N，於該處各個集合係配置在該快取記憶體402的一個分錄。如此，如圖4觀察，分錄402\_1係保留給與集合401\_1相聯結的系統記憶體位址中之任一者；分錄402\_2係保留給與集合401\_2相聯結的系統記憶體位址中之任一者；等。概略言之，出現在圖4以及出現在圖7A、8A及11中之任一者的結構「邏輯區塊」中之任一者大半地即便非全部以邏輯電路體現。

[0085]圖4也顯示例如可從一CPU處理核心提供用以至或自系統記憶體的一讀或寫異動的系統記憶體位址實例之一部分。大致上，一組集合位元404界定該系統記憶體位址係關聯哪個集合，及一組標籤位元405定義該系統記憶體位址係相對應於在適當集合(可相對應於一快取列)中的哪個分錄。較低排序位元403識別在一快取列內部的一特定位元組。

[0086]舉例言之，依據一個體現實例，快取列大小為64千位元組，快取記憶體402係以DRAM儲存裝置約1十億位元組(GB)體現，及遠記憶體儲存裝置401係以PCMS儲存裝置約16十億位元組(GB)體現。位址部分405、404及403係相

對應於位址空間A[33:0]的34位元。此處，較低排序位元403係相對應於位址空間A[5:0]，集合位址位元404係相對應於位址空間A[29:6]，及標籤位址位元405係相對應於位址空間A[33:30]。

[0087]由此配置，注意四個標籤位元405載明在1至16範圍之一值，相對應於DRAM儲存裝置對PCMS儲存裝置之比。如此，於快取記憶體402中的各個分錄將對映至(亦即提供可快取支援橫跨)十六個不同遠記憶體401快取列。此種配置主要定義在遠記憶體401中各個集合的大小(每個集合16快取列)。相對應於快取記憶體402中之分錄數目的集合數目係由集合位元404定義。於本實例中，集合位元404係相對應於位址空間之24位元(位址位元A[29:6])，其轉而相對應於16,777,216快取分錄/集合。因此64位元組快取列係相對應於快取記憶體402內部約1 GB的儲存裝置(16,777,216x64位元組=1,073,741,824位元組)。

[0088]若快取記憶體402的大小係加倍以包括2 GB的DRAM，則每個集合將有八快取列(而非16)，原因在於DRAM：PCMS比將加倍成2：16=1：8。如此標籤405將以三位元(A[33:31])表示而非4位元。DRAM空間的加倍進一步包括考慮藉提供一額外最有效位元給集合位元404(亦即位址位元A[30:6]而非A[29:6])，大致上加倍集合數目。

[0089]圖4觀察的遠記憶體儲存裝置401可只相對應於該電腦系統的總遠記憶體儲存裝置的一個子集。舉例言之，電腦系統的一個完整系統記憶體可藉結合圖4觀察得的

近/遠記憶體次系統之多例而實現(例如針對系統記憶體位址的各個獨特子集有一例)。此處，依據一個辦法，較高有序位元408係用以指示在多個近/遠記憶體次系統中之特定例應用於一給定系統記憶體存取。舉例言之，若各個情況係相對應於一不同記憶體通道，植基於一主機端409(或更概略言之，主機)，則較高有序位元408將有效地載明適用的記憶體通道。於另一辦法中，稱作「置換」定址辦法，較高有序位元408為不存在。反而位元405表示最高有序位元，最低有序位元空間403內部的位元係用以決定哪個記憶體通道係用於該位址。相信藉將更多隨機性有效性導入隨時間而使用的特定記憶體通道，本辦法可獲更更佳系統效能。位址位元可為任何順序。

[0090]圖5(寫)及圖6(讀)顯示圖4的近/遠記憶體次系統的可能操作方案。參考圖4及圖5，為了寫操作，整合型記憶體控制器431接收寫異動，包括寫位址及欲寫的資料(步驟501)。異動可儲存於緩衝器415。當決定適用哪個近/遠記憶體次系統時(例如來自較高有序位元408的分析)，記憶體端快取記憶體(MSC)邏輯424的命中失誤邏輯414提供集合位元404給近記憶體快取記憶體介面邏輯416，以使得適用集合的快取分錄欲從近記憶體快取記憶體402讀取(步驟502)。此處，近記憶體快取記憶體介面邏輯416負責體現在記憶體通道401上近記憶體(例如DRAM)特定的一協定，包括電氣信號的產生/接收。

[0091]如於圖4觀察，於一實施例中，連同其相對應資

料410，各個快取分錄包括嵌入式標籤411、已使用位元412及ECC資訊413。嵌入式標籤411識別在遠記憶體401中的分錄可適用的集合中的哪個快取列係在快取記憶體402被快取。已使用位元412指示快取分錄是否為該快取列的唯一有效拷貝。如技藝界已知，ECC資訊413係用以檢測且可能地校正出現在寫及/或讀分錄自/至快取記憶體402。

[0092]在適用集合的快取分錄係以近記憶體快取記憶體介面邏輯416讀取後，MSC命中/失誤邏輯414比較只有讀取分錄的嵌入式標籤411與寫異動之該位址標籤405(步驟503)(注意讀取自快取記憶體的分錄可儲存於一讀緩衝器417)。若匹配，則快取分錄係相對應於該異動目標(快取命中)。據此，命中/失誤邏輯414使得近記憶體快取記憶體介面邏輯以接收用於異動的新資料寫在快取記憶體402中剛讀取的快取分錄(步驟504)。執行寫入的MSC控制邏輯424維持嵌入式標籤411值不變。MSC控制邏輯424也設定已使用位元412指示新寫的分錄係相對應於該快取列的唯一有效版本，及計算該快取列的新ECC資料。拋棄在讀緩衝器417讀取自快取記憶體402的快取列。此時，針對快取命中的處理結束。

[0093]若讀取自快取記憶體402的快取列的嵌入式標籤411不匹配異動位址標籤405(快取失誤)，如同快取命中，命中/失誤邏輯414使得近記憶體快取記憶體介面邏輯416將與異動相聯結的新資料寫入快取記憶體402(步驟505)(集合位元404載明為位址)以有效地寫在剛讀取自快取記憶體

402的快取列上。嵌入式標籤411係寫入作為與異動相聯結的標籤位元405。已使用位元412係經寫入以指示快取分錄乃此快取列的唯一有效拷貝。記憶體控制器的ECC邏輯420針對以異動接收的快取列計算ECC資訊413，近記憶體快取記憶體介面邏輯416連同快取列將該資訊寫入快取記憶體402。

[0094]至於只讀取自快取記憶體且係儲存於讀緩衝器417的快取列，近記憶體命中/失誤邏輯414檢查其相聯結的已使用位元(步驟506)，若已使用位元在讀緩衝器417的快取列乃該快取列的唯一有效版本(該已使用位元係經「設定」)，則命中/失誤邏輯414使得NVRAM控制器432，經由其遠記憶體介面邏輯418而將快取列寫入其相對應的遠記憶體位置(步驟507)(使用異動協定的集合位元404及快取列的嵌入式標籤位元411，讀取作為位址)。此處，遠記憶體介面邏輯418係負責體現一協定，包括記憶體通道401上的遠記憶體(例如PCMS)之特定電氣信號的產生/接收。若在讀緩衝器417的快取列的已使用位元指示在該讀緩衝器417的快取列並非該快取列的唯一有效版本，則在讀緩衝器中的快取列被拋棄。

[0095]此處，於介接近記憶體快取記憶體及遠記憶體的介面416、418非忙碌的瞬間期間，MSC控制邏輯424可從快取記憶體402讀取快取列分錄，而針對其已使用位元經設定的該等快取列分錄，該記憶體控制器將改寫入遠記憶體，且「清除」其相聯結的已使用位元以指示在快取記憶體402

中的快取列不再是該快取列的唯一有效版本。

[0096]此外須指出個別近記憶體快取記憶體及遠記憶體介面416、418可彼此完全單離，或有相對於彼此的某些重疊。此處，重疊係相對應於個別近及遠記憶體協定及/或傳訊的各面向為相同(例如相同時鐘信號、相同晶粒上結束信號、相同定址信號等)，因此可使用相同電路存取近記憶體快取記憶體及遠記憶體。不重疊區域係相對應於兩個協定及/或傳訊的面向為不相同，因此具有適用於近記憶體快取記憶體及遠記憶體中只有一者的電路。

[0097]前述架構可用於下述體現，於該處MSC控制邏輯424係透過不同的分離記憶體通道而耦接至近記憶體快取記憶體402，而非透過NVRAM控制器432與遠記憶體401藉此耦接的記憶體通道。此處，針對任一個特定通道，取決於近記憶體快取記憶體或遠記憶體是否耦接至通道，介面416、418中之一者被致能，而另一者被去能。同理，MSC控制邏輯424及NVRAM控制器432中之一者被致能，而另一者被去能。於一個實施例中，與記憶體控制器(圖中未顯示)相聯結的組態暫存器例如可藉BIOS寫入，決定欲致能哪個組態。

[0098]如上相同架構也可支援另一組態，其中近記憶體快取記憶體及遠記憶體係耦接至相同通道421。於此種情況下，介面416、418的整合可對通道421視為單一介面。依據此種組態，介面416、418二者及控制器424、432二者被致能，但只有一個集合(針對近記憶體為介面416及控制器

424，而針對遠記憶體為介面418及控制器432)能夠在任何特定時間瞬間使用該通道。此處，隨著時間該通道的使用係在近記憶體傳訊與遠記憶體傳訊間交替。此種組態例如可使用前述組態暫存器的第三集合建立。後文討論係與此集合最有關。

[0099]此處，藉由能夠針對近記憶體存取及遠記憶體存取二者使用相同通道，插入該通道的近記憶體快取記憶體可用作為插入相同通道的遠記憶體儲存裝置的近記憶體快取記憶體。換言之，特定系統記憶體位址可配置給一個單一通道。插入該通道的遠記憶體裝置提供此等特定系統記憶體位址的遠記憶體儲存裝置，插入相同通道的近記憶體儲存裝置為此等遠記憶體裝置提供快取空間。如此，調用近記憶體及遠記憶體二者(例如由於快取失誤及/或一已使用位元被設定)的前述異動可發生在同一個通道上。

[0100]依據一個辦法，該通道係設計來包括機械插槽/連接器，具有積體電路設置其上(例如DIMM)的個別平面板卡可插入其中。此處，該等卡具有匹配通道的插槽/連接器的相對應插槽/連接器。只有遠記憶體儲存裝置的一或多張卡可插入第一連接器集合以影響該通道的遠記憶體儲存裝置。只有近記憶體儲存裝置的一或多張卡可插入同一個通道且作為遠記憶卡的近記憶體快取記憶體。

[0101]此處，於該處遠記憶體儲存裝置本質上比近記憶體儲存裝置更緊密，但近記憶體儲存裝置特性上比遠記憶體儲存裝置更快，密記通道可設計成有「速度相對於密度」

折衷。換言之，愈多近記憶卡插入該通道，則通道運轉將更快速，但犧牲由該通道所支援的總儲存容量減低。相反地，愈少近記憶卡插入該通道，則通道運轉將更慢，但具有由該通道所支援的儲存容量提升的額外效果。極端狀況可包括實施例其中只有較快的記憶體儲存技術(例如DRAM)移居在該通道(該種情況下，可作為在另一通道上的用於遠記憶體的快取記憶體，或不作為快取記憶體，反而係配置其本身的特定系統記憶體位址空間)，或者只有較慢的記憶體儲存技術(例如PCMS)移居在該通道。

[0102]於其它實施例中，近記憶體及遠記憶體係設置在同一張卡上，該種情況下，速度/密度折衷係由卡決定，即便多張卡插入同一個通道亦復如此。

[0103]圖6闡釋一種讀異動。依據圖6之方法，記憶體控制器431接收包括讀位址的讀異動(步驟611)。異動可儲存在緩衝器415。當決定適用哪個近/遠記憶體次系統(例如哪個記憶體通道)情況時，MSC控制器的命中/失誤邏輯414提供集合位元404給近記憶體快取記憶體介面邏輯416，以使得針對適用集合的被快取的分錄被讀取自快取記憶體402(步驟612)。

[0104]在快取記憶體介面邏輯416讀取適用集合的被快取的分錄之後，命中/失誤邏輯414比較該剛讀的分錄之嵌入式標籤411與讀異動之位址的標籤405(步驟613)。若匹配，則快取分錄係相對應於異動(快取命中)之目標。據此，讀處理結束。若讀取自快取記憶體402的快取列之嵌入式標

籤411不匹配異動位址(快取失誤)的標籤405，則命中/失誤邏輯414使得遠記憶體介面邏輯418讀取在異動(403、404、405)載明的位址的遠記憶體儲存裝置(步驟614)。然後讀取自遠記憶體的快取列寫入快取記憶體(步驟615)，於步驟612，若針對讀取自近記憶體快取記憶體的快取列，已使用位元經設定，則讀取自近記憶體快取記憶體的快取列係寫入遠記憶體(步驟616)。

[0105]依據數個實施例，雖然MSC控制器424可在讀取自遠記憶體的讀取資料上執行ECC檢查，容後詳述，但ECC檢查可由駐在遠記憶體裝置(例如固定至PCMS裝置所固定至的相同DIMM卡)的邏輯電路422執行。當快取失誤且已使用位元係經「設定」之情況下，相同邏輯電路422也可針對寫異動計算ECC資訊。

[0106]此外，於下述實施例中，於該處相同記憶體通道421用以通訊近記憶體傳訊及遠記憶體傳訊，邏輯電路422可用以「加速」前述核心寫與讀處理。若干此等加速係緊接討論如後。

讀與寫異動而近記憶體及遠記憶體係耦接至相同記憶體通道

[0107]圖7A顯示「近記憶體於前方」辦法，而圖8A顯示「近記憶體於後方」辦法。「近記憶體於後方」辦法將以進一步細節討論如下。針對後述各個模型，及其隨後的討論，「記憶體控制器」或「主機」或「主機端」係用以指稱(主要)由MSC控制器或NVRAM控制器所執行的電路及/或動作。哪個電路適用於特定情況係可直捷瞭解，當近記憶

體快取記憶體係在該通道上存取時，涉及MSC控制器；而當遠記憶體快取記憶體係在該通道上存取時，涉及NVRAM控制器。此外，後文討論也述及「遠記憶體控制邏輯」或「遠記憶體控制器」，係在主機端遠側，且係在「非在通道上」的遠記憶體近側。此處，遠記憶體控制邏輯可視為NVRAM控制器的一個組件，而NVRAM控制器的另一組件係駐在主機上以從主機端執行適當遠記憶體存取(與後述實施例一致)。

[0108]參考圖7A，注意近記憶體儲存裝置702\_1、702\_2、...、702\_N(諸如多個DRAM晶片)係與遠記憶體邏輯電路722(及其相聯結的遠記憶體儲存裝置701\_1、701\_2、...、702\_N)(諸如多個PCMS晶片)耦接至相同通道721獨立地耦接至通道721。

[0109]換言之，近記憶體平台730及遠記憶體平台732係彼此獨立地分開連結至相同通道721。此種辦法例如可以具有不同個別記憶體儲存技術的不同DIMM插入相同記憶體通道實現(例如近記憶體平台730係相對應於DRAM DIMM，而遠記憶體平台732係相對應於PCMS DIMM)。此種辦法例如也可以相同DIMM實現，該相同DIMM結合不同個別記憶體儲存技術(例如近記憶體平台730相對應於DIMM的一端，而遠記憶體平台732相對應於DIMM的另一端)。

[0110]圖7B顯示一種讀異動，包括快取失誤，於該處遠記憶體控制邏輯722自動地檢測快取失誤，且自動地讀取

遠記憶體應答。參考圖 7A 及 7B，主機端 MSC 控制邏輯 424a 接收讀取請求(步驟 761)，且針對適用集合從快取記憶體 702 讀取快取列分錄(步驟 762)。作為存取快取記憶體 702 的通道 721 上異動的一部分，主機端 MSC 控制邏輯 424a「潛行」原先讀取請求的標籤位元 705 至通道 721 上。於又一實施例中，主機端 MSC 控制邏輯 424a 也潛行資訊 780，指示由記憶體控制器所接收的原先異動請求為讀取請求(而非寫入請求)。

[0111] 依據一個辦法，容後詳述，標籤位元 705 及讀/寫資訊 780 係「潛行」在近記憶體位址匯流排的不使用的列或行位址上。於又一個實施例中，更多行位址位元係用於此項目的而非列位址位元。依據又一辦法，潛行資訊 705、780 係透過通道 721 的一指令匯流排組件提供，該通道 721 係用以通訊定址資訊給近記憶體儲存裝置(且可能也給遠記憶體裝置)。

[0112] 由於遠端控制邏輯電路 722 係連結至通道 721，故可「竊取(snarf)」：1) 當在通道 721 上潛行時，來自原先請求的標籤位元 705(及讀異動的指示 780)；2) 施用至近記憶體快取記憶體 702 的讀位址；及 3) 當讀取自近記憶體快取記憶體 702 時，快取列及其相聯結的嵌入式標籤位元 711、已使用位元 712 及 ECC 資訊 713。此處須瞭解竊取(步驟 763)包括本地(例如在嵌入式暫存器空間 750)儲存任何/全部資訊項目在邏輯電路 722 上。

[0113] 如此，遠記憶體控制邏輯電路 722 也包括其本身

的命中/失誤邏輯723可決定與記憶體控制器的命中/失誤邏輯714同時是否有快取命中或快取失誤(步驟764)。於快取命中之情況下，遠記憶體控制邏輯電路722不再有進一步動作，記憶體控制器731對讀取自快取記憶體的資料執行ECC計算，且與嵌入式ECC資訊714比較以決定快取讀取資料是否有效。

[0114]但於快取失誤之情況下，且知曉總異動為讀異動(例如得自潛行資訊780)，邏輯電路722將瞭解讀取其組成遠記憶體儲存裝置701最終將需服務原先讀取請求。如此依據一個實施例，邏輯電路722可自動讀取其相聯結的遠記憶體資源732以取回期望的讀資訊，對讀取自遠記憶體的快取列(也具有嵌入式ECC資訊)執行ECC計算(步驟765)，資料若無訛誤，則提供期望的遠記憶體讀資訊。

[0115]為了執行此種「自動讀取」，如前述，邏輯電路722須由記憶體控制器731以某種方式通知，總異動為讀操作而非寫操作(若前述異動為寫異動，則邏輯電路將無需進行遠記憶體的讀取)。依據一個實施例，如前文已述，讀/寫資訊780指示正在執行的寫異動或讀異動是否「潛行」至邏輯電路722(例如連同原先異動請求的標籤資訊705)。

[0116]與遠記憶體邏輯電路722並行地自動讀取遠記憶體732，記憶體控制器731可排程且在通道721上發佈一讀取請求給遠記憶體邏輯電路722(步驟786)。容後詳述，於一實施例中，記憶體控制器731係經組配來透過通道721通訊兩個不同協定：i)近記憶體裝置730專用的第一協定(例如工業

標準 DDR DRAM 協定)；及 ii) 遠記憶體裝置 732 專用的第二協定(例如 PCMS 之專用協定)。此處，近記憶體快取記憶體讀取請求 762 係以第一協定體現，相反地，對遠記憶體的讀取請求(步驟 786)係以第二協定體現。

[0117]於又一個實施例中，容後詳述，由於遠記憶體裝置 732 應答讀取請求(步驟 786)需要的時間無法確定預測，故總讀異動的識別符 790(「異動識別符」)係連同由記憶體控制器發送的遠記憶體讀取請求發送至遠記憶體邏輯電路 722(步驟 786)。當資料最終讀取自遠記憶體 732 時，最終發送至記憶體控制器 731(步驟 787)。於一實施例中，異動識別符 790 係回送至記憶體控制器 731 作為在通道 721 上發送讀資料給記憶體控制器 731 的異動之一部分。

[0118]此處，含括異動識別符 790 用以通知記憶體控制器 731 該讀資料相關的異動。容後詳述，此點可能於下述情況特別要緊，於該處遠記憶體邏輯電路 722 維持一緩衝器儲存來自記憶體控制器 731 的多個讀取請求，而遠記憶體的讀響應時間的不確定性結果導致來自遠記憶體的「失序(OOO)」讀響應(隨後的讀取請求可在先前的讀取請求之前應答)。於又一個實施例中，用在通道 721 上的兩個協定的獨特特徵為：近記憶體協定視裝置 730 為賓裝置，不正式請求通道 721 的使用(原因在於其時間為眾所周知且係在記憶體控制器的控制之下)。相反地，遠記憶體協定許可遠記憶體邏輯電路 722 發佈一請求至記憶體控制器 731 用以發送讀資料給記憶體控制器 731。至於另一點區別，標籤 705 及於

近記憶體快取記憶體讀取期間「潛行」至通道上的讀/寫資訊780係「潛行」的意義表示此項資訊係傳送至遠記憶體邏輯電路，且與潛在遠記憶體存取相關，即便在技術上近記憶體協定正在執行中亦復如此。

[0119]前文就圖7B討論的「自動」讀取，另外，遠記憶體邏輯電路722可經設計以避免自動讀取需要的資料，取而代之，於快取失誤之情況下，等待來自記憶體控制器的一讀取請求及相對應位址。於此種情況下，當近記憶體快取記憶體被讀取時，邏輯電路722不竊取該位址，也不竊取任何相關資訊，無論潛行至邏輯電路722需要總異動為讀異動或寫異動皆係如此。若遠記憶體邏輯電路722可失序服務讀取請求，則可能仍然需要發送具讀取請求的異動ID 790給遠記憶體邏輯電路722。

[0120]與邏輯電路722是否自動地執行快取失誤時需要的遠記憶體讀取，如圖7C觀察，於藉遠記憶體邏輯電路722檢測得快取失誤之情況下，遠記憶體邏輯電路722的命中/失誤邏輯電路723可經設計以檢查已使用位元712是否在竊取快取列設定(步驟766)。若是，則竊取快取列將需寫至遠記憶體732。如此，邏輯電路722然後將竊取快取列自動儲存至其組成遠記憶體儲存裝置資源732中(步驟767)，而無來自記憶體控制器的正式請求(含括在其儲存前ECC資訊的重新計算以確保資料不會訛誤)。

[0121]此處，取決於體現，為了寫操作至遠記憶體平台，邏輯電路722可藉竊取如前述讀取的近記憶體快取記憶

體之稍早讀位址，且將其與讀取自近記憶體快取記憶體的快取列之嵌入式標籤資訊組合而組構適當寫位址。另外，若邏輯電路722不竊取快取記憶體讀位址，當請求從遠記憶體讀取正確資訊時，藉組合嵌入於竊取快取列的標籤資訊與由記憶體控制器所提供的讀位址，可組構適當寫位址。更明確言之，邏輯電路722可組合該讀取請求的集合及較低有序位元部分404、405與在竊取快取列上的嵌入式標籤711而完整組構正確位址。

[0122]如前述自動執行寫至遠記憶體平台732，免除記憶體控制器731需請求寫至遠記憶體平台，但也更進一步讓通道721完全免除寫至遠記憶體平台的任何相關活動。此點可相對應於通道速度之值得注意的改善。

[0123]適切指出方才所述加速對：取決於設計師的選擇，自動讀遠記憶體(圖7B)及自動寫至遠記憶體(圖7C)可以任一項組合(二者、只有一者)體現。

[0124]相對地，不含由遠記憶體控制器722的存在所提供的任何加速的基本讀異動，名目上包括讀異動的六基元操作，當已使用位元被設定時出現快取失誤。此等六基元為：快取記憶體讀取請求、快取記憶體讀取應答、遠記憶體讀取請求、遠記憶體讀取應答、近記憶體讀取請求(快取更新)及遠記憶體讀取請求(因已使用位元經設定，故負載讀取自快取記憶體的快取列至遠記憶體)。

[0125]相反地，體現圖7B(自動讀取遠記憶體)及圖7C(自動寫入遠記憶體)的加速二者，總異動可只以四個基

元操作在通道上完成。亦即可去除遠記憶體讀取請求及遠記憶體寫入請求。

[0126]前文討論係有關於當近記憶體係在遠記憶體控制邏輯「前方」時的讀異動處理。參考圖7D，於寫異動處理之情況下，應答接收一寫異動(步驟751)，記憶體控制器初始化近記憶體快取記憶體讀取，及潛行標籤資訊705及資訊780指示總異動乃寫，而非如前述的讀(步驟752)。在近記憶體的讀完成後，記憶體控制器731將新資料覆寫在快取記憶體的舊資料上(步驟753)。於一實施例中，記憶體控制器檢查以瞭解是否有快取命中(步驟754)及/或是否已使用位元經設定(步驟755)，以瞭解遠記憶體控制邏輯電路將採行哪種動作(例如用於通道排程)，但否則在通道上不採行任何進一步動作。

[0127]遠記憶體控制邏輯電路722竊取用以存取該快取記憶體的位址、潛行資訊705、780及連同其相關資訊讀取自快取記憶體的快取列(步驟756)，及如前述檢測其本身的快取失誤(步驟757)。若有快取命中，則遠記憶體控制邏輯不再採行任何進一步動作。若有快取失誤，取決於設計體現，類似前述方法，邏輯電路722也可檢測已使用位元是否經設定(步驟758)，且自動地將竊取快取列寫入遠記憶體(步驟759)(沒有來自記憶體控制器的請求)。

[0128]於另一辦法中，在檢測得快取失誤與已使用位元係經設定後(步驟754、755)，記憶體控制器731發送一請求給遠記憶體控制邏輯722(包括寫位址)以將讀取自該快取記

憶體的快取列寫入遠記憶體。記憶體控制器也可透過通道 721 發送讀取自快取記憶體的快取列給遠記憶體控制邏輯。

#### B. 近記憶體在遠記憶體控制邏輯「後方」

[0129] 參考圖 8A，闡釋「近記憶體在後方」結構，注意近記憶體儲存裝置 802\_1、802\_2、...、802\_N(諸如多個 DRAM 晶片)係透過遠記憶體邏輯電路 822 至某個程度而耦接至通道 821 的至少一部分。此處，針對「近記憶體在前方辦法」的遠記憶體控制邏輯包括針對通道及遠記憶體的分開介面；相反地，針對「近記憶體在後方」辦法的遠記憶體控制邏輯包括針對通道、遠記憶體及近記憶體的分開介面。依據一個實施例，通道 821 可視為具有三個主要次組件：1) 指令匯流排 841(透過其上發送讀與寫入請求及其相對應位址)；2) 資料匯流排 842(透過其上發送讀與寫資料)；及 3) 控制信號 843(例如選擇信號、時鐘致能信號、晶粒上結束信號)。

[0130] 如圖 8A 之特定辦法闡釋，近記憶體儲存裝置平台 830 之資料匯流排 890 可獨立地耦接至資料匯流排 842，但係經由邏輯電路 822 而耦接至指令匯流排 841 及控制信號 843。遠記憶體儲存裝置平台 831 係經由邏輯電路 822 而耦接至全部三個次組件 841、842、843。於替代實施例中，類似遠記憶體儲存裝置平台，近記憶體儲存裝置平台 830 之資料匯流排 890 係透過邏輯電路 822 耦接至通道的資料匯流排組件 842。「近記憶體在後方」架構例如可至少以邏輯電路 822、近記憶體儲存裝置裝置 830 及遠記憶體儲存裝置裝置

831全部皆係體現在一相同實體平台上實現(例如同一張DIMM卡插入通道，於該處多張此種DIMM卡可插入通道)。

[0131]圖8B顯示於快取失誤之情況下，用於「近記憶體在後方」架構的讀處理。參考圖8A及8B，若記憶體控制器831接收至一讀取請求(步驟861)，則透過指令匯流排841，發送給遠記憶體控制邏輯電路822含有原先請求的位址之設定位元804及低有序位元803的一讀取請求(步驟862)(例如呈封包化形式)。此外，作為讀取請求序列的一部分，原先讀取請求(例如來自CPU)的標籤位元805係於通道821上「潛行」(步驟862)。依據一個辦法，容後詳述，標籤位元805在通道821之指令匯流排組件841上「潛行」(其係用以針對近及遠記憶體存取二者通訊定址資訊給遠記憶體控制邏輯822)。此處，不似遠記憶體「在前方」辦法，為了後述理由，指示原先異動是否為讀或寫的額外資訊無需在通道上潛行。此處，遠記憶體控制邏輯822可藉記憶體控制器「鍵控」給遠記憶體的讀取請求，以決定總異動為讀異動而非寫異動。

[0132]應答所接收的讀取請求，邏輯電路822在本地近記憶體位址匯流排上呈示相聯結的位址以對近記憶體平台執行快取讀取操作。來自近記憶體平台830的適當快取列或藉近記憶體平台830直接地呈示804於資料匯流排842上，於該種情況下，記憶體控制器執行ECC計算；或透過遠記憶體控制邏輯822呈示，於該種情況下，邏輯822及記憶體控制器831二者皆可執行ECC計算。

[0133] 因遠記憶體控制邏輯電路822係連結至通道821，可「竊取」或否則本地儲存(步驟863)(例如於其本身的暫存器空間850)中之任一者：1)當在通道821上潛行時標籤位元805；2)用以定址近記憶體快取記憶體830的位址資訊；及3)當由近記憶體平台830提供時，來自近記憶體830的快取列及其相連結的嵌入式標籤位元811、已使用位元812及ECC資訊813。

[0134] 回應於此，邏輯電路822的命中/失誤邏輯823可決定與記憶體控制器的命中/失誤邏輯814同時是否有快取命中或快取失誤。於快取命中之情況下，讀取自近記憶體的資訊提供給記憶體控制器831，邏輯電路822未採取進一步動作。於一實施例中，於該處近記憶體快取記憶體平台係連結至資料匯流排，而未通過邏輯電路822，記憶體控制器831在讀取自近記憶體快取記憶體的快取列執行ECC計算。於另一實施例中，於該處近記憶體快取記憶體平台係連結至邏輯電路822，在讀取自近記憶體快取記憶體的快取列上在邏輯電路822及記憶體控制器831二者執行ECC計算。

[0135] 於藉邏輯電路822檢測快取失誤之情況下，命中/失誤邏輯電路823將瞭解將需要近記憶體儲存裝置平台831的讀取，以最終服務原先讀取請求。如此，依據一個實施例，邏輯電路822能自動讀取自遠記憶體平台831以取回期望的讀資訊與執行ECC計算(步驟864)。

[0136] 與遠記憶體控制邏輯822自動讀取遠記憶體831同時，回憶記憶體控制器831已經被提供以讀取自近記憶體

的快取列，記憶體控制器831同樣地可檢測快取失誤，回應於此，存通道821上排程與發佈一讀取請求給遠記憶體控制邏輯822(步驟886)。如前文說明與容後詳述，於一實施例中，記憶體控制器831可透過通道821通訊兩個不同協定：  
i)近記憶體裝置830專用的第一協定(例如工業標準DDR DRAM協定)；及ii)遠記憶體裝置831專用的第二協定(例如PCMS裝置之專用協定)。此處，近記憶體快取記憶體讀取請求862係以透過通道821的第一協定體現，相反地，對遠記憶體的讀取請求(步驟886)係以第二協定體現。

[0137]於又一個實施例中，如前文說明及容後詳述，由於遠記憶體裝置831應答讀取請求(步驟886)需要的時間無法確定預測，故總讀異動的識別符890(「異動識別符」)係連同由記憶體控制器發送的遠記憶體讀取請求(步驟886)發送至遠記憶體邏輯電路822。當資料最終讀取自遠記憶體831時，最終發送至記憶體控制器831(步驟887)。於一實施例中，異動識別符890係回送至記憶體控制器831作為在通道821上發送讀資料給記憶體控制器831的異動之一部分。

[0138]此處，含括異動識別符890用以通知記憶體控制器831該讀資料相關的異動。容後詳述，此點可能於下述情況特別要緊，於該處遠記憶體邏輯電路822維持一緩衝器儲存來自記憶體控制器831的多個讀取請求，而遠記憶體的讀響應時間的不確定性結果導致來自遠記憶體的「失序(OOO)」讀響應(隨後的讀取請求可在先前的讀取請求之前應答)。

[0139]於又一實施例中，於該處在通道上使用兩個不同協定，二協定的獨特特徵為近記憶體協定將裝置830作為賓裝置，其不正式要求使用通道821(原因在於近記憶體裝置的時間為眾所周知且係在記憶體控制器之下)。相反地，遠記憶體協定許可遠記憶體控制邏輯822發佈發送寫資料至記憶體控制器831的一請求給記憶體控制器831。至於額外區別點，在近記憶體快取記憶體讀取期間在通道上「潛行」的標籤資訊805係為「潛行」的意義表示此項資訊係轉運至遠記憶體控制邏輯電路822用於潛在遠記憶體讀取，即使技術上近記憶體協定正在執行亦復如此。

[0140]自動執行遠記憶體讀取，另外，可設計遠記憶體控制邏輯電路822禁止自動讀取於遠記憶體需要的資料，及等待得自記憶體控制器831的讀取請求及相對應位址。於此種情況下，當讀取近記憶體快取記憶體時，邏輯電路822無需保有該位址，也無需有關總異動是否為來自記憶體控制器831之一讀異動或寫異動的任何潛行資訊880。

[0141]如於圖8C之處理程序觀察，於快取失誤之情況下，無論邏輯電路822是否自動執行遠記憶體讀取，邏輯電路822的命中/失誤邏輯電路823可設計成當快取失誤發生且已使用位元經設計時，將讀取自近記憶體快取記憶體的快取列寫入遠記憶體。於此種情況下，於高等級，該處理程序係實質上與圖7C觀察者相同，但寫至近記憶體830係至少部分為通道821隱藏不見867，表示近記憶體平台830不在該通道上定址。若近記憶體平台830之資料匯流排895並非

直接地耦接至該通道的資料匯流排842，反而取而代之透過遠記憶體控制邏輯822耦接至該通道的資料匯流排842，整個遠記憶體寫可為通道821隱藏不見。

[0142]藉此方式自動地執行寫至遠記憶體平台831，不僅免除記憶體控制器831要求寫入的需求，但同時也完全釋放與寫至遠記憶體平台831相關的任何活動的通道821。此點須相對應於通道速度的顯著改良。

[0143]為了執行快取更新步驟，於快取失誤之情況下，若遠記憶體控制邏輯電路822係進一步設計成以遠記憶體讀操作結果而更新近記憶體儲存裝置平台830，則可實現額外效率。此外，由於遠記憶體讀操作結果結果869係相對應於最晚近存取該適用集合，此等結果也需針對該集合寫入快取記憶體分錄以完成異動。藉以遠記憶體讀取應答而更新該快取記憶體，可避免透過通道821而分開寫至近記憶體以更新快取記憶體的步驟。此處，可能需於通道體現某個機制(例如額外協定步驟)，使得遠記憶體控制邏輯可存取近記憶體(例如若近記憶體的使用係假設在記憶體控制器831的控制之下排程)。

[0144]須指出剛才說明的加速：取決於設計師的選擇，自動讀遠記憶體(圖8B)，自動寫至遠記憶體(圖8C)，及與讀取應答同時的快取記憶體更新可以任一項組合(全部、任二者、只有一者)體現。

[0145]於寫異動處理之情況下，依據一種辦法當近記憶體資料匯流排880係直接地耦接至通道資料匯流排842時，

可執行就圖7D所述的前述處理程序。當近記憶體資料匯流排880係透過遠記憶體控制邏輯822而耦接至通道資料匯流排842時可使用圖8D呈示的另一個辦法。

[0146]依據圖8D之處理程序，應答接收一寫異動(步驟851)，記憶體控制器發送一寫指令給遠記憶體控制邏輯822(包括相對應位址及資料)(步驟852)，及透過該通道潛行寫異動的標籤資訊。回應於此，遠記憶體控制邏輯822執行近記憶體儲存裝置平台830的讀取(步驟853)，及從嵌入式標籤資訊811及潛行標籤資訊805決定是否發生快取失誤或快取命中(步驟854)。於已使用位元不被設定的快取命中或快取失誤之情況下(步驟855)，以寫指令接收的新寫資料係被寫入近記憶體快取記憶體830(步驟856)。於快取失誤且已使用位元經設定之情況下，遠記憶體控制邏輯電路邏輯電路將以寫指令接收的新寫資料寫入近記憶體快取記憶體，且將剛從近記憶體830讀取的被逐出的快取列寫入遠記憶體831。

[0147]從圖8B的讀異動之討論回憶，在「近記憶體在後方」辦法中，指示總異動為讀或寫的資訊無需潛行至遠記憶體控制邏輯。此點由圖8B及8D可知，顯示於總讀異動(圖8A)之情況下，記憶體控制器初步通訊一近記憶體讀取請求，或於總寫異動(圖8D)之情況下初步通訊一近記憶體寫入請求。

#### 基元通道異動及實體通道整合

[0148]如於圖7A及8A觀察，記憶體控制器與近記憶體

裝置間的通訊可透過在記憶體控制器與遠記憶體裝置間通訊的相同通道進行。又，如前述，近記憶體及遠記憶體可藉記憶體控制器以不同協定(存取近記憶體之第一協定及存取遠記憶體之第二協定)進行，因此二不同協定例如可在同一記憶體通道上體現。此等協定的各個態樣係緊接討論如下。

[0149]a.近記憶體快取記憶體存取(第一協定)

[0150]存取近記憶體的兩個基本辦法係呈示於如上章節：當近記憶體儲存裝置係駐在遠記憶體控制邏輯「前方」時的第一者，及當近記憶體儲存裝置係駐在遠記憶體控制邏輯「後方」時的第二者。

[0151]i.近記憶體在前方

[0152]至少於近記憶體儲存裝置係位在遠記憶體控制邏輯「前方」之情況下，可有利地保有或否則使用既有/已知協定而與系統記憶體通訊。舉例言之，於近記憶體快取記憶體係以固定至DIMM卡的DRAM裝置體現之情況下，可有利地使用明確地建立/接受用來與固定至DIMM卡的DRAM裝置通訊的一記憶體存取協定(例如目前明確地建立/接受的協定，或未來明確地建立/接受的協定)。藉使用明確地建立/接受的協定來與DRAM通訊，可達成量產經濟，表示具有DRAM裝置的DIMM卡並非必要設計來整合入具有近及遠記憶體等級的電腦系統，雖言如此可「插入」此種系統的記憶體通道且利用作為近記憶體。

[0153]此外，即便於近記憶體儲存裝置係位在遠記憶體

控制邏輯「後方」之情況下，當試圖存取近記憶體時，雖言如此記憶體控制器可設計來使用明確地建立/已知的DRAM記憶體存取協定而與遠記憶體控制邏輯通訊，使得系統整體可提供多個不同系統組態選項給系統使用者。舉例言之，使用者可在使用以下二者間作選擇：1)針對近記憶體的「只有DRAM」DIMM卡；或2)具有DRAM及PCMS裝置整合其上的DIMM卡(具有DRAM作為位在相同DIMM上的PCMS裝置之近記憶體)。

[0154]明確地建立/已知的DRAM協定之體現也許可第三使用者選項，其中不採用二等級記憶體方案(近記憶體及遠記憶體)(例如未使用PCMS裝置以體現系統記憶體)，取而代之，只架設DRAM DIMM以執行傳統「只有DRAM」系統記憶體。於此種情況下，記憶體控制器的組態將設定使得其作為傳統記憶體控制器(不利用此處描述的任何特徵以執行近及遠記憶體等級)。

[0155]如此，將致能使得記憶體控制器表現類似標準記憶體控制器的邏輯電路，而將去能以預期的近及遠記憶體等級表現的記憶體控制器之邏輯電路。第四使用者選項可顛倒，系統記憶體只在另一系統記憶體技術體現(例如只插入PCMS DIMM卡)。於此種情況下，可致能邏輯，使得記憶體控制器只以符合另一種系統記憶體技術(例如PCMS專一性傳訊)的不同協定執行基本讀及寫異動。

[0156]圖9A顯示記憶體通道921之闡釋實例，該通道係適用以支援眾所周知的明確地建立/已知的DRAM存取協定

(諸如雙倍資料率(DDR)，在同一信號的上升緣及下降緣執行讀及寫存取)。通道921可視為具有三個主要次組件：1) 指令匯流排941(透過其發送讀及寫入請求及其相對應位址)；2)資料匯流排942(透過其發送讀及寫資料)；及3)控制信號943(選擇信號943\_1、時鐘致能信號943\_2、晶粒上結束信號943\_3)。如前述，於一實施例中，記憶體控制器909當存取近記憶體快取記憶體時在通道上呈示傳統DDR信號，而與其是否與在一或多個DIMM卡上的實際DRAM裝置及/或在一或多個相同或額外DIMM卡上的一或多個遠記憶體控制邏輯晶片「交談」無關。

[0157]依據通道921之一個操作實施例，用於近記憶體存取：1)指令匯流排941攜載於從記憶體控制器909朝向近記憶體儲存裝置之方向的封包，於該處各個封包包括一讀或寫入請求及一相聯結的位址；及2)資料匯流排942攜載寫資料至目標近記憶體裝置，且攜載得自目標近記憶體裝置的讀取資料。

[0158]如於圖9A觀察，資料匯流排942係由超過實際讀/寫資料行942\_1的額外行組成。更明確言之，資料匯流排942也包括多個ECC行942\_2，及選通行942\_3。如眾所周知，ECC位元係連同快取列的資料儲存，故可檢測與快取列的讀/寫相聯結的資料訛誤錯誤。舉例言之，64位元組(64B)快取列可額外地包括8位元組(8B)ECC資訊，使得儲存資訊的實際資料寬度為72位元組(72B)。選通行942\_3典型地係以每資料行為基礎分派(例如對資料/ECC的每8或每4

位元分派一對選通行)。於雙倍資料率辦法中，資訊可在選通942\_3的上升緣及下降緣二者寫或讀。

[0159]至於控制信號943，於一實施例中，此等包括選擇信號943\_1、時鐘致能信號943\_2、及晶粒上結束信號943\_3。如眾所周知，多個DIMM卡可插入同一個記憶體通道。傳統上，當記憶體控制器於特定位走讀或寫資料時，其讀或寫資料自/至一特定DIMM卡(例如完整DIMM卡或可能DIMM卡的一側或DIMM卡的其它部分)。選擇信號943\_1用以作動屬於操作目標的特定DIMM卡(或DIMM卡的一部分)，及解除作動非屬於操作目標的該等DIMM卡。

[0160]此處，選擇信號943\_1可從原先讀或寫異動(例如來自CPU)的位元決定，有效地載明植基於記憶體控制器多個記憶體通道的哪個記憶體通道乃異動目標，及又，插入經識別的通道的多張DIMM卡中哪張DIMM卡為異動目標。選擇信號943\_1可組配使得插入相同記憶體通道的各張DIMM卡(或DIMM的一部分)接收到其本身一個獨特選擇信號。此處，發送至該作用態DIMM卡(或DIMM卡的一部分)用於異動的特定選擇信號係經作動，而發送至其它DIMM卡的選擇信號係經解除作動。另外，信號係路由至各個DIMM卡(或DIMM卡的一部分)作為匯流排。經擇定的DIMM卡(或DIMM卡的一部分)係由匯流排狀態決定。

[0161]時鐘致能信號943\_2及晶粒上結束信號943\_3為節電特徵，係在讀/寫資料呈示在通道的資料匯流排942之前被作動，而在讀/寫資料呈示在通道的資料匯流排942\_1

之前被解除作動。

[0162]於多個實施例中，諸如從DRAM組構成的近記憶體快取記憶體，就執行異動之各步驟所需時鐘週期數目表示，近記憶體異動時間係精準瞭解。換言之，用於近記憶體異動，完成一讀或寫入請求所需時鐘週期數目為已知，滿足一讀或寫入請求所需時鐘週期數目為已知。

[0163]圖10顯示施加至近記憶體(例如透過剛才前述之一記憶體通道)的近記憶體存取協定之讀及寫操作的基元操作順序。依據圖10之方法，插入同一個記憶體通道的多個DIMM卡中之一目標DIMM卡(或DIMM卡的一部分)係透過適當選擇行的作動而擇定(步驟1001)。時鐘致能行及晶粒上結束行然後經作動(步驟1002)(瞭解選擇行與時鐘致能行及晶粒上結束行的作動間可能有若干重疊)。然後發送具有適用位址的一讀或寫指令(例如透過指令匯流排)(步驟1003)。只有經擇定/作動的DIMM卡(或DIMM卡的一部分)可接收與處理指令。於寫入之情況下，寫資料係寫入已作動的裝置(例如來自一記憶體通道資料匯流排)(步驟1004)。於讀之情況下，呈現從已作動的裝置讀出的資料(例如來自一記憶體通道資料匯流排)(步驟1004)。

[0164]注意圖10之方法，雖然闡釋為在未來記憶體協定中對近記憶體的基元操作，但也可解譯為一致地符合既有DDR協定基元操作。此外，包括近記憶體及遠記憶體的未來系統可以既有DDR協定存取近記憶體，或以只具有DRAM系統記憶體技術的未來系統用以存取DRAM系統記

憶體的未來DRAM協定存取近記憶體。

[0165]更明確言之，於一體現中，DRAM近記憶體快取記憶體係在遠記憶體控制邏輯「前方」，及當遠記憶體控制邏輯電路在具有快取失誤的讀異動不更新DRAM近記憶體快取記憶體時，記憶體控制器將在執行步驟1001、1002、1003時驅動於通道上的信號，及於步驟1004針對寫異動提供在資料匯流排上的寫資料。於此種情況下，記憶體控制器的表現可與既有記憶體控制器或只具有DRAM系統記憶體的未來系統記憶體控制器表現大為相同。相同可指記憶體控制器就下列情況時記憶體控制器的表現方式：i)首先針對讀或寫異動快取記憶體被讀取；及ii)在針對讀或寫異動的快取命中之後快取記憶體被寫入。

[0166]ii.近記憶體在後方

[0167]又復，於DRAM近記憶體快取記憶體係在遠記憶體控制邏輯「後方」之體現中，針對近記憶體快取記憶體的讀或寫，近記憶體仍可以近記憶體裝置專用的一協定存取。舉例言之，近記憶體裝置可以明確建立的(目前或未來)DRAM DDR協定存取。此外，即使近記憶體裝置本身係特別地藉遠記憶體控制邏輯以某種方式而與一明確建立的DRAM協定不同的信號傳訊，但雖言如此，於最終控制近記憶體存取中，記憶體控制器施加一明確建立的DRAM協定於與該遠記憶體控制邏輯通訊的通道921以執行近記憶體存取。

[0168]此處，遠記憶體控制邏輯可以各項組合執行步驟

1001、1002、1003或其面向中之任一者/全部執行本地相當例(亦即在遠記憶體控制邏輯「後方」而非在通道上)。此外，記憶體控制器也可以遠記憶體控制邏輯以各項組合執行此等步驟之各者，包括遠記憶體控制邏輯電路也執行此等相同步驟的情況。舉例言之，遠記憶體控制邏輯可設計成作為「前傳」裝置，其單純接受原先由記憶體控制器所提供的來自通道的信號，且重新驅動至其組成近記憶體平台。

[0169]另外，遠記憶體控制邏輯可原先產生至少若干執行步驟1001、1002、1003或其面向中之至少數者需要的信號，而記憶體控制器原先產生執行其它步驟需要的信號。例如，依據一個辦法，於執行快取記憶體讀取中，於執行步驟1001中，記憶體控制器可初始在通道上驅動選擇信號。應答選擇信號的接收(步驟1001)，遠記憶體控制邏輯可單純重新驅動此等信號至其組成近記憶體平台，或可依據與藉記憶體控制器在通道上明確呈示者不同的選擇傳訊方案，處理與綜合其意義且致能/去能近記憶體平台(或其一部分)。選擇信號也可從通道直接提供給近記憶體平台，及路徑也通過遠記憶體控制邏輯，使得遠記憶體控制邏輯可至少認知何時其組成近記憶體平台(或其一部分)係鎖定用於異動。

[0170]應答認知其組成近記憶體裝置的至少一部分係鎖定用於異動，於步驟1002，在控制邏輯與近記憶體儲存裝置間的遠記憶體控制邏輯後方，該遠記憶體控制邏輯可原先地且本地地產生時鐘致能信號及/或晶粒上結束信號

中之任一者/全部。此等信號可藉遠記憶體控制邏輯從一時鐘信號或在通道上由記憶體控制器提供的其它信號產生。非藉遠記憶體控制邏輯產生的時鐘致能信號或晶粒上結束信號可於通道上藉記憶體控制器提供，且直接地驅動至近記憶體平台，或藉近記憶體控制邏輯而重新驅動。

[0171]為了用於近記憶體快取記憶體讀操作，藉在通道的指令匯流排上提供適當請求及位址，記憶體控制器可執行步驟1003。遠記憶體控制邏輯可接收來自通道的指令(且本地儲存其相聯結的位址資訊)。也可重新驅動或否則呈示讀指令及位址給近記憶體平台。至於步驟1004，記憶體控制器也將接收快取記憶體讀取資料。讀取資料可藉遠記憶體控制邏輯電路呈示在通道的資料匯流排上(在重新驅動由近記憶體平台所提供的讀取資料時)，或讀取資料可藉遠記憶體控制邏輯電路直接驅動在通道的資料匯流排上。

[0172]至於在快取記憶體讀取後進行的近記憶體通道操作，諸如在寫異動的快取命中後寫至快取記憶體，遠記憶體控制邏輯電路或記憶體控制器可以符合恰在前述的原理，以各項組合執行步驟1001、1002、1003中之任一者。在一個極端情況下，遠記憶體控制邏輯電路與記憶體控制器獨立地執行步驟1001、1002、1003中之各者。在另一個極端情況下，記憶體控制器執行步驟1001、1002、1003中之各者，而遠記憶體控制邏輯電路重新驅動其中全部或部分步驟至近記憶體平台，或接收且綜合及然後施加其本身的信號給近記憶體平台作為應答。在此二極端之間，遠記

憶體控制邏輯可執行步驟1001、1002、1003或其面向中之部分，而記憶體控制器執行此等步驟或其面向中之其它者。

[0173]恰在前述的基元操作可視適宜而整合於先前章節揭示的實施例。

[0174]b.遠記憶體存取

[0175]回憶當近記憶體快取記憶體係從DRAM組成時，例如以執行異動各步驟需要的時鐘週期數表示，精準瞭解近記憶體異動的時間。換言之，用於近記憶體異動，完成一讀或寫入請求的所需時鐘週期數為已知，且滿足一讀或寫入請求的所需時鐘週期數為已知。如此，近記憶體存取可任然在記憶體控制器之下，或至少記憶體控制器可精準地知曉針對各次近記憶體存取所耗時間(例如用於排程目的)。

[0176]相反地，為了遠記憶體異動，雖然透過指令匯流排完成一讀或寫入請求的所需時鐘週期數為已知(原因在於記憶體控制器係通訊至近記憶體控制邏輯電路)，但對遠記憶體裝置本身滿足任何此種讀或寫入請求的所需時鐘週期數為未知。如將從緊接後文討論更加彰顯，如此將導致在通道上使用針對遠記憶體存取的與近記憶體存取使用的協定全然不同協定。

[0177]圖11顯示遠記憶體控制邏輯電路1120及相聯結的介面電路1135之一實施例的進一步細節視圖。此處例如，取決於被存取次數如何地頻繁，近記憶體裝置的各個儲存胞元可具有不同「磨耗」速率(較常存取的胞元磨耗比

較少存取的胞元更快)。

[0178] 試圖維持各個儲存胞元的可靠性約略相等，邏輯電路 1120 及 / 或介面電路 1135 可包括耗損調平演算法電路 1136，在適當瞬間，移動較頻繁存取的儲存胞元的資料內容至較不頻繁存取的儲存胞元(及同理，移動較不頻繁存取的儲存胞元的資料內容至較頻繁存取的儲存胞元)。當該遠記憶體控制邏輯具有一讀或寫指令就緒發佈給遠記憶體平台時，耗損調平程序可在或可不在操作中，或者若在操作中，則該程序可只是剛才開始，或可接近完成，或在介於其間的任一處。

[0179] 此等不確定性以及其中植基於潛在儲存技術的其它可能的時間不確定性(諸如不同存取時間以其特定過去使用率之函數而施加至個別胞元)，結果導致某些架構特徵的存在。更明確言之，有關近記憶體控制邏輯，存在有一遠記憶體寫緩衝器 1137，保有寫入遠記憶體的請求，及存在有一遠記憶體讀緩衝器 1138，保有遠記憶體的讀取請求。此處，遠記憶體讀與寫緩衝器 1137、1138 的存在許可佇列等候或暫時保有讀及寫入請求。

[0180] 若一讀或寫入請求已就緒發佈給遠記憶體裝置，但遠記憶體裝置並非在接收任何此等請求的位置(例如由於耗損調平程序目前正在操作中)，該等請求係保有在其個別緩衝器 1137、1138 內，直到遠記憶體裝置就緒接受且處理該等請求。此處，讀及寫入請求可從來自記憶體控制器及 / 或遠記憶體控制邏輯(例如，如前述遠記憶體控制邏輯

係設計成自動地存取近記憶體的體現)連續地傳輸此等請求積聚在緩衝器內，直到遠記憶體裝置就緒開始接收此等請求。

[0181]第二架構特徵係記憶體控制器有能力在通道 1121 上交插讀與寫異動的不同部分(例如來自 CPU)以增進系統通量。舉例言之，考慮一第一讀異動，持久的快取失誤迫使從遠記憶體讀取。由於記憶體控制器不知何時對遠記憶體的讀取請求將獲得服務，並非潛在閒置該通道等待一應答，記憶體控制器反而自由發佈一請求，觸發一快取讀用於下個(讀或寫)異動。該處理係自由持續進行直到達到某個硬體極限。

[0182]舉例言之，記憶體控制器係自由初始化下個讀異動之一請求直到得知遠記憶體控制邏輯的讀緩衝器 1138 已滿(因一快取失誤將產生對一遠記憶體讀取請求的需求)或遠記憶體控制邏輯的寫緩衝器已滿(因一快取失誤時的一設定已使用位元將產生對一遠記憶體寫入請求的需求)。同理，記憶體控制器係自由初始化下個寫異動之一請求直到得知遠記憶體控制邏輯的寫緩衝器已滿(因一快取失誤時的一設定已使用位元將產生對一遠記憶體寫入請求的需求)。

[0183]於一實施例中，記憶體控制器對寫緩衝器 1137 及讀緩衝器 1138 各自維持一信用計數。每次寫緩衝器 1137 或讀緩衝器 1138 接收一新請求，其相對應的信用計數遞減。當針對緩衝器 1137、1138 中之任一者該信用計數降至

低於或符合一臨界值(諸如零)時，記憶體控制器1137、1138禁止在通道上發佈任何下個異動請求。容後詳述，記憶體控制器可藉下列動作包含讀緩衝器的正確信用計數：1)每當瞭解一讀取請求欲呈示給讀緩衝器1138(由記憶體控制器透過通道直接發送，或瞭解已經由遠記憶體控制邏輯產生且自動載入)時，遞減該讀緩衝器信用計數；及2)每當對記憶體控制器一讀取應答呈示在通道1121上時，遞減該讀緩衝器信用計數。

[0184]此外，再度容後詳述，記憶體控制器可藉下列動作包含寫緩衝器的正確信用計數：1)每當瞭解一寫入請求欲呈示給寫緩衝器1137(例如由記憶體控制器透過通道直接發送，或瞭解已經由遠記憶體控制邏輯自動發生)時，遞減該寫緩衝器信用計數；及2)每當一寫入請求由寫緩衝器1137服務時，遞減該寫緩衝器信用計數。於一實施例中，再度容後詳述，藉以遠記憶體讀取請求應答「搭載」此種資訊，遠記憶體控制邏輯1120通知記憶體控制器從寫緩衝器1137發佈寫入請求給遠記憶體儲存裝置平台1131。此處，遠記憶體的讀取係透過通道1121回送給記憶體控制器。於是，每次遠記憶體控制邏輯1120執行遠記憶體的讀取，且通訊一應答給記憶體控制器作為通訊的一部分，遠記憶體控制邏輯也通知記憶體控制器自緊接前次遠記憶體讀取應答算起從寫緩衝器1137發佈的寫入請求數目。

[0185]於一實施例中，額外複雜為讀取請求可「失序」服務。舉例言之，依據遠記憶體控制邏輯電路的一個設計

辦法，在寫緩衝器1137的寫入請求係對讀緩衝器1138的讀取請求篩選。若二緩衝器間有任何目標位址匹配，則在該寫緩衝器中具有一或多個匹配對偶的一讀取請求係以與該最晚近懸置的寫入請求相聯結的新寫資料服務。若該讀取請求係位在讀緩衝器佇列1138前方以外的任何其它位置，則有關讀取請求載入佇列1138的順序，該讀取請求的服務將具有「失序」服務該請求的效應。於各個實施例中，因潛在遠記憶體技術(偶爾許可某個位址空間可供讀取，但非全部位址空間)，遠記憶體控制邏輯也設計來「失序」服務請求。

[0186]於一實施例中，為了記憶體控制器得知哪個讀取請求應答係相對應於哪個讀取請求異動，當記憶體控制器發送一讀取請求給遠記憶體控制邏輯時，記憶體控制器也提供該異動識別符(TX\_ID)給遠記憶體控制邏輯。當該遠記憶體控制邏輯最終服務該請求時，將該異動識別符含括於應答內。

[0187]記住圖9A及其討論係有關於一記憶體通道及其由記憶體控制器用於以第一(近記憶體)存取協定存取近記憶體快取記憶體之一實施例。注意，圖9A進一步加強顯示資訊可藉記憶體控制器「潛行」通道上作為第一(近記憶體)存取協定的一部分，但雖言如此，由遠記憶體控制器用以潛在觸發一遠記憶體存取。圖9B顯示相同通道及其由記憶體控制器用於以第二(遠記憶體)存取協定存取遠記憶體快取記憶體。

[0188]由於多個實施例中一快取列的完整位址的標籤資訊係連同快取列資料儲存在近記憶體快取記憶體(例如嵌入式標籤資訊411、711、811)，注意圖9A指示當該通道係用以存取近記憶體快取記憶體(讀或寫)時，名目上保留給ECC的位元行942\_2的某個部分取而代之係用於嵌入式標籤資訊411、711。「竊用」ECC行以結合嵌入式標籤資訊而非擴大資料匯流排大小，例如許可製造用於傳統電腦系統的DIMM卡用在具有近及遠兩個儲存層級的系統中。舉例言之，若只有DRAM的DIMM係安裝在一通道而無任何遠記憶體(因而無法作用如同遠記憶體的快取記憶體)，則ECC位元的全寬將用於ECC資訊。相反地，若有DRAM的DIMM係安裝在有遠記憶體的一通道(因而該DRAM作用如同遠記憶體的快取記憶體)，則當該DRAM被存取時，ECC位元942\_2的某個部分實際上被用來儲存資料匯流排上相聯結的快取列位址的標籤位元。於圖10之步驟1004期間，當一近記憶體快取列的資料係被寫入近記憶體或被讀取自近記憶體時，嵌入式標籤資訊411、711、811係存在於ECC行上。

[0189]如由前文回憶，於某些實施例中，借助於在記憶體通道上，「潛行」至遠記憶體控制器的額外資訊作為一近記憶體請求的一部分，遠記憶體控制邏輯可「自動地」執行某些動作。此等自動動作可包括：1)自動檢測快取命中或失誤；2)當識別快取失誤且識別讀異動正在進行時，自動讀取遠記憶體；及3)當識別快取失誤且識別已使用位元係經設定時，自動寫至遠記憶體。

[0190]如於先前章節所述，為了執行如上1)、2)及3)，藉將異動的標籤資訊405、705、805作為觸發近記憶體快取記憶體存取的請求的一部分而潛行至遠記憶體控制邏輯，且將其與使用快取列儲存的且係讀取自近記憶體的嵌入式標籤資訊411、711、811作比較而檢測快取命中或失誤。

[0191]於一實施例中，參考圖9A及圖10，在近記憶體位址匯流排上否則將再生為未經使用的行位元及/或列位元的位址(例如行比列更多)，於步驟1003(指令階段)，異動的標籤資訊405、705、805係透過指令匯流排潛行至遠記憶體控制邏輯。當快取列係如前述藉竊取「被竊ECC位元」而讀取自近記憶體時，於圖10之步驟1004，可藉遠記憶體控制邏輯做嵌入式標籤資訊411、711、811的竊取。

[0192]又復，為了執行如上2)或3)，遠記憶體控制邏輯須能檢測播放時的異動型別(讀或寫)。於近記憶體係在遠記憶體控制邏輯前方之情況下，再度參考圖9A及圖10，播放時的異動型別也可以恰如前文對1)中針對異動的標籤資訊所述方式(例如於指令階段1003期間於指令匯流排上)，透過指令匯流排潛行至遠記憶體控制邏輯。於近記憶體係在遠記憶體控制邏輯後方之情況下，單純藉鍵控來自記憶體控制器的異動之原先請求(例如比較圖8B與8D)，遠記憶體控制邏輯可能檢測總異動是否為讀或寫。否則可執行與近記憶體在前方的相同操作。

[0193]此外，為了執行如上3)，參考圖9A及圖10，遠記憶體控制邏輯須能檢測已使用位元是否經設定。此處，由

於已使用位元乃與一快取列的資料嵌入近記憶體的資訊，恰如前文有關嵌入式標籤資訊411、711、811所述，另一個ECC位元被「竊占」。因此，於近記憶體寫存取步驟1004期間，藉呈示適當值於該通道的ECC位元位置942\_2中之一者，記憶體控制器寫該已使用位元。同理，於近記憶體讀存取期間，藉竊取此同一個ECC位置，遠記憶體控制邏輯可檢測該已使用位元。

[0194]參考圖9B及圖10，為了解決「失序」議題，一異動識別符可發送給遠記憶體控制邏輯電路作為一遠記憶體讀取請求的一部分。此項目的也可藉在遠記憶體讀取請求的指令階段1003期間，藉呈示該異動識別符於指令匯流排上達成。

[0195]圖12A顯示藉該記憶體控制器，透過該通道所做遠記憶體之一讀存取的一種基元處理。圖12A之處理例如可於下述情況下完成，當針對讀異動檢測得一快取失誤時，遠記憶體控制邏輯不會自動地執行讀取入遠記憶體，而需由記憶體控制器明確地請求以執行遠記憶體讀取。此外，記住於前述實施例中，於一快取失誤之情況下，記憶體控制器可發佈一讀取請求給遠記憶體控制邏輯，即便遠記憶體控制邏輯自動地初始化遠記憶體的讀取亦復如此(例如參考圖7B及8B)。

[0196]參考圖9B、11及12A，具有一遠記憶體讀位址的一讀取請求係藉記憶體控制器透過指令匯流排941發佈(步驟1201)。透過指令匯流排發佈的讀取請求也含括藉該遠記

憶體控制邏輯所保有(例如於暫存器)的一異動識別符1120。

[0197]該請求係置於一讀緩衝器1138(步驟1202)。保有一寫緩衝器1137的寫入請求經分析以瞭解是否有一匹配目標位址(步驟1203)。若有，則針對讀取請求應答的資料係取自最新產生的讀取請求(步驟1204)。若無，則該讀取請求係從讀緩衝器1138服務，讀資料係從遠記憶體平台1131讀取，及針對該讀取資料的ECC資訊係經計算且與以該讀取資料儲存的ECC資訊作比較(步驟1205)。若ECC檢查不合格，則藉遠記憶體控制邏輯產生錯誤(步驟1206)。此處參考圖9B，錯誤可透過選擇943\_1、時鐘致能943\_2或ODT 943\_3行中之一者傳訊。

[0198]若讀取應答係取自寫緩衝器1137或ECC檢查為乾淨，則遠記憶體控制邏輯1120通知記憶體控制器其具有一讀取應答就緒供傳輸(步驟1207)。如圖9B觀察，於一實施例中，在被僭竊用於此項目的的該通道之一選擇信號行943\_1、時鐘致能信號行943\_2或晶粒上結束行943\_3中之一者做出此一指示990。當記憶體控制器(於各個實施例中具有一排程器以在通道上排程異動)決定可接收讀取應答時，發送一指示991給遠記憶體控制邏輯，須開始發送讀取應答(步驟1208)。如圖9B觀察，於一實施例中，在被僭竊用於此項目的的該通道之一選擇信號行943\_1、時鐘致能信號行943\_2或晶粒上結束行943\_3中之一者做出此一指示991。

[0199]然後遠記憶體控制邏輯1120決定自最末讀取應

答被發送算起，多少個寫入請求已經從寫緩衝器1137發佈（「寫緩衝器發佈計數」）。然後讀取資料連同異動識別符及寫緩衝器發佈計數透過通道回送（步驟1209）。於一實施例中，因ECC計算係藉遠記憶體控制邏輯進行，故名目上用於ECC的資料匯流排行大致為「自由」。如此如於圖9B觀察，異動識別符992及寫緩衝器發佈計數993係連同通道的ECC行942\_2從遠記憶體控制器發送至記憶體控制器。此處，寫緩衝器發佈計數993係由記憶體控制器用以計算一新信用計數，因而許可發送新寫入請求給遠記憶體控制邏輯（步驟1210）。記憶體控制器本身藉追蹤已經載入讀緩衝器1138的讀取請求數目及已經回送的讀取應答數目而調整其讀取請求的發送。

[0200]圖12B顯示藉記憶體控制器透過通道對遠記憶體的寫存取之基本基元處理。圖12B之處理例如可在下述情況下完成，於該處遠記憶體控制邏輯無法自動執行寫入遠記憶體（例如當快取失誤時，針對讀異動或寫異動有已使用位元），而需由記憶體控制器明確地請求如此進行時。圖12B之寫處理也可利用在不具有任何駐在近記憶體的通道（例如只有PCMS通道）。依據圖12B之處理，記憶體控制器接收寫異動（步驟1221）。記憶體控制器檢查其寫緩衝器信用帳戶，瞭解是否存在有足夠信用以發送一寫入請求（步驟1222）。若是，則記憶體控制器透過指令匯流排發送一寫入請求給遠記憶體控制邏輯（步驟1223）。應答地，遠記憶體控制邏輯將該請求置於其寫緩衝器（步驟1224）。最終，該寫入

請求由寫緩衝器服務，針對料寫入遠記憶體的資料計算 ECC 資訊，且連同資料儲存於遠記憶體(步驟1225)。

[0201]增強寫處理係於先前就圖7D(近記憶體在前方)及圖8D(近記憶體在後方)討論。此處，遠記憶體控制邏輯之操作及用以執行此等寫處理之通道特定組件的實施例已經討論如前。但值得注意地，此外，至於圖7D之增強寫處理，記憶體控制器可從快取記憶體讀資訊決定於快取失誤及已使用位元經設定之情況下，是否需寫至遠記憶體。應答地，記憶體控制器可遞增其寫緩衝器計數，原因在於其瞭解遠記憶體控制邏輯將自動地執行寫入遠記憶體，但也將自動地將一請求載入寫緩衝器(步驟1224)以便達成此項目的。至於圖8D的增強寫處理，記憶體控制器也可接收快取記憶體讀資訊且恰如前述操作。

[0202]當然若屬適宜，前述遠記憶體基元操作可利用於只有遠記憶體技術的一通道上(例如DDR通道只有DIMM插入其儲存技術只以PCMS為基)。

[0203]前述遠記憶體控制邏輯可在一或多個半導體晶片上體現。記憶體控制器的邏輯電路可在一或多個半導體晶片上體現。

[0204]雖然於架構上，前文大部分討論係針對位在CPU晶粒及CPU封裝體外部的近記憶體系統記憶體及遠記憶體系統記憶體裝置(例如在插入從CPU封裝體發出一通道內的DIMM卡上)，但雖言如此如上實施例及方法可體現在同一個CPU封裝體內部(例如，於該處一通道係以在基體上的

導電軌線體現，DRAM及PCMS裝置係連同CPU晶粒安裝在同一CPU封裝體內(遠記憶體控制邏輯可設計於CPU晶粒內或安裝於基體的另一晶粒)或甚至CPU晶粒本身上(例如，於該處除了例如體現CPU及記憶體控制器的邏輯電路之外，CPU晶粒其上也整合DRAM系統記憶體及PCMS系統記憶體，及「通道」係以(例如多層級)晶粒上互連體布線體現)。

訓練

[0205]訓練乃嵌入式組配方案，藉此通訊式耦接的半導體裝置可「理解」其間應屬哪些合宜的傳訊特性。當只有DRAM裝置耦接至同一記憶體通道之情況下，記憶體控制器係對由DRAM之各排組所提供的讀資料經訓練。記憶體控制器也受訓提供適當時間的寫資料給各排組。針對x8 DRAM訓練係以8位元為基礎，針對x8 DRAM訓練係以4位元為基礎。4或8位元組的軌線長度差要求此項訓練解析度(在4或8位元組內部，要求軌線為匹配)。主機須做調整，原因在於DRAM不具調整能力。如此節省DRAM上的成本及電力二者。

[0206]當因PCMS及DRAM係耦接至一相同通道而完成竊取時，則遠記憶體控制器也須經訓練。為了讀取自近記憶體，遠記憶體控制器須受訓接受該讀資料。若讀資料係欲藉DRAM竊取自遠記憶體控制器，則遠記憶體控制器須受訓適當計時送至DRAM(其無法調整)的資料，接著主機受訓而接收所得資料。於遠記憶體控制器竊取寫資料之情況下，將採用相似的二步驟程式。

**【主要元件符號說明】**

- 100、310...處理器、CPU
- 101-104...處理器核心
- 101a-104a...等級0內部處理器快取記憶體
- 101b-104b...等級1內部處理器快取記憶體
- 105...低階快取記憶體(LLC)
- 106、313...快取記憶體
- 107、108、109...記憶體端快取記憶體(MSC)
- 115、315...輸入/輸出(I/O)次系統
- 116-119...系統記憶體區域
- 120...內部處理器快取記憶體、內部CPU快取記憶體
- 121、144...近記憶體
- 122...遠記憶體
- 124...MSC控制器
- 140...記憶體/儲存裝置階層
- 142、174...非依電性隨機存取記憶體(NVRAM)
- 150...快取記憶體等級
- 150A...處理器快取記憶體
- 150B...作為遠記憶體的快取記憶體
- 151...系統記憶體等級
- 151A...系統記憶體
- 151B...遠記憶體
- 152...大容量儲存裝置等級
- 152A...NVRAM大容量儲存裝置

- 152B...快閃/磁/光大容量儲存裝置
- 153...韌體記憶體等級
- 170...基本輸入輸出系統(BIOS)快閃記憶體
- 172...BIOS NVRAM
- 173...信賴平台模組(TPM) NVRAM
- 190...系統位址空間A
- 191...系統位址空間B
- 192...暫存記憶體
- 193...寫緩衝器
- 300...電腦系統
- 311...整合圖形單元
- 314...主機代理器
- 331...整合型記憶體控制器(IMC)、記憶體控制器
- 332...NVRAM控制器
- 333...解碼表
- 334...信賴平台模組(TPM)
- 335...管理引擎(ME)
- 336...範圍暫存器、網路
- 337...非儲存I/O裝置
- 338...I/O配接器
- 340...DRAM裝置
- 342...標籤快取記憶體
- 362...BIOS快閃記憶體
- 372...TPM快閃記憶體

- 380...記憶體/儲存裝置次系統
- 401、701、831...遠記憶體
- 401\_1~N...儲存裝置集合
- 402、702...近記憶體快取記憶體
- 402\_1~N...分錄
- 403、703、803...較低排序位元
- 404、704、804...設定位元
- 405、705、805...標籤位元、標籤
- 408、708、806...較高有序位元
- 409...主機端
- 410...資料
- 411、711、811...嵌入式標籤資訊
- 412、712、812...已使用位元
- 413、713、813...ECC資訊、ECC位元
- 414、723、814、823...快取失誤邏輯、MSC命中/失誤邏輯
- 415...緩衝器
- 416...近記憶體快取記憶體介面邏輯
- 417...讀緩衝器
- 418...遠記憶體介面邏輯
- 420...ECC邏輯
- 421、721、821、921、1121...通道、記憶體通道
- 424...記憶體端控制(MSC)邏輯、MSC控制邏輯
- 424a...主機端MSC控制邏輯
- 431、731、831...記憶體控制器

432...NVRAM控制器

501-507、611-616、751-759、761-787、851-857、861-888、

1001-1004、1201-1210、1221-1225...步驟

701\_1~M...遠記憶體儲存裝置

702\_1~N、802\_1~N...近記憶體儲存裝置

722、822...遠記憶體控制邏輯

730、830...近記憶體平台

732、832...遠記憶體平台

761...讀取請求

762...快取列分錄

780...讀/寫資訊

786...遠記憶體讀取請求

790、890、992...異動識別符、異動ID

831、909...記憶體控制器

841、941...指令匯流排

842、942...資料匯流排

843、943...控制信號

850...暫存器空間

870...近記憶體位址

880、895...近記憶體資料匯流排

942\_1...讀/寫資料行

942\_2...ECC行

942\_3...選通行

943\_1...選擇信號行

943\_2...時鐘致能信號行

943\_3...晶粒上結束行

990、991...指示

993...寫緩衝器發佈計數

1120...邏輯電路、遠記憶體控制邏輯電路

1131...遠記憶體儲存裝置

1135...遠記憶體裝置介面電路

1136...耗損調平演算法電路

1137...寫緩衝器

1138...讀緩衝器

## 七、申請專利範圍：

1. 一種支援近記憶體存取及遠記憶體存取的方法，該方法藉由設置在一卡上的邏輯電路執行，該卡具有用以插入支援近記憶體快取存取及遠記憶體存取的一記憶體通道內的一連接器，該方法包含下列步驟：

從該記憶體通道接收由耦接至該記憶體通道的一主機所處理的一讀取請求異動之一目標位址的一第一標籤組件；

應答該讀取請求異動，接收讀取自一近記憶體的一快取列之一位址的一第二標籤組件；及

比較該第一與第二標籤組件以決定該快取列是否相對應於一快取命中或一快取失誤。

2. 如申請專利範圍第1項之方法，其進一步包含下列步驟  
響應於檢測到已經出現一快取失誤，執行下列動作中之至少一者：

從遠記憶體自動地讀取一期望的快取列；

檢測讀取自該近記憶體的該快取列的一已使用位元係經設定，並且自動地將讀取自該近記憶體的該快取列寫入該遠記憶體。

3. 如申請專利範圍第2項之方法，其中在從遠記憶體讀取該期望的快取列之後，該邏輯電路進一步執行關於該期望的快取列之資料的一錯誤校正代碼(ECC)計算。
4. 如申請專利範圍第1項之方法，其中該近記憶體係以動態隨機存取記憶體(DRAM)技術體現，而該遠記憶體係以相變記憶體(PCM)技術體現。

5. 如申請專利範圍第1項之方法，其中該近記憶體係駐在該卡上。
6. 如申請專利範圍第1項之方法，其進一步包含下列步驟  
    應答已經出現一快取失誤之檢測，執行下列動作：  
    從該主機接收該讀取請求異動之一識別符，及呈示該讀取請求異動之該識別符於該記憶體通道上作為在該記憶體通道上之一通訊的一部分，該通道轉送讀取自遠記憶體的該快取列資料給該主機。
7. 如申請專利範圍第1項之方法，其中係藉由該主機依據用以存取該近記憶體的一第一通道協定而以呈示在該記憶體通道上的一第一讀取請求來接收該第一標籤組件。
8. 如申請專利範圍第7項之方法，其中係藉由該主機依據用以存取該遠記憶體的一第二通道協定而以呈示在該記憶體通道上的一第二讀取請求來接收該第二標籤組件。
9. 一種支援近記憶體存取及遠記憶體存取的半導體晶片，其包含：  
    至一記憶體通道的一第一介面；  
    一讀緩衝器，其用以保有接收自該記憶體通道之一遠記憶體讀取請求；  
    邏輯電路，其用以應答在該記憶體通道上發佈的一近記憶體讀取請求而檢測讀取自一近記憶體的一快取列之一快取失誤，該近記憶體為對於一遠記憶體的一快取記憶體，該邏輯電路響應於檢測到已經出現該快取失

誤而額外地執行下列中之至少一者：

開始從該遠記憶體讀取一期望的快取列，該期望的快取列含有致使在該記憶體通道上發佈該近記憶體讀取請求的一異動所尋覓的資料；

檢測讀取自該近記憶體的該快取列的一已使用位元係經設定，及自動地將該讀取自該近記憶體的該快取列寫入該遠記憶體。

10. 如申請專利範圍第9項之半導體晶片，其中該邏輯電路係從該第一介面接收讀取自該近記憶體的該快取列之一位址的標籤資訊及該異動的位址的標籤資訊二者。
11. 如申請專利範圍第9項之半導體晶片，其中該邏輯電路包括與該第一介面相異的一第二介面以耦接至該遠記憶體，並且其中該半導體晶片係透過該第一介面而接收該異動的位址的標籤資訊。
12. 如申請專利範圍第9項之半導體晶片，其進一步包含ECC邏輯以針對讀取自該近記憶體的該快取列及/或寫入該遠記憶體的該快取列計算ECC資訊。
13. 如申請專利範圍第9項之半導體晶片，其進一步包含用以儲存該異動的位址的一第一標籤組件之第一暫存器空間、以及用以儲存讀取自該近記憶體的該快取列之一位址的一第二標籤組件之第二暫存器空間，該第二標籤組件係嵌入有讀取自該近記憶體的該快取列。
14. 如申請專利範圍第9項之半導體晶片，其中該近記憶體係以動態隨機存取記憶體(DRAM)技術體現，而該遠記憶體組件係以相變記憶體(PCM)技術體現。

15. 如申請專利範圍第14項之半導體晶片，其中該半導體晶片進一步包含針對該PCM遠記憶體的耗損調平演算法邏輯電路。
16. 如申請專利範圍第14項之半導體晶片，其中該半導體晶片進一步包含一寫入請求緩衝器以保有對該遠記憶體的寫入請求，及一讀取請求緩衝器以保有對該遠記憶體的讀取請求。

圖式

1/18

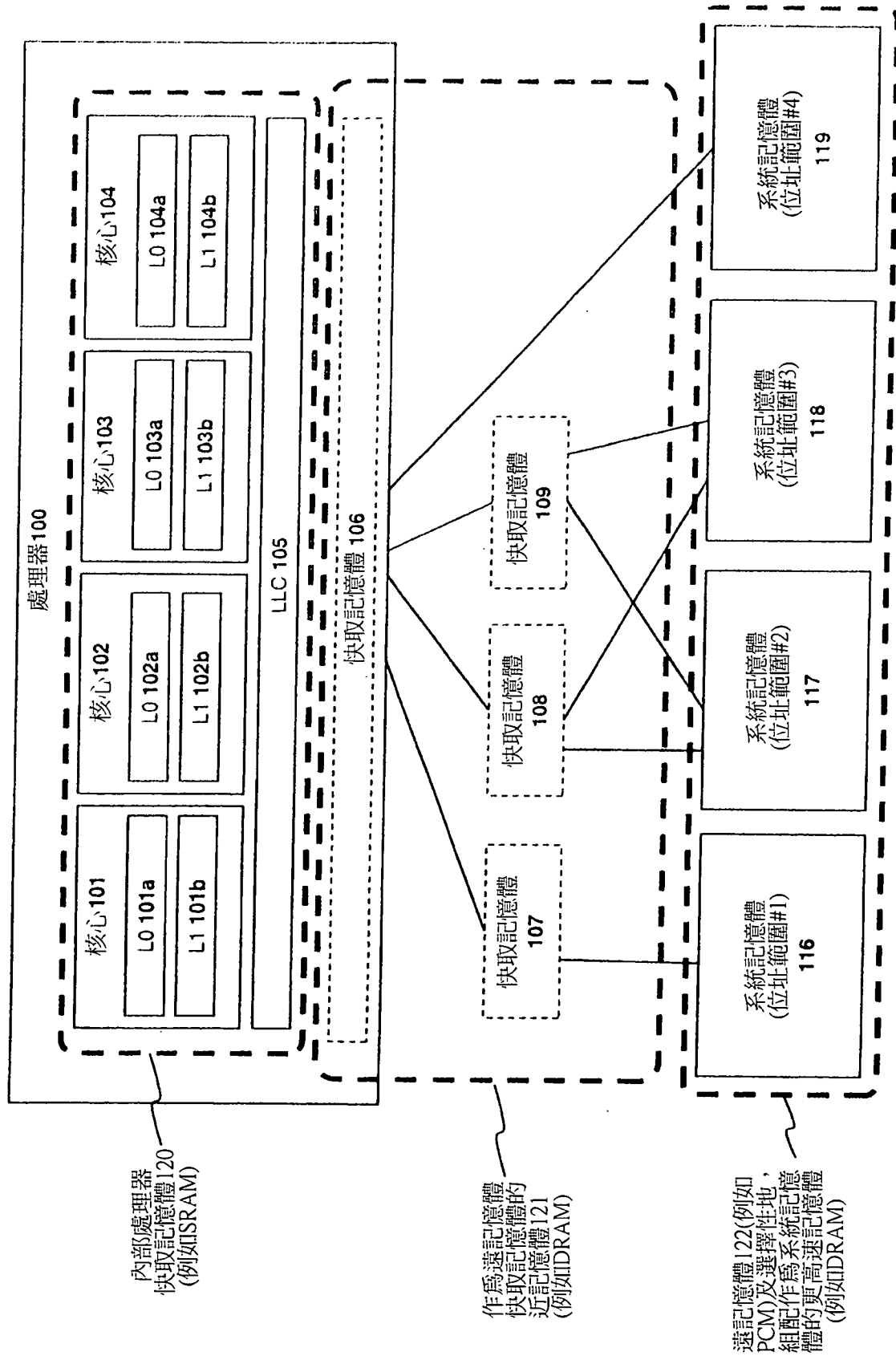


圖 1



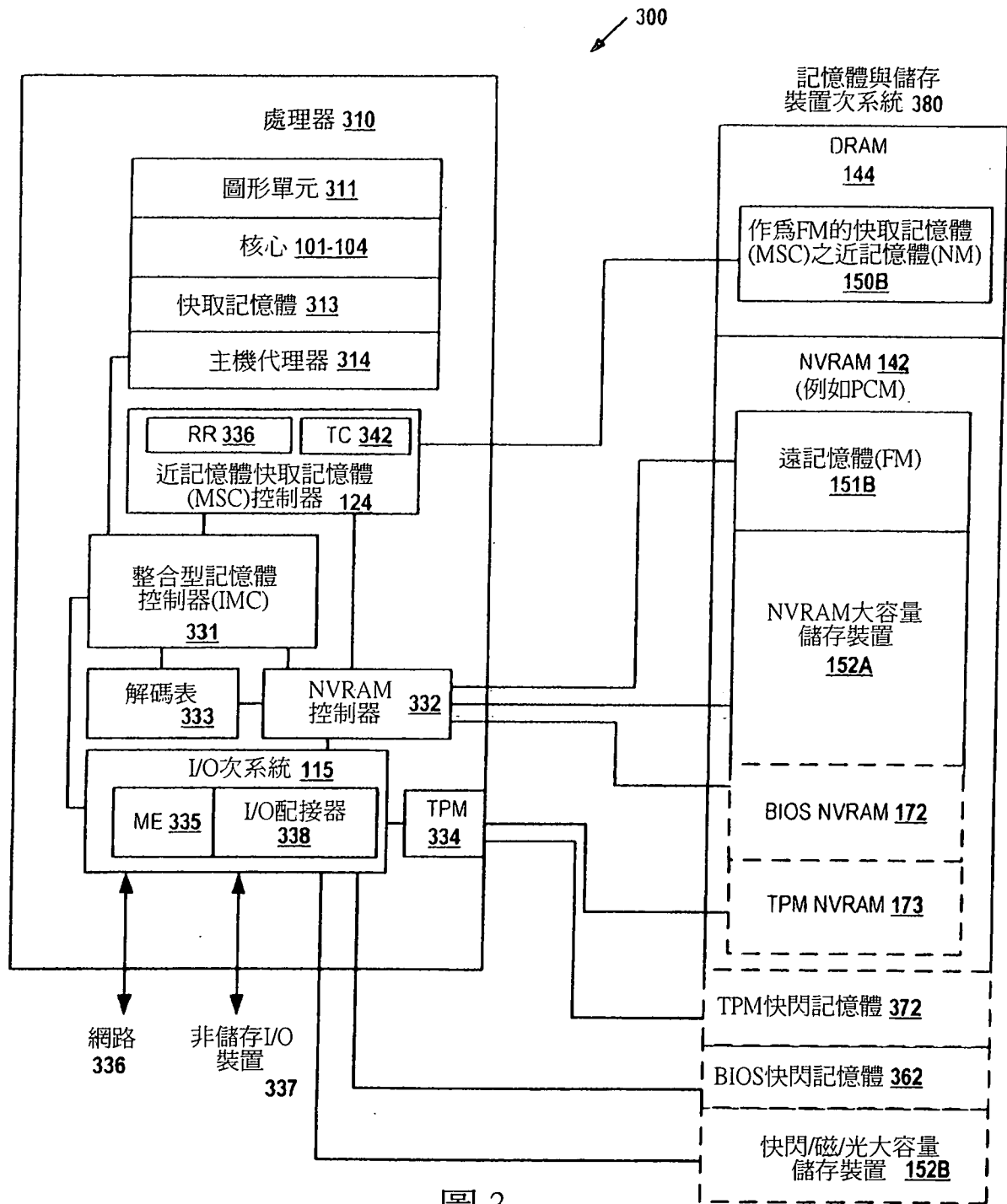


圖 3

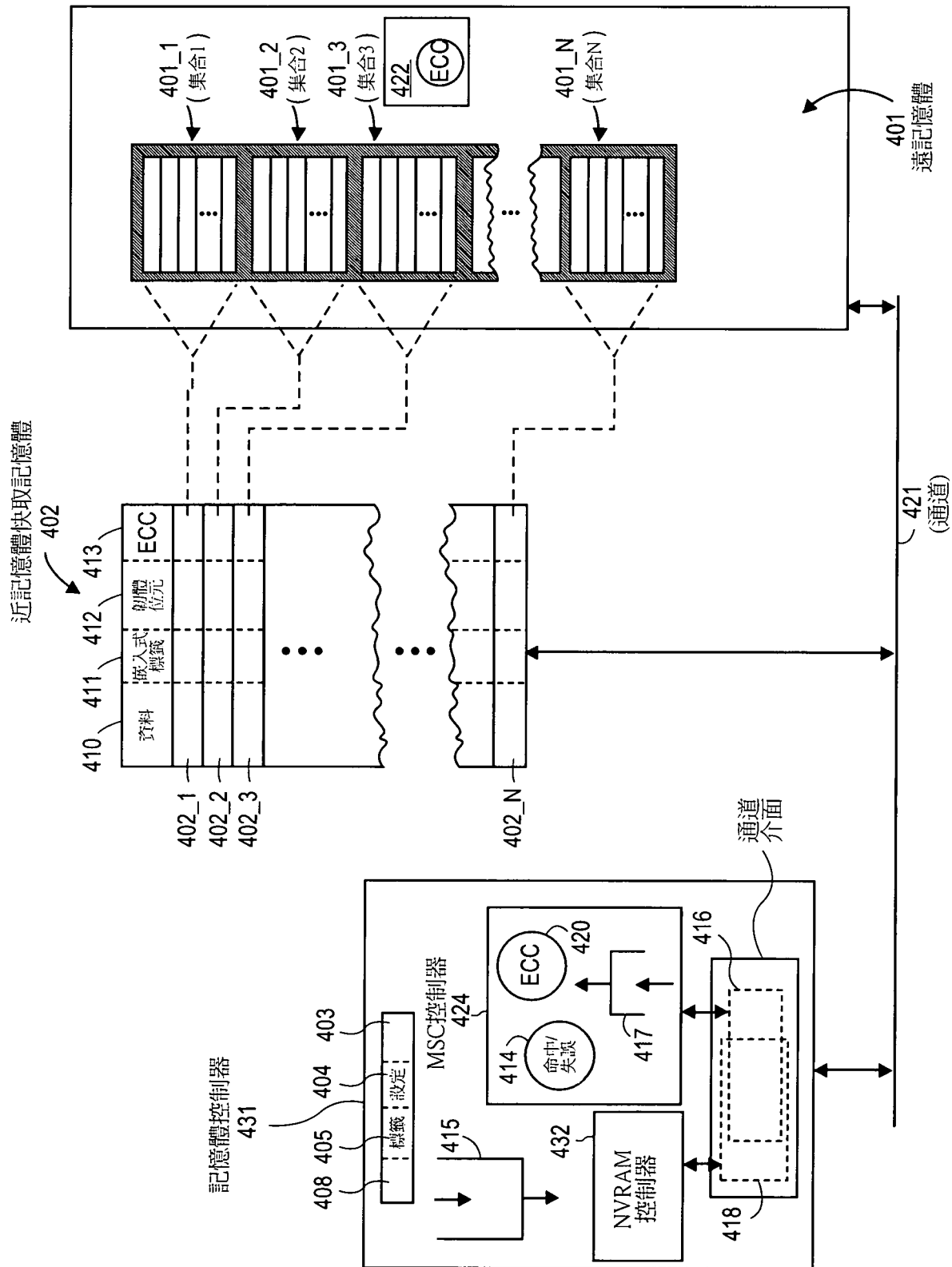


圖 4

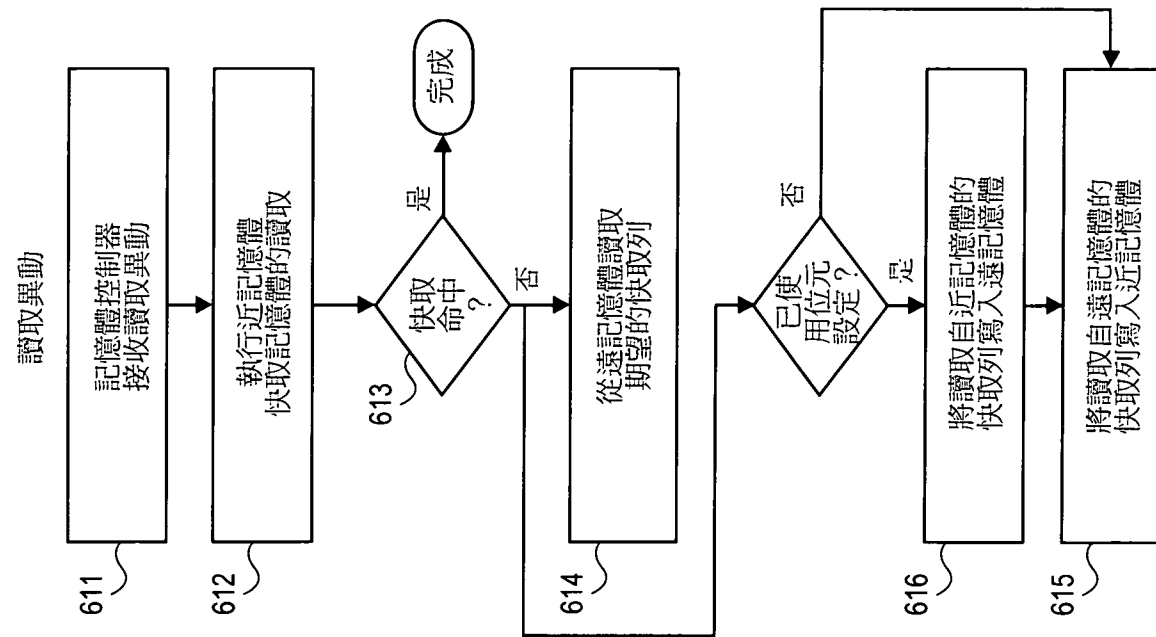


圖 6

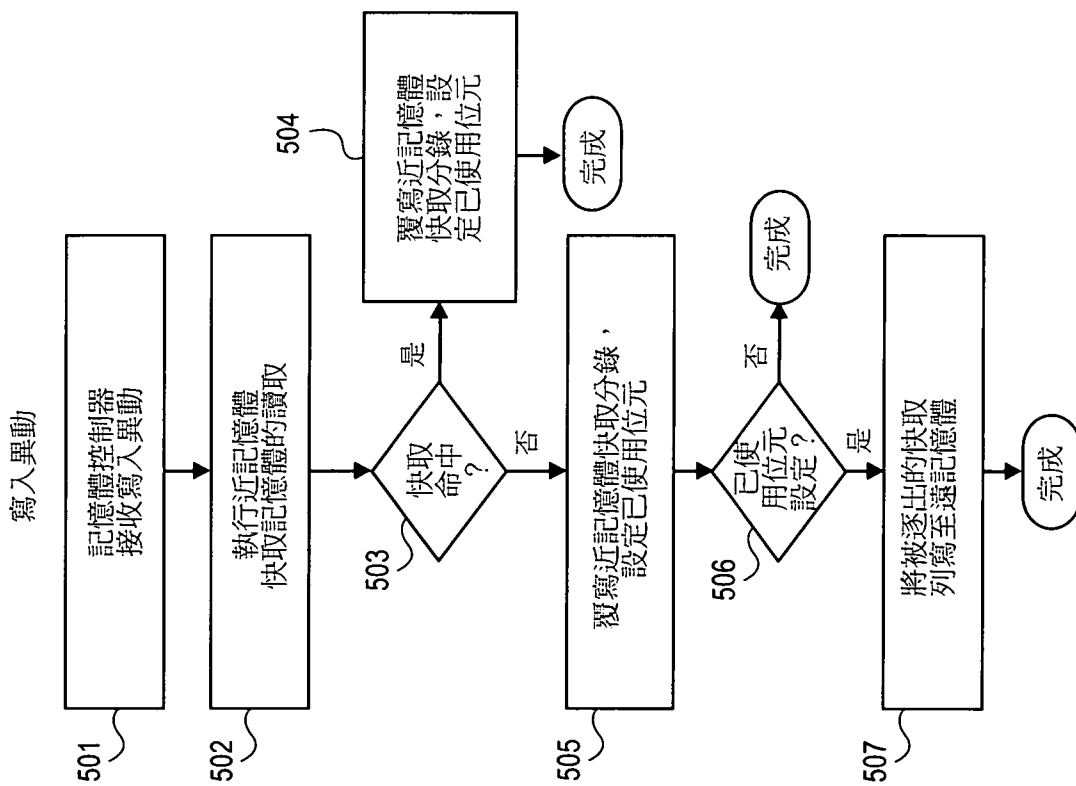
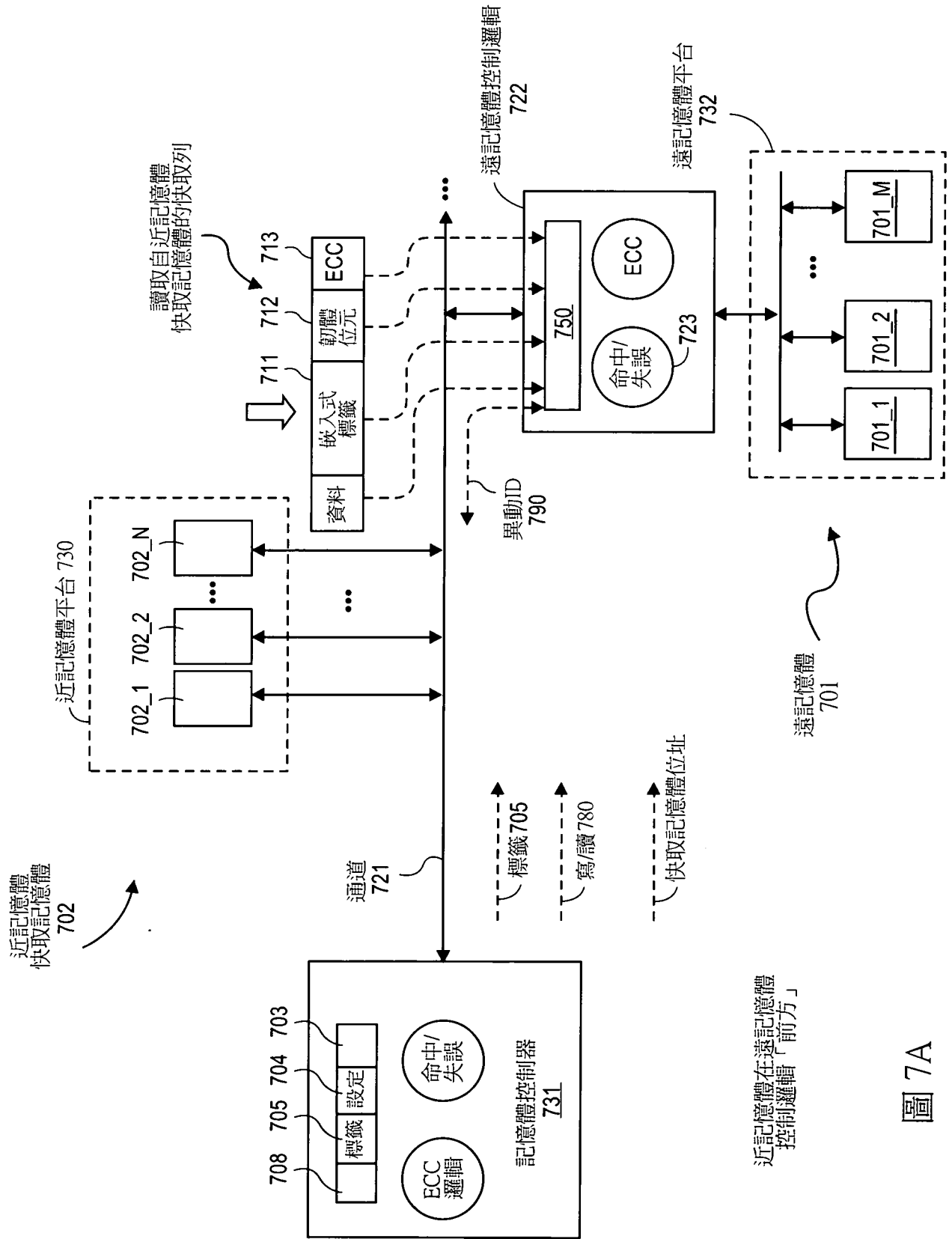


圖 5



近記憶體在遠記憶體控制邏輯「前方」

圖 7A



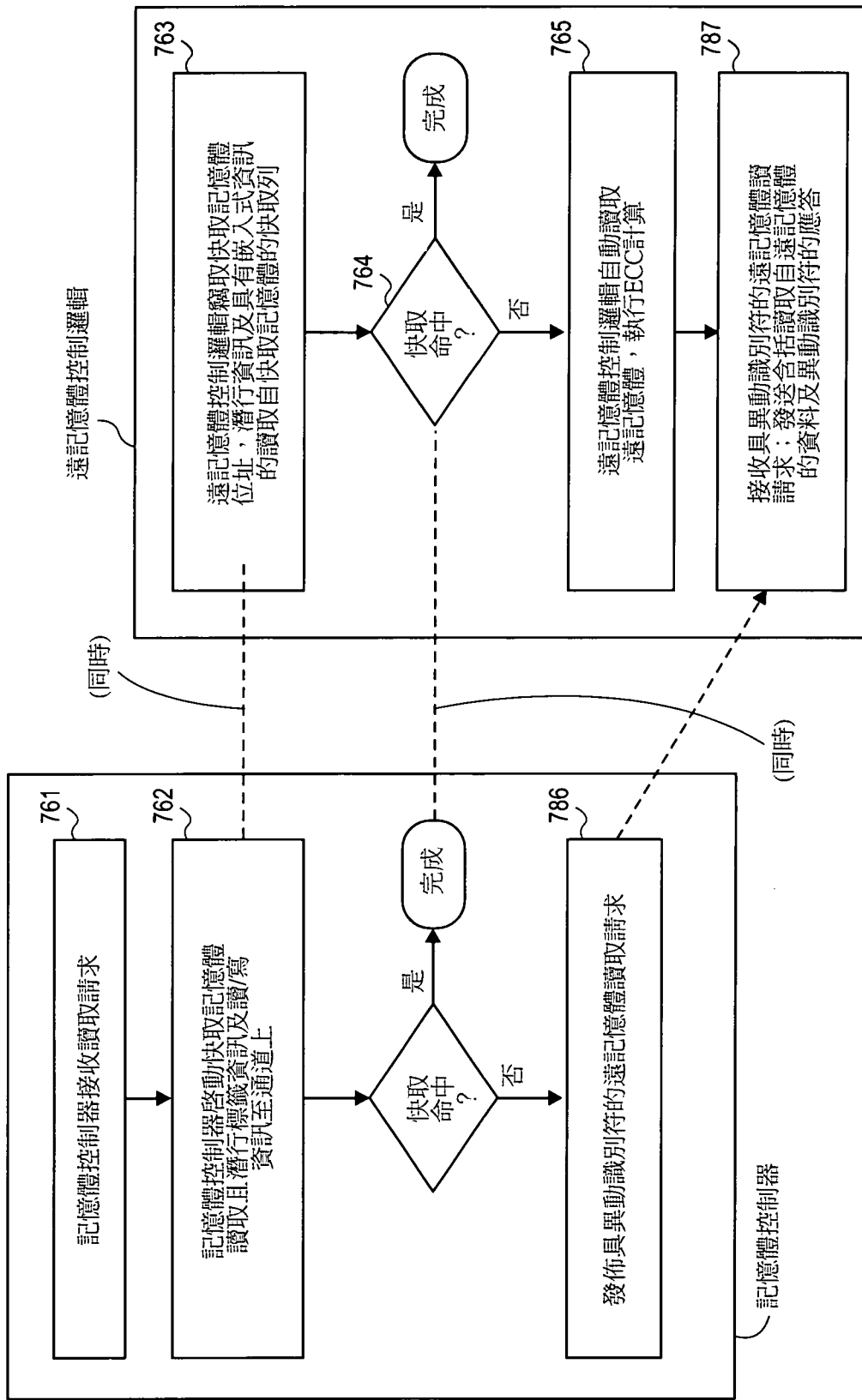


圖 7B

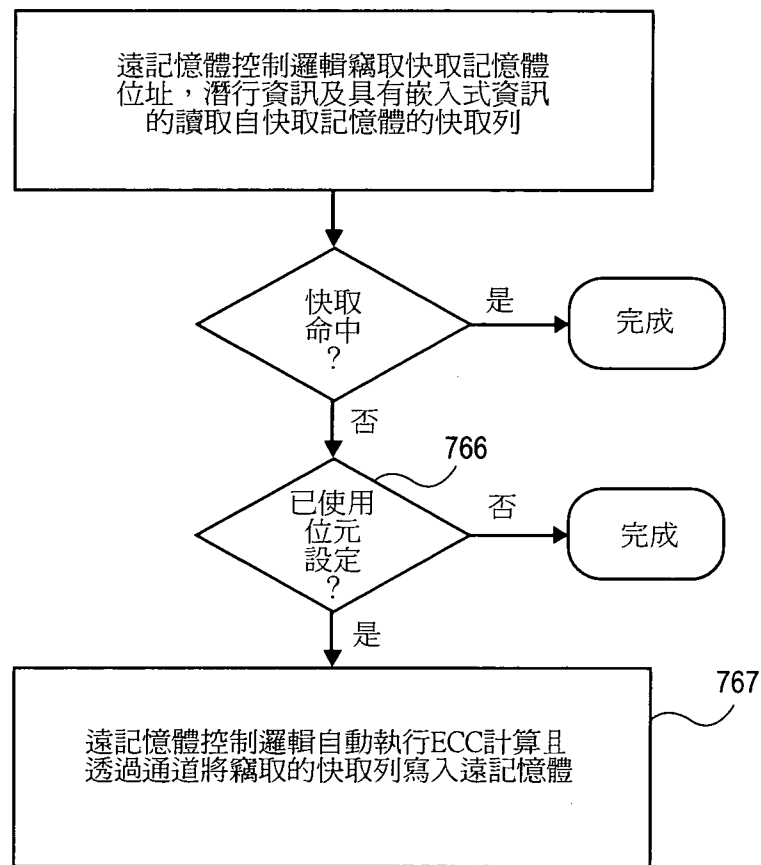


圖 7C

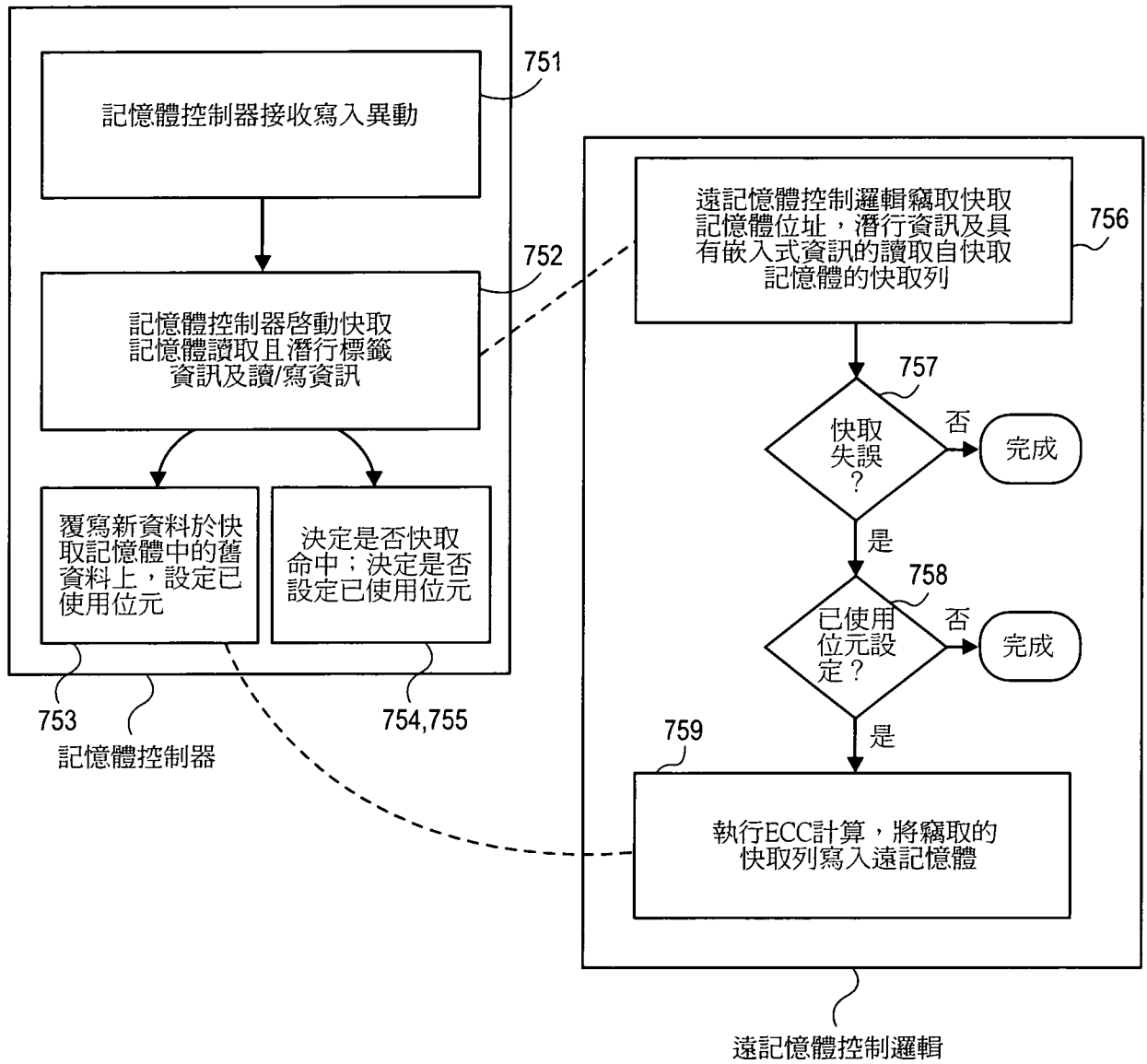


圖 7D

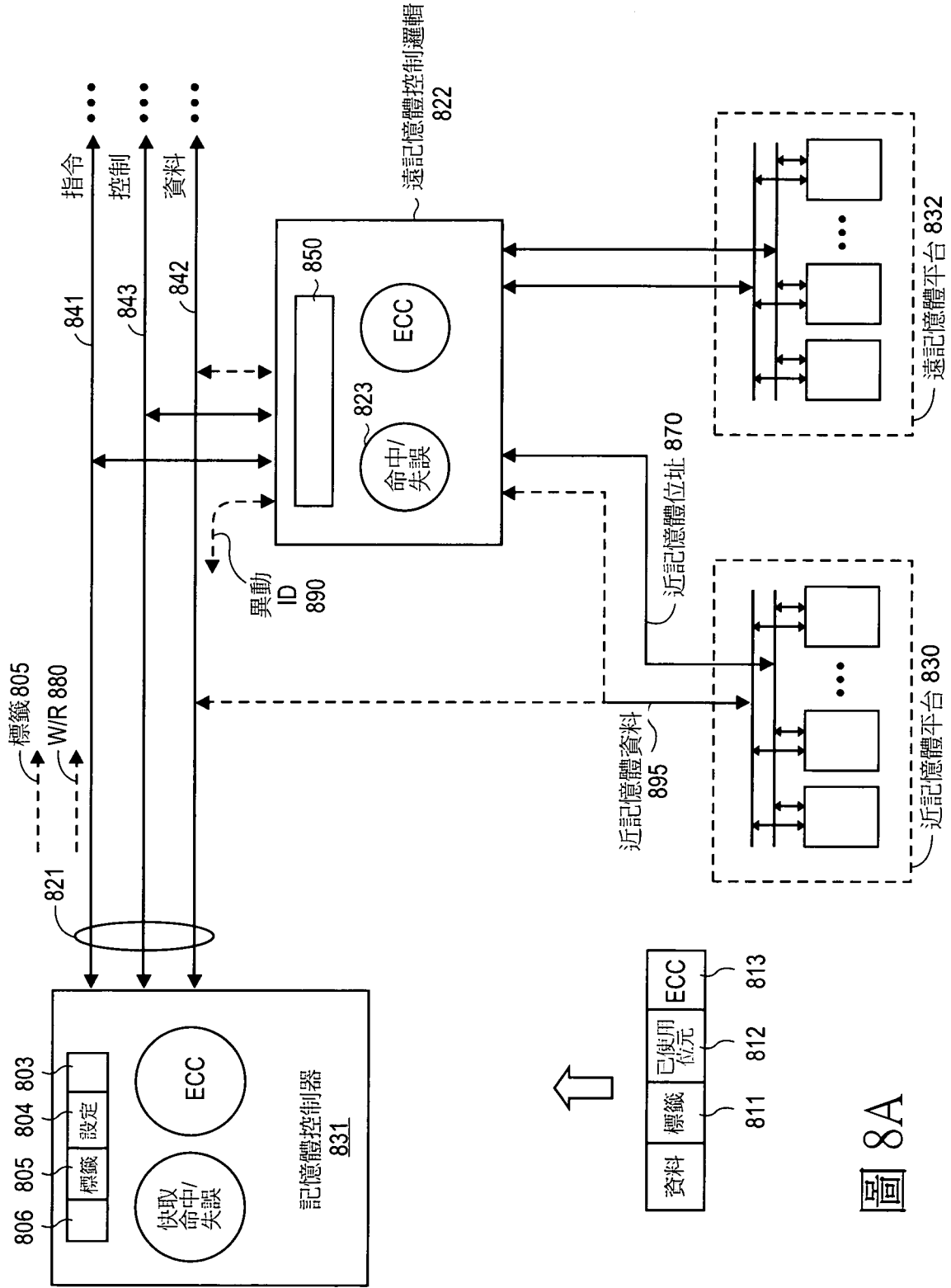


圖 8A

11/18

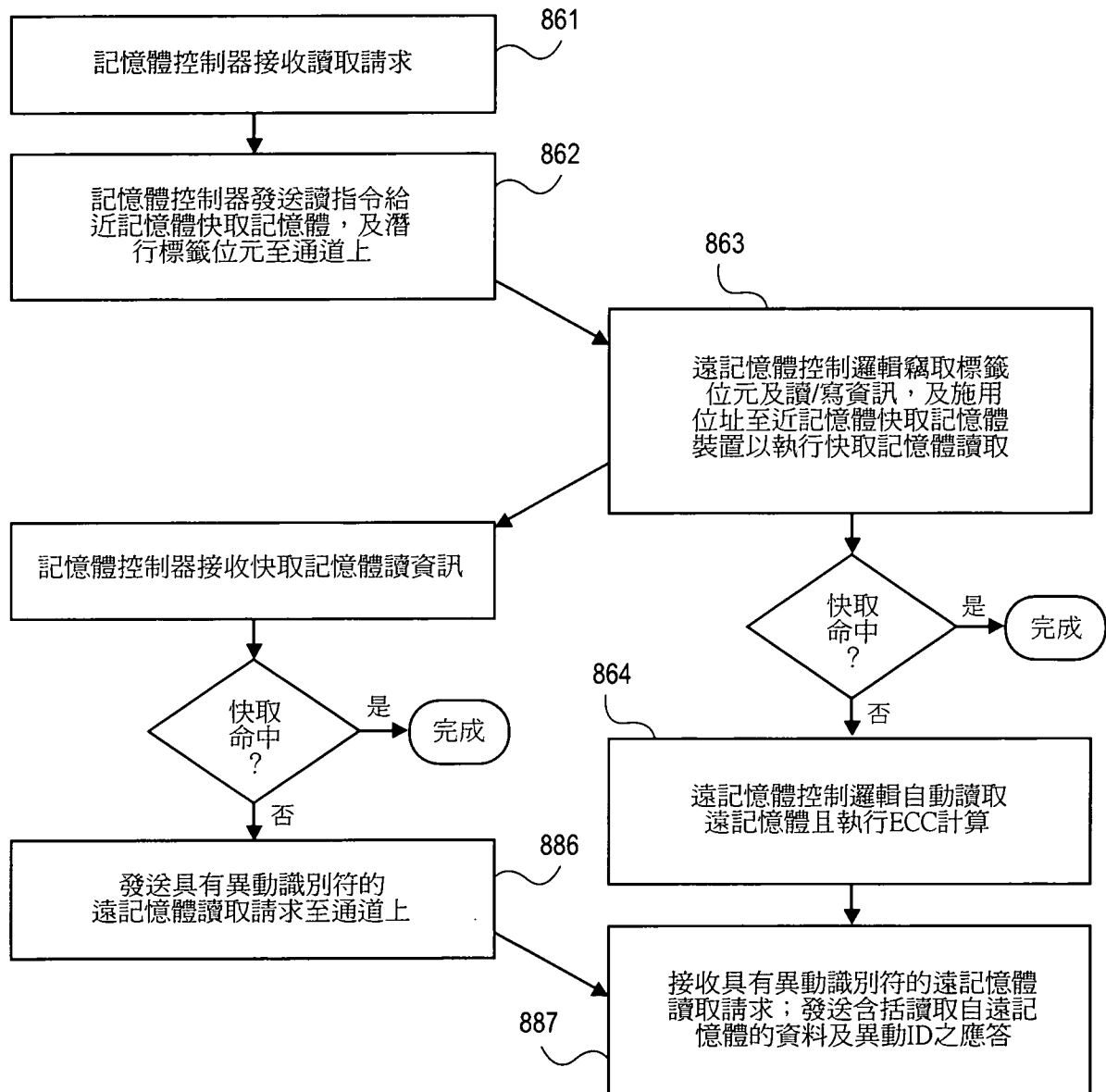


圖 8B

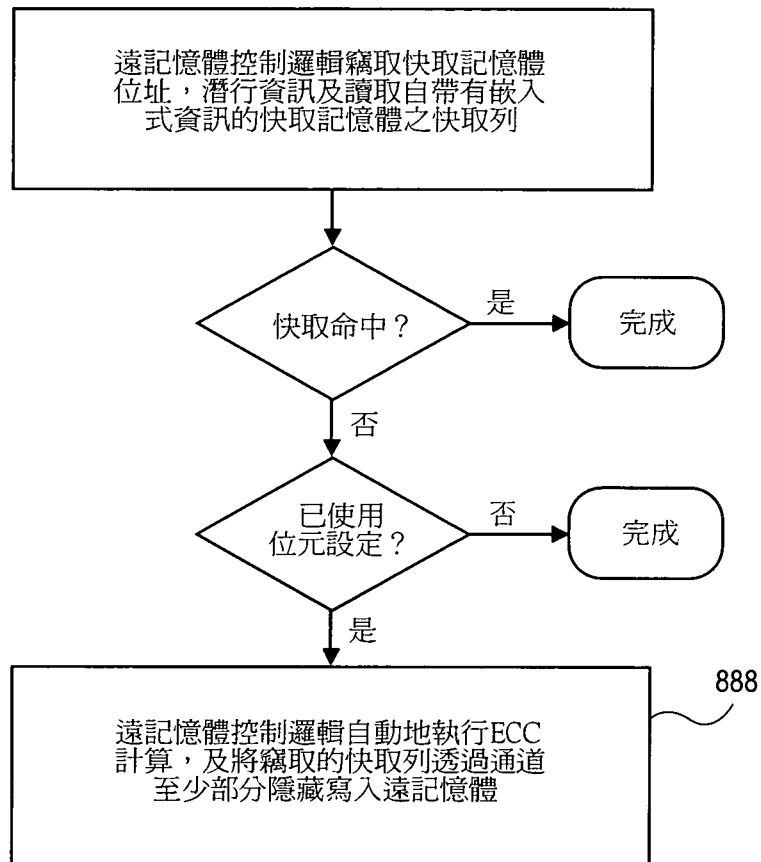


圖 8C

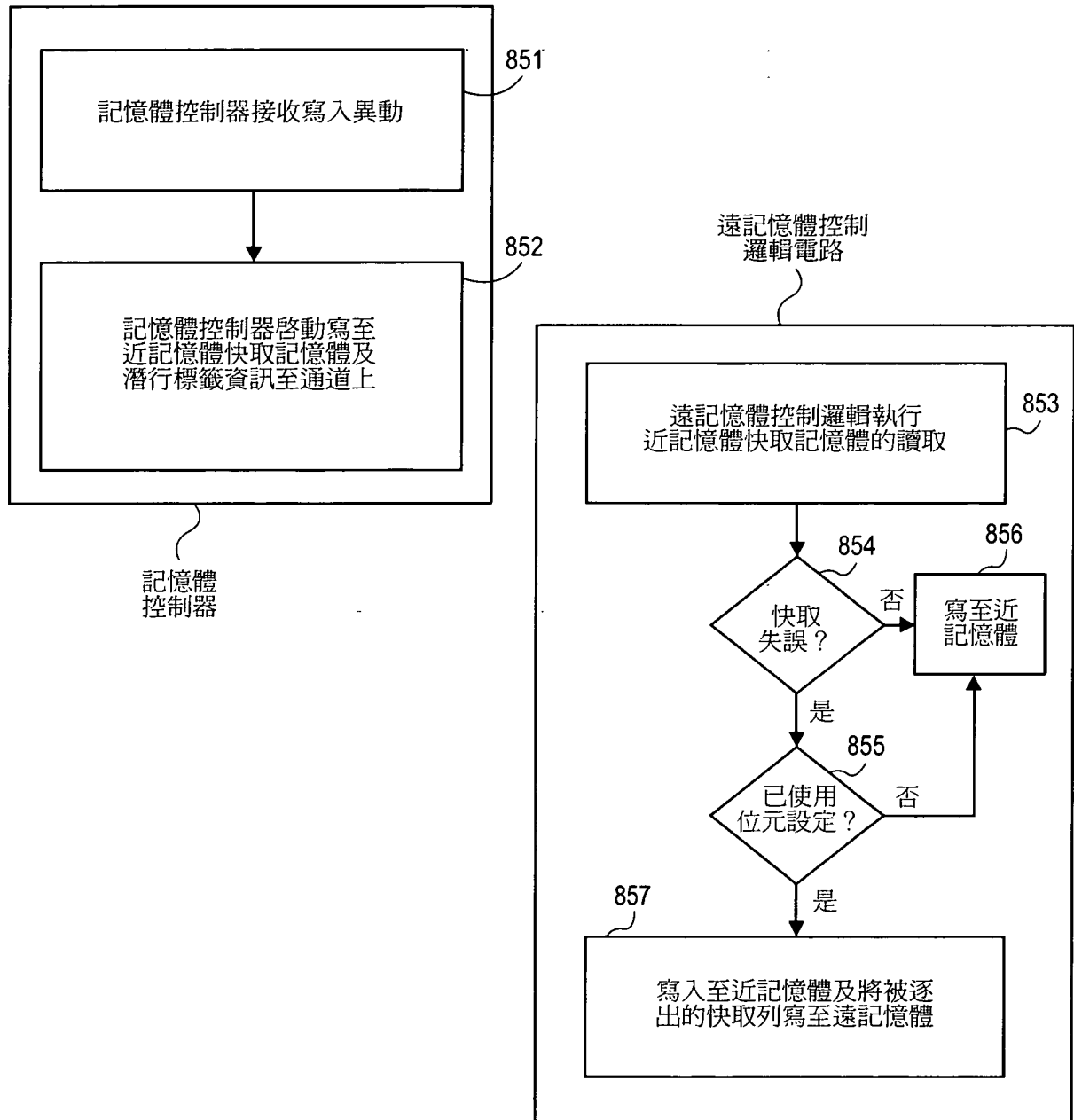


圖 8D

潛行異動標籤、潛行讀/寫指示、潛行異動ID

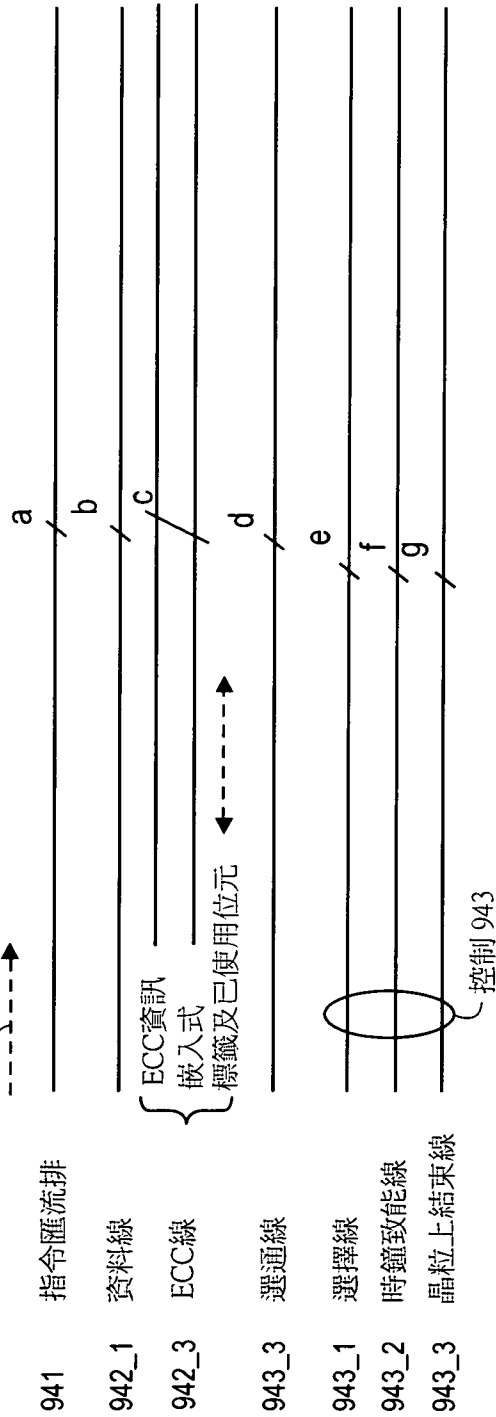


圖 9A  
(近記憶體協定)

至記憶體控制器 ← 近/遠記憶體

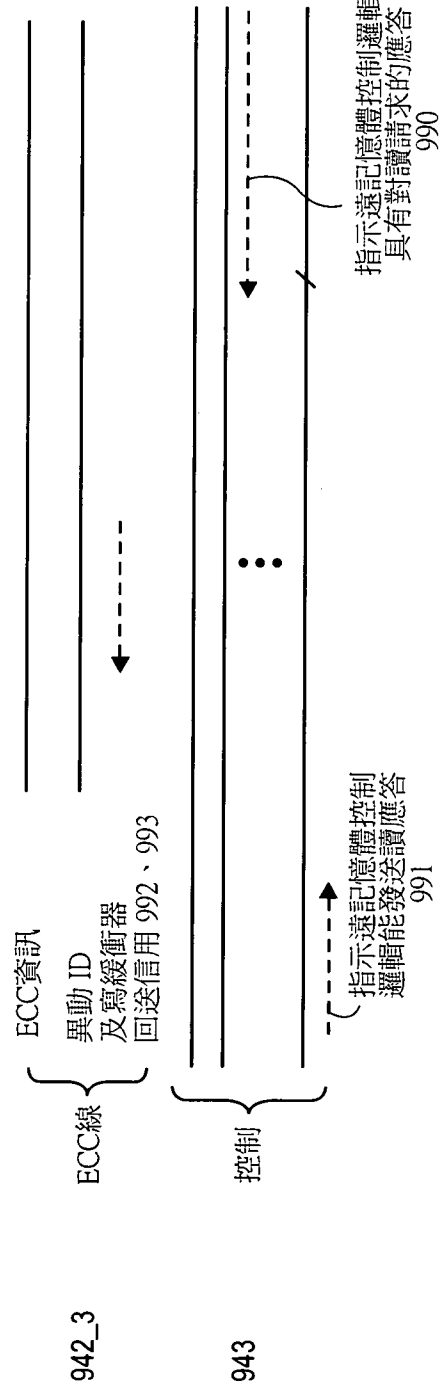


圖 9B  
(遠記憶體協定)

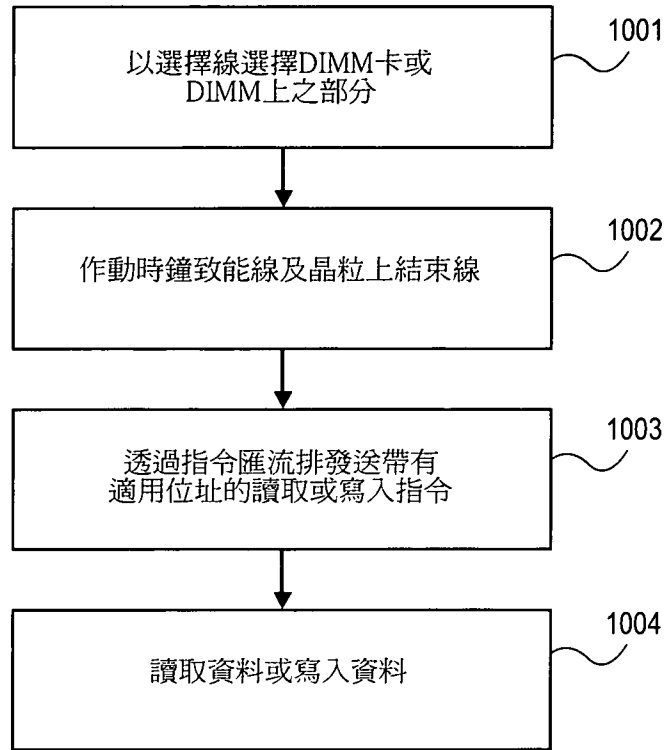


圖 10

16/18

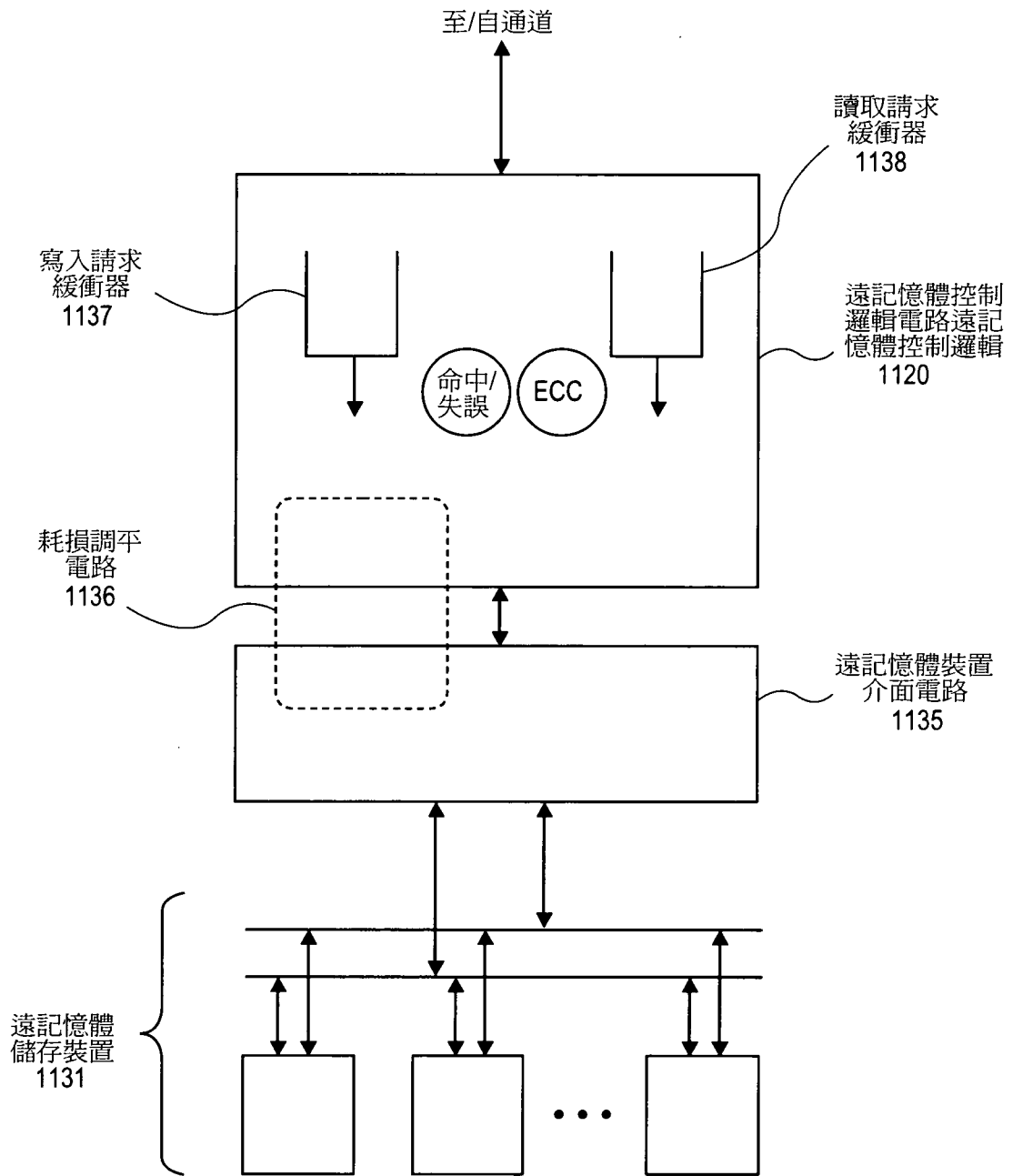


圖 11

17/18

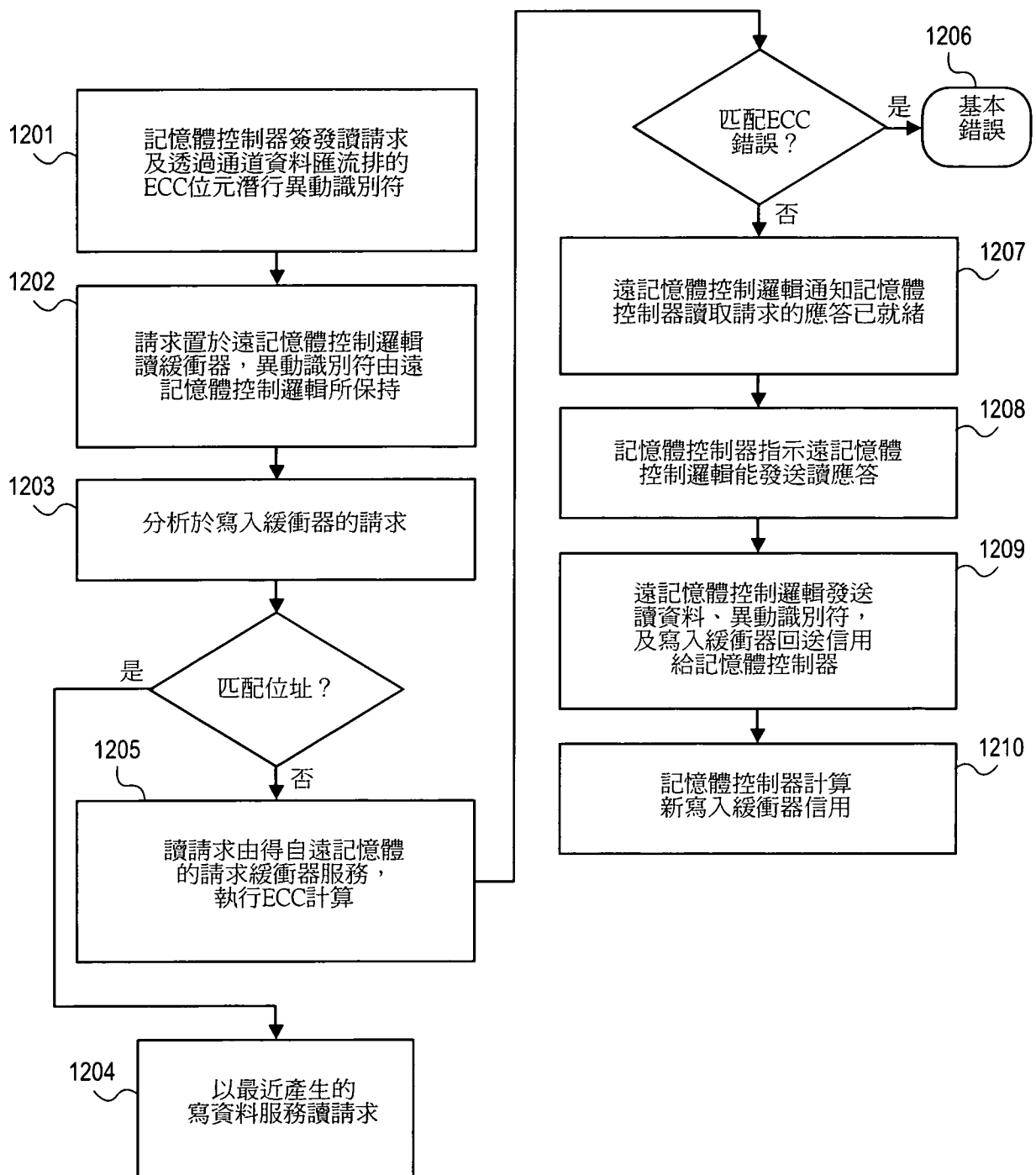


圖 12A

18/18

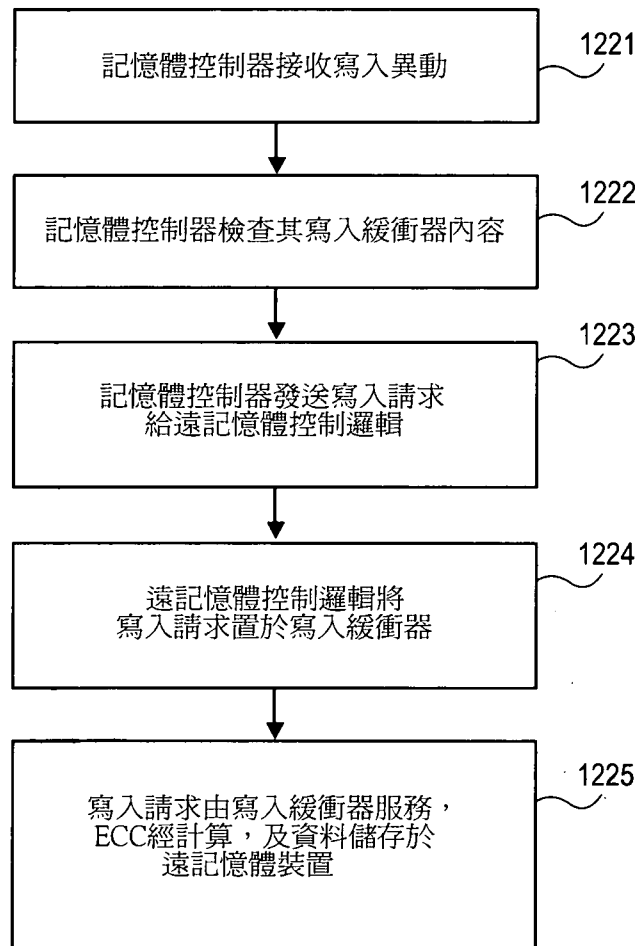


圖 12B