



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I886245 B

(45)公告日：中華民國 114 (2025) 年 06 月 11 日

(21)申請案號：110112480 (22)申請日：中華民國 110 (2021) 年 04 月 07 日

(51)Int. Cl. : *H10F39/12 (2025.01)* *H10F77/30 (2025.01)*  
*H10D62/60 (2025.01)* *H10D86/01 (2025.01)*

(30)優先權：2020/04/08 美國 63/006,724  
 2021/03/10 美國 17/197,292

(71)申請人：美商科磊股份有限公司(美國) KLA CORPORATION (US)  
 美國

(72)發明人：哈達迪 阿巴斯 HADDADI, ABBAS (US)；雅拉曼其里 西西爾 YALAMANCHILI, SISIR (IN)；費爾登 約翰 FIELDEN, JOHN (US)；莊 勇和 艾力克斯 CHUANG, YUNG-HO ALEX (US)

(74)代理人：陳長文

(56)參考文獻：

TW	201807828A	TW	201812285A
TW	201921663A	TW	201944463A
TW	201947754A	US	9410901B2
US	2007/0020893A1	US	2015/0260659A1
US	2016/0290932A1	US	2019/0386054A1

審查人員：李景松

申請專利範圍項數：22 項 圖式數：6 共 39 頁

## (54)名稱

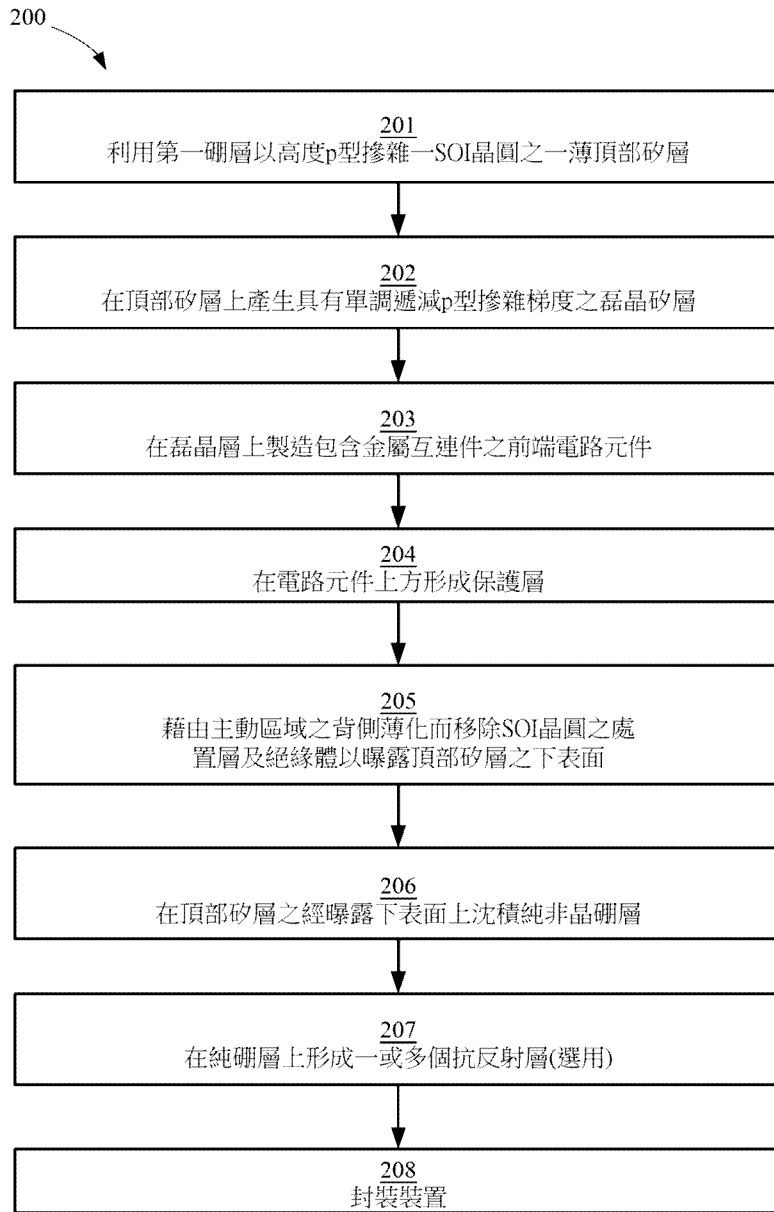
背照式感測器及使用絕緣體上矽晶圓製造感測器之方法

## (57)摘要

藉由首先重度 p 型摻雜一 SOI 晶圓之薄頂部單晶矽基板，接著在該頂部矽基板之一頂表面上形成一相對輕度 p 型摻雜磊晶層而製造一影像感測器，其中控制此兩個程序期間之 p 型摻雜位準以在該頂部矽基板中產生一 p 型摻雜劑濃度梯度。在該磊晶層上製造感測(電路)元件及相關聯金屬互連件，接著至少部分移除該 SOI 晶圓之處置基板及氧化物層以曝露該頂部矽基板或該磊晶層之一下表面，且接著在該經曝露下表面上形成一純硼層。該 p 型摻雜劑濃度梯度自頂部矽/磊晶層介面附近之一最大位準單調遞減至該磊晶層之上表面處之一最小濃度位準。

An image sensor is fabricated by first heavily p-type doping the thin top monocrystalline silicon substrate of an SOI wafer, then forming a relatively lightly p-doped epitaxial layer on a top surface of the top silicon substrate, where p-type doping levels during these two processes are controlled to produce a p-type dopant concentration gradient in the top silicon substrate. Sensing (circuit) elements and associated metal interconnects are fabricated on the epitaxial layer, then the handling substrate and oxide layer of the SOI wafer are at least partially removed to expose a lower surface of either the top silicon substrate or the epitaxial layer, and then a pure boron layer is formed on the exposed lower surface. The p-type dopant concentration gradient monotonically decreases from a maximum level near the top-silicon/epitaxial-layer interface to a minimum concentration level at the epitaxial layer's upper surface.

指定代表圖：



符號簡單說明：

200:方法

201:方塊

202:方塊

203:方塊

204:方塊

205:方塊

206:方塊

208:方塊

【圖2】



I886245

## 【發明摘要】

### 【中文發明名稱】

背照式感測器及使用絕緣體上矽晶圓製造感測器之方法

### 【英文發明名稱】

BACK-ILLUMINATED SENSOR AND A METHOD OF  
MANUFACTURING A SENSOR USING A SILICON ON INSULATOR  
WAFER

### 【中文】

藉由首先重度p型摻雜一SOI晶圓之薄頂部單晶矽基板，接著在該頂部矽基板之一頂表面上形成一相對輕度p型摻雜磊晶層而製造一影像感測器，其中控制此兩個程序期間之p型摻雜位準以在該頂部矽基板中產生一p型摻雜劑濃度梯度。在該磊晶層上製造感測(電路)元件及相關聯金屬互連件，接著至少部分移除該SOI晶圓之處置基板及氧化物層以曝露該頂部矽基板或該磊晶層之一下表面，且接著在該經曝露下表面上形成一純硼層。該p型摻雜劑濃度梯度自頂部矽/磊晶層介面附近之一最大位準單調遞減至該磊晶層之上表面處之一最小濃度位準。

### 【英文】

An image sensor is fabricated by first heavily p-type doping the thin top monocrystalline silicon substrate of an SOI wafer, then forming a relatively lightly p-doped epitaxial layer on a top surface of the top silicon substrate, where p-type doping levels during these two processes are controlled to produce a p-type dopant concentration gradient in the top silicon substrate. Sensing (circuit) elements and associated metal

interconnects are fabricated on the epitaxial layer, then the handling substrate and oxide layer of the SOI wafer are at least partially removed to expose a lower surface of either the top silicon substrate or the epitaxial layer, and then a pure boron layer is formed on the exposed lower surface. The p-type dopant concentration gradient monotonically decreases from a maximum level near the top-silicon/epitaxial-layer interface to a minimum concentration level at the epitaxial layer's upper surface.

【指定代表圖】

圖2

【代表圖之符號簡單說明】

200: 方法

201: 方塊

202: 方塊

203: 方塊

204: 方塊

205: 方塊

206: 方塊

208: 方塊

## 【發明說明書】

### 【中文發明名稱】

背照式感測器及使用絕緣體上矽晶圓製造感測器之方法

### 【英文發明名稱】

BACK-ILLUMINATED SENSOR AND A METHOD OF MANUFACTURING A SENSOR USING A SILICON ON INSULATOR WAFER

### 【技術領域】

**【0001】** 本申請案係關於適用於感測深UV (DUV)及真空UV (VUV)波長中之輻射之影像感測器，且係關於用於製造此等影像感測器之方法。此等感測器適合用於光罩、倍縮光罩或晶圓檢測系統中且用於其他應用。

### 【先前技術】

**【0002】** 積體電路產業需要具有愈來愈高解析度之檢測工具來解決積體電路、光罩、倍縮光罩、太陽能電池、電荷耦合裝置等之愈來愈小的特徵，以及偵測其等大小約等於或小於該等特徵大小之缺陷。

**【0003】** 在許多情況中，在短波長(例如，短於約250 nm之波長)下操作之檢測系統可提供此解析度。特定言之，針對光罩或倍縮光罩檢測，可期望使用與將用於微影之波長相同或接近(即，針對當前代微影接近193.4 nm且針對未來EUV微影接近13.5 nm)之一波長進行檢測，此係因為由圖案引起之檢測光之相移將與在微影期間引起之該等相移相同或非常類似。為了檢測半導體圖案化晶圓，在一相對廣波長範圍(諸如包含在近UV、DUV及/或VUV範圍中之波長之一波長範圍)內操作之檢測系統可係有利的，此係因為一廣波長範圍可降低對層厚度或圖案尺寸之小改變之敏

感性，該等小改變可在一個別波長下引起反射率之大改變。

【0004】 為了偵測光罩、倍縮光罩及半導體晶圓上之小缺陷或粒子，需要高信雜比。當高速檢測時，需要高光子通量密度以確保高信雜比，此係因為經偵測光子(泊松(Poisson)雜訊)之數目之統計波動係對信雜比之一基本限制。在許多情況中，需要每一像素近似100,000或更多之光子。由於檢測系統通常每天24小時在使用中而僅具有非常短的停止，故在僅數月之操作之後，感測器便曝露至大劑量之輻射。

【0005】 具有250 nm之一真空波長之一光子具有近似5 eV之能量。二氧化矽之帶隙係約10 eV。雖然此波長之光子可能似乎無法由二氧化矽吸收，但如生長在一矽表面上之二氧化矽在與矽之介面處必須具有一些懸鍵，此係因為二氧化矽結構無法完美匹配矽晶體之結構。另外，由於單一二氧化物係非晶的，故在材料內將存在懸鍵。實務上，氧化物內以及在與下伏半導體之介面處將存在一不可忽略密度之缺陷及雜質，該等缺陷及雜質可吸收具有DUV波長之光子，尤其在波長上短於約250 nm之光子。此外，在高輻射通量密度下，兩個高能量光子可在一非常短的時間間隔(奈秒或皮秒)內到達相同位置附近，此可導致電子藉由快速連續之兩個吸收事件或藉由雙光子吸收被激發至二氧化矽之傳導帶。

【0006】 用於檢測、度量衡及相關應用之感測器之一進一步要求係高靈敏度。如上文解釋，需要高信雜比。若感測器不將入射光子之一大部分轉換為信號，則相較於具有一更有效感測器之一檢測或度量衡系統，將需要一更高強度光源以便維持相同檢測或量測速度。一更高強度光源將使儀器、光學器件及經檢測或量測樣本曝露至更高光強度，從而可能隨著時間引起損害或降級。一更高強度光源亦將更昂貴或特定言之，在DUV及

VUV波長下可能不可用。矽反射入射於其上之DUV及VUV光之一高百分比。例如，在波長接近193 nm下，在其表面上具有一2 nm氧化物層(諸如一原生氧化物層)之矽反射入射於其上之光之近似65%。針對接近193 nm之波長，在矽表面上生長約21 nm之氧化物層將反射率減小至接近40%。具有40%反射率之一偵測器比具有65%反射率之偵測器顯著更有效，但可期望更低反射率及因此更高效率。

**【0007】** DUV及VUV波長由矽強烈吸收。此等波長可主要在矽表面之約10 nm或數十nm內被吸收。在DUV或VUV波長下操作之一感測器之效率取決於在電子重組之前可收集藉由經吸收光子產生之電子之多大部分。二氧化矽可與矽形成具有一低缺陷密度之一高品質介面。大多數其他材料(包含普遍用於抗反射塗層之許多材料)若直接沈積於矽上，則在矽表面處導致一非常高電缺陷密度。矽表面上之一高電缺陷密度對於旨在在可見波長下操作之一感測器可能並非一問題，此係因為此等波長在被吸收之前可通常行進約100 nm或更多至矽中且因此，可較少受矽表面上之電缺陷影響。然而，DUV及VUV波長如此接近矽表面被吸收使得表面上之電缺陷及/或表面上之(若干)層內之捕集電荷可導致經產生電子之一大部分在矽表面處或附近重組且損失，從而導致一低效感測器。

**【0008】** 全部頒予Chern等人之美國專利第9,496,425號、第9,818,887號及第10,121,914號描述影像感測器結構及製造影像感測器之方法，該等影像感測器包含至少沈積於影像感測器之一經曝露背表面上之一硼層。揭示用於沈積硼之不同溫度範圍，包含約400°C至450°C之一範圍及約700°C至800°C之一範圍。發明者已發現，硼之一更高沈積溫度(諸如在約600°C與約900°C之間之一沈積溫度)之一個優點係在此等溫度下，

硼擴散至矽中，從而在高敏感背表面上提供一非常薄、重度p型摻雜矽層。此p型摻雜矽層對於確保DUV及VUV輻射之一高量子效率係重要的，此係因為其在表面附近產生使電子加速遠離表面至矽層中之一靜電場。p型矽亦增加矽之背表面之導電率，此對於一影像感測器之高速操作係重要的，此係因為由感測器之前表面上之電極上之信號之切換引發之接地電流需要一返回路徑。

**【0009】** 然而，高於450°C之處理溫度無法用於包含習知CMOS電路之半導體晶圓上，此係因為450°C接近在製造CMOS裝置時普遍使用之金屬(諸如鋁及銅)之熔點。在高溫(諸如大於450°C之溫度)下，此等金屬膨脹，變軟且可分層。此外，在高溫下，銅可容易擴散通過矽，此將修改CMOS電路之電性質。在任何金屬經沈積於一晶圓上之前使該晶圓薄化容許一硼層如前述專利中描述般在600°C與900°C之間之一溫度下沈積於背表面上，從而使硼能夠在沈積硼層期間或之後擴散至表面中。隨後，金屬互連件可形成於前表面上。在已使晶圓之影像感測器區域薄化(例如)至約25 μm或更薄之一厚度之後，薄化區域可顯著翹曲且可具有數十微米或更多之峰谷不平坦度。因此，需要使用相對寬(諸如數微米寬或更寬)金屬互連線及通孔以確保線及通孔連接，儘管有由不平坦度引起之任何偏移。此等寬金屬互連件及通孔增加與該等線及通孔相關聯之每單位面積之電容。此外，寬互連件及通孔可使將具有約一百萬或更多個像素之一大面積感測器上之全部信號互連困難或不可能。在一些情況中，連接金屬互連件可需要多晶矽跳線，但多晶矽具有遠高於任何金屬之電阻率，因此使用此等跳線可限制一感測器之最大操作速度。

**【0010】** 因此，產生對能夠有效地偵測高能量光子而不降級但克服

一些或全部上文之缺點之一影像感測器的需要。特定言之，製造在其背側表面上具有一硼層及硼摻雜之一背側薄化影像感測器同時容許在一相對平坦晶圓(即，具有約10  $\mu\text{m}$ 或更小之一平坦度)上形成金屬互連件之一方法將容許使用更精細設計規則(諸如對應於一0.35  $\mu\text{m}$ 程序或更精細之設計規則)。此一方法將容許更窄金屬線連接至關鍵特徵(諸如浮動擴散)，從而實現更小浮動擴散電容及更高電荷轉電壓轉換效率。更精細設計規則亦容許感測器之每單位面積之更多互連線且容許連接影像感測器上之電路之更大靈活性。

### 【發明內容】

**【0011】** 描述影像感測器及製造影像感測器之方法，該等影像感測器具有用於使DUV、VUV、EUV、X射線及/或帶電粒子(諸如電子)在SOI晶圓上成像之高量子效率(高QE)。此等影像感測器能夠在高輻射通量下進行長壽命操作。此等方法包含用於在一半導體材料(較佳矽)層中形成光敏主動及/或被動電路元件以及在感測器之電元件之間形成金屬互連之程序步驟。此等影像感測器可包含精細金屬互連件及通孔(諸如符合約0.35  $\mu\text{m}$ 或更精細設計規則之該等金屬互連件及通孔)同時具有塗佈有一非晶硼層之一背側表面且具有緊鄰硼層之一高度摻雜p型矽層。金屬互連可包括鎢、鋁、銅或在已知CMOS程序中製造互連件時使用之其他金屬。

**【0012】** 製造一影像感測器之一例示性方法藉由利用一硼層以高度p型摻雜一絕緣體上矽(SOI)晶圓之薄頂部矽基板開始，且接著以產生在頂部矽基板中(即，磊晶層之底部附近)具有p型摻雜劑(例如，硼)原子之一最大濃度位準且在磊晶層之頂表面附近具有p型摻雜劑原子之一最小濃度位準之一單調遞減p型摻雜劑濃度梯度(摻雜分佈)之一方式在頂部矽基板上

產生一磊晶層。例如，藉由以下項執行摻雜薄頂部矽基板：在頂部矽基板上形成一非晶硼層；在一高溫(即，800°C或更高)下執行一硼驅入退火；且接著在驅入退火期間或之後(即，在形成磊晶層之前)移除硼層。產生具有所要摻雜梯度之磊晶層涉及在高溫(即，至少800°C)下在頂部矽基板上生長本質或輕度p型摻雜磊晶矽，使得自高度p型摻雜薄頂部矽至磊晶矽中之硼擴散在磊晶矽中產生所要p型摻雜劑濃度梯度。接著使用(例如)標準CMOS製造程序在磊晶層之上(相對低p型摻雜)表面上形成電路元件，且接著形成金屬互連件(線及通孔)以將該等電路元件連接在一起。接著薄化(即，至少部分移除)SOI晶圓之厚處置基板及中間絕緣體層以曝露頂部矽基板或磊晶層之一背側(下)表面以增加影像感測器對照射主動感測器背側表面區域之光的靈敏度。在一些實施例中，在薄化程序期間移除頂部矽基板之一些或全部以最大化經曝露背側表面區域之p型摻雜位準。在一項實施例中，使用已知乾式蝕刻、濕式蝕刻及/或機械拋光技術執行處置基板、絕緣體/氧化物及頂部矽基板之移除。接著直接在經曝露背側表面區域上形成一永久(第二)非晶純硼層，且在第二非晶硼層之表面上形成一或多個選用抗反射層。在一替代實施例中，可在硼層上沈積一薄金屬塗層以促進帶電粒子(例如，電子)、EUV或X射線之偵測。此一薄金屬塗層亦可降低感測器對雜散光之敏感性，可保護感測器之表面，且可促進自感測器表面原地清潔污染物(諸如碳及有機分子)。

**【0013】** 製造一影像感測器之另一方法涉及產生具有上文描述之單調遞減摻雜濃度梯度之一磊晶層且接著使用上文描述之程序在磊晶層上形成電路元件及互連件。接著在電路元件上/上方形成一選用保護層，且接著在電路元件及互連件上方接合一第二處置晶圓。接著移除SOI晶圓之至

少一部分(即，整個處置基板、絕緣體/氧化物層及一些或全部頂部矽基板)以曝露藉由剩餘頂部矽基板或磊晶層材料形成之一背側感測器表面，其中經曝露背側感測器表面界定單調遞減摻雜濃度梯度(即，硼摻雜濃度位準自經曝露背側感測器表面及其上形成電路元件之磊晶層之上表面單調遞減)之一最大硼摻雜濃度位準。接著在處於或低於450°C之一溫度下藉由化學氣相沈積(CVD)或分子束磊晶(MBE)沈積後續形成之純硼層，接著形成一選用保護層，且接著藉由一原子層沈積(ALD)或可在低於450°C下執行之其他程序形成一或多個抗反射塗層以便防止對電路元件及互連件之熱相關損害。

**【0014】** 本文中描述之影像感測器可使用CCD (電荷耦合裝置)或CMOS (互補金屬氧化物半導體)技術製造。影像感測器可係二維(2D)區域感測器或一維(1D)線感測器。

#### **【圖式簡單說明】**

**【0015】** 圖1係展示根據本發明產生之一例示性影像感測器之一橫截面視圖。

**【0016】** 圖2係繪示根據一實施例之用於製造一影像感測器之一例示性方法之一流程圖。

**【0017】** 圖3A、圖3B、圖3C、圖3D、圖3E及圖3F係繪示用於根據圖2之方法製造一影像感測器之例示性程序之橫截面側視圖。

**【0018】** 圖4係繪示根據另一實施例之用於製造一影像感測器之一例示性方法之一流程圖。

**【0019】** 圖5A、圖5B、圖5C、圖5D及圖5E係繪示用於根據圖4之方法製造一影像感測器之例示性程序之橫截面側視圖。

【0020】 圖6A、圖6B及圖6C係繪示根據本發明之另一實施例之用於製造一影像感測器之例示性程序之橫截面側視圖。

【實施方式】

【0021】

相關申請案/專利

本申請案主張2020年4月8日申請且以引用的方式併入本文中之標題為「BACK-ILLUMINATED SENSOR AND A METHOD OF MANUFACTURING A SENSOR USING A SILICON ON INSULATING WAFER」之美國臨時專利申請案第63/006,724號之優先權。本申請案亦與以下案相關：2019年9月5日申請之標題為「BACK-ILLUMINATED SENSOR AND A METHOD OF MANUFACTURING A SENSOR」之美國申請案第16/562,396號及美國專利第9,496,425號、第9,818,887號、第10,121,914號及第10,446,696號，該等專利全部頒予Chern等人且標題全部為「Back-illuminated sensor with boron layer」。此等專利及申請案以引用的方式併入本文中。

【0022】 雖然將依據特定實施例描述所主張標的物，但其他實施例(包含未提供本文中闡述之全部益處及特徵之實施例)亦在本發明之範疇內。可做出各種結構、邏輯、程序步驟及電子改變而不脫離本發明之範疇。因此，本發明之範疇僅藉由參考隨附發明申請專利範圍定義。

【0023】 呈現以下描述以使一般技術者能夠製造且使用如在一特定應用及其要求之背景內容中提供之本發明。如本文中所使用，諸如「頂部」、「底部」、「前」、「前側」、「背側」、「上方」、「下方」、「上」、「向上」及「下」之方向性術語意欲為描述之目的而提供相對位

置，且並不意欲指定一絕對參考系。熟習此項技術者將明白對較佳實施例之各種修改，且本文中定義之一般原理可應用於其他實施例。因此，本發明並不意欲限於所展示及描述之實施例，而是應符合與本文中揭示之原理及新穎特徵一致之最寬範疇。

**【0024】** 圖1係描繪根據本發明之一例示性實施例之經組態以感測深紫外(DUV)輻射、真空紫外(VUV)輻射、極紫外(EUV)輻射或帶電粒子之一影像感測器100之一部分之一橫截面側視圖。影像感測器100通常包含一矽基板103、安置於矽基板103之一上表面103U上之一磊晶層104、安置於磊晶層104之一上表面104U上之至少一個電路元件110及相關聯互連件120、安置於矽基板103之一下表面103L上之一純硼層106及安置於純硼層106之一下(背側或面向外)表面106L上之一選用抗反射塗層108。

**【0025】** 矽基板103係具有與磊晶層104之一下表面104L形成一矽基板/磊晶層介面之一上表面103U及與純硼層106之一上表面106U形成一矽/硼介面之矽基板103之一下表面103L之一相對重度p型摻雜單晶矽層。在一項實施例中，矽基板103之一厚度T1在5 nm至100 nm之一範圍中。

**【0026】** 磊晶層104係使用下文描述之製造技術經同質磊晶生長否則以其他方式形成於上表面103U上之一單晶矽層。在一項實施例中，磊晶層104具有在10  $\mu\text{m}$ 至40  $\mu\text{m}$ 之範圍中之一厚度T2。

**【0027】** 電路元件110及互連件120係使用已知半導體製造技術形成於磊晶層104之一上表面104U上(即，至其中及/或上方)，且包含一感測器裝置(例如，一光敏裝置，諸如一光電二極體)及相關聯控制電晶體。如本文中使用的片語「電路元件」係指光敏裝置(諸如電荷耦合裝置及光電二極體)、其他半導體裝置(諸如電晶體、二極體、電阻器及電容器)，且術

語「互連件」係指在半導體裝置之間傳遞信號之電互連(通常稱為金屬線及通孔)。本文中提及之電路元件係使用標準半導體製造程序(包含(但不限於)光微影、沈積、蝕刻、擴散、離子植入及退火)形成。在圖1中描繪之例示性實施例中，電路元件110包含自上表面104U延伸至磊晶層104之對應部分中之隔開之n+型摻雜擴散區域111-11、111-12及111-13以及分別藉由中介閘極氧化物層與上表面104U分離之多晶矽(polycrystalline silicon/polysilicon)閘極結構113-21及113-22。互連件120包含形成於一第一介電區域122中/上之第一金屬線121、形成於一第二介電層124中之第二金屬線123、第一金屬通孔125及第二金屬通孔127，其等全部形成於電路元件110上方且使用已知技術可操作地電連接至電路元件110之相關聯區域。第一金屬線121形成於沈積於電路元件110上方之一或多個介電層122中或上，且第一金屬通孔125使用已知通孔形成技術延伸穿過介電層122。第二金屬線123形成於安置於第一金屬線121上方之一或多個第二介電層124中，且第二金屬通孔127延伸穿過一或兩個介電層124及122。在一項實施例中，一保護層(圖1中未展示)形成於第一金屬線121與第二金屬線123之間，且全部第二金屬通孔127包括鎢、鋁及銅之至少一者且延伸穿過此保護層。形成圖1中描繪之電路元件110之例示性擴散區域及閘結構連同例示性金屬互連件120係為了闡釋性目的經任意組態且僅為了描述例示性電路元件結構之目的經提供且不旨在表示一功能感測器裝置或限制隨附發明申請專利範圍。

**【0028】** 在於形成電路元件110及互連件120之後執行之背側處理期間使用下文描述之技術形成純硼層106及選用抗反射塗層108。純硼層106包括80%或更高之一硼濃度，其中相互擴散矽原子及氧原子主要構成剩餘

20%或更少。在一項實施例中，純硼層106具有在2 nm至20 nm之範圍中之一厚度T3。在一項特定實施例中，純硼層106之厚度T3在3 nm至10 nm之範圍中，且一選用保護層(例如，一薄金屬層，未展示)及一或多個選用抗反射塗層(例如，二氧化矽)108沈積於純硼層106之一下(面向外)表面106L上。在以下例示性生產方法描述中提供關於根據本發明生產之影像感測器之額外結構及細節。

**【0029】** 參考圖1之右側，根據本發明之一態樣，使用下文描述之方法處理矽基板103及磊晶層104以展現一p型(例如，硼)摻雜劑濃度梯度 $d_{np}$ ，該p型摻雜劑濃度梯度 $d_{np}$ 具有在一背側感測器表面(其在經描繪實施例中與矽基板103之下表面103L重合)處發生之一最大濃度位準 $n_{p-max}$ ，且在Y軸方向上自最大濃度位準 $n_{p-max}$ 單調遞減至發生在磊晶層104之上表面104U處之一最小摻雜濃度位準 $n_{p-min}$ 。在一項實施例中，最大濃度位準 $n_{p-max}$ 在約 $10^{18} \text{ cm}^{-3}$  (即，每立方厘米 $10^{18}$ 個硼原子)至 $10^{21} \text{ cm}^{-3}$ 之一範圍中，且最小摻雜濃度位準 $n_{p-min}$ 在約 $10^{13} \text{ cm}^{-3}$ 至 $10^{14} \text{ cm}^{-3}$ 之一範圍中。在一項實施例中，在矽基板103內產生之摻雜劑濃度梯度 $d_{np}$ 之部分實質上平坦(即，使得發生在由下表面104L及上表面103U界定之矽基板/磊晶層介面處之一中間摻雜劑位準 $n_{p-int}$ 實質上等於下表面103L處之最大濃度位準 $n_{p-max}$ )。

**【0030】** 圖2繪示用於使用一絕緣體上矽(SOI)晶圓製造一影像感測器之一例示性方法200，且圖3A至圖3F描繪在執行方法200期間之各個程序階段處之一例示性SOI晶圓。參考圖3A，在製造程序之開始，SOI晶圓300包含具有一經曝露上(第一)表面303U及藉由一中介絕緣體(氧化物)層302附接至一相對厚處置基板301之一相對下(第二)表面303L之一相對薄

頂部(前側)矽基板303。在製造程序的開始之前製造或獲取SOI晶圓300，其中處置晶圓301及氧化物層302具有標準組合物及厚度。在較佳實施例中，SOI晶圓300經特性化使得頂部矽基板303具有在5 nm至100 nm之範圍中之一厚度且由本質或輕度p型摻雜多晶矽組成。

【0031】 參考方塊201 (圖2)，利用一硼層以藉由一硼擴散程序而在一SOI晶圓之頂部矽基板中產生一高硼摻雜濃度位準(即， $10^{18}$  cm<sup>-3</sup>或更大)。在圖3A及圖3B中描繪之一實施例中，利用一硼層310以在SOI晶圓300之頂部矽基板中產生所要高硼摻雜濃度位準包含形成第一硼層310 (參考圖3A展示且描述)且接著處理SOI晶圓300 (參考圖3B展示且描述)以循序或同時執行硼驅入及硼移除兩者。

【0032】 參考圖3A，硼層310形成於上表面303U上且包括具有在2 nm至10 nm之範圍中之一厚度T4之純非晶硼(如本文中定義)。在一較佳實施例中，使用一化學氣相沈積(CVD)程序形成硼層310同時將SOI晶圓300安置於一CVD腔室中且加熱至在600°C至800°C之一範圍中之一高溫。在其他實施例中，可利用其他程序(例如，濺鍍或一分子束磊晶(MBE))以產生硼層310，前提是所得硼沈積係純且乾淨的。

【0033】 圖3B描繪在用於產生所要高硼摻雜濃度位準及自上表面303U完全移除硼層310兩者之處理期間或之後之SOI晶圓300。應注意，在圖3B中使用元件符號303A識別頂部矽基板，其中後綴「A」用於區分源自硼擴散程序之高度p型摻雜矽與圖3A之最初輕度摻雜頂部矽基板303。在一較佳實施例中，使用在800°C至900°C之範圍中之一溫度下執行之一CVD硼驅入退火程序原地(例如，使用用於形成硼層310之相同CVD腔室)執行硼擴散。在其他實施例中，可在一H<sub>2</sub>或N<sub>2</sub>氛圍中使用任何乾淨

腔室在高溫下驅動硼。在一較佳實施例中，亦在硼沈積之後立即(即，與硼驅入同時)在一氫環境中在 $800^{\circ}\text{C}$ 至 $900^{\circ}\text{C}$ 之一範圍中之一溫度下原地執行硼移除，藉此硼擴散穿過上表面303U至頂部矽基板303A中同時硼層310之經曝露部分與氫反應且離開硼層之表面。在此等條件下，硼層310之一典型移除速率係在30至60分鐘之一時段中3 nm至5 nm(即，較薄硼層需要少於30分鐘且較厚層需要多於一個小時)。在硼層310已完全消失之後，(例如，使用在 $10^{18}$ 至 $10^{21}$   $\text{cm}^{-3}$ 之範圍中之一硼濃度位準)高度摻雜頂部矽基板303A且摻雜劑分佈將相對均勻。藉由原地執行硼層形成及處理(即，驅入及移除)兩者提供之一益處係可在完成硼層移除之後立即執行磊晶生長(下文參考圖3C描述)(即，不需要一額外清潔程序)。在一替代實施例中，自沈積/擴散腔室移除SOI晶圓300且使用硝酸浸液(或其他氧化浸液)移除硼層310，接著在實行自上表面303U清潔氧化物之後執行磊晶生長。

【0034】參考方塊202(圖2)，接著以提供具有一單調遞減硼濃度梯度(例如，上文參考圖1展示且描述之梯度 $d_{np}$ )之磊晶層之一方式在頂部矽基板上/上方產生一磊晶矽層。在一項實施例中，在以產生所要單調遞減硼濃度梯度之一速率下增強自頂部矽基板至磊晶層材料中之硼擴散之條件下在重度摻雜頂部矽基板之上表面上生長本質或輕度p型摻雜磊晶矽。圖3C繪示在於上表面303U上/上方形成磊晶層304(在此期間，一二次硼擴散產生所要摻雜梯度(例如，參考圖1描述之梯度 $d_{np}$ ))之後之SOI晶圓。應注意，後綴「B」用於指示在二次硼擴散之後之頂部矽基板303B與重度p型摻雜頂部矽基板303A(圖3B)之間之差異。在一項較佳實施例中，在一CVD程序中使用矽烷或氯矽烷氣體(例如， $\text{SiH}_4$ 、 $\text{SiCl}_4$ 、 $\text{SiHCl}_3$ 、

SiH<sub>2</sub>Cl<sub>2</sub>或SiH<sub>3</sub>Cl)之至少一者與氫在800°C至1250°C之一範圍中之一溫度下之分解移除硼層之後立即原地生長磊晶層304。在CVD程序期間，可將二硼烷添加至氣體混合物以進行磊晶層中之低p型摻雜。在一些實施例中，可使用分子束磊晶(MBE)執行矽磊晶。在一些實施例中，可在磊晶矽生長之後執行大於800°C之一溫度下之一驅入退火以引起p型摻雜劑(例如，硼)原子自重度p型摻雜頂部矽基板遷移(擴散)至磊晶層304中以產生自頂部矽基板303B至磊晶層304中之所要單調遞減摻雜濃度梯度。

【0035】 參考方塊203 (圖2)及圖3D，接著使用標準半導體製造程序(諸如微影、沈積、蝕刻、離子植入及退火)在磊晶層304上/上方製造前側電路結構(元件) 110及相關聯互連件120。上文參考圖1提供與此等元件及互連件相關之目的及額外細節，因此此處為了簡潔起見省略細節。亦可在方塊203之製造程序期間產生電荷耦合裝置(CCD)及/或CMOS感測器元件及裝置。前側元件及裝置經產生於SOI晶圓之前側上之磊晶層304中，且因此被稱為前側電路元件。在前側處理期間，亦可執行多晶Si互連件及金屬互連件之形成連同其他高溫程序。由於互連件120係在背側薄化程序(下文描述)之前形成於晶圓上，故此等互連件可使用正常次微米CMOS處理技術形成且可包含高密度金屬互連件之多個層。互連件可由Al、Cu或另一金屬形成。

【0036】 參考方塊204 (圖2)，在電路元件上方形成一選用保護層以在後續處理(下文描述)期間保護其等。參考圖3E之上部分，將保護層320指示為形成於互連件120上方。在一些實施例中，保護層320可包括使用電漿輔助化學氣相沈積(PECVD)沈積之氮化矽層以及許多其他材料。

【0037】 參考方塊205 (圖2)及圖3E，接著執行一背側薄化程序以移

除(薄化)處置矽基板之至少一部分及氧化物層之至少一部分以在影像感測器之一光活性區域中曝露頂部矽基板303B之下表面303L。在所描繪實施例中，藉由研磨及/或蝕刻處置及氧化物材料以曝露下表面303L之一部分(其表示背側感測器表面(即，背照式影像感測器之光敏區域))，同時在頂部矽基板303B之曝露下表面303L周圍留存殘餘處置晶圓部分301A及殘餘氧化物層部分302A而執行此移除(薄化)程序。可藉由濕式蝕刻方法使用鹼性溶液(諸如KOH或TMAH等)執行蝕刻。處置基板與氧化物層之間之矽基板-氧化物介面用作濕式蝕刻之一自然蝕刻停止層。可使用氫氟酸及/或緩衝氧化物蝕刻移除氧化物層。頂部矽基板與氧化物層之間之頂部矽-氧化物介面用作氧化物蝕刻之一自然蝕刻停止層。替代地，亦可使用乾式蝕刻方法(諸如反應性離子蝕刻(RIE)及/或感應耦合電漿反應性離子蝕刻(ICPRIE))運用蝕刻氣體(諸如SF<sub>6</sub>、O<sub>2</sub>及C<sub>4</sub>F<sub>8</sub>等)移除矽及氧化物層。如下文參考圖6A至圖6C描述，亦可在薄化程序期間移除頂部矽基板之一些或全部，藉此背側感測器表面將由磊晶層304形成。

【0038】 參考方塊206 (圖2)及圖3F，接著在頂部矽基板303B之曝露下表面303L (或替代地，其中頂部矽基板303B已經移除之磊晶層304之曝露下表面)上方沈積一純硼層306及一選用抗反射層(未展示)。在較佳實施例中，在執行硼沈積之前清潔且準備下表面303L。在一項實施例中，此清潔可使用標準RCA 1及2清潔程序運用稀釋HF或緩衝氧化物蝕刻執行以在RCA 1及2清潔之後移除表面氧化物。在較佳實施例中，使用二硼烷與氫之一組合在一低溫(即，小於450°C，諸如在300°C至450°C之一範圍中之一溫度)下執行高純度硼沈積以避免在一CVD程序中對前側金屬互連件之任何損害。基於成品影像感測器之操作之目標波長範圍及避免針孔所

需之最小厚度判定硼層306之厚度。典型厚度可在2 nm至20 nm之範圍中。晶圓保持在高溫下之時間必須保持為一最小值以避免前側金屬互連件之損害。

【0039】如方塊208 (圖2之底部)中指示，在一些實施例中，接著封裝成品影像感測器。封裝可包含一晶片至一基板之覆晶接合或線接合。封裝可包含透射所關注波長之一窗或可包括用於介接至一真空密封件之一凸緣或密封件。在電子轟擊影像感測器實施例中，封裝可包含其他組件(諸如一光電陰極以及一密封真空管)。

【0040】圖4繪示用於以一絕緣體上矽(SOI)晶圓開始製造一影像感測器之一替代例示性方法400，且圖5A至圖5E描繪在執行方法400期間之各個程序階段處之一例示性SOI晶圓。為了簡潔起見，將藉由方法400產生之與上文參考程序200 (圖2及圖3A至圖3C)描述之程序及結構相同之程序及結構併入圖5A至圖5E中。例如，圖5A描繪在完成與方塊201及202 (圖2)以及方塊401及402 (圖4)相關聯之程序之後之SOI晶圓300之經處理層，其中頂部Si層303B藉由中介氧化物(絕緣體)層302連接至Si處置基板301，磊晶層304以產生上文描述之單調改變摻雜濃度梯度之一方式形成於頂部矽基板303B上。將上文參考圖3A及圖3B提供之描述理解為描述與方塊401及402相關聯地執行之類似例示性程序且因此此處將不重複。類似地，圖5A描繪根據方塊203 (圖2)及方塊403 (圖4)形成於磊晶層304之上表面304U上之電路元件110及互連件120。

【0041】參考方塊404 (圖4)及圖5A，使用已知製造程序(例如，PECVD)在互連件120 (其先前以上文參考圖3C描述之方式經製造於磊晶層304上)上方之上表面120U上沈積或以其他方式形成一前側保護材料(例

如，氮化矽)。

【0042】 參考方塊405 (圖4)及圖5B，接著使用已知技術將一處置晶圓(第二處置基板) 501附接至前側(例如，至保護層510之上表面510U)，藉此處置晶圓501用於進一步保護形成於磊晶層304上之元件及互連件且用作下文描述之背側處理階段之一基底晶圓。在例示性實施例中，處置晶圓501包括一矽晶圓、一石英晶圓或由另一適合材料製成之一晶圓。在一些實施例中，處置晶圓501可直接附接至上表面120U (即，藉由省略中介保護層510)。在一替代實施例(未展示)中，可使用保護層510作為處置晶圓501之代替或補充(即，可省略一第二處置基板)。在一項實施例中，穿過處置晶圓501形成額外通孔結構(未展示)以促進至電路元件110之前側連接。

【0043】 參考方塊406 (圖4)及圖5C，接著執行背側處理以(至少部分)移除起始SOI晶圓之處置基板及氧化物層，使得一背側感測器表面(例如，頂部矽基板303B之下表面303L)經曝露。在一項實施例中，使用上文參考圖3E描述之研磨及/或蝕刻程序之一組合(包含清潔並處理下表面303L以為後續硼層形成作準備)執行移除程序。在此步驟中，可藉由(例如)蝕刻或拋光移除頂部矽基板303B之一些或全部。

【0044】 參考方塊407 (圖4)及圖5D，接著(例如)使用上文參考圖3F描述之程序在頂部矽基板303B之下表面303L上形成一純硼層506。

【0045】 參考方塊408 (圖4)及圖5E，在純硼層506之下表面506L上沈積或以其他方式形成一抗反射材料以產生一或多個抗反射層508。可使用一ALD程序或需要低於450°C之溫度之其他程序沈積至少一個層。在一替代實施例中，可在硼層506上沈積一薄金屬塗層(即，作為抗反射層508之

代替或補充)。當感測器用於偵測帶電粒子(諸如電子)、EUV或X射線時，薄金屬塗層可尤其有用。此一薄金屬塗層可降低感測器對雜散光之敏感性，可保護感測器之表面，且可促進自感測器表面原地清潔污染物(諸如碳及有機分子)。

**【0046】** 如方塊409 (圖4)中指示，可接著使用上文描述之任何封裝技術封裝圖5E中展示之成品影像感測器。

**【0047】** 圖6A至圖6C繪示例示性條件，在該等條件下，在上文參考圖3E及圖5C描述之背側薄化程序期間，在頂部矽基板中產生之一摻雜分佈需要移除頂部矽基板之一些或全部(即，連同原始SOI晶圓之處置基板及氧化物層)。亦即，簡要參考圖1，一例示性理想頂部矽摻雜分佈由在最大硼濃度位準 $n_{p-max}$ 與中間摻雜濃度 $n_{p-int}$ 之間延伸之梯度 $d_{np}$ 之部分描繪，其中最大硼濃度位準 $n_{p-max}$ 發生在下表面103L處且摻雜濃度在下表面103L與頂部矽/磊晶層介面之間單調遞減(或保持平坦)。當產生此理想頂部矽摻雜分佈時，可在移除SOI晶圓之處置基板及氧化物層之後終止背側薄化程序(即，不需要移除任何頂部矽基板)。然而，實際上，最大硼濃度位準發生在頂部矽基板之上表面與下表面之間之某處，此需要移除頂部矽基板之至少一些，如下文參考圖6B及圖6C描述。

**【0048】** 圖6A描繪形成於具有藉由一中介絕緣體(氧化物)層602附接至一處置基板601之一頂部矽基板603之一SOI晶圓上之一部分完成感測器600A，該部分完成感測器600A係在已利用一硼層(未展示)至頂部矽基板603中之一高硼摻雜濃度之後及在磊晶層604已形成於頂部矽基板603上，使得來自該頂部矽基板603之硼擴散產生在磊晶層604中自鄰近頂部矽基板603之上表面603U安置之一原始最大硼濃度位準 $n_{p-max10}$ 單調遞減至

鄰近磊晶層604之上表面604U安置之一最小硼摻雜濃度位準 $n_{p-min1}$ 之一硼摻雜濃度梯度 $d_{np1}$ 之後。然而，應注意，最大硼濃度位準 $n_{p-max10}$ 發生在定位於頂部矽基板603之上表面603U與原始下表面603L0之間之一位準處，此意謂硼摻雜濃度梯度 $d_{np1}$ 未能如在一些情況中對於最佳感測器效能所需一般在頂部矽基板603之原始下表面603L0與磊晶層604之上表面604U之間單調遞減。具體言之，發生在上表面603U處之一第一中間硼濃度位準 $n_{p-int11}$ 及發生在原始下表面603L0處之一第二硼濃度位準 $n_{p-int12}$ 小於最大硼濃度位準 $n_{p-max10}$ 。例如，歸因於磊晶矽生長期間自頂部矽基板603至氧化物層602中之向下硼擴散，發生「下降(dip)」(即，最大硼濃度位準 $n_{p-max10}$ 與第二硼濃度位準 $n_{p-int12}$ 之間之濃度梯度位準之小減小)，且其中發生此下降之Y軸位置取決於(例如)磊晶矽生長期間之峰值硼濃度位準及溫度。

【0049】 參考圖6B，為了「修復」摻雜濃度梯度 $d_{np1}$ ，需要執行背側處理，使得薄化程序包含移除至少頂部矽層603之定位於最大硼濃度位準 $n_{p-max10}$ 與原始下表面603L0之間之部分(即，連同整個處置基板601及氧化物層602)，藉此最大硼濃度位準 $n_{p-max10}$ 與經修正下表面603L1重合。亦即，移除頂部矽層603之經描繪下部分有效地調整摻雜濃度梯度 $d_{np1}$ ，使得最大硼濃度位準 $n_{p-max10}$ 發生在背側感測器表面(即，經修正下表面603L1)且在Y軸方向上單調遞減至上表面604U。如上文描述，背側處理緊接在將硼沈積於經修正下表面603L1上及上文參考圖2之方塊206至208及圖4之方塊407至409描述之額外程序之後。

【0050】 圖6C描繪用於修復摻雜濃度梯度 $d_{np1}$ 之一替代方法，其中執行背側處理，使得薄化程序包含移除整個頂部矽層603(即，連同整個處置基板601及氧化物層602)，藉此藉由曝露磊晶層604之下表面604L而

界定新背側感測器表面。因此，「修復」摻雜濃度梯度 $d_{np1}$ ，此係因為其具有一新最大硼濃度位準 $n_{p-max11}$ ，該新最大硼濃度位準 $n_{p-max11}$ 等於硼濃度位準 $n_{p-int11}$ 且在Y軸方向上自新背側感測器表面(即，下表面604L)單調遞減至上表面604U。一旦已完全移除矽層603，便將硼沈積於經曝露下表面604L上且執行上文參考圖2之方塊206至208及圖4之方塊407至409描述之額外程序。

**【0051】** 上文實例不意欲限制本文中揭示之本發明之範疇。其等僅意欲作為可如何處理一SOI晶圓之頂部矽基板以包含所要p型摻雜劑濃度梯度且接著在其光敏表面上塗佈有一硼層兩者之圖解。由於頂部矽基板包含鄰近硼具有其最大值之p型摻雜劑之一濃度梯度，故即使針對短波長光或低能帶電粒子(其等可穿透至頂部矽及磊晶層中僅數nm或數十nm)，影像感測器仍具有高效率。

**【0052】** 上文描述之本發明之結構及方法之各項實施例僅闡釋本發明之原理且不旨在將本發明之範疇限於所述特定實施例。例如，可將額外步驟添加至圖2及圖4中描繪之流程圖，或可以與所展示不同之一於序列完成一些所展示步驟。因此，本發明僅藉由以下發明申請專利範圍及其等等效物限制。

### **【符號說明】**

#### **【0053】**

100: 影像感測器

103: 矽基板

103L: 下表面

103U: 上表面

- 104: 磊晶層
- 104L: 下表面
- 104U: 上表面
- 106: 純硼層
- 106L: 下表面
- 106U: 上表面
- 108: 選用抗反射塗層
- 110: 電路元件
- 111-11: n+型摻雜擴散區域
- 111-12: n+型摻雜擴散區域
- 111-13: n+型摻雜擴散區域
- 113-21: 多晶矽閘極結構
- 113-22: 多晶矽閘極結構
- 120: 互連件
- 120U: 上表面
- 121: 第一金屬線
- 122: 第一介電區域
- 123: 第二金屬線
- 124: 第二介電層
- 125: 第一金屬通孔
- 127: 第二金屬通孔
- 200: 方法
- 201: 方塊

202: 方塊  
203: 方塊  
204: 方塊  
205: 方塊  
206: 方塊  
208: 方塊  
300: 絕緣體上矽(SOI)晶圓  
301: 處置晶圓  
301A: 殘餘處置晶圓部分  
302: 中介絕緣體層/氧化物層  
302A: 殘餘氧化物層部分  
303: 頂部矽基板/前側矽基板  
303A: 頂部矽基板  
303B: 頂部矽基板  
303L: 下表面/第二表面  
303U: 上表面/第一表面  
304: 磊晶層  
304U: 上表面  
306: 純硼層  
310: 硼層/第一硼層  
320: 保護層  
400: 方法  
401: 方塊

402: 方塊  
403: 方塊  
404: 方塊  
405: 方塊  
406: 方塊  
407: 方塊  
408: 方塊  
409: 方塊  
501: 處置晶圓/第二處置基板  
506: 純硼層  
506L: 下表面  
508: 抗反射層  
510: 保護層  
600A: 部分完成感測器  
601: 處置基板  
602: 中介絕緣體層/氧化物層  
603: 頂部矽基板  
603L0: 原始下表面  
603L1: 經修正下表面  
603U: 上表面  
604: 磊晶層  
604L: 下表面  
604U: 上表面

T1: 厚度

T2: 厚度

T3: 厚度

T4: 厚度

$d_{np}$ : 摻雜劑濃度梯度

$n_{p-int}$ : 中間摻雜劑位準

$n_{p-max}$ : 最大濃度位準

$n_{p-min}$ : 最小摻雜濃度位準

$d_{np1}$ : 硼摻雜濃度梯度

$n_{p-int11}$ : 第一中間硼濃度位準

$n_{p-int12}$ : 第二硼濃度位準

$n_{p-max10}$ : 原始最大硼濃度位準

$n_{p-max11}$ : 新最大硼濃度位準

$n_{p-min1}$ : 最小硼摻雜濃度位準

## 【發明申請專利範圍】

### 【請求項1】

一種在包含具有一經曝露第一表面及藉由一中介絕緣體層附接至一處置基板之一相對第二表面之一頂部矽基板之一絕緣體上矽(SOI, silicon-on-insulator)晶圓上製造一影像感測器之方法，該方法包括：

利用一第一硼層以在該頂部矽基板中產生一第一硼摻雜濃度位準；

在該頂部矽基板之一第一表面上產生一磊晶層(epitaxial layer)；

在該磊晶層之一第一表面上形成電路元件；

移除該處置基板及該中介絕緣體層，使得該頂部矽基板之該第二表面經曝露；及

在該頂部矽基板之該經曝露第二表面上形成一純硼層，

其中共同執行利用該硼層及產生該磊晶層，使得自該頂部矽基板至該磊晶層中之硼擴散產生自安置於該頂部矽基板內之一最大硼濃度位準單調遞減至鄰近該磊晶層之該第一表面之一最小硼摻雜濃度位準之一硼摻雜濃度梯度。

### 【請求項2】

如請求項1之方法，其中利用該非晶硼層以產生該第一硼濃度位準包括：

在頂部矽基板之該第一表面上形成一第一硼層；

處理該SOI晶圓，使得來自該第一硼層之硼擴散在該頂部矽基板中產生一初始硼摻雜濃度位準，且使得該第一硼層自該頂部矽基板之該第一表面完全移除。

### 【請求項3】

如請求項2之方法，其中形成該第一硼層包括使用一CVD程序在600°C至800°C之一範圍中之一溫度下沈積硼。

**【請求項4】**

如請求項2之方法，其中處理以產生該初始硼摻雜濃度位準包括在800°C至900°C之一範圍中之一溫度下執行一驅入退火(drive-in anneal)。

**【請求項5】**

如請求項2之方法，其中處理以移除該第一硼層包括在一氫氛圍(hydrogen atmosphere)中將該SOI晶圓維持於800°C至900°C之一範圍中之一溫度下。

**【請求項6】**

如請求項5之方法，其中該處理包括同時產生該初始硼摻雜濃度位準且移除該第一硼層。

**【請求項7】**

如請求項4之方法，其中在將該SOI晶圓維持於一CVD腔室內之同時執行形成該第一硼層、執行該驅入退火、移除該第一硼層及產生該磊晶層之各者。

**【請求項8】**

如請求項1之方法，其中該方法進一步包括在該純硼層之一表面上沈積一抗反射層。

**【請求項9】**

如請求項1之方法，其中該方法進一步包括在移除該處置基板及該中介絕緣體層之前在該磊晶層上於該等電路元件上方形成一保護層。

**【請求項10】**

如請求項1之方法，其中該方法進一步包括在移除該處置基板及該中介絕緣體層之前將一第二處置基板附接至該磊晶層於該等電路元件上方。

**【請求項11】**

如請求項1之方法，其中移除該處置基板及該中介絕緣體層進一步包括移除該頂部矽基板之一部分。

**【請求項12】**

一種在包含具有一經曝露第一表面及藉由一中介絕緣體層附接至一處置基板之一相對第二表面之一頂部矽基板之一絕緣體上矽(SOI)晶圓上製造一影像感測器之方法，該方法包括：

利用一第一硼層以在該頂部矽基板中產生一第一硼摻雜濃度位準；

在該頂部矽基板之一第一表面上產生一磊晶層，使得來自該頂部矽基板之硼擴散產生在該磊晶層中自鄰近該頂部矽基板之該第一表面安置之一最大硼濃度位準單調遞減至鄰近該磊晶層之一第二表面安置之一最小硼摻雜濃度位準之一硼摻雜濃度梯度；

在該磊晶層之該第二表面上形成電路元件；

移除該處置基板、該中介絕緣體層及該頂部矽基板，使得該磊晶層之一第三表面經曝露；及

在該磊晶層之該經曝露第三表面上形成一純硼層。

**【請求項13】**

如請求項12之方法，其中利用該非晶硼層以產生該第一硼濃度位準包括：

在頂部矽基板之該第一表面上形成一第一硼層；

處理該SOI晶圓，使得來自該第一硼層之硼擴散在該頂部矽基板中產

生一初始硼摻雜濃度位準，且使得該第一硼層自該頂部矽基板之該第一表面完全移除。

**【請求項14】**

如請求項13之方法，其中形成該第一硼層包括使用一CVD程序在600°C至800°C之一範圍中之一溫度下沈積硼。

**【請求項15】**

如請求項13之方法，其中處理以產生該初始硼摻雜濃度位準包括在800°C至900°C之一範圍中之一溫度下執行一驅入退火。

**【請求項16】**

如請求項13之方法，其中處理以移除該第一硼層包括在一氫氛圍中將該SOI晶圓維持於800°C至900°C之一範圍中之一溫度下。

**【請求項17】**

如請求項13之方法，其中該處理包括同時產生該初始硼摻雜濃度位準且移除該第一硼層。

**【請求項18】**

如請求項15之方法，其中在將該SOI晶圓維持於一CVD腔室內之同時執行形成該第一硼層、執行該驅入退火、移除該第一硼層及產生該磊晶層之各者。

**【請求項19】**

如請求項12之方法，其中該方法進一步包括在該純硼層之一表面上沈積一抗反射層之一者。

**【請求項20】**

一種用於感測深紫外(DUV)輻射、真空紫外(VUV)輻射、極紫外

(EUV)輻射及帶電粒子之至少一者之影像感測器，該影像感測器包括：

一單晶矽基板，其具有一第一表面及一相對第二表面；

一磊晶層，其具有與該單晶矽基板103之該第一表面形成一介面之一第三表面，該磊晶層具有與該第三表面相對安置之一第四表面；

電路元件及金屬互連件，其等形成於該磊晶層之該第四表面上；及

一純硼層，其形成於該單晶矽基板103之該第二表面上，

其中該單晶矽基板及該磊晶層共同包含經組態使得硼原子之一濃度自發生在該單晶矽基板之該第二表面處之一最高硼濃度位準單調遞減至該磊晶層之該第四表面處之一最低硼濃度位準之一硼濃度梯度。

**【請求項21】**

如請求項20之影像感測器，

其中在該等第一與第二表面之間量測之該單晶矽基板之一厚度在5 nm至100 nm之範圍中，

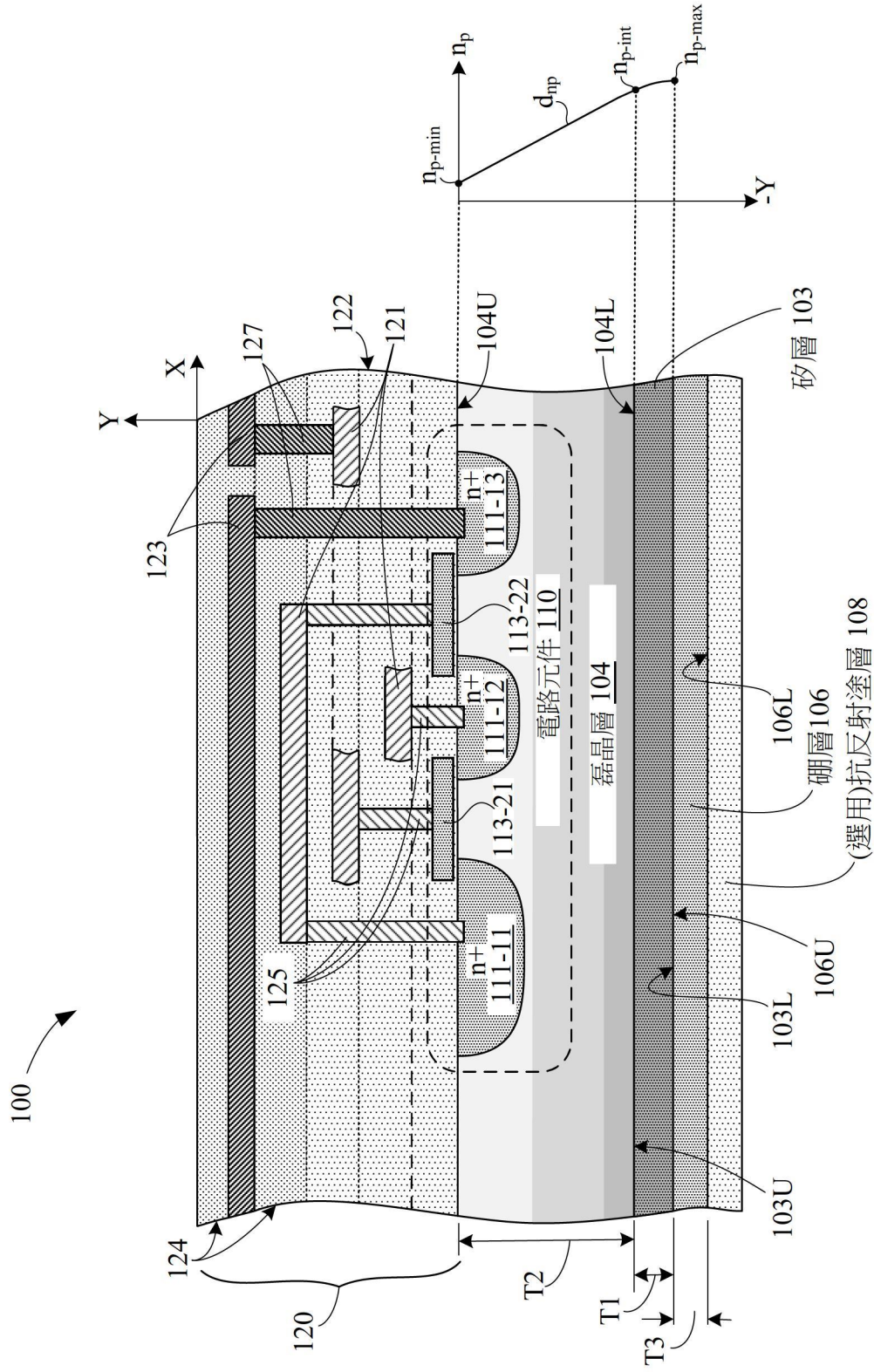
其中在該等第三與第四表面之間量測之該磊晶層之一厚度在10  $\mu\text{m}$ 至40  $\mu\text{m}$ 之範圍中，且

其中該純硼層具有在2 nm至20 nm之範圍中之一厚度。

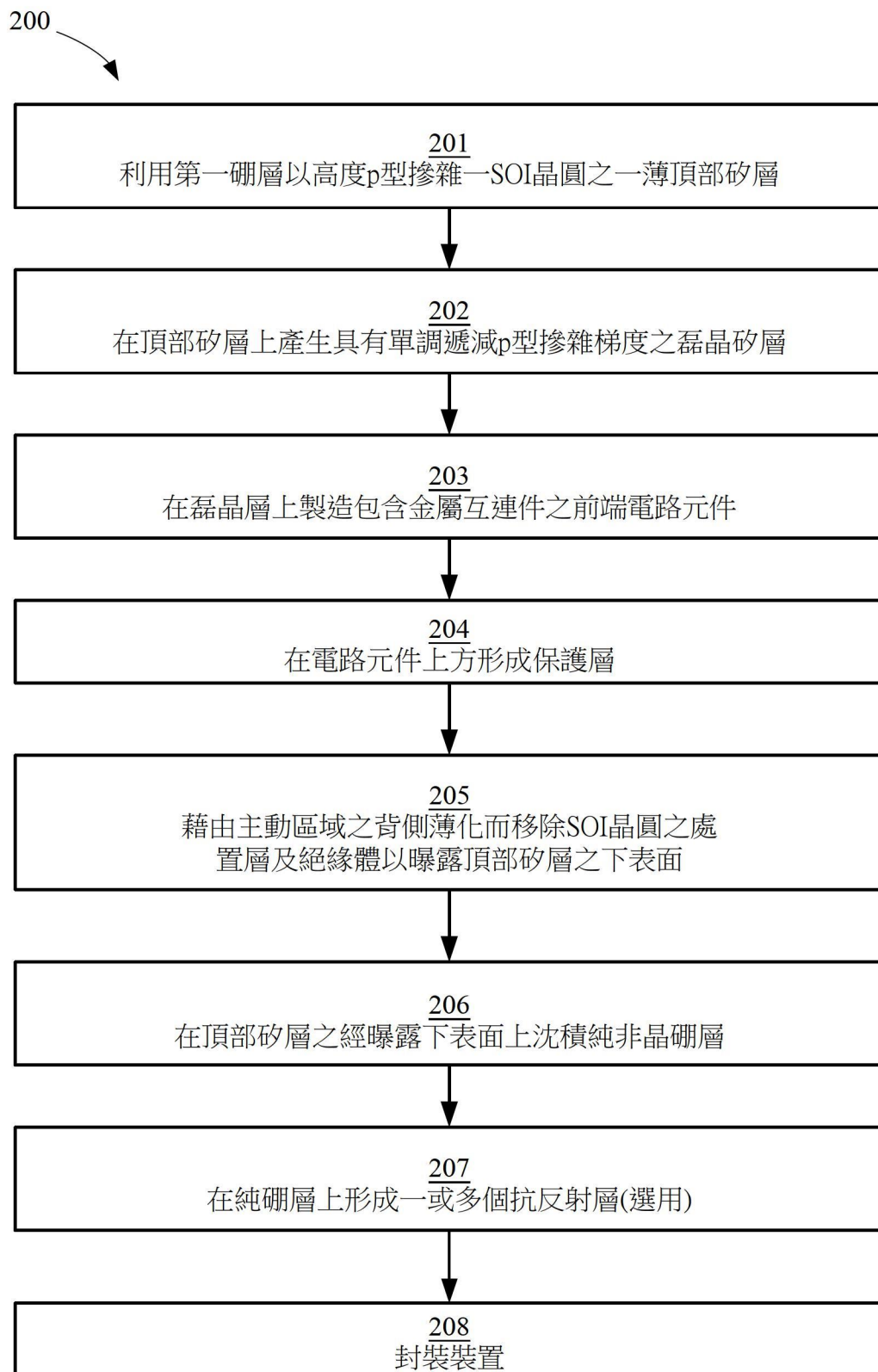
**【請求項22】**

如請求項20之影像感測器，其進一步包括在該等電路元件上方附接至該磊晶層之一處置晶圓。

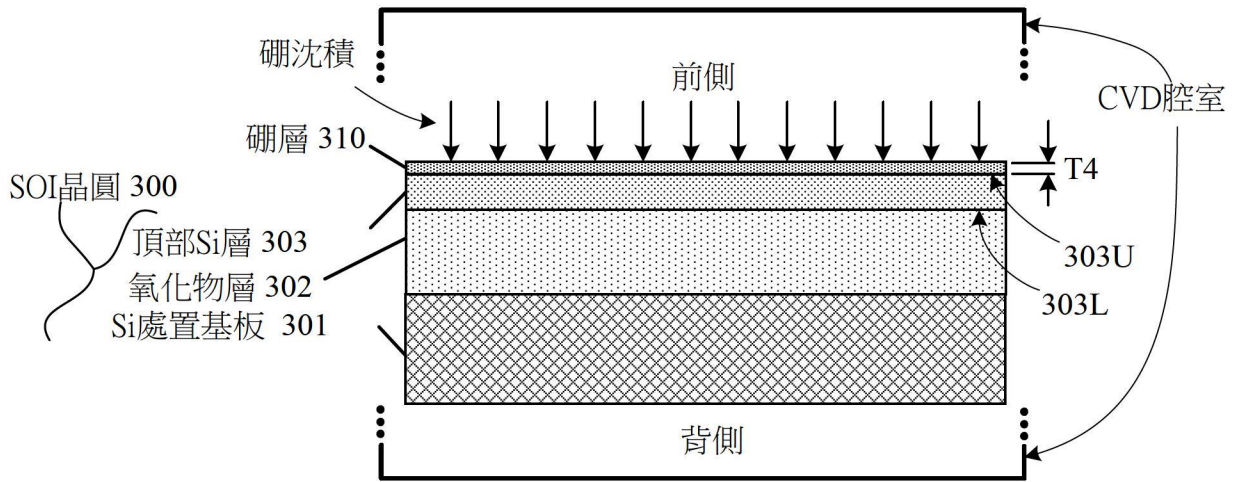
【發明圖式】



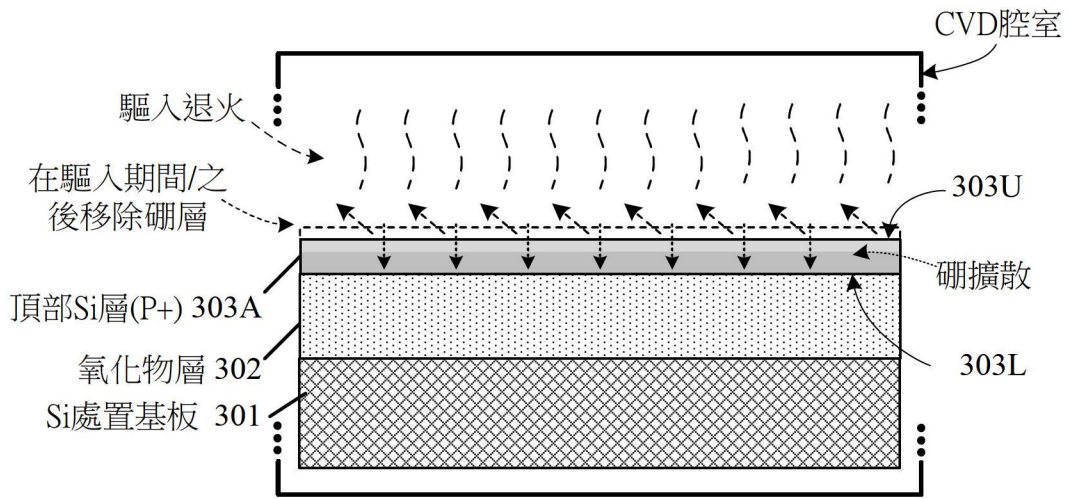
【圖1】



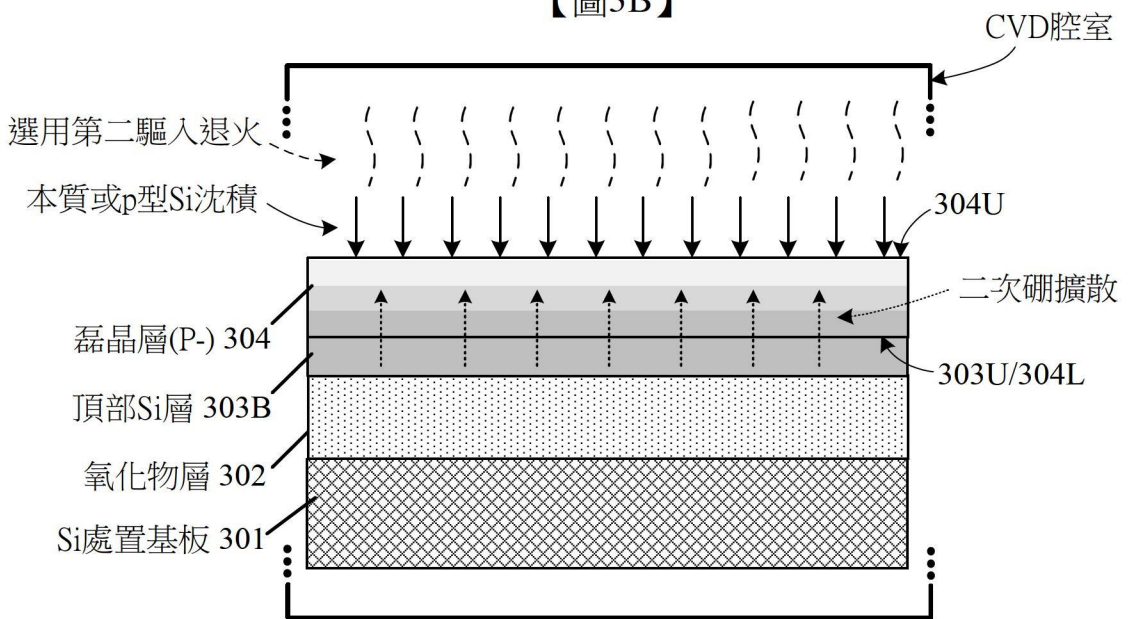
【圖2】



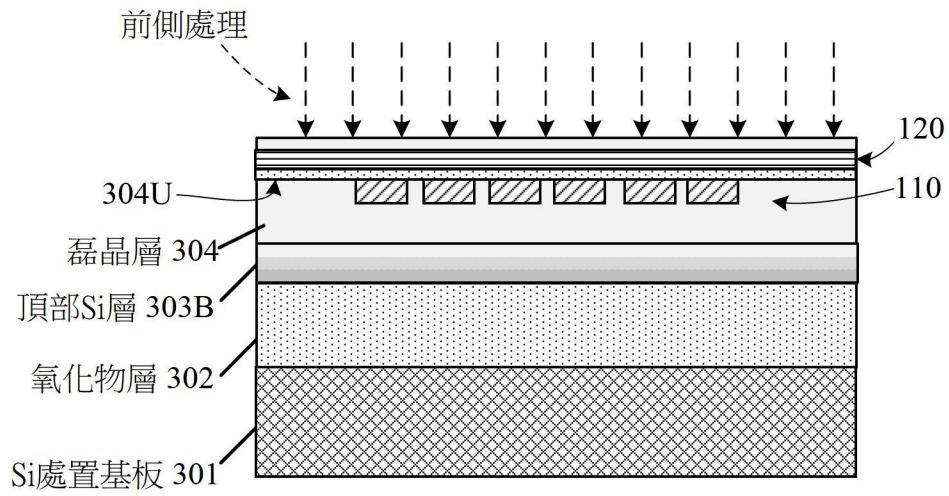
【圖3A】



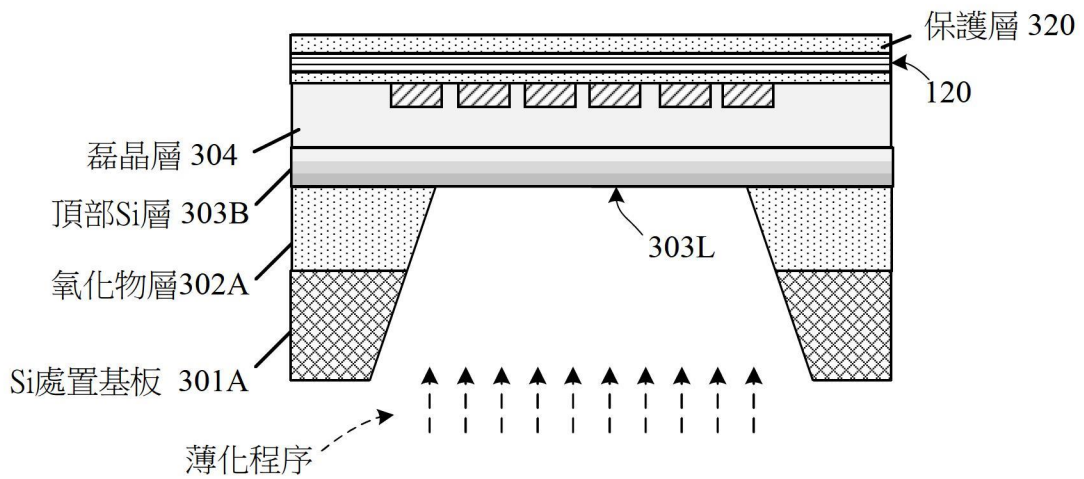
【圖3B】



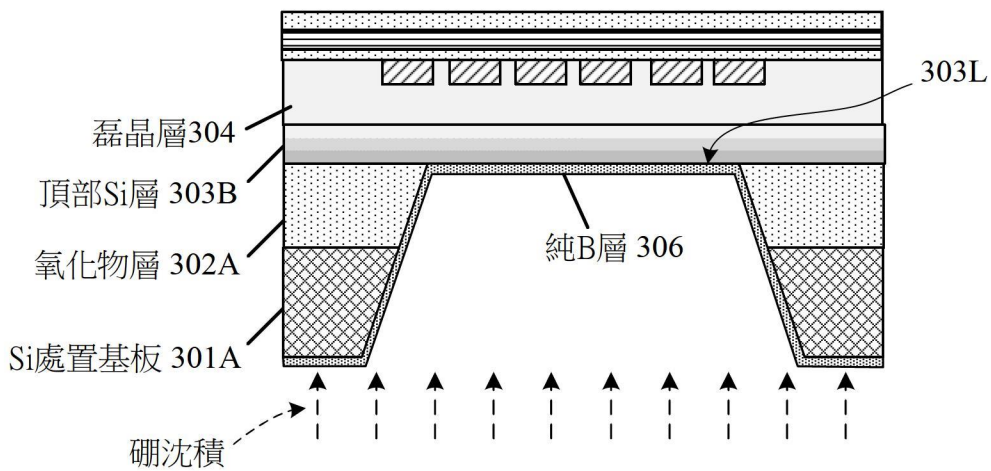
【圖3C】



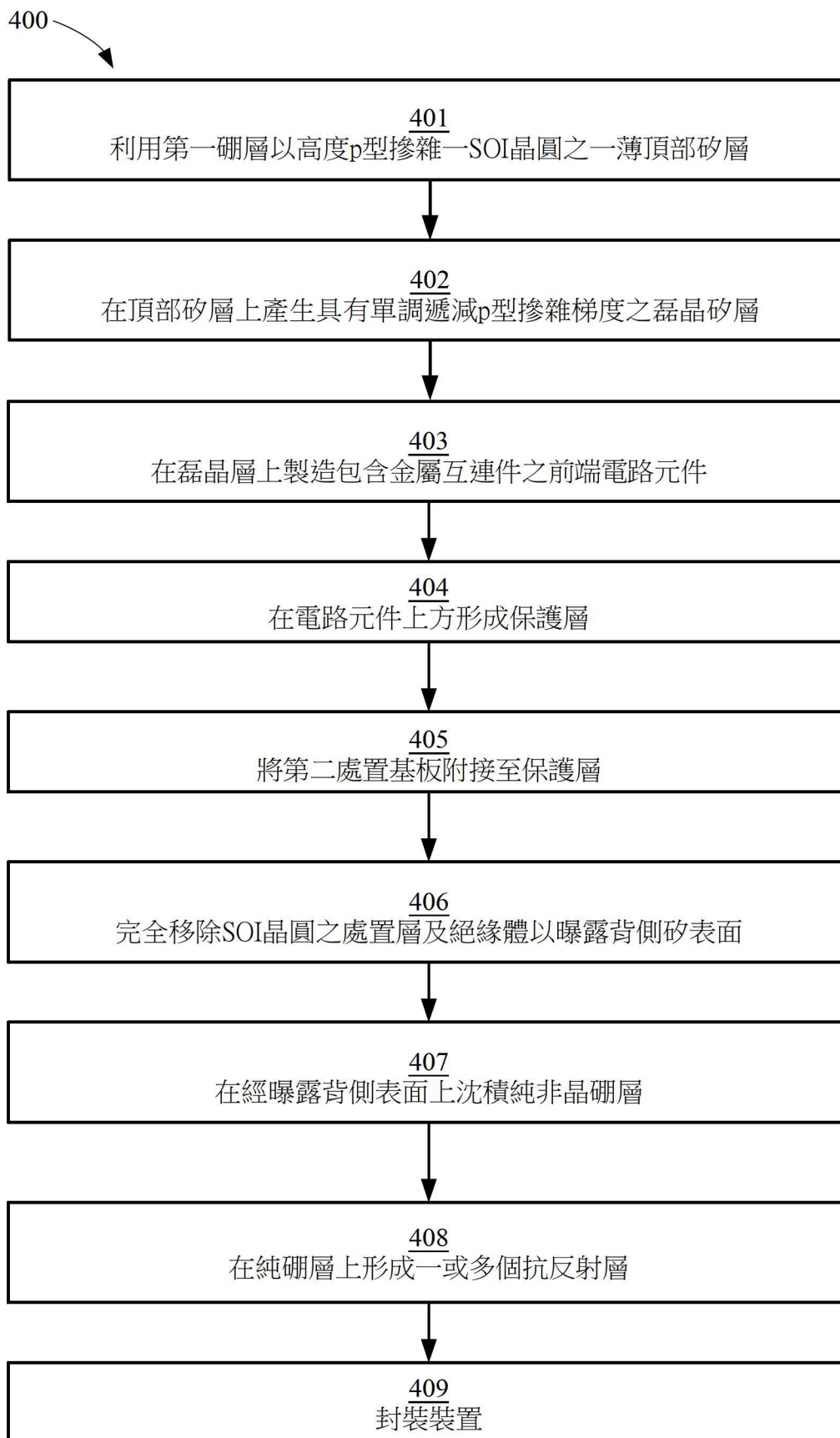
【圖3D】



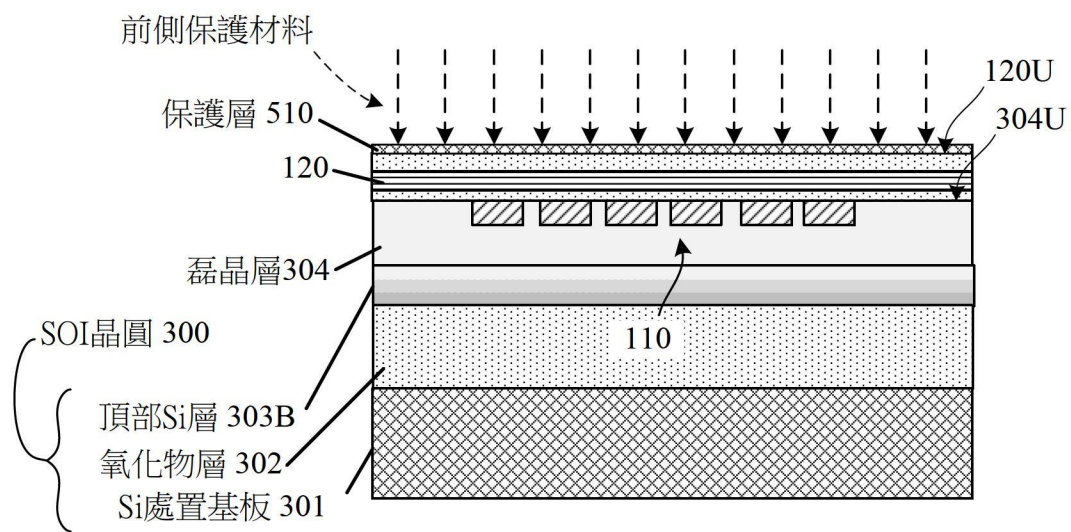
【圖3E】



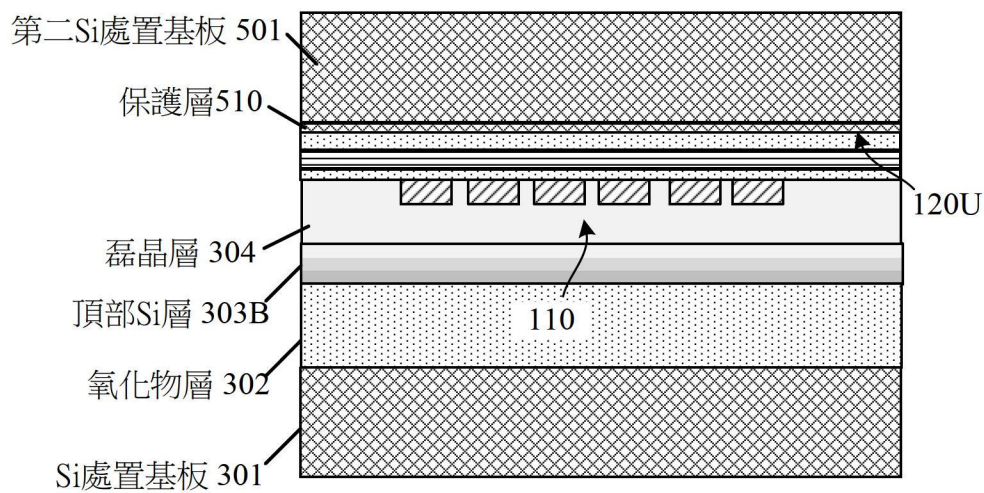
【圖3F】



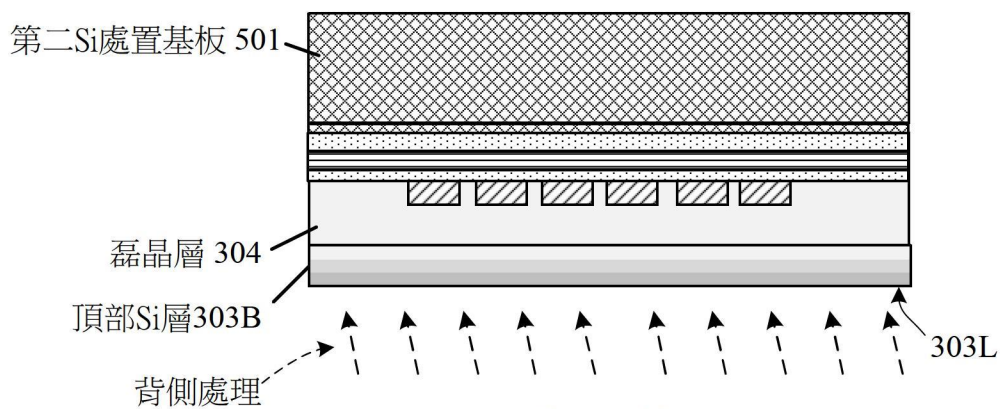
【圖4】



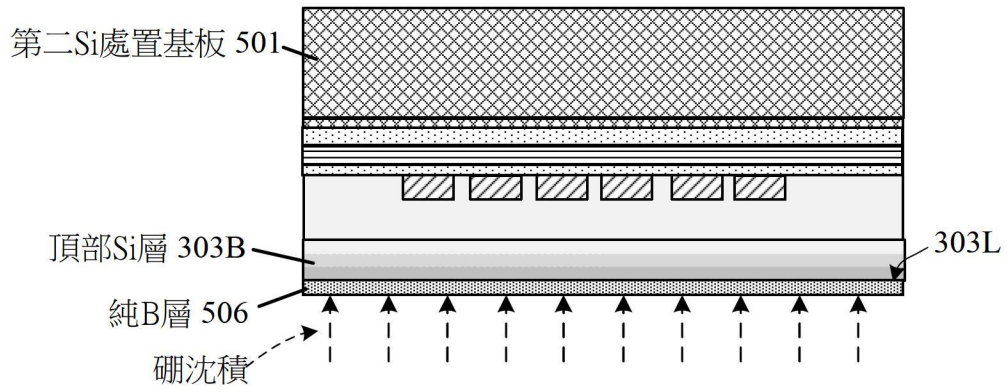
【圖5A】



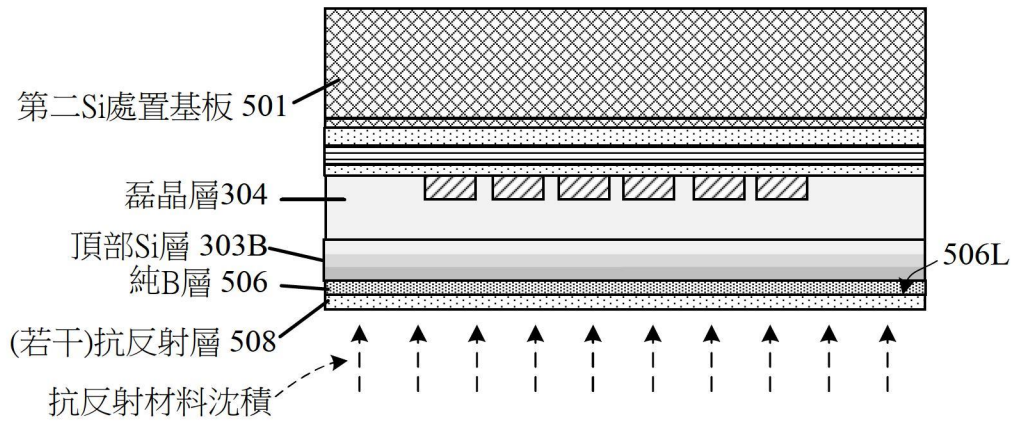
【圖5B】



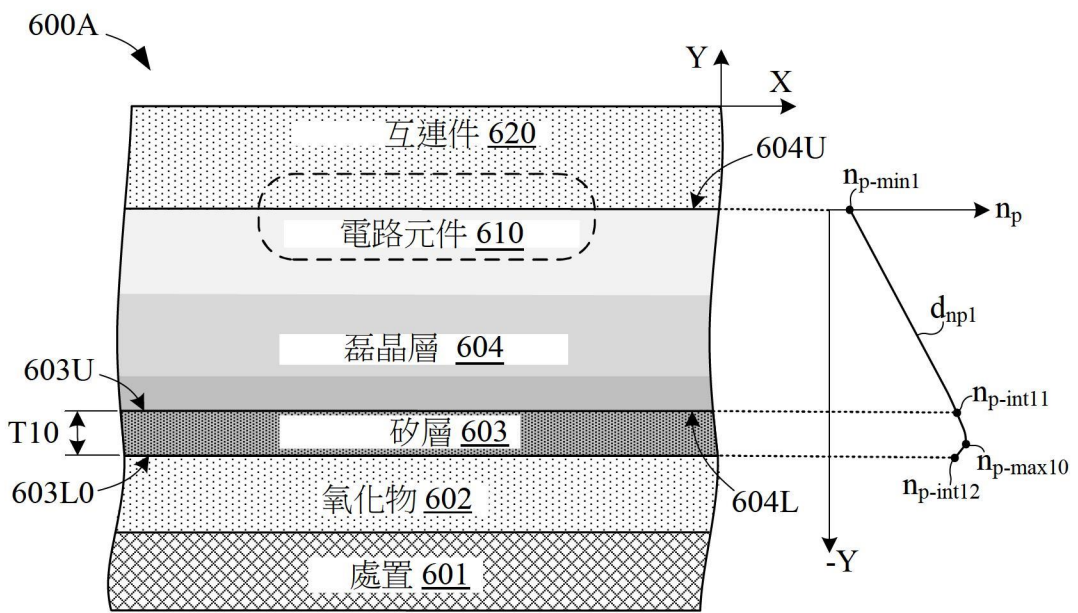
【圖5C】



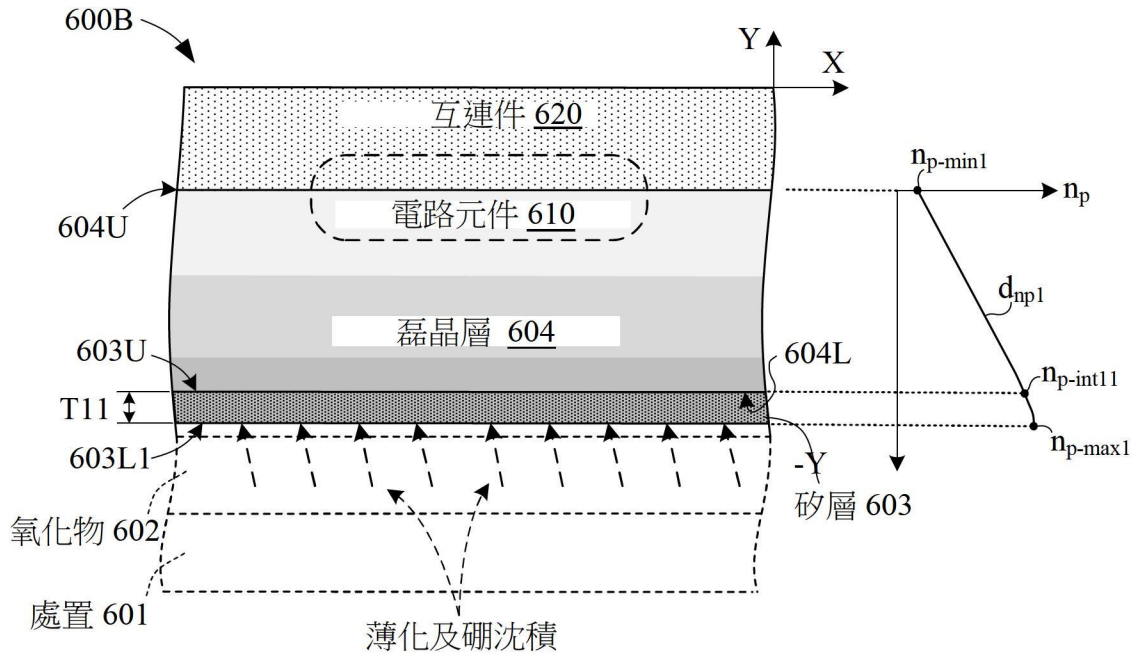
【圖5D】



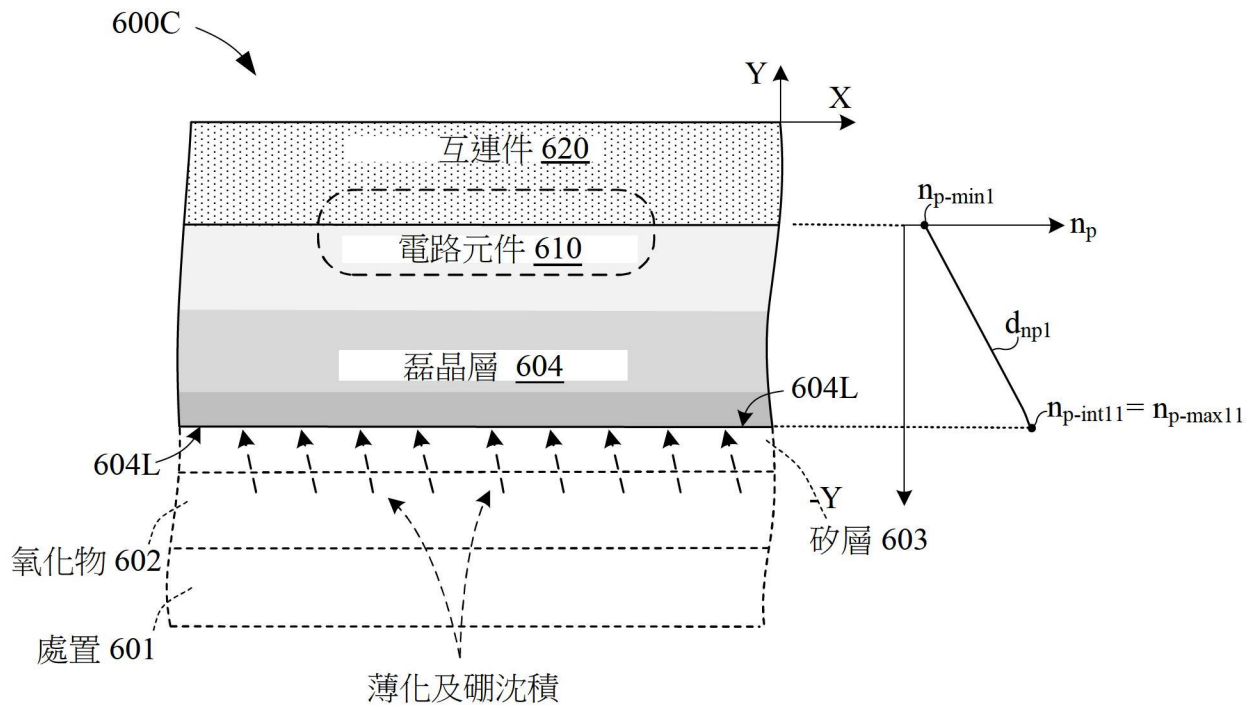
【圖5E】



【圖6A】



【圖6B】



【圖6C】