

公告本

89年11月4日 修正
補充

煩請委員明示89年11月4日所提之修正本有無變更實質內容是否准予修正。

申請日期	88.08.10.
案 號	88113651
類 別	H01L 21/26

中文說明書修正本(89年11月)

A4
C4

425655

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	<p>中 文 於半導體積體電路元件中提升深溝渠電容積集度方案</p> <p>英 文 "INTEGRATION SCHEME ENHANCING DEEP TRENCH CAPACITANCE IN SEMICONDUCTOR INTEGRATED CIRCUIT DEVICES"</p>
二、發明 人	<p>姓 名 1.蓋瑞 B. 伯洛尼 2.雷爾提斯 伊克諾密庫斯 3.雷傑諾 吉米 4.彼楊裘 帕克 5.卡爾 J. 雷登斯 6.馬丁 E. 史克倫斯</p> <p>國 籍 1.2.5均美國 3.印度 4.南韓 6.奧地利</p> <p>住、居所 1.美國紐約州史東維利市木崖路35號 2.美國紐約州威賓格秋天市歐尼德湖路58號 3.美國紐約州威賓格秋天市潘柏克圓環5C號 4.美國紐約州威賓格秋天市西尼克路1號 5.美國紐約州藍格倫維利市克雪爾路35號 6.德國薩克諾市藍布魯克區布魯密斯街4e/15號</p>
三、申請人	<p>姓 名 (名稱) 1.美商萬國商業機器公司 2.德商西門子公司</p> <p>國 籍 1.美國 2.德國</p> <p>住、居所 (事務所) 1.美國紐約州阿蒙市新果園路 2.德國慕尼黑市</p> <p>代 表 人 姓 名 1.費羅普 2.(1)納特布希 (2)歐克</p>

裝

訂

線

425655

(由本局填寫)

承辦人代碼：

A6

大類：

B6

IPC分類：

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

美國

1998年08月13日

09/133,203

☒有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

技術領域

本發明大致上係關係到半導體積體電路裝置以及更特定地則係關係到於一積體電路內加以形成的深溝渠(DT)，本發明亦關係到用於在一積體電路內製造如此深溝渠電容的方法。

發明背景

半導體積體電路記憶體裝置以被儲存在電荷上的電荷形式來儲存記憶，近年來在積體電路上所達到的積集密度增加係已或多或少地由位於一給定表面區域內可儲存於電容內的電荷量所限制，為了滿足增加積集度的需求，儲存於一積體電路裝置之一給定表面區域之內的電荷量必須被增加。

為了增加在一記憶格中位於一固定表面區域之內的電容所儲存的電荷量，可有以下選擇：(1)減少介電厚度，(2)藉由改成不同的介電材料增加介電常數，或(3)增加電容的表面區域，第一種選擇，減少介電層的厚度導致洩漏電流的增加而可降低記憶體的保持效能及反過來衝擊到裝置的可靠性，改成替代的介電材料需要相當的製程發展，新的積集方案以及新的技術而對製造成本造成相當的衝擊，因此增加電容的表面區域之第三選擇係為增加於一固定表面區域之內所儲存的電荷量最令人滿意的方式。

溝渠電容近年來已獲致流行；其提供了一種構造得以增加每個半導體基板表面區域所儲存的電荷量，當溝渠深度增加以致於也增加了一固定表面區域內所儲存的電荷量，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

然而由產生深溝渠來增加用於一溝渠電容的電容區域之該技術係為在深溝渠形成中所牽涉到之與矽蝕刻製程關連的製造成本所限制。

該技術亦為可該溝渠一旦形成時用於在深溝渠之內形成一電容所可以利用的處理技術所限制，當一溝渠電容的長寬比增加(該溝渠深度相對於溝渠寬度的增加)，在該溝渠內形成一電容便得愈益困難，該溝渠之內電容的形成大致上需要在該溝渠內製造一板，在該溝渠之內加入一介電以及接著在該溝渠內製造另一板，無法控制在一溝渠之內產生如此構造所需的製程在臨界尺寸收縮時係惡化了，此外如此的製程更使利用較深溝渠以增加電容的實行複雜化。

該先前技藝提供了用於形成一較深溝渠電容的方法，用於增加在一給定尺寸溝渠之內所儲存的電荷量及所儲存的記憶體之一引人注意的方法牽涉到包含具纖構之一電容板或電容板們之使用，一具纖構表面增加了位於一給定的橫剖面區域之內所曝露的有效電荷儲存區域量，所以生產一電容其中該溝渠深度加以最大化與該介電所沉積於上之電容板纖紋亦加以最大化係為值得要的，製造如何之一種深溝渠電容的能力係為以上所述之可應用的處理技術所限制。

該儲存電荷的能力在所儲存的電荷因電容所被儲存的物理構造遭到空乏時被危害，當積集的處理複雜度增加了對一給定的區域之內併入較大的電荷儲存能力的需求，因此最小化被儲存於一電容之內所空乏的電荷量變得更重要。

五、發明說明(3)

當裝置大小及臨界尺寸的縮小與進展於裝置的積集度上加以作成時，在處理技術上關連的進展亦必須被作成，於半導體業中在裝置的積集度上所作成的進展係為可利用來生產這些裝置的處理技術所限制，因此本發明的一個目的在於提供可以生產先進的積集度所需之新設計構造的相關製程，此目的可應用於個別製程及所使用的製程順序兩者，該現存技藝係為產生先進的積集度方案之內所需裝置的可應用的處理技術限制。

發明概要

為了達到此及其他目的，且自其目的觀察，本發明提供了對存在於現在技藝中的現存深溝渠電容技術的一種改良，該改良由用於一給定溝渠尺寸增加有效的電容板面積以及結合一隱藏板以最小化電荷空乏兩者所組成，本發明亦提供了用於生產此等深溝渠電容的一種可靠且可重覆的製程順序。

本發明特別牽涉到一深溝渠電容裝置，其中該電容板由半球晶粒狀矽所形成，該半球晶粒狀矽係為沉積於該基板上與溝渠內之一非結晶矽膜所形成，該電容之電極板之一係為該半球晶粒狀矽膜與一"隱藏板"一起所形成，該隱藏板係由沉積該半導體材料形成圍繞該溝渠的壁來加以形成，與該隱藏板接觸的該半球晶粒狀矽膜的部份係用與該隱藏板相同的摻質雜質形式加以摻雜，該半球晶粒狀矽的受摻入部份與隱藏板一起結合以便形成該電容的一個板。

本發明亦包括位於該溝渠內的一個介電節點材料，該介

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

電材料覆蓋至少一部份的半球晶粒狀矽及隱藏板，一導電材料填充該溝渠以便形成該電容的一個第二板，以致於該介電材料係被曝露於該電容的第一板及該電容的第二板之間。

簡單圖示說明

該發明在配合附圖加以研究時可從以下的詳細敘述得到最佳的瞭解，需要強調的是根據共通的練習，該圖示的種種特徵並不是成比例，相反的該種種特徵的尺寸係可任意地加以擴大或縮小以便說明，包括在圖示中者係為以下的圖形：

圖1係為針對如本發明之一製程而於一用作起點的半導體基板之內加以形成的一個深溝渠之一橫剖面示圖；

圖2係為如本發明圖1之該深溝渠於一製程順序中的下一步驟後之一橫剖面示圖；

圖3係為如本發明圖2之該深溝渠於一製程順序中的下一步驟後之一橫剖面示圖；

圖4係為如本發明圖3之該深溝渠於一製程順序中的下一步驟後之一橫剖面示圖；

圖5係為如本發明圖4之該深溝渠於一製程順序中的下一步驟後之一橫剖面示圖；

圖6係為如本發明圖5之該深溝渠於一製程順序中的下一步驟後之一橫剖面示圖；

圖7係為如本發明圖6之該深溝渠於一製程順序中的下一步驟後之一橫剖面示圖；

五、發明說明(5)

圖8係為如本發明圖7之該深溝渠於一製程順序中的下一步驟後之一橫剖面示圖；

圖9係為如本發明圖8之該深溝渠於一製程順序中的下一步驟後之一橫剖面示圖；

圖10係為如本發明圖9之該深溝渠於一製程順序中的下一步驟後之一橫剖面示圖；

圖11係為如本發明圖10之該深溝渠於一製程順序中的下一步驟後之一橫剖面示圖；

圖12係為如本發明圖11之該深溝渠於一製程順序中的下一步驟後之一橫剖面示圖；

圖13係為如本發明圖12之該深溝渠於一製程順序中的下一步驟後之一橫剖面示圖；

圖14係為如本發明圖13之該深溝渠於一製程順序中的下一步驟後之一橫剖面示圖；

圖15係為如本發明圖14之該深溝渠於一製程順序中的下一步驟後之一橫剖面示圖；

圖16係為如本發明圖15之該深溝渠於一製程順序中的下一步驟後之一橫剖面示圖；

圖17係為如本發明圖16之該深溝渠於一製程順序中的下一步驟後之一橫剖面示圖；

圖18係為針對如本發明之該製程的一個替代具體實例而於一用作起點的半導體基板之內加以形成的一個深溝渠之一橫剖面示圖；

圖19係為如本發明圖18之該替代具體實例之該深溝渠於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

該製程順序中的下一步驟後之一橫剖面示圖；

圖20係為如本發明圖19之該替代具體實例之該深溝渠於該製程順序中的下一步驟後之一橫剖面示圖；

圖21係為如本發明圖20於該替代具體實例之該製程順序中在下一步驟後之該深溝渠的一橫剖面示圖；

圖22係為如本發明圖21之該替代具體實例之該深溝渠於該製程順序中的下一步驟後之一橫剖面示圖；

圖23係為如本發明圖22之該替代具體實例之該深溝渠於該製程順序中的下一步驟後之一橫剖面示圖；

圖24係為如本發明圖23之該替代具體實例之該深溝渠於該製程順序中的下一步驟後之一橫剖面示圖；

圖25係為如本發明圖24之該替代具體實例之該深溝渠於該製程順序中的下一步驟後之一橫剖面示圖；

圖26係為如本發明圖25之該替代具體實例之該深溝渠於該製程順序中的下一步驟後之一橫剖面示圖；

圖27係為如本發明圖26之該替代具體實例之該深溝渠於該製程順序中的下一步驟後之一橫剖面示圖；以及

圖28係為如本發明圖27之該替代具體實例之該深溝渠於該製程順序中的下一步驟後之一橫剖面示圖。

詳細說明

深溝渠電容裝置

現參考圖形，其中相同的參考數字整個參照相同的元件，圖1顯示了於包括具有一上表面4之一半導體基板的一個構造之內所形成之一深溝渠1的一個橫剖面，一墊氧化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

物膜5及一墊氮化物膜6(典型為矽氮化物)係被沉積於上表面4之上，於該較佳具體實例中，該半導體基板100可為一矽基板，該深溝渠1切穿膜4和5而進入該半導體基板100。

該深溝渠1包括側壁2及一溝底3，該溝渠1更為一溝渠深度8與一寬度9所定義，該深度為從半導體基板100的上表面4至該溝底3之距離，於一較佳具體實例中，該深度8會超過寬度至少25倍，於該較佳具體實例中，該深度8亦可為約6微米而該寬度可為約0.175微米。

一矽酸鹽砷(arsenosilicate)玻璃(ASG)膜7係被形成於該構造的頂部上，現為該墊氮化物膜6的上表面13所定義，以及亦被形成於該深溝渠1的側壁2上，該ASG膜7係使用四乙基氧矽酸鹽(tetraethyl orthosilicate, TEOS)及三乙砷酸鹽(triethylarsenate)所形成，該ASG膜7係為一砷(As)摻雜氧化物，於一較佳具體實例中，用於形成該ASG膜7的製程條件可在一LPCVD(低壓化學蒸氣沉積)批次爐內由一攝氏650度之一溫度與1托(托里切利的簡稱)的一個壓力加以定義，該ASG膜7的厚度最好位於500至1000埃之間，該ASG膜7隨後將當作導電類型(砷)的一個源來作用，其將被用於摻雜該溝渠側壁2以便形成一隱藏板。

圖2係為一剖面圖描述了在處理順序中的後續步驟，一光阻11已被施用於該半導體基板100且凹下至該溝底3之上的一個深度10，在半導體業內共同的任何光阻膜皆可加以使用，同樣的也用於對該半導體基板100施用該光阻膜之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

任何適當方法，在該較佳具體實例中用於將該光阻膜11凹入溝渠1之內的方法為CDE(化學向下流動蝕刻)，但是任何共通於該先前技藝者皆可加以使用，將該光阻膜11置於定位使用一蝕刻製程可選擇性地移除一部份的ASG膜7，於一較佳具體實例中，一種40比1的DHF(40份水對1份氫氟酸之一溶液內之稀釋氫氟酸)溶液可加以使用以便移除該ASG膜7的曝露部份。

圖3顯示了僅一部份的ASG膜7殘留後的構造，其他的部份已被蝕刻步驟加以移除，圖3亦顯示了該光阻膜11(於圖2中所顯示者)已加以移除之後的構造，共通於該行業的任何光阻移除程序可被用於移除光阻膜11，一電漿去除製程可在較佳具體實例之內加以使用。

圖4顯示了在該處理順序內的下一步驟，一TEOS膜在此點於一製程順序內乃為墊氮化物膜6之上表面13處覆蓋該構造頂部以及溝渠1的側壁，該TEOS沉積可由一LPCVD或PECVD(電漿強化化學蒸氣沉積)製程兩者之一發生，此氧化物膜充當一覆蓋層以防止在後續製程中砷從ASG膜7擴散出來，於一較佳具體實例中，該TEOS膜12的厚度可在400到800埃之間。

圖5顯示由來自部份ASG膜7的砷擴散所形成之隱藏板14。ASG膜7是於有部份被選擇性移除後所剩餘的。該 n^+ 摻雜隱藏板14係被形成於該溝底3及圍繞溝渠1的部份側壁2之下，於一具體實例中用於產生該隱藏板14的條件可由攝氏1050度在一惰性氣體環境中歷時2到30分鐘來加以定

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

義，於該較佳具體實例中用於形成隱藏板的製程條件可包含一個兩步驟的製程，因而該第一步驟為在一惰性氣體(像是氬氣)環境中攝氏1050度下的一個兩分鐘之熔爐處理，隨後為在一乾氧氣環境內攝氏950度之下的一個10分鐘熱處理。

於圖6中，具有側壁2及溝底3的深溝渠1係被顯示形成於該半導體基板100之內，該基板現在包括圍繞溝渠1所形成的一隱藏板14，如於圖6中所描述之溝渠1係藉由自該構造移除ASG膜7及TEOS膜12兩者加以產生，於一較佳具體實例中，該兩種膜同時皆在一40比1的DHF溶液中蝕刻而加以移除。

圖7顯示了形成於該結構上具備一非結晶矽(α -Si)膜16的該構造，該非結晶矽膜16係被形成於深溝渠1，溝底3及現構造的上表面13之上，於一較佳具體實例之中該非結晶矽膜16的厚度係在100到200埃之間，用於在一LPCVD批次反應器內於半導體基板100之上形成該非結晶矽膜16的條件係在攝氏500度及200毫托的壓力下，該非結晶矽膜16於沉積時可加以摻雜或不摻雜，其可在沉積後加以摻雜，共通於該技藝的任何適當的摻入方法(像是氣相摻入，無氬氣相摻入(此處除氬外之一載氣可以加以使用)或電漿摻入)，於一說明的具體實例中，氣相的摻雜可包括氫化砷(AsH_3)，氫化磷(PH_3)或二乙硼(diborane, B_2H_6)，於一替代具體實例中一部份的非結晶矽膜16始初地可被形成於該表面上，接著由一個適當的摻雜方法加以摻入，接著該膜的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

殘留部份可被加入以便形成該非結晶矽膜16。

圖8顯示了該非結晶矽膜16已被轉變為半球晶粒狀矽(HSG)膜18，用於從該非結晶矽膜16處形成HSG膜18之一較佳製程可為以四氫化矽(SiH_4)對非結晶矽膜16植種晶且接著退火，於一較佳具體實例中該製程順序可包括使用一LPCVD製程沉積四氫化矽來形成晶核位置，以氬加以稀釋之一含蒸氣四氫化矽可在攝氏550到560度導入以便在該非結晶矽膜16上形成晶核位置，該晶核位置接著加以退火以便將該非結晶矽膜16結晶化進入HSG膜18，該退火製程係在超高真空之下加以執行。

在形成HSG膜18之後，一清洗及蝕刻製程可被用於增加晶粒間的空間，在該製程順序中此點處的另一選擇係藉由電漿摻入，氣相摻入，無氬氣相摻入法摻雜該HSG膜18，或在氫化砷(AsH_3)內浸泡HSG膜18隨後加以熱處理以便驅動氫化砷源進入HSG膜18，於該較佳具體實例中該熱處理可在攝氏620度的溫度之下進行，在現在的製程點處摻雜該膜之選擇在非結晶矽被轉變為HSG之前該膜當作非結晶矽加以摻雜係非為必要。

圖9顯示了在該上表面13上及溝渠1之內的HSG膜18之上沉積的一個矽氮化物膜20，該矽氮化物膜20將在後續的處理中被用為一個罩遮以便決定該溝渠1之內的氧化物生長位置，用於沉積該矽氮化物膜20的一個較佳製程可為攝氏770度及200毫托壓力之下的一個LPCVD製程。

圖10顯示了具備在該溝渠1之內沉積及凹下一深度24的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

一個光阻膜22之構造，如前者般共通於該技藝之任何光阻及用於施用該膜的任何適當方法皆可加以使用，於該較佳具體實例中CDE處理可被用於凹下該光阻膜22至深度24。

圖11顯示了該光阻膜22已被用為蝕刻矽氮化物膜20期間之一光罩後的構造，蝕刻後僅一部份的矽氮化物膜20殘留，於該較佳具體實例中用於蝕刻該矽氮化物膜20的方法包括在攝氏160到165度之熱磷酸的運用，但是用於移除矽氮化物的任何適當方法皆可加以使用，在矽氮化物膜20被蝕刻以便在溝渠1之內儘遺留一部份的矽氮化物膜20，該光阻膜22係從該溝渠1加以移除，用於移除光阻的任何適當方法(像是在較佳具體實例中的電漿剝離法)皆可加以使用。

圖12顯示了在一氧化物膜26及28已從未由矽氮化物膜20所保護的受曝露HSG處加以形成後之構造，在該溝渠1之一圈氧化物26膜係從受曝露HSG膜及從溝渠1之側壁2處的半導體材料處加以形成，一薄氧化物28亦係從HSG膜18的其他受曝露區域處加以形式，於一較佳具體實例中之該製程條件可為攝氏1050度的一個氧氣環境內，該圈氧化物26的厚度可為300埃，於此製程期間砷從隱藏板14擴散進入HSG膜18的逆擴散會發生，如此的逆擴散若在該HSG膜18未被先前摻入時係為需要的。

圖13顯示了在矽氮化物膜20被移除後的構造，任何用於選擇性地移除矽氮化物膜20的方法皆可加以使用，於該較佳具體實例中處於攝氏160到165度下之熱磷酸係被用於移

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

除該矽氮化物膜20。

圖14顯示了該薄氧化物膜28已從該構造的上表面13及該圈氧化物26未被產生處的部份溝渠1處加以移除，一緩衝的HF(氫氟酸)或稀釋的氫氟酸溶液可被用於該較佳的具體實例內加以使用以便移除該氧化物，但共通於半導體業的任何氧化物移除方法可。

圖15顯示了該構造，其中一節點矽氮化物膜30已被形成於該構造之上及深溝渠1之內，該節點矽氮化物膜30可由一LPCVD製程加以形式，若該HSG膜18尚未加以摻雜，用於沉積節點矽氮化物膜30的條件可以加以選擇以便造成砷從隱藏板14擴散進入HSG膜18，在替代上該節點矽氮化物膜30可利用在攝氏770度溫度及200毫托之壓力下之一LPCVD製程加以沉積，而一熱步驟可隨後用於造成砷從隱藏板14擴散進入HSG膜18，該節點矽氮化物膜30功能如同該深溝渠電容之一介電而隔絕該電容板。

圖16顯示了在一砷摻雜多晶矽膜32已被加入以填充該溝渠1且產生電容之其他電極後之構造，於一較佳具體實例中砷摻雜多晶矽膜32的形成可使用替代沉積與摻入步驟加以作成，於一較佳具體實例中的該沉積步驟包括在攝氏550度之下使用矽甲烷(SiH_4)以沉積一本質的多晶矽膜於該構造上之一LPCVD製程，該沉積製程接著為將該構造浸入氫化砷內，該製程順序接著重複直到達到所要的摻雜水準為止，接著該溝渠1係以本質多晶矽加以填充以便生產多晶矽膜32，於後續的沉積步驟中加以提供之該熱驅動整個

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

膜中的砷，於該較佳具體實例中的總膜厚可為2500埃。

圖17顯示了本發明已完成的深溝渠電容34，該構造包括由隱藏板14及HSG膜18所組成之一第一板，兩者皆以相同的材料加以摻雜，該介電節點材料30將第一板與該砷摻雜多晶矽膜32所形成的第二板隔離，圖17顯示了在其已加以研磨下至矽基板100之起使上表面4，用於研磨一半導體基板的任何適當方法像是化學機械研磨(CMP)可加以使用，於一較佳具體實例中的研磨製程由選擇性的蝕刻步驟所組成以便移除延伸於起使半導體上表面4上的部份構造，隨後藉由化學機械研磨以便生產具備一實質上與起始半導體上表面4共面之一上表面35的一種裝置。

圖18到26係為橫剖面描述了在本發明之一替代具體實例中用於形成該深溝渠電容的一個製程，此替代具體實例的特徵包括在隱藏板形成之前一層氧化物的形成，於此製造程序中該隱藏板隨後在未為層氧化物所保護的區域中的溝渠之內加以形成，此外該HSG膜在隱藏板被形成的同時加以摻雜，該摻雜物類型摻入該HSG且加以穿透以便同時摻雜該溝渠的側壁。

圖18顯示了位於半導體基板101內之一深溝渠40，該深溝渠40包括一溝底44，側壁42，一深度43以及一寬度45，該深溝渠40係於具被一墊氧化物膜46形成於其上且一墊氮化物膜48形成於墊氧化物膜46上之一半導體基板101的一個構造之內，該半導體基板101具有一上表面50，該溝渠尺寸及長寬比可與參照先前具體實例所說明者相同。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

圖 19 顯示了一矽氮化物膜 52 已加以形成於該構造上及該溝渠 40 之內後的構造，該矽氮化物膜 52 將於後續的處理中用為一種罩遮以便決定在該溝渠 40 之內氧化物生長的位置，用於形成該矽氮化物膜 52 之一較佳具體製程可為在攝氏 770 度溫度及 200 毫托壓力之下的一個 LPCVD 製程。

圖 20 顯示了一光阻膜 54 已加以施用及在該溝渠 40 之內凹下一深度 56 後的構造，該光阻膜 54 將被用來光罩遮後續將在其所被曝露的區域內加以蝕刻的矽氮化物膜 52，共通於該技藝而用於施加該膜的任何適當的光阻膜和方法可加以使用，於該較佳的具體實例中，CDE 處理可被用於凹下該光阻膜 54 至位於溝渠 40 之內的深度 56。

圖 21 顯示了在該矽氮化物膜 52 已在未由光阻膜 54 所保護的區域內選擇性地加以移除後的構造，蝕刻後僅有一部份的起使矽氮化物膜 52 殘留，用於移除該矽氮化物的一個較佳的方法為處於攝氏 160 到 165 度之下的磷酸，但是任何用於選擇性地移除矽氮化物的方法皆可加以使用，在選擇性的移除後僅有一部份的矽氮化物膜 52 填充該溝渠 40 至深度 56，該溝渠 40 之側壁 42 的其他區域係被曝露，該光阻膜 54 (如圖 20 中所顯示者) 已被移除，適用於該技藝的任何方法可被用於從該溝渠 40 之內移除該光阻膜 54，於該較佳具體實例中電漿剝去法可加以使用。

圖 22 顯示了一圈氧化物已加以形成後之構造，該圈氧化物 58 藉由氧化圖 21 之構造加以形成，由該矽氮化物膜 52 (顯示於圖 21 中) 所保護的溝渠 40 區域內沒有氧化物被形成，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

沿著側壁42所曝露的一部份半導體基板101係被消耗以便產生圈氧化物58，用於形成圈氧化物58的典型製程條件可為在一氧氣的環境之下加熱半導體基板至攝氏1050度，但是任何適當的氧化方法皆可被使用，在該圈氧化物58被形成後，該矽氮化物膜52係被移除，於該較佳具體實例中處於攝氏160到165度下之熱磷酸係被用於移除該矽氮化物膜52，但是任何適當的方法皆可被使用。

轉到圖23，該構造現包括於該構造上及該溝渠40之內的一個非結晶矽膜60，該非結晶矽膜60的典型厚度可為100到200埃，而且於一較佳具體實例中該膜的沉積係在攝氏500度之一溫度及200毫托之一壓力下於一LPCVD批次反應器中發生。

圖24顯示了該非結晶矽膜60在已加以轉變為一半球晶粒狀矽(HSG)膜62後的構造，從該非結晶矽膜60所形成的HSG膜62係與圖8的先前具體實例結合所敘述的製程類似。

圖25顯示了一隱藏板64已加上後的該構造，該隱藏板64係已藉由摻雜該構造加以形成，典型的摻入製程包括電漿摻入，電漿浸入或無氬氣相摻入，該摻入製程將摻入不為圈氧化物58所保護的HSG膜62與部份的溝渠40，於此具體實例中該隱藏板64及與該隱藏板64接觸的HSG膜62係同時地以相同的類型加以摻雜，而且其形成該溝渠電容之一板。

圖26顯示了一個一致的節點矽氮化物介電膜66已被形成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

於其上之構造，一LPCVD製程在慣例上係被用於沉積節點矽氮化物介電膜66，該節點矽氮化物介電膜66在電容內將充當介電，如圖示者在圖26中的該裝置包括由隱藏板64及與該隱藏板64接觸之部份HSG膜62所組成之第一板，該電容介電顯現如節點矽氮化物介電膜66。

圖27顯示了一砷摻雜多晶矽膜68已被加入以便填充該溝渠40及產生該電容的其他電極後之構造，於一較佳具體實例中該砷摻雜多晶矽膜68的形成可用替代的沉積與摻雜步驟加以作成，於一較佳具體實例中之該沉積步驟包括在攝氏550度之下使用矽石之一LPCVD製程以便在該構造上形成一氫化砷(PH_3)摻雜多晶矽膜，此沉積製程隨後接著將該構造浸入砷中，該製程順序接著重複直到所要的摻雜水準達到為止，接著該溝渠40以本質多晶矽加以填充以便產生砷摻雜多晶矽膜68，於該較佳具體實例中的總膜厚可為2500埃。

圖28顯示了已完成的深溝渠電容70，該構造包括由隱藏板64及HSG膜62所組成之第一板，該節點矽氮化物介電膜66將第一板與砷摻雜多晶矽膜68所形成的第二板隔離，圖28顯示了已研磨至起始基板上表面50之構造，該研磨法與圖17之先前具體實例結合而加以敘述，該已完成的構造包括實質上與起始半導體上表面50共面之一上表面73。

前面所敘述之本發明的較佳具體實例為了舉例說明及敘述該發明的重點及概念的目的已被提出，然而本發明並不受限於這些具體實例，例如替代的具體實例會包括隨以上

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

詳細的具體條件所變化的處理條件，以及亦會包括在以上詳述的範圍外的處理膜厚。

本發明確實地使用了一個隱藏板及一種半球晶粒狀構造以便形成一深溝渠電容的一個第一板，本發明最大化了用於位在一給定溝渠之內的一個電容板之表面積以及最小化了通常會發生從電容處的電荷空乏量，先前的敘述已被提出以便敘述本發明的兩個具體實例，然而熟習於此技藝者將瞭解該發明在隨附的申請專利範圍的精神與範疇內加以改善實用。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱： 於半導體積體電路元件中提升深溝渠電容積集度方案)

一溝渠電容構造適於用在一半導體積體電路溝渠構造及用來形成該構造的製程順序中，該溝渠電容由包括具纖構之半球型晶粒的矽組成的一個電容板來提供更多的電容，該溝渠電容亦包括一隱藏板(buried plate)以便減少來自該電容的儲存電荷空乏。

英文發明摘要 (發明之名稱： "INTEGRATION SCHEME ENHANCING DEEP TRENCH CAPACITANCE IN SEMICONDUCTOR INTEGRATED CIRCUIT DEVICES")

A trench capacitor structure suitable for use in a semiconductor integrated circuit device and the process sequence used to form the structure. The trench capacitor provides increased capacitance by including a capacitor plate consisting of textured, hemispherical-grained silicon. The trench capacitor also includes a buried plate to reduce depletion of stored charge from the capacitor.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種溝渠構造，其定義位於半導體基板內之一溝渠，該溝渠構造包含一溝渠壁，圍繞該溝渠壁於該半導體基板中以一電氣式的導電類型所摻雜之一隱藏板，以及沿著一部份的該溝渠壁之一具纖構的矽構造，至少一部份的該具纖構的矽構造與該隱藏板接觸。
2. 如申請專利範圍第1項之溝渠構造，其中該具纖構的矽包含半球晶粒狀矽。
3. 如申請專利範圍第1項之溝渠構造，其中該具纖構的矽及該隱藏板結合以便形成一電容板。
4. 如申請專利範圍第3項之該溝渠構造，其中該具纖構的矽構造係為以與該電氣式導電類型相同類型的電荷型態所摻雜。
5. 一種溝渠電容，其位於一半導體基板中，該溝渠電容包含：

一溝渠壁定義一溝渠；

於一半導體基板中圍繞該溝渠壁之一隱藏板的摻入矽；

沿著至少一部份的該溝渠壁之一半球晶粒狀矽，至少一部份的該半球晶粒狀矽構造與隱藏板接觸以便形成該溝渠電容之一第一板；

一介電節點材料位於該溝渠中，該介電節點材料覆蓋至少一部份的半球晶粒狀矽構造，以及；

一導電材料填充至少一部份的該溝渠，該導電材料形成該電容之一第二板；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

其中該介電節點材料係於該第一板及第二板間加以配置。

6. 如申請專利範圍第5項之該溝渠電容，其中填充至少一部份該溝渠的導電材料包含砷摻入多晶矽。
7. 如申請專利範圍第5項之該溝渠電容，更包含圍繞該溝渠壁所形成之一圈氧化物電氣式地隔離該第一板。
8. 一種於半導體基板內形成一溝渠電容之方法，包含：

提供具備一溝渠於其中之一半導體基板，該溝渠具有一溝渠壁；

圍繞該溝渠壁以一電氣式的導電類型摻雜一部份的該半導體基板以形成一隱藏板；

沉積一層非結晶矽在至少一部份的該溝渠壁上；

加熱該非結晶矽，因此至少一部份的該非結晶矽在該溝渠壁上結晶為半球晶粒狀矽，至少一部份的該半球晶粒狀矽接觸至少部份的該隱藏板以形成該電容之一第一板；

形成一保角的介電節點層於至少一部份的該摻入半球晶粒狀矽之上；以及

以一導電材料覆蓋該電容之一第二板以形成該介電節點層。

9. 如申請專利範圍第8項之方法，進一步包含清潔及蝕刻該半球晶粒狀矽的步驟。
10. 如申請專利範圍第9項之方法，其中該清潔及蝕刻該半球晶粒狀矽的步驟增加了該半球晶粒狀矽的晶粒空

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

間。

11. 如申請專利範圍第8項之方法，進一步包含以與該隱藏板內的導電類型相同的一導電類型電荷型態摻雜該半球晶粒狀矽。
12. 如申請專利範圍第11項之方法，其中摻雜該半球晶粒狀矽的該步驟包含加熱該基板以便在該隱藏板內造成一部份的該電氣式地導電類型來從該隱藏板擴散進入該半球晶粒狀矽。
13. 如申請專利範圍第11項之方法，其中該摻雜該半球晶粒狀矽的該步驟包含無氫氣相摻入。
14. 如申請專利範圍第11項之方法，其中摻雜半球晶粒狀矽的該步驟包含浸泡在氫化砷(AsH_3)中。
15. 如申請專利範圍第14項之方法，進一步包含加熱該基板以便驅使該氫化砷(AsH_3)進入該半球晶粒狀矽。
16. 如申請專利範圍第8項之方法，其中在加熱該非結晶矽以形成半球晶粒狀矽的該步驟之前以與該隱藏板內的導電類型相同的一導電類型電荷型態之一不純物摻雜該非結晶矽膜，因而該半球晶粒狀矽一形成就被摻雜。
17. 如申請專利範圍第16項之方法，其中摻雜該非結晶矽的該步驟包含電漿摻入。
18. 如申請專利範圍第16項之方法，其中摻雜該非結晶矽的該步驟包含氣相摻入。
19. 如申請專利範圍第8項之方法，其中沉積一層非結晶矽的該步驟包含一第一部份的該非結晶矽膜；摻雜該第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

- 一部份的該非結晶矽膜；以及沉積一第二部份的該非結晶矽膜；因此該半球晶粒狀矽一形成就被摻雜。
20. 如申請專利範圍第8項之方法，其中覆蓋該介電節點層的該步驟包含以導電材料實質地填充該溝渠。
21. 如申請專利範圍第8項之方法，進一步包含移除不接觸該隱藏板的該半球晶粒狀矽的部份之步驟。
22. 如申請專利範圍第8項之方法，其中摻雜一部份的該半導體基板之該步驟包含沉積包括沿著該溝渠壁的矽之一膜；從該溝渠壁選擇性地移除該膜的一部份；以及加熱該基板以便驅策矽從該膜擴散進入該半導體基板的該部份。
23. 如申請專利範圍第8項之方法，進一步包含在該溝渠壁上選擇性地氧化一部份的該半球晶粒狀矽以便形成一氧化物膜，該氧化物膜電氣式地隔離該電容之該第一板。
24. 如申請專利範圍第23項之方法，其中該選擇性地氧化一部份的該半球晶粒狀矽的步驟包含：
- 以一矽氮化物膜覆蓋該半球晶粒狀矽；
- 從該溝渠壁選擇性地移除一部份的矽氮化物膜以便在該溝渠壁上產生該半球晶粒狀矽的曝露部份；
- 加入該基板以便在該溝渠壁上氧化該半球晶粒狀矽的曝露部份；
- 從該溝渠壁移除矽氮化物膜的殘留物。
25. 如申請專利範圍第8項之方法，其中該導電材料係為一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

砷摻入多晶矽。

26. 如申請專利範圍第25項之方法，其中覆蓋該介電節點層之該步驟包含選擇性地沉積一固有多晶矽膜及摻雜該膜。

27. 如申請專利範圍第26項之方法，其中沉積一固有多晶矽膜之該步驟包含低壓化學蒸氣沉積。

28. 一種於一半導體基板內形成一溝渠電容之方法，包含：

提供具備一溝渠於其中之一半導體基板，該溝渠具有一溝渠壁；

於該溝渠中沉積一層非結晶矽在至少一部份的該溝渠壁上；

加熱該非結晶矽，因此至少一部份的該非結晶矽在該溝渠壁上結晶為半球晶粒狀矽；

圍繞該溝渠壁摻雜一部份的該半導體基板，以及與該部份接觸的半球晶粒狀矽對應部份，具有一電氣式導電類型以形成位於該溝渠壁內之一隱藏板與該半球晶粒狀矽之一摻入部份，該隱藏板及該摻入部份形成該溝渠電容之一第一板；

形成一保角的介電節點層於該半球晶粒狀矽之該摻入部份的至少一部份之上以一導電材料覆蓋該第二介電節層以形成該溝渠電容之第二板；以及

29. 如申請專利範圍第28項之方法，其中更包含在該溝渠內沉積一層非結晶矽的該步驟前圍繞該溝渠壁形成一圈氧化物膜。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

30. 如申請專利範圍第29項之方法，其中該導電材料包含砷摻入多晶矽。
31. 如申請專利範圍第28項之方法，其中該摻雜步驟包含電漿摻入。
32. 如申請專利範圍第28項之方法，其中該摻雜步驟包含電漿浸入。
33. 如申請專利範圍第28項之方法，其中該摻雜步驟包含無氫氣相摻入。
34. 如申請專利範圍第5項之該溝渠電容~~構造~~，其中該溝渠由一深度與一寬度所定義，該深度超過寬度25倍或大於25倍。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

88113651

425655

公告本

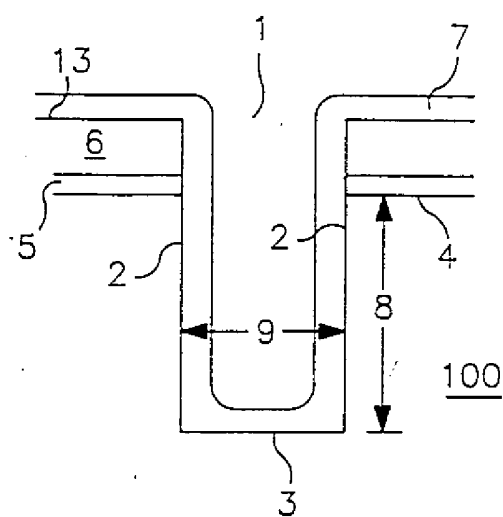


圖 1

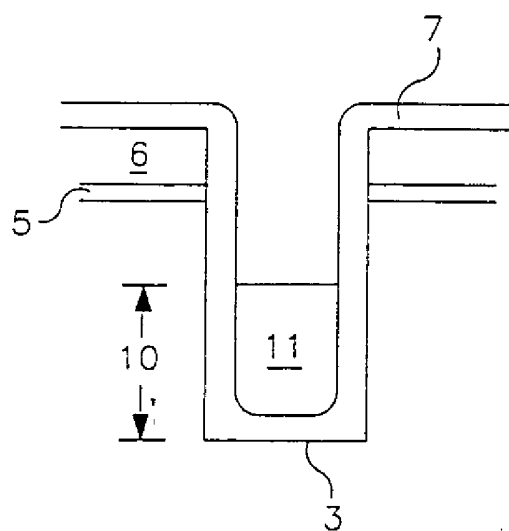


圖 2

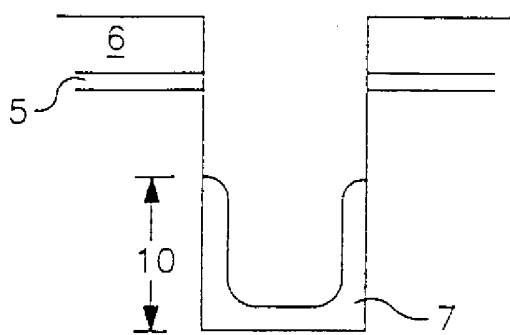


圖 3

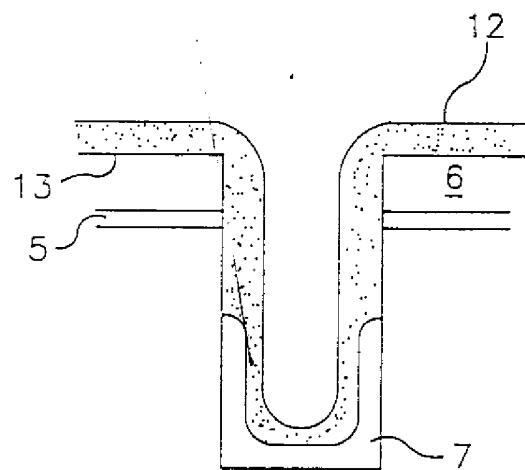


圖 4

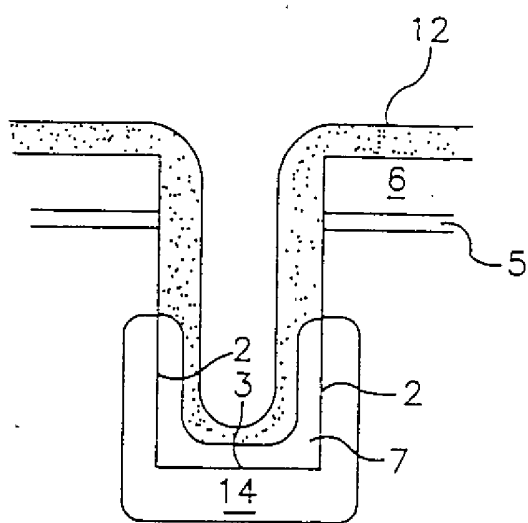


圖 5

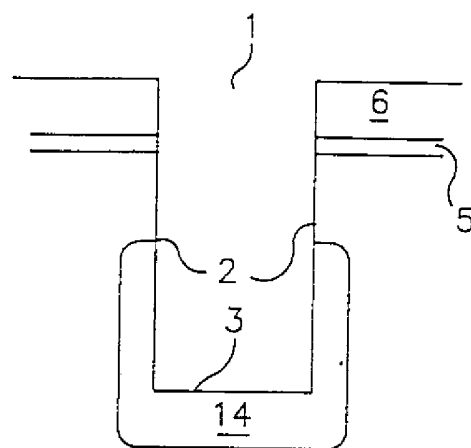


圖 6

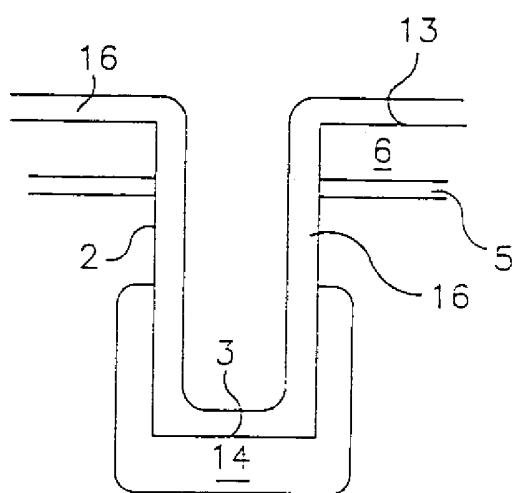


圖 7

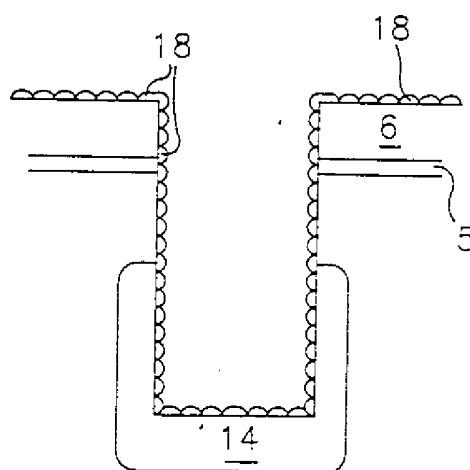


圖 8

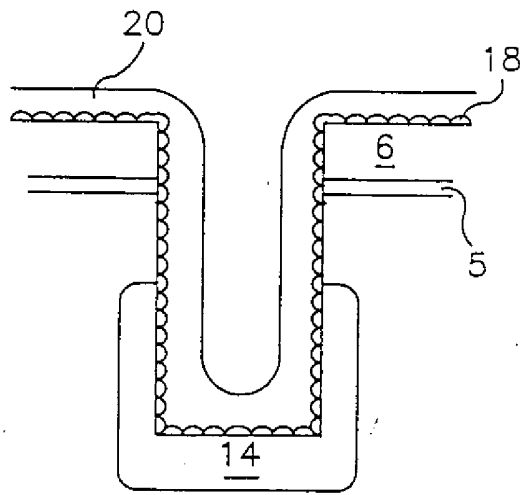


圖 9

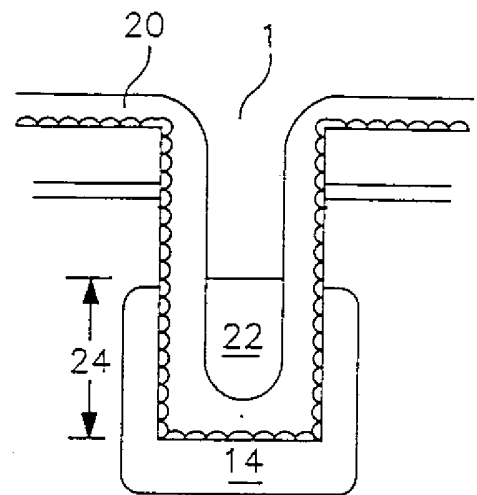


圖 10

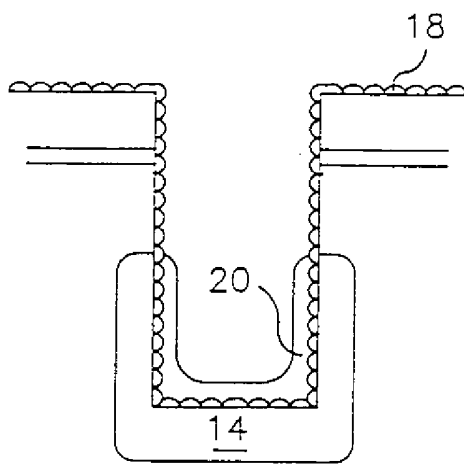


圖 11

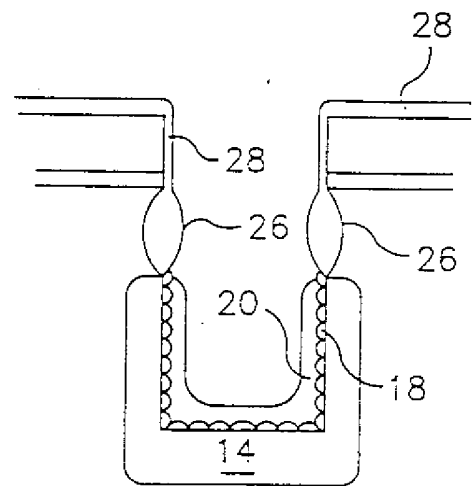


圖 12

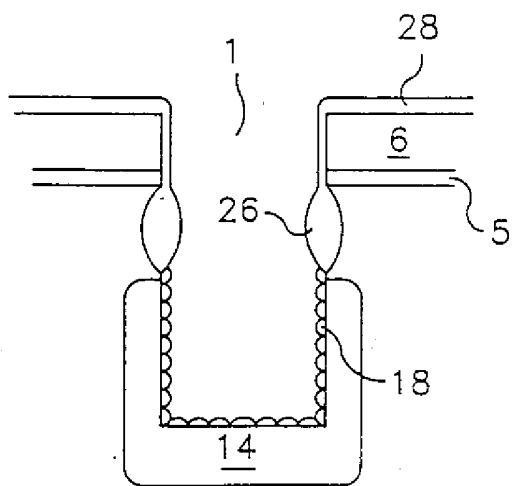


圖 13

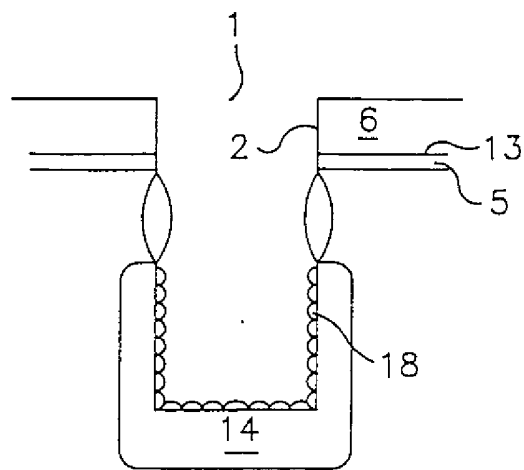


圖 14

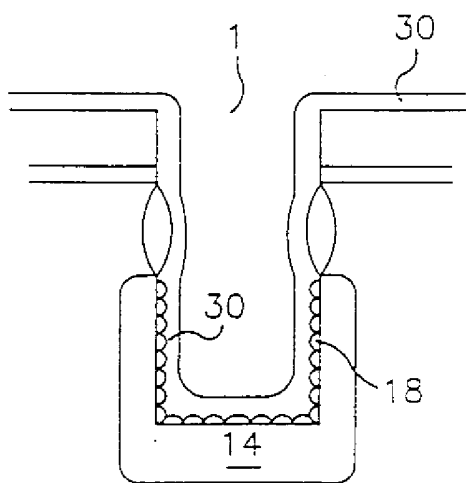


圖 15

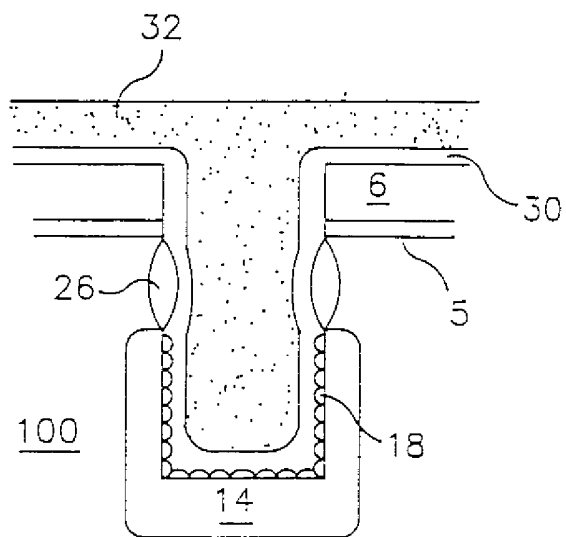


圖 16

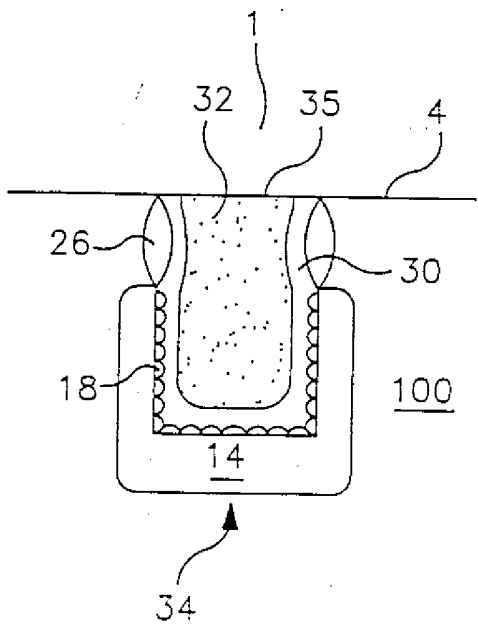


圖 17

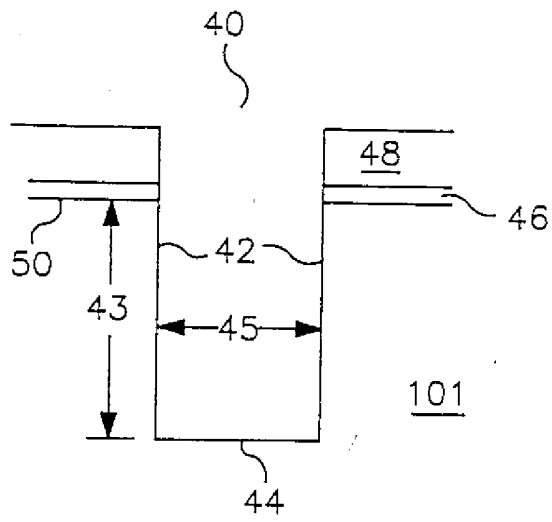


圖 18

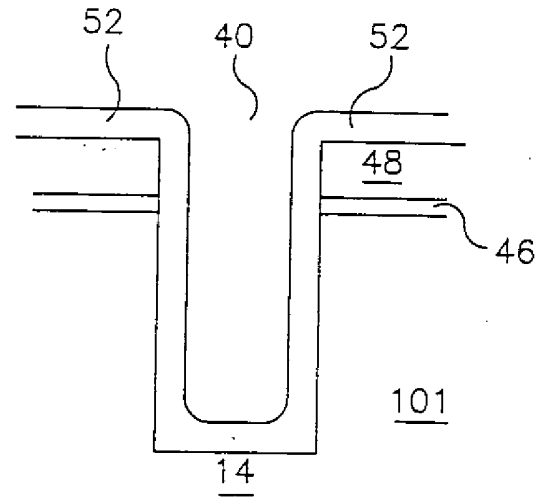


圖 19

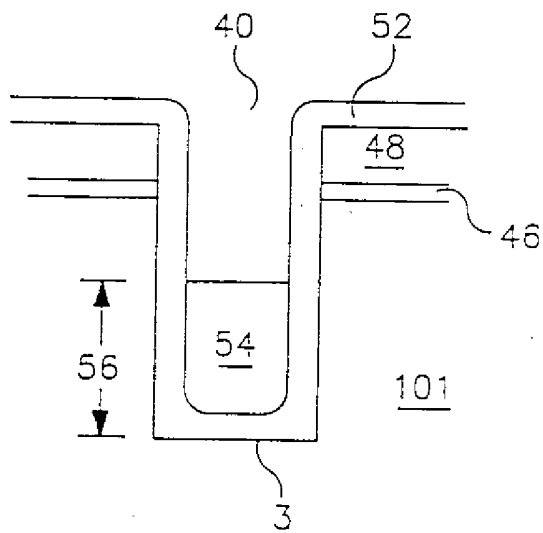


圖 20

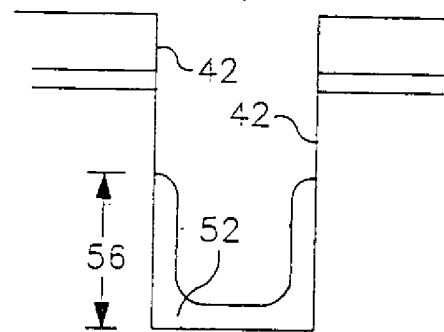


圖 21

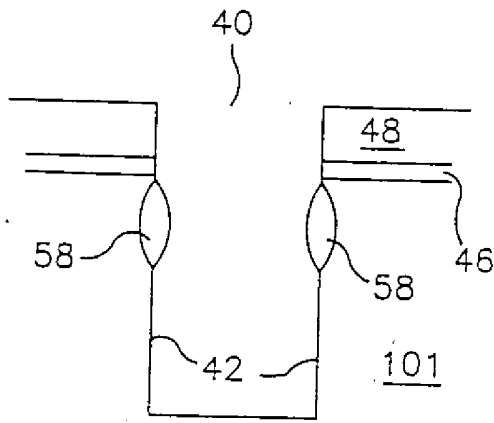


圖 22

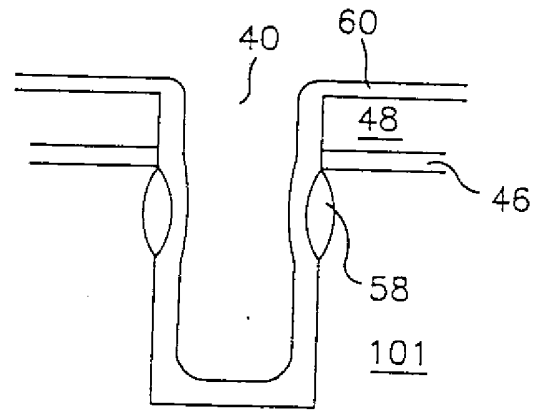


圖 23

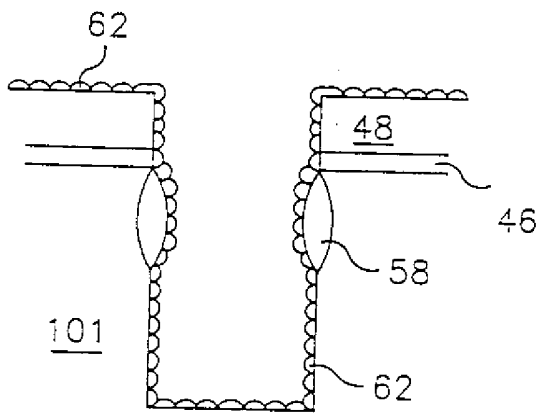


圖 24

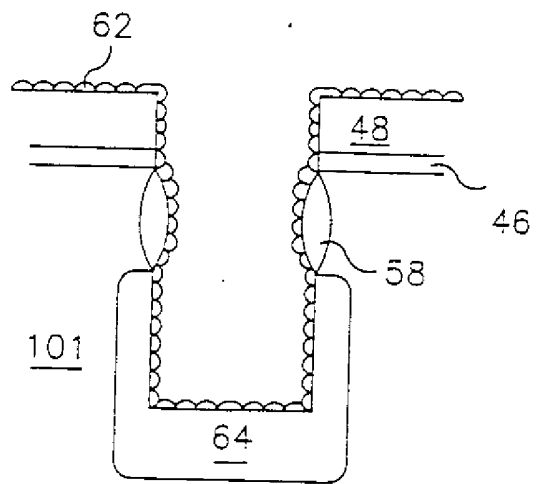


圖 25

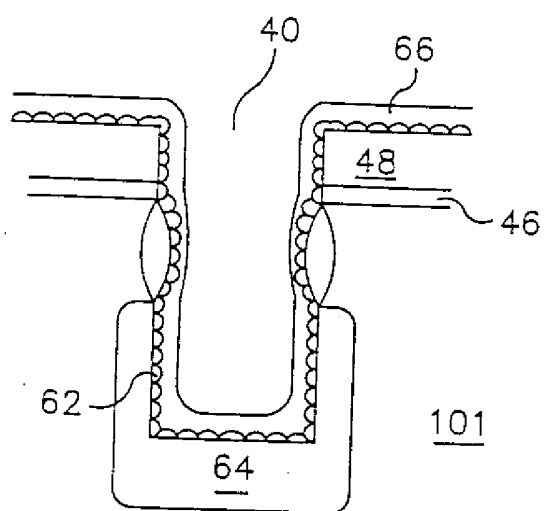


圖 26

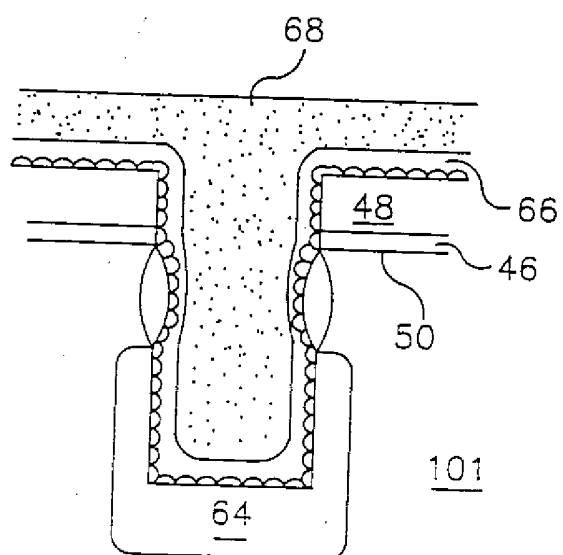


圖 27

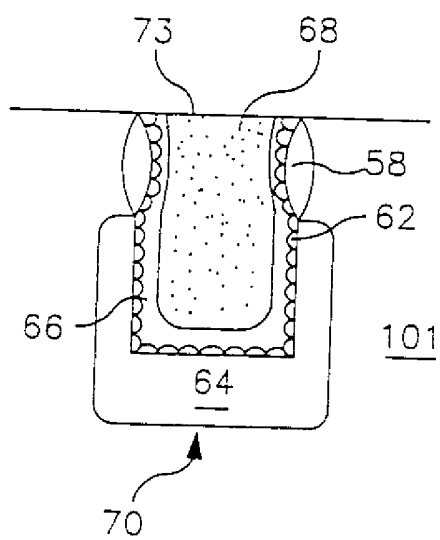


圖 28

公告本

89年11月4日 修正
補充

煩請委員明示89年11月4日所提之修正本有無變更實質內容是否准予修正。

申請日期	88.08.10.
案 號	88113651
類 別	H01L 21/26

中文說明書修正本(89年11月)

A4
C4

425655

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	<p>中文 於半導體積體電路元件中提升深溝渠電容積集度方案</p> <p>英文 "INTEGRATION SCHEME ENHANCING DEEP TRENCH CAPACITANCE IN SEMICONDUCTOR INTEGRATED CIRCUIT DEVICES"</p>
二、發明人	<p>姓名 1.蓋瑞 B. 伯洛尼 2.雷爾提斯 伊克諾密庫斯 3.雷傑諾 吉米 4.彼楊裘 帕克 5.卡爾 J. 雷登斯 6.馬丁 E. 史克倫斯</p> <p>國 籍 1.2.5均美國 3.印度 4.南韓 6.奧地利</p> <p>住、居所 1.美國紐約州史東維利市木崖路35號 2.美國紐約州威賓格秋天市歐尼德湖路58號 3.美國紐約州威賓格秋天市潘柏克圓環5C號 4.美國紐約州威賓格秋天市西尼克路1號 5.美國紐約州藍格倫維利市克雪爾路35號 6.德國薩克諾市藍布魯克區布魯密斯街4e/15號</p>
三、申請人	<p>姓名 (名稱) 1.美商萬國商業機器公司 2.德商西門子公司</p> <p>國 籍 1.美國 2.德國</p> <p>住、居所 (事務所) 1.美國紐約州阿蒙市新果園路 2.德國慕尼黑市</p> <p>代 表 人 姓 名 1.費羅普 2.(1)納特布希 (2)歐克</p>

裝

訂

線