

發明專利說明書 00532894

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94104197

※申請日期：94 年 02 月 14 日

※IPC 分類：H01L 25/065

一、發明名稱：

(中) 電子電路

(英)

二、申請人：(共 1 人)

1. 姓 名：(中) 學校法人慶應義塾
(英) KEIO UNIVERSITY

代表人：(中) 1. 安西祐一郎

(英) 1. ANZAI, YUICHIRO

地 址：(中) 日本國東京都港區三田二丁目一五番四五號

(英) 15-45, Mita 2-chome, Minato-ku, Tokyo, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 5 人)

1. 姓 名：(中) 黑田忠廣
(英) KURODA, TADAHIRO

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 溝口大介
(英) MIZOGUCHI, DAISUKE

國 籍：(中) 日本

(英) JAPAN

3. 姓 名：(中) 由司米拉滋 平堤 由司夫
(英) YUSOF, YUSMEERAZ BINTI

國 籍：(中) 馬來西亞

(英) MALAYSIA

4. 姓 名：(中) 三浦典之
(英) MIURA, NORIYUKI

國 籍：(中) 日本

(英) JAPAN

5. 姓 名：(中) 櫻井貴康
(英) SAKURAI, TAKAYASU
國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2004/02/13 ; 2004-037242 ☒ 有主張優先權

(英) JAPAN

5. 姓 名：(中) 櫻井貴康
(英) SAKURAI, TAKAYASU
國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2004/02/13 ; 2004-037242 ☒ 有主張優先權

(1)

九、發明說明

【發明所屬之技術領域】

本發明，係有關於 IC（Integrated Circuit 積體電路）裸晶片或 PCB（印刷基板）等之基板間，可進行良好通訊之電子電路。

【先前技術】

近年來之電子機器，逐漸小型化且高功能化；伴隨而來的，是內裝之 LSI（Large Scale Integration 大型積體電路）亦進行小型化、高速化。做為實現小型化、高速化之手段，係以於 1 個封裝包含系統所有機能為佳，而目前主要以 2 種類之大方法實現之。

做為第 1 方法，係於 1 個裸晶片裝載所有系統，亦即所謂 System on Chip（SoC）方式。此方式，係將不同之製程技術於 1 個裸晶片上實現，而使晶片面積增大並降低生產率，亦會提高成本。

第 2 方法，係於 1 個封裝內封入複數之裸晶片，亦即所謂 System in Package（SiP）方法。此手法，係將以不同製程所製造之功能以其他晶片實現，故一個裸晶片之生產率為高，而可期待低成本化。但是則產生不同晶片間相互連接之必要，而連接手法係存在有 3 種。

SiP 中相互連接之第 1 方法，係和先前相同，使用打線（Wire Bonding）之方法。此時，則有晶片間之連接線數和先前之封裝相同，或是比之前更少而產生通訊頻寬之

問題。又，減低安裝面積時，3 維安裝雖為不可或缺，但以打線方式時層積於上方之晶片必須變小，安裝面積受到限制，以 1 對 1 之連接為主，而難以形成匯流排。

SiP 中相互連接之第 2 方法，係 3 維安裝晶片，再以微凸塊連接之方法。此方法中，2 個晶片之對面安裝雖然成本低廉，但安裝 3 個以上之晶片時，則必須以物理方式製造所謂通孔（through hole），亦即貫穿晶片本身或安裝基板之通訊路徑，而要求專用之製程技術和高加工準確度，進而提高成本。

SiP 中相互連接之第 3 方法，係 3 維安裝晶片，將晶片間加以電容性偶合而澱性連接之方法。此方法在 2 晶片之對面安裝下可低成本且高速通訊，但 3 晶片以上時訊號之傳送效率則急遽惡化，而增加消耗電力。

故，提案有以天線進行晶片間通訊之方法（例如參考專利文件 1）。

【專利文件 1】日本特開平 11-68033 號公報

【發明內容】

發明所欲解決之課題

但是，即使依此天線，來安裝 3 晶片以上並跨越晶片送訊號時，天線所產生之電場必須貫穿介電率不同之多數物質（被偏壓之矽基板，已摻雜之矽，氧化膜，氮化膜等），而於邊界面產生反射，使傳導惡化。

本發明係有鑑於上述問題點，以提供一種即使跨過將

(3)

3 片以上基板 3 維安裝的基板，來傳送訊號時，亦可有效傳送訊號之電子電路為目的。此基板係包含 IC 裸晶片或 PCB。

用以解決課題之手段

本發明之電子電路，係具備於基板上具有以配線形成之第 1 線圈的第 1 基板；和於基板上，具有與上述第 1 線圈對應之位置以配線形成，且和第 1 線圈感應偶合之第 2 線圈的第 2 基板。

又，上述第 1 基板，係另外具有於送訊用數位資料變化時，對上述第 1 線圈輸出訊號之送訊電路，故可減少消耗電力。

又，上述第 2 基板，係另外具有將上述第 2 線圈之兩端，經由電阻而連接於電壓源之收訊電路，故可將訊號收訊時收訊線圈兩端所產生之電壓振幅的中心電壓，加以訊號放大為最佳之電壓值。

又，上述第 1 線圈，係和複數之第 2 基板之第 2 線圈感應偶合，故可形成跨越 3 個以上之基板的匯流排。

又，上述第 2 基板，係另外具有僅於週期性之特定期間，才收訊訊號之收訊電路，故可提高 SN 比（訊號雜訊比）。

發明之效果

若依本發明，即使跨過將 3 片以上基板 3 維安裝的基

(4)

板，來傳送訊號時，亦可有效傳送訊號。

又，因通訊係以電流驅動所造成，故可理想使用於大量需要低電壓驅動之LSI。

【實施方式】

以下參考附加圖示，詳細說明本發明之理想實施方式。

第1圖，係表示以本發明之一實施方式下電子電路之構成的圖。本實施方式之電子電路，係由第1LSI晶片11a、第2LSI晶片11b、第3LSI晶片11c所構成。此係3層堆疊LSI晶片，而形成跨越3晶片之匯流排的例子。第1~第3LSI晶片11a、11b、11c係縱向層積，各晶片互相以黏著劑固定。第1~第3LSI晶片11a、11b、11c上，係分別以配線形成第1~第3送訊線圈13a、13b、13c，以及第1~第3收訊線圈15a、15b、15c。此等3對之送收訊線圈13、15，係使其開口之中心一致地，配置於第1~第3LSI晶片11a、11b、11c上。依此，使3對之送收訊線圈13、15形成感應偶合，而可進行通訊。第1~第3送訊線圈13a、13b、13c係分別連接有第1~第3送訊電路12a、12b、12c，而第1~第3收訊線圈15a、15b、15c則分別連接有第1~第3收訊電路14a、14b、14c。送收訊線圈13、15係利用製程技術之多層配線，於通訊容許之面積內，3維安裝為環繞1圈以上之線圈。送收訊線圈13、15係以最適合通訊之形狀存在，而必須取得最佳之圈數、開口、線

寬。一般來說，送訊線圈 13 係較收訊線圈 15 為小。

第 2 圖，係表示本實施方式中送訊電路及收訊電路之具體構成的圖。本實施方式之送訊電路 12，係由記憶元件 FF、延遲緩衝器 121、第 1 送訊用緩衝器 INV2、及第 2 送訊用緩衝器 INV3 所構成。L1 係送訊線圈 13。送訊電路 12，係取得送訊時脈（同步訊號）Txclk，和與此同步之送訊資料 Txdata 做為輸入。被輸入之送訊資料 Txdata 係被保存於記憶元件 FF，而被輸入至第 1、第 2 送訊用緩衝器 INV2、INV3。但是，第 1 送訊用緩衝器 INV2 之前，係設有延遲緩衝器 121 做為延遲元件，而使對第 1 送訊用緩衝器 INV2 和第 2 送訊用緩衝器 INV3 之緩衝時間有所差距。第 1 送訊用緩衝器 INV2 和第 2 送訊用緩衝器 INV3 之輸出，係分別連接於送訊用線圈 L1 之兩端。依此構成，則僅有送訊資料產生變化時，僅以延遲緩衝器 121 之訊號傳導延遲時間對線圈 L1 流入電流。因收訊線圈 15 之收訊電壓成為最大，且收訊時序之邊際亦為大，故使流入送訊線圈 L1 之電流波形成為三角波形地，來設定第 1、第 2 送訊用緩衝器 INV2、INV3 之驅動力。

收訊電路 14，係由電晶體 T1~T10，電阻 R1、R2，NAND 電路 NAND1、NAND2，以及收訊用緩衝器 INV1 所構成；整體係構成門鎖差動放大器。L2 係收訊線圈 15。自外部取得收訊時脈（同步訊號）Rxclk，而輸出收訊資料 Rxdata。電晶體 T2、T3 係成為差動放大器之差動對，而由收訊線圈 L2 接受訊號。連接於。電晶體 T2、T3 之收

訊線圈 L2，其兩端係經過電阻 R1、R2 而連接於偏壓電壓 Vbias。依此，可將訊號收訊時收訊線圈 L2 兩端所產生之電壓振幅之中心電壓，加以訊號放大為最佳電壓值 Vbias。電晶體 T2、T3 之源極端子，係連接於尾電流產生用電晶體 T1。電晶體 T1 之源極端子係接地，而閘極端子則輸入有收訊時脈 Rxclk。電晶體 T2、T3 之汲極側，係有電晶體 T5 和電晶體 T8，以及電晶體 T6 和電晶體 T9 分別形成反向器，此 2 個反向器係連接為迴圈狀。連接反向器之配線，係對 NAND 電路 NAND1、NAND2 輸入，而 NAND 電路 NAND1、NAND2 則形成門鎖。差動放大器所收訊之資料，係和被輸入至電晶體 T1 之收訊時脈 Rxclk 同步來改變其值；而僅在其值改變時，NAND 電路 NAND1、NAND2 才取收訊訊號值做為數位資料，而於輸入值無變化之期間保持該值。為了保持差動放大器之預充電，和收訊時脈在 L（低準位）期間之門鎖值，而連接有電晶體 T7、T10。為了防止此電晶體 T7、T10 所產生之雜訊影響，在不管收訊線圈 L2 之收訊訊號是否有改變時都反轉收訊資料 Rxdata，而連接有電晶體 T4。

第 3 圖，係表示用以說明本實施方式之動作之波形的圖。自第 1 圖所示之第 3LSI 晶片 11c 上之第 3 送訊電路 12c，對存在於其上之第 1、第 2LSI 晶片 11a、11b 上之第 1、第 2 收訊電路 14a、14b，說明其送訊動作。舉例，傳送「...LLHHLL...」做為送訊資料 Txdata，說明傳送時之動作。第 3LSI 晶片 11c 上之第 3 送訊電路 12c，係於送訊

值時，輸入送訊時脈 Txclk，和與之同步之送訊資料 Txdata。首先，輸入 L（低準位）做為送訊資料 Txdata 的狀態下，第 1、第 2 送訊用緩衝器 INV2、INV3 之輸出係一同保持於 H（高準位）的平常狀態。第 1、第 2LSI 晶片 11a、11b 上之第 1、第 2 收訊電路 14a、14b，於 L 連續輸入之狀態下，於收訊資料 Rxdata 係輸出 L 而保持平常狀態。

由此狀態，送訊資料 Txdata 係於 A 點之時間由 L 轉變為 H。此訊號於 B 點係被記憶元件取得，而立刻輸入至第 2 送訊用緩衝器 INV3。在此，第 2 送訊用緩衝器 INV3 之輸出雖玩 L，但第 1 送訊用緩衝器 INV2 之輸出仍為 H，而電流係由第 1 送訊用緩衝器 INV2 流向第 2 送訊用緩衝器 INV3。之後，延遲緩衝器 121 之延遲時間後，第 2 送訊用緩衝器 INV3 之輸出成為 H，而使第 1 送訊用緩衝器 INV2 和第 2 送訊用緩衝器 INV3 成為等電位，使電流停止。此時，使電流波形成為「送訊線圈電流」B 點所示之三角波般，預先設定第 1、第 2 送訊用緩衝器 INV2、INV3 之驅動力。

「送訊線圈電流」之 B 點~C 點之電流變化，使第 1、第 2LSI 晶片 11a、11b 上所配置之收訊線圈 L2 產生「第 1LSI 晶片收訊線圈電壓」、「第 2LSI 晶片收訊線圈電壓」所示之電壓。此電壓震盪之中心電壓係 Vbias。因第 1LSI 晶片 11a 係較第 2LSI 晶片 11b 更遠離第 3LSI 晶片 11c，故產生之電壓變低。此等電壓變化係由門鎖差動放

(8)

大器放大，以閂鎖保持其值，而成為「第 1、第 2LSI 晶片 Rxdata」B 點所示之數位資料。

第 3LSI 晶片 11c 上之送訊資料 Txdata 於 B 點係維持在 H，而無改變。此時，C 點上對送訊線圈 L1 之輸入無改變，而第 1、第 2LSI 晶片 11a、11b 上之收訊線圈 L2 之電壓亦無改變，而可維持輸出資料 Rxdata。

第 3LSI 晶片 11c 上之送訊資料 Txdata 如 C 點般由 H 遷移到 L 時，記憶元件 FF 於 D 點取入，而其輸出則由 L 遷移到 H。此時，第 1 送訊用緩衝器 INV2 之輸出，係以延遲緩衝器 121 而延遲由 L 到 H 之改變，而使電流由第 2 送訊用緩衝器 INV3 流向第 1 送訊用緩衝器 INV2。之後，過了延遲緩衝器 121 之延遲時間，第 1 送訊用緩衝器 INV2 之輸出成為 H，而使第 1 送訊用緩衝器 INV2 和第 2 送訊用緩衝器 INV3 成為等電位，使電流停止。這一連串之送訊電流變化係如「送訊線圈電流」D 點般，使 B 點之 3 角波形成為反極性 3 角波地，預先設定第 1、第 2 送訊用緩衝器 INV2、INV3 之驅動力。

第 3LSI 晶片 11c 上之送訊線圈 L1 之電流變化，使第 1、第 2LSI 晶片 11a、11b 上所配置之收訊線圈 L2 產生「第 1LSI 晶片收訊線圈電壓」、「第 2LSI 晶片收訊線圈電壓」所示之電壓。此等電壓變化係由閂鎖差動放大器放大，以閂鎖保持其值，而得到「第 1、第 2LSI 晶片 Rxdata」D 點之數位收訊訊號。

以上，雖根據實施例具體說明了本發明者之發明，但

(9)

本發明並不限於上述形態，而於不脫離其主旨之範圍內可進行各種變更。

例如，可不連接匯流排而 1 對 1 連接，此情況之連接例係如第 4 圖（a）所示。第 4 圖（a），係由橫向看第 1~第 3 LSI 晶片 410~412 所構成之堆疊 LSI 的圖。送收訊電路 401 之內容係表示為送收訊電路 400。箭頭 403 係表示感應性偶合。

又，多對多之連接亦為可能，此情況之連接例係如第 4 圖（b）所示。第 4 圖（b），係由橫向看第 1~第 4 LSI 晶片 420~423 所構成之堆疊 LSI 的圖。此時，係以相同水平位置進行第 1 LSI 晶片 420 和第 3 LSI 晶片 422 之通訊，以及第 2 LSI 晶片 421 和第 4 LSI 晶片 423 之通訊。亦即，送訊電路和收訊電路之組合，係使用相同空間而獨立感應偶合者。因其為於相同水平位置感應偶合者，故進行例如時間分割等而無洩漏的進行個別之通訊。

如此一來不只縱方向之連接擴充，即使橫方向亦可連接擴充，而已第 5 圖表示並列通訊而增加頻寬之例子。第 5 圖，係由橫向看第 1~第 3 LSI 晶片 510~512 所構成之堆疊 LSI 的圖。送收訊電路 501 係和第 4 圖所示之送收訊電路 400 相同。箭頭 503 係表示感應性偶合，且表示確立並列之複數偶合的型態。

又，不僅連接方式，亦可改變送收訊電路。送訊電路，其消耗電力雖會增加，但若著眼於縮小電路規模，則可為第 6 圖之構成。第 6 圖所示之送訊電路，係由記憶元件

FF、送訊用緩衝器 INV4、及偏壓電壓 Vbias 之電壓源所構成。送訊資料 Txdata，係保存於記憶元件 FF，而經由送訊用緩衝器 INV4 輸出至送訊線圈 L1。若將偏壓電壓 Vbias 做為送訊資料之 L、H 的中間電壓，則對送訊線圈 L1 雖可流入不中斷的正負其中之一之電流，但送訊資料 Txdata 改變時，流入送訊線圈 L1 將反轉，而傳送訊號。

又，收訊電路，係和收訊時脈同步以接收收訊訊號，使其僅於特定之期間收訊訊號，來去除時脈造成之雜訊等而提高 SN 比例。

【圖式簡單說明】

[第 1 圖]表示本發明一實施方式下電子電路之構成的圖。

[第 2 圖]表示本實施方式中送訊電路及收訊電路之具體構成的圖。

[第 3 圖]表示用以說明本實施方式之動作之波形的圖。

[第 4 圖]表示本發明其他實施方式下電子電路之構成的圖。

[第 5 圖]表示本發明另外之實施方式下電子電路之構成的圖。

[第 6 圖]表示本發明其他實施方式下送訊電路之具體構成的圖。

(11)

【 主 要 元 件 符 號 說 明 】

11 LSI 晶 片

12 送 訊 電 路

13 送 訊 線 圈

14 送 訊 電 路

15 收 訊 電 路

400、401 送 收 訊 電 路

403 感 應 性 偶 合

410、411、412、420、421、422、423 LSI 晶 片

501 送 收 訊 電 路

503 感 應 性 偶 合

510、511、512 LSI 晶 片

FF 記 憶 元 件

INV 緩 衝 器

NAND NAND 電 路

L 線 圈

T 電 晶 體

Rxclk 收 訊 時 脈

Rxdata 收 訊 資 料

Txclk 送 訊 時 脈

Txdata 送 訊 資 料

Vbias 偏 壓 電 壓

五、中文發明摘要

發明之名稱：電子電路

本發明之課題

提供一種即使跨過將 3 片以上基板 3 維安裝的基板，來傳送訊號時，亦可有效傳送訊號之電子電路。

本發明之解決手段

以 3 層堆疊 LSI (大型積體電路) 晶片，形成跨越 3 晶片之匯流排。於第 1~第 3 LSI 晶片 11a、11b、11c 上，以配線形成第 1~第 3 送訊線圈 13a、13b、13c，以及第 1~第 3 收訊線圈 15a、15b、15c。此等 3 對之送收訊線圈 13、15 之開口之中心係配置為一致。依此，3 對之送收訊線圈 13、15 係形成感應偶合，而可進行通訊。第 1~第 3 送訊線圈 13a、13b、13c 係分別連接有第 1~第 3 送訊電路 12a、12b、12c，而第 1~第 3 收訊線圈 15a、15b、15c 則分別連接有第 1~第 3 收訊電路 14a、14b、14c。

六、英文發明摘要

發明之名稱：

(1)

十、申請專利範圍

1.一種電子電路，其特徵係具備

於基板上具有以配線形成之第 1 線圈的第 1 基板，和
於基板上，具有與上述第 1 線圈對應之位置以配線形
成，且和第 1 線圈感應偶合之第 2 線圈的第 2 基板。

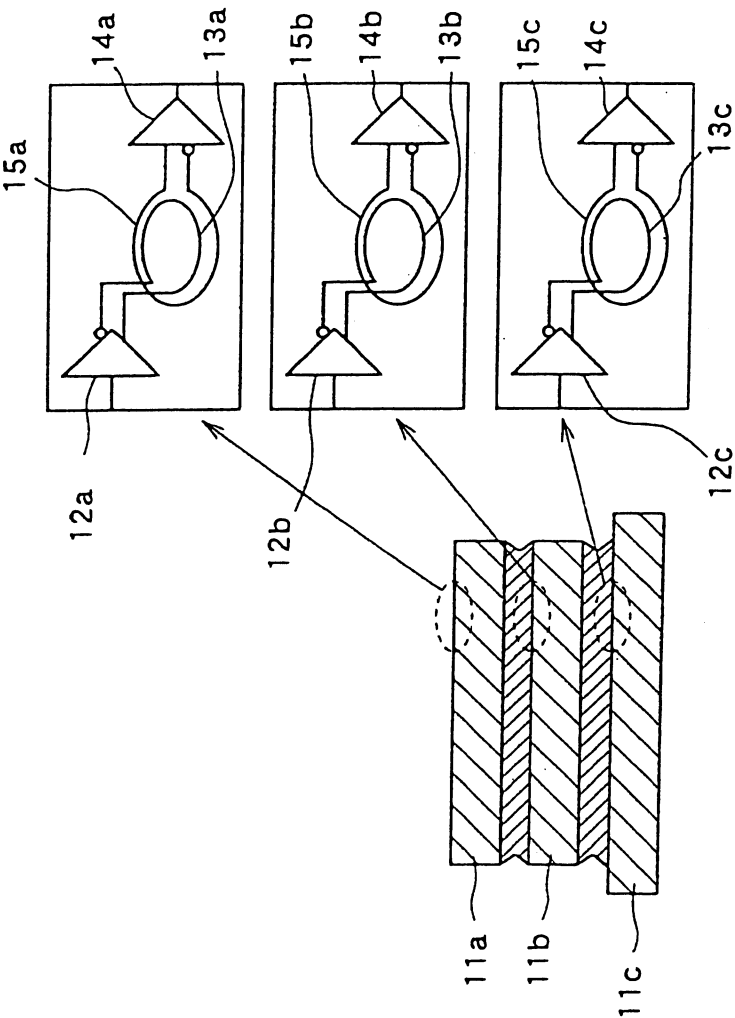
2.如申請專利範圍第 1 項所記載之電子電路，其中，
上述第 1 基板，係另外具有於送訊用數位資料變化時，對
上述第 1 線圈輸出訊號之送訊電路。

3.如申請專利範圍第 1 項或第 2 項所記載之電子電路
，其中，上述第 2 基板，係另外具有將上述第 2 線圈之兩
端，經由電阻而連接於電壓源之收訊電路。

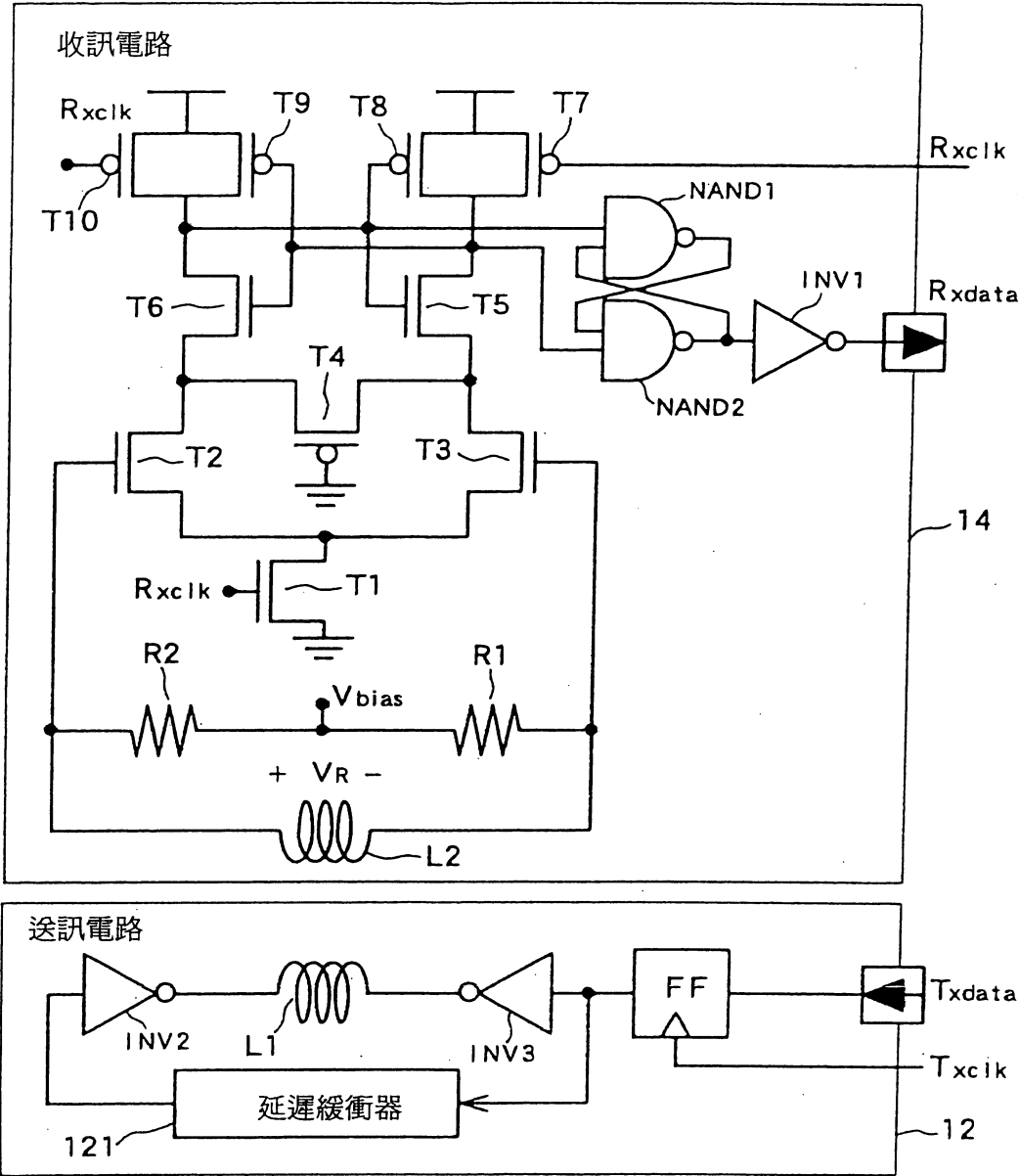
4.如申請專利範圍第 1 項所記載之電子電路，其中，
上述第 1 線圈，係和複數之第 2 基板之第 2 線圈感應偶合
。

5.如申請專利範圍第 1 項或第 2 項所記載之電子電路，
其中，上述第 2 基板，係另外具有僅於週期性之特定期間
，才收訊訊號之收訊電路。

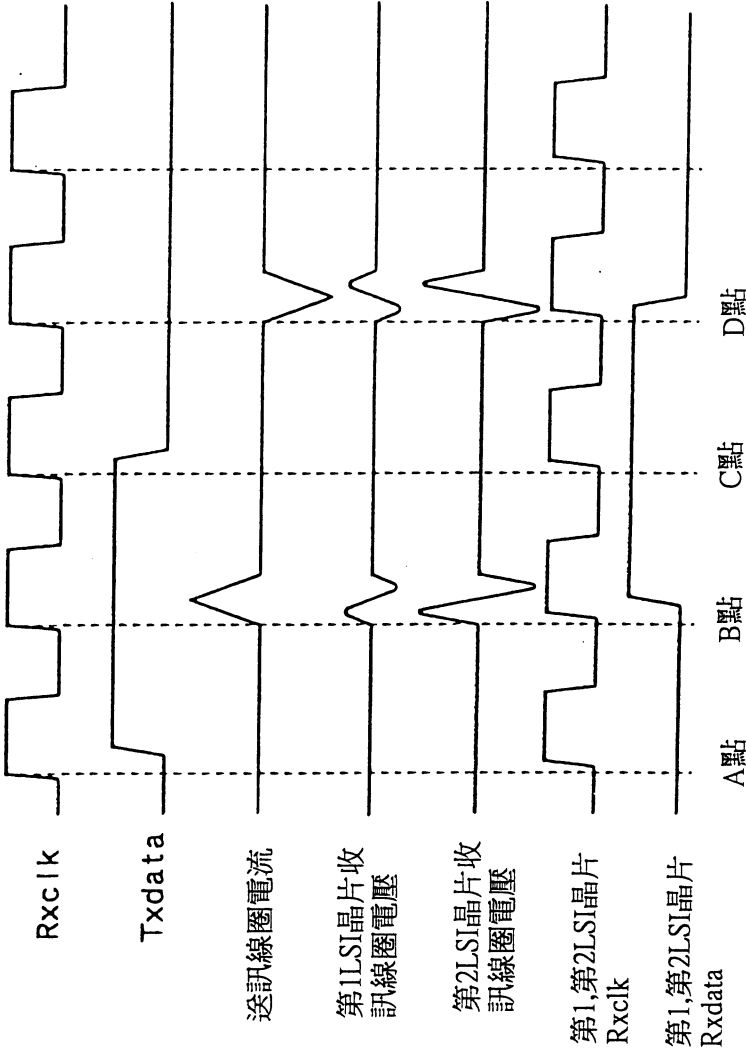
第1圖



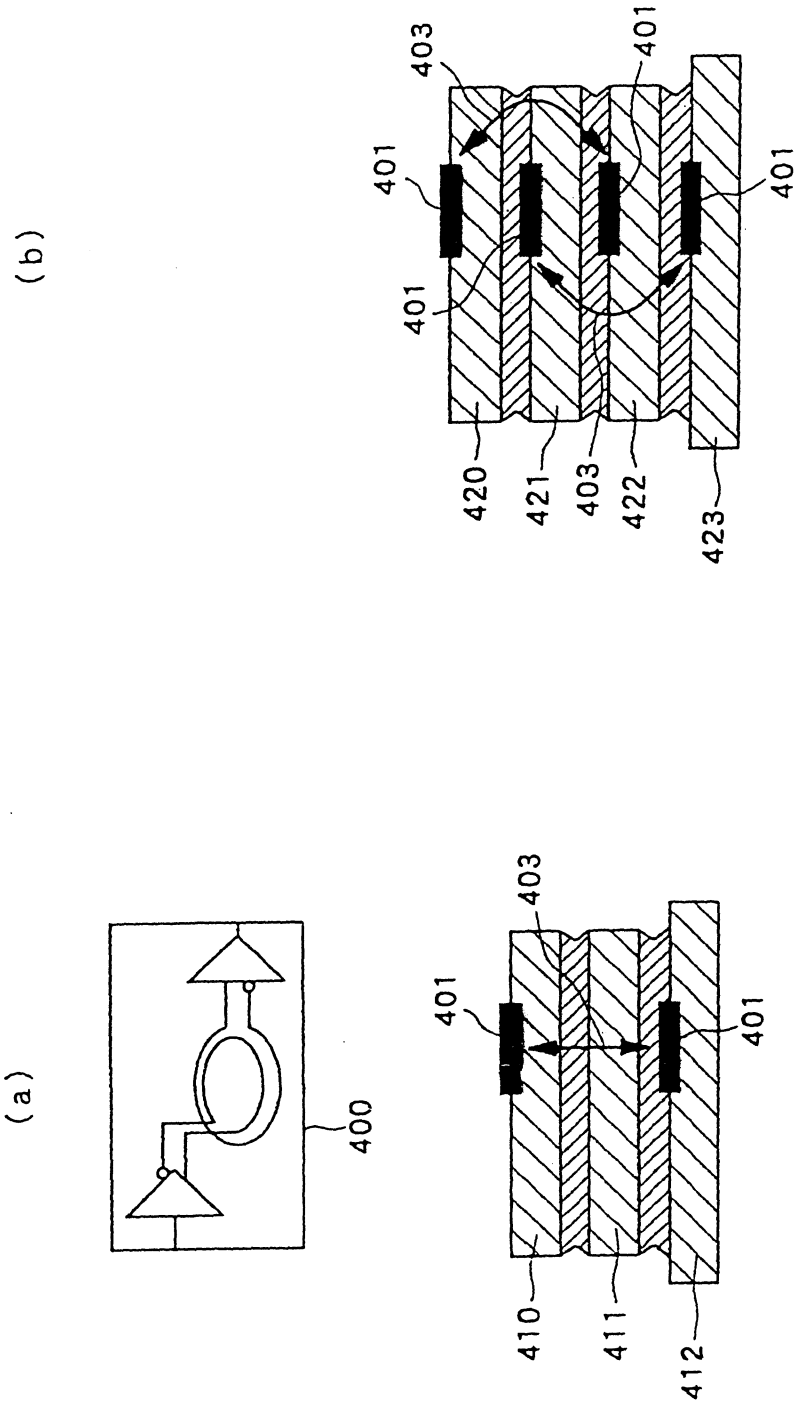
第2圖



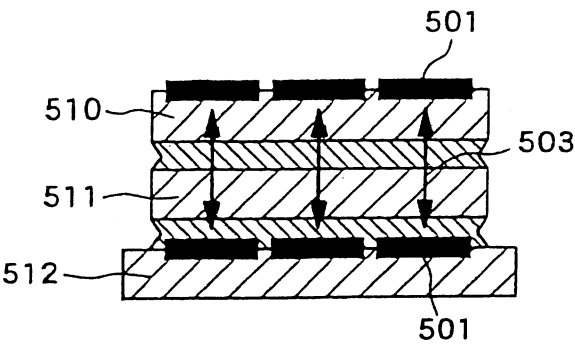
第3圖



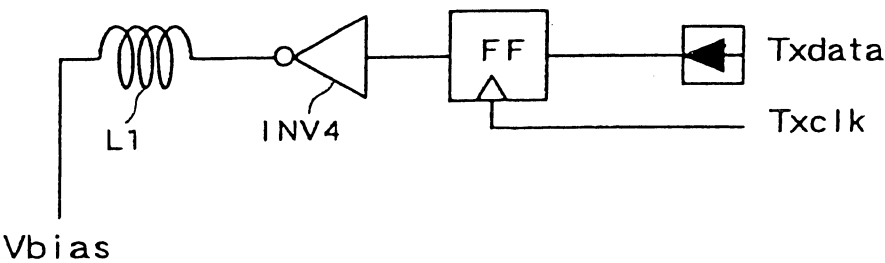
第4圖



第5圖



第6圖



七、指定代表圖：

(一)、本案指定代表圖為：第 (1) 圖

(二)、本代表圖之元件代表符號簡單說明：

11a、11b、11c	第 1~第 3LSI 晶片
12a、12b、12c	第 1~第 3 送訊電路
13a、13b、13c	第 1~第 3 送訊線圈
13a、13b、13c	第 1~第 3 送訊線圈
14a、14b、14c	第 1~第 3 收訊電路
15a、15b、15c	第 1~第 3 收訊線圈

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：