

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月22日(22.09.2022)



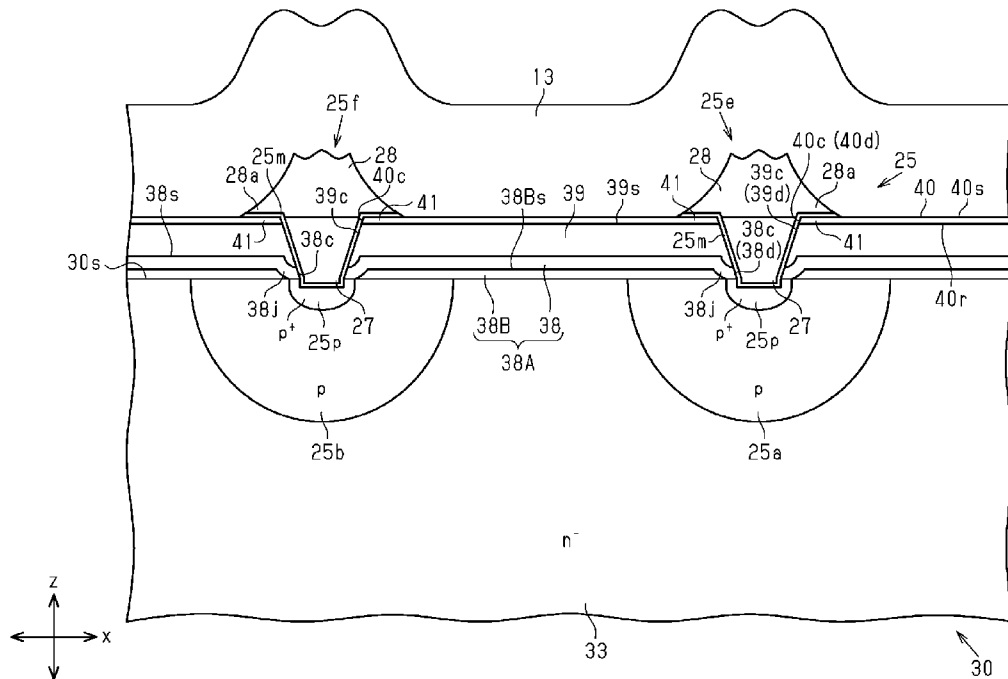
(10) 国際公開番号

WO 2022/196237 A1

- (51) 国際特許分類:
H01L 29/06 (2006.01) H01L 29/739 (2006.01)
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2022/006443
- (22) 国際出願日: 2022年2月17日(17.02.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-043960 2021年3月17日(17.03.2021) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 大澤 隆亨 (OHSAWA Takayuki);
〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 岡本 武士 (OKAMOTO Takeshi); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 恩田 誠, 外 (ONDA Makoto et al.);
〒5008731 岐阜県岐阜市大宮町二丁目1-2番地 1 Gifu (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: An outer peripheral region of this semiconductor device comprises: a guard ring; an insulating film and an intermediate insulating film that cover a surface of the guard ring; a field plate; a passivation film provided so as to cover both the insulating film and the field plate; and a barrier layer that has a smaller diffusion coefficient than the insulating film and the intermediate insulating film, and than the passivation film. The field plate includes a first section provided within an opening in the insulating film and the intermediate insulating film, and a second section having a protrusion

HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

that protrudes outward beyond the first section. The barrier layer has a section that is inserted between the protrusion and the guard ring.

(57) 要約: 半導体装置の外周領域は、ガードリングと、ガードリングの表面を覆う絶縁膜および中間絶縁膜と、フィールドプレートと、絶縁膜およびフィールドプレートの双方を覆うように設けられたパッシベーション膜と、絶縁膜および中間絶縁膜とパッシベーション膜の双方よりも拡散係数が小さいバリア層と、を備えている。フィールドプレートは、絶縁膜および中間絶縁膜の開口部内に設けられた第1部分と、第1部分よりも側方に突出する突出部を有する第2部分と、を含む。バリア層は、突出部とガードリングの間に入り込んだ部分を有する。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本開示は、半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] たとえば車載用インバータ装置に用いられる I G B T (Insulated Gate Bipolar Transistor) 等の半導体装置では、電極上に保護膜を形成することが知られている（たとえば特許文献 1 参照）。

先行技術文献

特許文献

[0003] 特許文献 1：特開 2 0 2 0 - 1 3 6 4 7 2 号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、保護膜としてたとえばポリイミド等の有機保護膜が用いられている場合、外部イオンが保護膜を通過してしまうおそれがある。

課題を解決するための手段

[0005] 上記課題を解決する半導体装置は、複数のセルが形成されたセル領域と、前記セル領域を囲むように前記セル領域の外側に設けられた外周領域と、を備える半導体装置であって、前記外周領域は、第 1 導電型の第 1 半導体層と、前記第 1 半導体層において部分的に形成された第 2 導電型の第 2 半導体領域と、前記第 1 半導体層の表面と、前記第 2 半導体領域の表面とを覆う絶縁膜と、前記絶縁膜に形成され、前記第 2 半導体領域の表面の一部を露出させる開口部と、前記開口部によって露出された部分と接するように設けられた電極部と、前記絶縁膜および前記電極部の双方を覆うように設けられたパッシベーション膜と、を備え、前記電極部は、前記開口部内に設けられた第 1 部分と、前記第 1 部分よりも側方に突出するとともに前記絶縁膜と重なっている突出部を有する第 2 部分と、を含み、前記半導体装置は、前記パッシベ

ーション膜と前記第1半導体層との間に設けられ、前記絶縁膜および前記パッシベーション膜の双方よりも拡散係数が小さいバリア層を備え、前記バリア層は、前記突出部と前記第2半導体領域との間に入り込んだ部分を有する。

[0006] 上記課題を解決する半導体装置の製造方法は、複数のセルが形成されたセル領域と、前記セル領域を囲むように前記セル領域の外側に設けられた外周領域と、を備える半導体装置の製造方法であって、前記外周領域に第1導電型の第1半導体層を形成する工程と、第2導電型の第2半導体領域を、前記第1半導体層において部分的に形成する工程と、前記第1半導体層の表面と、前記第2半導体領域の表面とを覆う絶縁膜を形成する工程と、前記絶縁膜の表面に、前記絶縁膜よりも拡散係数が小さいバリア層を形成する工程と、前記絶縁膜および前記バリア層の双方を貫通して前記第2半導体領域の一部を露出させた開口部を形成する工程と、前記開口部内に設けられた第1部分と、前記第1部分よりも側方に突出するとともに前記絶縁膜および前記バリア層の双方と重なっている突出部を有する第2部分と、を含む電極部を形成する工程と、前記バリア層および前記電極部の双方を覆うパッシベーション膜を形成する工程と、を備える。

[0007] 上記課題を解決する半導体装置の製造方法は、複数のセルが形成されたセル領域と、前記セル領域を囲むように前記セル領域の外側に設けられた外周領域と、を備える半導体装置の製造方法であって、前記外周領域に第1導電型の第1半導体層を形成する工程と、第2導電型の第2半導体領域を、前記第1半導体層において部分的に形成する工程と、前記第1半導体層の表面と、前記第2半導体領域の表面とを覆う第1絶縁膜を形成する工程と、前記第1絶縁膜の表面に、前記第1絶縁膜よりも拡散係数が小さいバリア層を形成する工程と、前記バリア層の表面を覆う第2絶縁膜を形成する工程と、前記第1絶縁膜、前記第2絶縁膜、および前記バリア層を貫通して前記第2半導体領域の一部を露出させた開口部を形成する工程と、前記開口部内に設けられた第1部分と、前記第1部分よりも側方に突出するとともに前記第2絶縁

膜および前記バリア層の双方と重なっている突出部を有する第２部分と、を含む電極部を形成する工程と、前記第２絶縁膜および前記電極部の双方を覆うパッシベーション膜を形成する工程と、を備える。

発明の効果

[0008] 上記半導体装置および半導体装置の製造方法によれば、半導体層への外部イオンの侵入を抑制できる。

図面の簡単な説明

[0009] [図1]図１は、第１実施形態の半導体装置の平面図である。

[図2]図２は、図１の半導体装置から保護膜を除去した状態の平面図である。

[図3]図３は、セル領域の断面構造の一例を示す断面図である。

[図4]図４は、図１の半導体装置の４－４線の断面構造を示す断面図である。

[図5]図５は、図４のゲートフィンガーおよびエミッタ引き回し部の拡大図である。

[図6]図６は、図４のＦＬＲ部の一部の拡大図である。

[図7]図７は、図４の等電位リングの拡大図である。

[図8]図８は、第１実施形態の半導体装置の製造方法について、その製造工程の一例を説明する説明図である。

[図9]図９は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図10]図１０は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図11]図１１は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図12]図１２は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図13]図１３は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図14]図１４は、半導体装置の製造方法の製造工程の一例を説明する説明図

である。

[図15]図15は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図16]図16は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図17]図17は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図18]図18は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図19]図19は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図20]図20は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図21]図21は、第2実施形態の半導体装置について、F L R部の一部の断面構造を示す断面図である。

[図22]図22は、セル領域の断面構造の一例を示す断面図である。

[図23]図23は、第2実施形態の半導体装置の製造方法について、その製造工程の一例を説明する説明図である。

[図24]図24は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図25]図25は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図26]図26は、第3実施形態の半導体装置について、F L R部の一部の断面構造を示す断面図である。

[図27]図27は、第3実施形態の半導体装置の製造方法について、その製造工程の一例を説明する説明図である。

[図28]図28は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図29]図 2 9 は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図30]図 3 0 は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図31]図 3 1 は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図32]図 3 2 は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図33]図 3 3 は、半導体装置の製造方法の製造工程の一例を説明する説明図である。

[図34]図 3 4 は、変更例の半導体装置について、F L R 部の一部の断面構造を示す断面図である。

[図35]図 3 5 は、変更例の半導体装置について、外周部の一部の断面構造を示す断面図である。

発明を実施するための形態

[0010] 以下、半導体装置の実施形態について図面を参照して説明する。以下に示す実施形態は、技術的思想を具体化するための構成や方法を例示するものであり、各構成部品の材質、形状、構造、配置、寸法等を下記のものに限定するものではない。

[0011] [第 1 実施形態]

(半導体装置の構成)

図 1 ～図 7 を参照して、第 1 実施形態の半導体装置 1 0 の構成について説明する。

[0012] 本実施形態の半導体装置 1 0 は、トレンチゲート型 I G B T (Insulated Gate Bipolar Transistor) である。この半導体装置 1 0 は、たとえば車載用インバータ装置においてスイッチング素子として用いられる。この場合、半導体装置 1 0 には、たとえば 5 A 以上 1 0 0 0 A 以下の電流が流れる。

[0013] 図 1 に示すように、半導体装置 1 0 は、たとえば矩形平板状に形成されて

いる。本実施形態では、半導体装置 10 の装置主面 10 s は、たとえば正方形に形成されている。本実施形態では、装置主面 10 s の一辺の長さは、11 mm 程度である。つまり、本実施形態の半導体装置 10 のチップサイズは、11 mm² である。半導体装置 10 は、装置主面 10 s と反対側を向く装置裏面 10 r（図 3 参照）と、装置主面 10 s と装置裏面 10 r との間に形成された 4 つの装置側面 10 a～10 d と、を有している。装置側面 10 a～10 d は、たとえば装置主面 10 s と装置裏面 10 r とを繋ぐ面であり、装置主面 10 s と装置裏面 10 r との双方と直交している。

[0014] 以下の説明において、装置主面 10 s および装置裏面 10 r が向く方向を「z 方向」とする。z 方向は、半導体装置 10 の高さ方向であるともいえる。z 方向に直交する方向のうち互いに直交する 2 方向を「x 方向」および「y 方向」とする。本実施形態では、装置側面 10 a, 10 b は半導体装置 10 の x 方向の両端面を構成し、装置側面 10 c, 10 d は半導体装置 10 の y 方向の両端面を構成している。また、便宜上、装置裏面 10 r から装置主面 10 s に向かう方向を「上方」とし、装置主面 10 s から装置裏面 10 r に向かう方向を「下方」とする。

[0015] 図 2 に示すように、半導体装置 10 は、半導体装置 10 の外部と接続するための外部電極として、エミッタ電極 21 およびゲート電極 22 を備えている。

エミッタ電極 21 は、IGBT のエミッタを構成する電極である。エミッタ電極 21 は、y 方向に向けて凹む収容凹部 21 a が形成されている。収容凹部 21 a は、装置側面 10 c に向けて開口している。

[0016] ゲート電極 22 は、IGBT のゲートを構成する電極であり、半導体装置 10 を駆動させるための駆動電圧信号が半導体装置 10 の外部から供給される電極である。ゲート電極 22 は、エミッタ電極 21 と y 方向に隣り合う位置に設けられている。ゲート電極 22 は、エミッタ電極 21 の収容凹部 21 a に入り込んでいる。

[0017] 図 2 の破線で示すように、半導体装置 10 は、複数のセルが形成されたセ

ル領域 1 1 と、セル領域 1 1 を囲むようにセル領域 1 1 の外側に設けられた外周領域 1 2 と、を備えている。ここで、セルとは、トランジスタが形成されたメインセルを意味する。つまり、セル領域 1 1 は、トランジスタが形成される領域である。外周領域 1 2 は、z 方向から視て、装置主面 1 0 s の外周部分に形成されている。外周領域 1 2 は、エミッタ電極 2 1 を囲む領域のうちゲート電極 2 2 が形成される領域を除く領域である。

[0018] セル領域 1 1 には、エミッタ電極 2 1 が設けられている。エミッタ電極 2 1 は、セル領域 1 1 の大部分にわたり形成されている。z 方向から視て、セル領域 1 1 は、エミッタ電極 2 1 の形状に沿った形状を有している。

[0019] 外周領域 1 2 は、半導体装置 1 0 の絶縁耐圧を向上させる終端構造が設けられる領域である。外周領域 1 2 は、エミッタ電極 2 1 を囲む領域のうちゲート電極 2 2 が形成される領域を除く領域である。ゲート電極 2 2 は、セル領域 1 1 と外周領域 1 2 とによって囲まれた領域に設けられている。

[0020] 外周領域 1 2 には、一对のゲートフィンガー 2 3 A, 2 3 B と、エミッタ引き回し部 2 4 と、F L R (Field Limiting Ring) 部 2 5 と、等電位リング 2 6 と、が設けられている。エミッタ電極 2 1、ゲート電極 2 2、ゲートフィンガー 2 3 A, 2 3 B、エミッタ引き回し部 2 4、F L R 部 2 5、および等電位リング 2 6 は、共通の金属膜を含む。この金属膜は、たとえば A l C u を含む材料（アルミニウムと銅との合金）によって形成されている。

[0021] 一对のゲートフィンガー 2 3 A, 2 3 B は、エミッタ電極 2 1 のうちゲート電極 2 2 から離れた部分におけるセルにも、ゲート電極 2 2 に供給された電流を速やかに供給するためのものである。一对のゲートフィンガー 2 3 A, 2 3 B は、ゲート電極 2 2 と一体化されている。一对のゲートフィンガー 2 3 A, 2 3 B は、ゲート電極 2 2 の y 方向の両端部のうち装置側面 1 0 c に近い方の端部に繋がっている。

[0022] ゲートフィンガー 2 3 A は、ゲート電極 2 2 から装置側面 1 0 a に向けて延び、エミッタ電極 2 1 を装置側面 1 0 c、装置側面 1 0 a、および装置側面 1 0 d から囲うように形成されている。ゲートフィンガー 2 3 B は、ゲ-

ト電極 22 から装置側面 10b に向けて延び、エミッタ電極 21 を装置側面 10c、装置側面 10b、および装置側面 10d から囲うように形成されている。ゲートフィンガー 23A の先端部とゲートフィンガー 23B の先端部とは、エミッタ電極 21 よりも装置側面 10d 寄りの部分において x 方向に隙間をあけて対向している。

[0023] エミッタ引き回し部 24 は、エミッタ電極 21 と一体化された部分であり、一对のゲートフィンガー 23A、23B を囲うように環状に形成されている。

FLR 部 25 は、半導体装置 10 の耐圧向上のための終端構造であり、エミッタ引き回し部 24 の外方に設けられている。FLR 部 25 は、エミッタ電極 21 およびゲート電極 22 を囲む環状に形成されている。本実施形態では、FLR 部 25 は、閉じた環状となるように形成されている。FLR 部 25 は、外周領域 12 における電界を緩和し、外部イオンからの影響を抑制することによって半導体装置 10 の耐圧を向上させる機能を有している。

[0024] 等電位リング 26 は、半導体装置 10 の耐圧向上のための終端構造であり、FLR 部 25 を囲うように環状に形成されている。等電位リング 26 は、図 1 に示すように、装置主面 10s の最外周部に形成されている。本実施形態では、等電位リング 26 は、閉じた環状となるように形成されている。等電位リング 26 は、半導体装置 10 の耐圧を向上させる機能を有している。

[0025] 図 1 に示すように、半導体装置 10 は、エミッタ電極 21、ゲート電極 22、一对のゲートフィンガー 23A、23B、エミッタ引き回し部 24、FLR 部 25、および等電位リング 26 を覆うパッシベーション膜 13 を備えている。パッシベーション膜 13 は、半導体装置 10 を半導体装置 10 の外部から保護する保護膜である。また、パッシベーション膜 13 は、たとえばポリイミド (PI) を含む材料によって形成された有機絶縁膜である。

[0026] パッシベーション膜 13 は、第 1 開口部 14 および第 2 開口部 15 を有している。第 1 開口部 14 は、エミッタ電極 21 の一部を露出している。これにより、エミッタ電極パッド 16 が構成されている。第 2 開口部 15 は、ゲ

ート電極 22 の大部分を露出している。これにより、ゲート電極パッド 17 が構成されている。このように、開口部 14, 15 によって、半導体装置 10 の外部からの導電部材（図示略）が接合するためのパッドを構成している。

[0027] 図 3 は、セル領域 11 の一部の断面構造の一例を示している。なお、図 3 では、便宜上、セル領域 11 における半導体装置 10 の構成要素の一部のハッチングを省略して示している。

[0028] 図 3 に示すように、半導体装置 10 は、半導体基板 30 を備えている。半導体基板 30 は、たとえば n^- 型の Si（シリコン）を含む材料から形成されている。半導体基板 30 は、たとえば $50\ \mu\text{m}$ 以上 $200\ \mu\text{m}$ 以下の厚さを有している。

[0029] 半導体基板 30 は、 z 方向において互いに反対側を向く基板表面 30s および基板裏面 30r を有している。つまり、 z 方向は、半導体基板 30 の厚さ方向であるともいえる。このため、「 z 方向から視て」とは、「半導体基板 30 の厚さ方向から視て」ともいえる。

[0030] 半導体基板 30 は、基板裏面 30r から基板表面 30s に向けて順に、 p^+ 型のコレクタ層 31、 n 型のバッファ層 32、および n^- 型のドリフト層 33 が積層された構造を有している。基板裏面 30r には、コレクタ電極 29 が形成されている。コレクタ電極 29 は、基板裏面 30r の略全面にわたり形成されている。コレクタ電極 29 のうち基板裏面 30r とは反対側の面は、半導体装置 10 の装置裏面 10r を構成している。ここで、本実施形態では、ドリフト層 33 は「第 1 導電型の第 1 半導体層」に対応している。

[0031] コレクタ層 31 の p 型ドーパントとしては、たとえば B（ホウ素）、Al（アルミニウム）等が用いられる。コレクタ層 31 のドーパント濃度は、たとえば、 $1 \times 10^{15}\ \text{cm}^{-3}$ 以上 $2 \times 10^{19}\ \text{cm}^{-3}$ 以下である。

[0032] バッファ層 32 およびドリフト層 33 の n 型ドーパントとしては、たとえば N（窒素）、P（リン）、As（ひ素）等が用いられる。バッファ層 32 のドーパント濃度は、たとえば $1 \times 10^{15}\ \text{cm}^{-3}$ 以上 $5 \times 10^{17}\ \text{cm}^{-3}$ 以下

である。ドリフト層 33 のドーパント濃度は、バッファ層 32 よりも低く、たとえば $1 \times 10^{13} \text{ cm}^{-3}$ 以上 $5 \times 10^{14} \text{ cm}^{-3}$ 以下である。

[0033] ドリフト層 33 の表面、すなわち基板表面 30s には、p 型のベース領域 34 が形成されている。ベース領域 34 は、基板表面 30s の略全面にわたり形成されている。ベース領域 34 のドーパント濃度は、たとえば $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。ベース領域 34 の基板表面 30s からの深さは、たとえば $1.0 \mu\text{m}$ 以上 $4.0 \mu\text{m}$ 以下である。本実施形態では、z 方向は、ドリフト層 33 の厚さ方向となる。つまり、「z 方向から視て」とは「ドリフト層 33 の厚さ方向から視て」ともいえる。ドリフト層 33 は第 1 半導体層に対応しているため、「z 方向から視て」とは「第 1 半導体層から視て」ともいえる。

[0034] セル領域 11 におけるベース領域 34 の表面（基板表面 30s）には、複数のトレンチ 35 が並んで配置されている。各トレンチ 35 は、たとえば y 方向に沿って延びており、x 方向において互いに離間して配列されている。これにより、ストライプ状のメインセル 11A に区画されている。x 方向において隣り合うトレンチ 35 の間隔（トレンチ 35 の中心間距離）は、たとえば、 $1.5 \mu\text{m}$ 以上 $7.0 \mu\text{m}$ 以下である。各トレンチ 35 の幅（トレンチ 35 の x 方向の寸法）は、たとえば、 $0.5 \mu\text{m}$ 以上 $3.0 \mu\text{m}$ 以下である。各トレンチ 35 は、ベース領域 34 を z 方向に貫通して、ドリフト層 33 の途中まで延びている。なお、各トレンチ 35 は、行列状のメインセル 11A を区画するように格子状に形成されていてもよい。

[0035] セル領域 11 におけるベース領域 34 の表面（基板表面 30s）には、 n^+ 型のエミッタ領域 36 が形成されている。エミッタ領域 36 は、トレンチ 35 の x 方向の両側に配置されている。つまり、エミッタ領域 36 は、ベース領域 34 のうちトレンチ 35 の配列方向におけるトレンチ 35 の両側に設けられているともいえる。このため、x 方向において隣り合うトレンチ 35 の x 方向の間には、2 つのエミッタ領域 36 が x 方向において互いに間隔をあけて配置されている。各エミッタ領域 36 の深さは、たとえば $0.2 \mu\text{m}$ 以

上 $0.6\mu\text{m}$ 以下である。また、各エミッタ領域36のドーパント濃度は、ベース領域34よりも高く、たとえば $1\times 10^{19}\text{cm}^{-3}$ 以上 $5\times 10^{20}\text{cm}^{-3}$ 以下である。

[0036] セル領域11におけるベース領域34の表面（基板表面30s）には、 p^+ 型のベースコンタクト領域37が形成されている。ベースコンタクト領域37は、エミッタ領域36とx方向に隣り合う位置に設けられている。つまり、ベースコンタクト領域37は、x方向において隣り合うトレンチ35のx方向の間に設けられた2つのエミッタ領域36のx方向の間に設けられている。各ベースコンタクト領域37は、エミッタ領域36よりも深く形成されていてもよい。各ベースコンタクト領域37の深さは、たとえば $0.2\mu\text{m}$ 以上 $0.8\mu\text{m}$ 以下である。また、各ベースコンタクト領域37のドーパント濃度は、ベース領域34よりも高く、たとえば $5\times 10^{18}\text{cm}^{-3}$ 以上 $1\times 10^{20}\text{cm}^{-3}$ 以下である。

[0037] 各トレンチ35の内面および基板表面30sの双方には、絶縁膜38が一体に形成されている。このため、絶縁膜38は、ドリフト層33の表面に形成されているともいえる。絶縁膜38は、たとえば酸化シリコン（ SiO_2 ）を有している。絶縁膜38の厚さは、たとえば、 $1100\text{\AA}$ 以上 $1300\text{\AA}$ 以下である。セル領域11における絶縁膜38は、ゲート絶縁膜を構成しているともいえる。

[0038] 絶縁膜38を介して各トレンチ35内には、たとえばポリシリコン等によって形成された電極材料が埋め込まれている。各トレンチ35に埋め込まれた電極材料は、ゲート電極22（ゲートフィンガー23A、23B）およびエミッタ電極21のいずれかに電氣的に接続されている。つまり、各トレンチ35に埋め込まれた電極材料によって、ゲートトレンチ22Aおよびエミッタトレンチ21Aが形成されている。本実施形態では、複数のトレンチ35の配列方向において、ゲートトレンチ22Aとエミッタトレンチ21Aとが交互に設けられている。本実施形態では、ゲートトレンチ22Aおよびエミッタトレンチ21Aの双方は、各トレンチ35の開口端まで埋め込まれて

いる。

[0039] 基板表面30sに設けられた絶縁膜38の表面38sには、中間絶縁膜39が形成されている。中間絶縁膜39は、たとえばSiO₂を有している。中間絶縁膜39の厚さは、絶縁膜38よりも厚く、たとえば3000Å以上15000Å以下である。

[0040] 中間絶縁膜39の表面39sには、バリア層40が形成されている。バリア層40は、パッシベーション膜13から半導体基板30の基板表面30sへの外部イオンの侵入を抑制する機能を有している。具体的には、バリア層40は、パッシベーション膜13よりも外部イオンの拡散係数の小さい材料を有している。本実施形態では、バリア層40は、中間絶縁膜39よりも外部イオンの拡散係数の小さい材料を有している。また、バリア層40は、絶縁膜38よりも外部イオンの拡散係数の小さい材料を有している。まとめると、バリア層40は、パッシベーション膜13、中間絶縁膜39、および絶縁膜38のそれぞれよりも外部イオンの拡散係数の小さい材料を有している。バリア層40は、たとえば窒化シリコンを含む材料から形成されている。本実施形態では、バリア層40は、窒化シリコンとしてSiNを有している。バリア層40の厚さは、中間絶縁膜39の厚さよりも薄い。バリア層40は、中間絶縁膜39の表面39sに沿った形状に形成されている。

[0041] 中間絶縁膜39上およびバリア層40上には、エミッタ電極21が形成されている。つまり、中間絶縁膜39およびバリア層40の双方は、エミッタ電極21とゲートトレンチ22Aとの間と、エミッタ電極21とエミッタトレンチ21Aとの間との双方を埋める層間絶縁膜である。バリア層40は、中間絶縁膜39とエミッタ電極21との間に介在しているともいえる。バリア層40は、表面40sおよび裏面40rを有している。表面40sはエミッタ電極21に接し、裏面40rは中間絶縁膜39の表面39sに接している。

[0042] 絶縁膜38には、絶縁膜38をz方向に貫通する複数の開口部38aが設けられている。各開口部38aは、z方向から見て、ベースコンタクト領域

３７と重なる位置に設けられている。

[0043] 中間絶縁膜３９には、中間絶縁膜３９をｚ方向に貫通する複数の開口部３９ａが設けられている。各開口部３９ａは、ｚ方向から視て、ベースコンタクト領域３７と重なる位置に設けられている。

[0044] バリア層４０には、バリア層４０をｚ方向に貫通する複数のバリア層側開口部４０ａを有している。各バリア層側開口部４０ａは、ｚ方向から視て、ベースコンタクト領域３７と重なる位置に設けられている。

[0045] 本実施形態では、開口部３９ａを構成する内側面３９ｂと、バリア層側開口部４０ａを構成する内側面４０ｂとは面一となる。エミッタ電極２１は、開口部３９ａおよびバリア層側開口部４０ａを介してベースコンタクト領域３７に接続されている。

[0046] このように、絶縁膜３８の開口部３８ａ、中間絶縁膜３９の開口部３９ａ、およびバリア層側開口部４０ａを介して、ベースコンタクト領域３７が露出している。つまり、これら開口部３８ａ、３９ａ、４０ａは、エミッタ電極２１をベースコンタクト領域３７に接触させるためのコンタクトホールを構成している。

[0047] エミッタ電極２１は、上記各コンタクトホールに埋め込まれるプラグ電極２１ｂを有している。プラグ電極２１ｂは、たとえばタングステン（Ｗ）を有している。本実施形態では、プラグ電極２１ｂは、その先端部が半導体基板３０の基板表面３０ｓから埋め込まれるように設けられている。エミッタ電極２１は、各プラグ電極２１ｂを覆う電極本体部２１ｃを有している。電極本体部２１ｃは、各プラグ電極２１ｂ上に設けられている。電極本体部２１ｃは、中間絶縁膜３９およびバリア層４０の双方よりも上方に突出している。電極本体部２１ｃは、バリア層４０を覆っている。

[0048] より詳細には、エミッタ電極２１は、バリアメタル層２１ｅを有している。バリアメタル層２１ｅは、バリア層４０の表面４０ｓと、開口部３９ａを構成する内側面３９ｂと、バリア層側開口部４０ａを構成する内側面４０ｂと、開口部３８ａを構成する内側面３８ｂと、これら開口部３８ａ、３９ａ

、40aによって開口されたドリフト層33の表面（基板表面30s）とに形成されている。バリアメタル層21eは、たとえばTi（チタン）およびTiN（窒化チタン）の積層構造によって形成されている。このため、バリアメタル層21eは、各プラグ電極21bのうち各内側面38b、39b、40bおよび基板表面30sに接する部分と、電極本体部21cのうちバリア層40の表面40sと接する部分とを構成している。

[0049] 図4～図7を参照して、外周領域12の詳細な構成について説明する。

図4は、外周領域12の一部の断面構造を示している。図5は、図4の外周領域12のうちゲートフィンガー23Aおよびエミッタ引き回し部24の拡大構造を示している。図6は、図4の外周領域12のうちFLR部25の一部およびその周辺の拡大構造を示している。図7は、図4の外周領域12のうち等電位リング26の一部およびその周辺の拡大構造を示している。なお、図4～図7では、便宜上、半導体装置10の構成要素のハッチングを省略して示している。

[0050] 図4～図7に示すように、外周領域12にもドリフト層33が形成されている。外周領域12における半導体基板30の基板表面30sには、絶縁膜38Aおよび中間絶縁膜39の双方が形成されている。つまり、絶縁膜38Aおよび中間絶縁膜39は、外周領域12におけるドリフト層33の表面を覆っているともいえる。外周領域12の絶縁膜38Aは、セル領域11の絶縁膜38を含む。絶縁膜38Aは、絶縁膜38と個別に形成されている。さらに、外周領域12における中間絶縁膜39の表面39sには、セル領域11と同様にバリア層40が形成されている。ここで、本実施形態では、絶縁膜38Aは「第1絶縁膜」に対応し、中間絶縁膜39は「第2絶縁膜」に対応している。

[0051] 図6に示すように、絶縁膜38Aは、半導体基板30の基板表面30sに形成された基板側絶縁膜38Bと、基板側絶縁膜38Bの表面38Bsに形成された反基板側絶縁膜としての絶縁膜38と、を有している。つまり、本実施形態の絶縁膜38Aは、基板側絶縁膜38Bと絶縁膜38との2層の積

層構造となる。基板側絶縁膜 38 B は、半導体基板 30 を熱酸化することによって形成された酸化膜である。このため、絶縁膜 38 A に積層された中間絶縁膜 39 は、絶縁膜 38 の表面 38 s に形成されているともいえる。

[0052] 図 4 に示すように、外周領域 12 のうちセル領域 11 と隣り合う領域には、p 型のベース領域 34 A が形成されている。ベース領域 34 A は、ベース領域 34 と同様に、半導体基板 30 の基板表面 30 s に形成されている。ベース領域 34 A は、ドリフト層 33 において部分的に形成されている。このため、ベース領域 34 A の表面は、絶縁膜 38 A および中間絶縁膜 39 によって覆われている。このように、絶縁膜 38 A および中間絶縁膜 39（ともに図 5 参照）は、ドリフト層 33 の表面と、ベース領域 34 A の表面とを覆っているともいえる。ベース領域 34 A のドーパント濃度は、たとえば $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。

[0053] 外周領域 12 におけるベース領域 34 A の深さは、セル領域 11 におけるベース領域 34（図 3 参照）よりも深い。より詳細には、外周領域 12 におけるベース領域 34 A の深さは、トレンチ 35 よりも深い。本実施形態では、ベース領域 34 A は、z 方向から見て、エミッタ電極 21 の外周部と重なる位置まで延びている。つまり、ベース領域 34 A は、セル領域 11 の外周部にも形成されている。バリア層 40（図 5 参照）は、z 方向から見て、ベース領域 34 A と重なる位置に設けられている。バリア層 40 は、z 方向から見て、ベース領域 34 A を覆っている。本実施形態では、z 方向から見て、バリア層 40 は、ベース領域 34 A の外縁よりもはみ出すように形成されている。ここで、本実施形態では、ベース領域 34 A は「第 2 導電型の第 2 半導体領域」に対応している。

[0054] 図 4 に示すように、ベース領域 34 A よりも外方の位置には、FLR 部 25 が形成されている。FLR 部 25 は、互いに離間して配置された複数（本実施形態では 4 つ）の環状の導電体および半導体領域から構成されている。

[0055] 半導体基板 30 の基板表面 30 s には、複数（本実施形態では 4 つ）の環状のガードリング 25 a ~ 25 d が形成されている。本実施形態では、ガー

ドリリング25a～25dは、閉じた環状に形成されている。ガードリング25a～25dは、ドリフト層33において部分的に形成されている。ガードリング25a～25dは、第2導電型（本実施形態ではp型）の半導体領域であり、z方向と直交する方向において互いに離間して配置されている。ガードリング25a～25dは、エミッタ電極21から離れる方向に向かうにつれて、ガードリング25a、ガードリング25b、ガードリング25c、およびガードリング25dの順に配置されている。最外周のガードリング25dの幅 W_{ge} は、他のガードリング25a～25cの幅 W_g よりも大きい。各ガードリング25a～25dのp型ドーパントとしては、たとえばB、Al等が用いられる。各ガードリング25a～25dのドーパント濃度は、たとえばベース領域34Aのドーパント濃度と同じであり、たとえば $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。この場合、ガードリング25a～25dとベース領域34Aとは同一の工程で形成されてもよい。ここで、本実施形態では、ガードリング25a～25dは、「第2導電型の第2半導体領域」に対応している。なお、ガードリング25dの幅 W_{ge} は任意に変更可能である。一例では、ガードリング25dの幅 W_{ge} は、ガードリング25a～25cの幅 W_g と等しくてもよい。

[0056] FLR部25は、ガードリング25a～25dに対応させて設けられたフィールドプレート25e～25hを有している。z方向から視て、フィールドプレート25eはガードリング25aと重なる位置に設けられ、フィールドプレート25fはガードリング25bと重なる位置に設けられ、フィールドプレート25gはガードリング25cと重なる位置に設けられ、フィールドプレート25hはガードリング25dと重なる位置に設けられている。フィールドプレート25eはガードリング25aに接しており、フィールドプレート25fはガードリング25bに接しており、フィールドプレート25gはガードリング25cに接しており、フィールドプレート25hはガードリング25dに接している。ここで、本実施形態では、フィールドプレート25e～25hは、「電極部」に対応している。

[0057] 図6は、FLR部25のうちガードリング25a、25bおよびフィールドプレート25e、25fとその周辺の拡大図である。ガードリング25aおよびフィールドプレート25eの構成は、ガードリング25b、25cおよびフィールドプレート25f、25gの構成と同じである。また、ガードリング25dおよびフィールドプレート25hの構成は、フィールドプレート25hが外方に向けて延びた点以外はガードリング25aおよびフィールドプレート25eの構成と同じである。このため、以下では、ガードリング25aおよびフィールドプレート25eの構成について説明し、ガードリング25b～25dおよびフィールドプレート25f～25hの構成の説明を省略する。

[0058] バリア層40、中間絶縁膜39および絶縁膜38Aにはそれぞれ、z方向から視て、ガードリング25aと重なる位置にバリア層側開口部40c、開口部39c、38cが形成されている。バリア層側開口部40cはz方向においてバリア層40を貫通しており、開口部39cはz方向において中間絶縁膜39を貫通しており、開口部38cはz方向において絶縁膜38Aを貫通している。バリア層側開口部40c、開口部39c、および開口部38cは互いに連通している。z方向から視て、バリア層側開口部40c、開口部39c、および開口部38cのそれぞれの開口面積は、ガードリング25aの表面の面積よりも小さい。つまり、これら開口部40c、39c、38cは、ガードリング25aの表面の一部を露出させて、フィールドプレート25eと接触させるためのコンタクトホールを構成している。バリア層側開口部40cを構成する内側面40dと、開口部39cを構成する内側面39dと、開口部38cを構成する内側面38dとは面一となっている。

[0059] 図6に示すとおり、絶縁膜38Aのうち開口部38cを構成する部分は、開口部38cの内側面38dに向かうにつれてドリフト層33に向けて傾斜している。本実施形態では、絶縁膜38Aの開口端部は、湾曲部38jを有している。湾曲部38jは、開口部38cの開口中心に向かうにつれてドリフト層33に向かって湾曲している。中間絶縁膜39は、湾曲部38jを覆

っている。

[0060] フィールドプレート25eは、バリア層側開口部40cおよび開口部39c、38cに入り込むことによってガードリング25aに接している。

フィールドプレート25eは、開口部39c、38c内に設けられた第1部分27と、第1部分27よりも側方に突出するとともに中間絶縁膜39と重なっている突出部28aを有する第2部分28と、を含む。本実施形態では、第1部分27および第2部分28は、個別に設けられている。第1部分27はたとえばW（タングステン）を有しており、第2部分28はたとえばAlCuを有している。第1部分27は、バリア層側開口部40c内に設けられているともいえる。突出部28aは、z方向から視て、ガードリング25a内に位置している。

[0061] 第2部分28は、第1部分27上に設けられている。第2部分28は、中間絶縁膜39に対してドリフト層33とは反対側に突出している。つまり、第2部分28は、中間絶縁膜39よりも上方に突出している。突出部28aは、第2部分28の端部を構成している。より詳細には、z方向から視て、突出部28aは、フィールドプレート25eが延びる方向に直交する方向の両端部、すなわちフィールドプレート25eの幅方向の両端部を構成している。第2部分28は、フィールドプレート25eの幅方向の外方に向かうにつれて中間絶縁膜39の表面39sに向けて湾曲状に傾斜している。第2部分28は、ウェットエッチングによって形成されている。第2部分28の形状は、ウェットエッチングによって加工された形状であるともいえる。

[0062] 第1部分27の下端部は、ガードリング25aの上方部分に埋め込まれている。ガードリング25aにおいて第1部分27に対応する部分には、 p^+ 型のコンタクト領域25pが形成されている。コンタクト領域25pのp型ドーパントとしては、たとえばB、Al等が用いられる。コンタクト領域25pのドーパント濃度は、ガードリング25aよりも高く、たとえば $5 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。

[0063] フィールドプレート25eは、バリアメタル層25mを有している。バリ

アメタル層 25 m は、バリア層 40 の表面 40 s と、開口部 39 c を構成する内側面 39 d と、バリア層側開口部 40 c を構成する内側面 40 d と、開口部 38 c を構成する内側面 38 d と、これら開口部 38 c, 39 c, 40 c によって開口されたドリフト層 33 の表面（基板表面 30 s）に形成されている。バリアメタル層 25 m は、たとえば Ti および TiN の積層構造によって形成されている。このため、バリアメタル層 25 m は、第 1 部分 27 のうち各内側面 38 d, 39 d, 40 d および上記ドリフト層 33 の表面と接する部分と、第 2 部分 28 のうちバリア層 40 の表面 40 s と接する部分とを構成している。

[0064] バリア層 40 は、フィールドプレート 25 e の突出部 28 a とガードリング 25 a との間に入り込んだ部分である中間部 41 を有している。本実施形態では、中間部 41 は、フィールドプレート 25 e の突出部 28 a と中間絶縁膜 39 とに挟み込まれている。このため、バリア層 40 は、中間絶縁膜 39 とフィールドプレート 25 e の突出部 28 a とに挟み込まれた部分（中間部 41）を有しているともいえる。中間部 41 は、フィールドプレート 25 e の第 1 部分 27 を挿通するバリア層側開口部 40 c を有している。このため、z 方向から視て、中間部 41 は、中間絶縁膜 39 のうちフィールドプレート 25 e の第 1 部分 27 を挿通する開口部 39 c の開口縁まで延びている。

[0065] バリア層 40 は、ガードリング 25 a のコンタクトホールから内方に向けて延び、エミッタ引き回し部 24（図 5 参照）まで延びている。バリア層 40 は、たとえばガードリング 25 a のコンタクトホールからガードリング 25 b のコンタクトホールまで延びている。このため、バリア層 40 は、z 方向から視て、ガードリング 25 a の全体を覆っている。さらに、バリア層 40 は、z 方向から視て、ガードリング 25 a の外縁からはみ出すように形成されている。

[0066] 図 4 に示すように、フィールドプレート 25 h は、フィールドプレート 25 g とは反対側に延びる突出部 28 a の長さがフィールドプレート 25 e の

突出部 28 a の長さよりも長い。フィールドプレート 25 h の突出部 28 a のうちフィールドプレート 25 g とは反対側に延びる部分は、z 方向から視て、ガードリング 25 d からはみ出している。

[0067] 図 4 に示すように、z 方向から視て、ベース領域 34 A と重なる位置には、ゲートフィンガー 23 A (23 B) と、エミッタ引き回し部 24 とが形成されている。ゲートフィンガー 23 A (23 B) は、エミッタ電極 21 に対して外方に離間した位置に形成されている。

[0068] 図 5 に示すように、ゲートフィンガー 23 A は、絶縁膜 38 の表面 38 s に形成されたゲート層 23 a と、バリア層 40 の表面 40 s に形成されたゲート配線 23 b と、を有している。

[0069] ゲート層 23 a は、たとえばポリシリコンからなり、エミッタ電極 21 を装置側面 10 c、装置側面 10 a、および装置側面 10 d (ともに図 1 参照) から囲うように形成されている。ゲート層 23 a は、中間絶縁膜 39 によって覆われている。ゲート層 23 a の表面には、酸化膜 23 c が形成されている。

[0070] ゲート配線 23 b は、z 方向から視て、ゲート層 23 a と重なる位置に設けられている。ゲート配線 23 b は、ゲート電極 22 と一体化されている。

バリア層 40、中間絶縁膜 39、および酸化膜 23 c のうちゲートフィンガー 23 A に対応する位置にはそれぞれ、バリア層側開口部 40 e、開口部 39 e、23 e が設けられている。バリア層側開口部 40 e は z 方向においてバリア層 40 を貫通し、開口部 39 e は z 方向において中間絶縁膜 39 を貫通し、開口部 23 e は z 方向において酸化膜 23 c を貫通している。バリア層側開口部 40 e および開口部 39 e、23 e は互いに連通している。これにより、バリア層側開口部 40 e および開口部 39 e、23 e を介してゲート層 23 a が露出している。ゲート配線 23 b は、バリア層側開口部 40 e および開口部 39 e、23 e に入り込んでゲート層 23 a に接している。つまり、これらバリア層側開口部 40 e および開口部 39 e、23 e は、ゲート配線 23 b がゲート層 23 a に接するためのコンタクトホールを構成し

ている。バリア層側開口部40eを構成する内側面40fと、開口部39eを構成する内側面39fとは面一となっている。

[0071] ゲート配線23bは、開口部39e内に設けられた第1部分23baと、第1部分23baよりも側方に突出するとともに中間絶縁膜39と重なっている突出部23bcを有する第2部分23bbと、を含む。本実施形態では、第1部分23baおよび第2部分23bbは、個別に設けられている。第1部分23baはたとえばW（タングステン）からなり、第2部分23bbはたとえばAlCuを有している。第1部分23baは、バリア層側開口部40e内に設けられているともいえる。

[0072] 第1部分23baは、z方向から視てゲート層23aとゲート配線23bとの双方と重なる位置に設けられている。第1部分23baは、ゲート層23a上の中間絶縁膜39と、中間絶縁膜39上のバリア層40との双方をz方向に貫通している。本実施形態では、第1部分23baは、ゲート層23aの上方部分に埋め込まれている。

[0073] ゲート層23aにおいて第1部分23baが埋め込まれた部分には、p⁺型の半導体領域であるコンタクト領域23dが形成されている。コンタクト領域23dのp型ドーパントとしては、たとえばB、Al等が用いられる。コンタクト領域23dのドーパント濃度は、ベース領域34Aよりも高く、たとえば $5 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。

[0074] 第2部分23bbは、第1部分23ba上に設けられている。第2部分23bbは、中間絶縁膜39に対してベース領域34Aとは反対側に突出している。つまり、第2部分23bbは、中間絶縁膜39よりも上方に突出している。突出部23bcは、第2部分23bbの端部を構成している。より詳細には、z方向から視て、突出部23bcは、ゲート配線23bが延びる方向に直交する方向の両端部、すなわちゲート配線23bの幅方向の両端部を構成している。第2部分23bbは、ゲート配線23bの幅方向の外方に向かうにつれて中間絶縁膜39の表面39sに向けて湾曲状に傾斜している。第2部分23bbは、ウェットエッチングによって形成されている。第2部

分23bbの形状は、ウェットエッチングによって加工された形状であるともいえる。

[0075] ゲート配線23bは、バリアメタル層23mを有している。バリアメタル層23mは、バリア層40の表面40sと、開口部39eを構成する内側面39fと、バリア層側開口部40eを構成する内側面40fと、開口部23eを構成する内側面と、これら開口部23e, 39e, 40eによって開口されたゲート層23aの表面に形成されている。バリアメタル層23mは、たとえばTiおよびTiNの積層構造によって形成されている。このため、バリアメタル層23mは、第1部分23baのうち各内側面39f, 40fと接する部分および上記ゲート層23aの表面と、第2部分23bbのうちバリア層40の表面40sと接する部分とを構成している。

[0076] バリア層40は、ゲート配線23bの突出部23bcとベース領域34Aとの間に入り込んだ部分である中間部41を有している。本実施形態では、中間部41は、ゲート配線23bの突出部23bcと中間絶縁膜39とに挟み込まれている。このため、バリア層40は、中間絶縁膜39とゲート配線23bの突出部23bcとに挟み込まれた部分（中間部41）を有しているともいえる。中間部41は、ゲート配線23bの第1部分23baを挿通するバリア層側開口部40eを有している。このため、z方向から視て、中間部41は、中間絶縁膜39のうちゲート配線23bの第1部分23baを挿通する開口部39eの開口縁まで延びている。

[0077] エミッタ引き回し部24は、金属膜からなり、バリア層40の表面40sに形成されている。エミッタ引き回し部24は、ベース領域34Aの外周部に形成されている。

バリア層40、中間絶縁膜39、および絶縁膜38のうちエミッタ引き回し部24に対応する位置にはそれぞれ、バリア層側開口部40g、開口部39g, 38gが設けられている。バリア層側開口部40gはz方向においてバリア層40を貫通し、開口部39gはz方向において中間絶縁膜39を貫通し、開口部38gはz方向において絶縁膜38を貫通している。バリア層

側開口部40gおよび開口部39g, 38gは互いに連通している。これにより、バリア層側開口部40gおよび開口部39g, 38gを介してベース領域34Aが露出している。エミッタ引き回し部24は、バリア層側開口部40gおよび開口部39g, 38gに入り込んでベース領域34Aに接している。つまり、これらバリア層側開口部40gおよび開口部39g, 38gは、エミッタ引き回し部24がベース領域34Aに接するためのコンタクトホールを構成している。バリア層側開口部40gを構成する内側面40hと、開口部39gを構成する内側面39hと、開口部38gを構成する内側面38hは面一となっている。

[0078] エミッタ引き回し部24は、開口部39c, 38c内に設けられた第1部分24aと、第1部分24aよりも側方に突出するとともに中間絶縁膜39と重なっている突出部24cを有する第2部分24bと、を含む。本実施形態では、第1部分24aおよび第2部分24bは、個別に設けられている。第1部分24aはたとえばW（タングステン）からなり、第2部分24bはたとえばAlCuを有している。突出部24cは、z方向から見て、ベース領域34A内に位置している。

[0079] 第1部分24aの下端部は、ベース領域34Aの上方部分に埋め込まれている。ベース領域34Aにおいて第1部分24aに対応する部分には、 p^+ 型のコンタクト領域34Bが形成されている。コンタクト領域34Bのp型ドーパントとしては、たとえばB、Al等が用いられる。コンタクト領域34Bのドーパント濃度は、ベース領域34Aよりも高く、たとえば $5 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。

[0080] 第2部分24bは、第1部分24a上に設けられている。第2部分24bは、中間絶縁膜39に対してベース領域34Aとは反対側に突出している。つまり、第2部分24bは、中間絶縁膜39よりも上方に突出している。突出部24cは、第2部分24bの端部を構成している。より詳細には、z方向から見て、突出部24cは、エミッタ引き回し部24が延びる方向に直交する方向の両端部、すなわちエミッタ引き回し部24の幅方向の両端部を構

成している。第２部分２４ｂは、エミッタ引き回し部２４の幅方向の外方に向かうにつれて中間絶縁膜３９の表面３９ｓに向けて湾曲状に傾斜している。第２部分２４ｂは、ウェットエッチングによって形成されている。第２部分２４ｂの形状は、ウェットエッチングによって加工された形状であるともいえる。

[0081] エミッタ引き回し部２４は、バリアメタル層２４ｍを有している。バリアメタル層２４ｍは、バリア層４０の表面４０ｓと、開口部３９ｇを構成する内側面３９ｈと、バリア層側開口部４０ｇを構成する内側面４０ｈと、開口部３８ｇを構成する内側面３８ｈと、これら開口部３８ｇ，３９ｇ，４０ｇによって開口されたドリフト層３３の表面（基板表面３０ｓ）に形成されている。バリアメタル層２４ｍは、たとえばＴｉおよびＴｉＮの積層構造によって形成されている。このため、バリアメタル層２４ｍは、第１部分２４ａのうち各内側面３８ｈ，３９ｈ，４０ｈと接する部分および上記ドリフト層３３の表面と、第２部分２４ｂのうちバリア層４０の表面４０ｓと接する部分とを構成している。

[0082] バリア層４０は、エミッタ引き回し部２４の突出部２４ｃとベース領域３４Ａとの間に入り込んだ部分である中間部４１を有している。本実施形態では、中間部４１は、突出部２４ｃと中間絶縁膜３９とに挟み込まれている。このため、バリア層４０は、中間絶縁膜３９と突出部２４ｃに挟み込まれた部分（中間部４１）を有しているともいえる。中間部４１は、エミッタ引き回し部２４の第１部分２４ａを挿通するバリア層側開口部４０ｇを有している。このため、ｚ方向から視て、中間部４１は、中間絶縁膜３９のうちエミッタ引き回し部２４の第１部分２４ａを挿通する開口部３９ｇの開口縁まで延びている。

[0083] 図４に示すように、ＦＬＲ部２５よりも外方の位置には、等電位リング２６が形成されている。絶縁膜３８および中間絶縁膜３９の双方は、等電位リング２６が形成される領域にも形成されている。

[0084] 図７に示すように、等電位リング２６は、ドリフト層３３の表面（基板表

面 30s) に形成された第 1 導電型 (n^+ 型) のチャネルストップ領域 26a と、絶縁膜 38 および中間絶縁膜 39 内に設けられた内部配線 26b と、バリア層 40 の表面 40s に設けられた表面側配線 26c と、を有している。

[0085] チャネルストップ領域 26a は、z 方向から視て表面側配線 26c と重なる位置から装置側面 10a まで形成されている。チャネルストップ領域 26a は、内部配線 26b に対して外方 (装置側面 10a 寄り) に配置されている。チャネルストップ領域 26a のドーパント濃度は、たとえばエミッタ領域 36 (図 3 参照) のドーパント濃度と同じであり、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $5 \times 10^{20} \text{ cm}^{-3}$ 以下である。この場合、たとえばチャネルストップ領域 26a は、エミッタ領域 36 と同一の工程で形成される。

[0086] 内部配線 26b は、絶縁膜 38 の表面 38s に設けられており、中間絶縁膜 39 によって覆われている。中間絶縁膜 39 はバリア層 40 によって覆われているため、内部配線 26b は、バリア層 40 によって覆われているといえる。内部配線 26b は、ポリシリコン等の電極材料によって形成されている。内部配線 26b は、ゲートフィンガー 23A のゲート層 23a (図 5 参照) と同一の工程で形成される。内部配線 26b の表面には、酸化膜 26d が形成されている。

[0087] バリア層 40、中間絶縁膜 39、および酸化膜 23c のうちチャネルストップ領域 26a に対応する位置にはそれぞれ、バリア層側開口部 40p、開口部 39p、38p が設けられている。バリア層側開口部 40p は z 方向においてバリア層 40 を貫通し、開口部 39p は z 方向において中間絶縁膜 39 を貫通し、開口部 38p は z 方向において絶縁膜 38 を貫通している。バリア層側開口部 40p および開口部 39p、38p は互いに連通している。これにより、バリア層側開口部 40p および開口部 39p、38p を介してチャネルストップ領域 26a が露出している。表面側配線 26c は、バリア層側開口部 40p および開口部 39p、38p に入り込んでチャネルストップ領域 26a に接している。つまり、これらバリア層側開口部 40p および開口部 39p、38p は、表面側配線 26c がチャネルストップ領域 26a

に接するためのコンタクトホールを構成している。バリア層側開口部40pを構成する内側面40qと、開口部39pを構成する内側面39qと、開口部38pを構成する内側面39qとは面一となっている。

[0088] バリア層40、中間絶縁膜39、および酸化膜26dのうち内部配線26bに対応する位置にはそれぞれ、バリア層側開口部40u、開口部39u、26eが設けられている。バリア層側開口部40uはz方向においてバリア層40を貫通し、開口部39uはz方向において中間絶縁膜39を貫通し、開口部26eはz方向において酸化膜26dを貫通している。バリア層側開口部40uおよび開口部39u、26eは互いに連通している。これにより、バリア層側開口部40uおよび開口部39u、26eを介して内部配線26bが露出している。表面側配線26cは、バリア層側開口部40uおよび開口部39u、26eに入り込んで内部配線26bに接している。つまり、これらバリア層側開口部40uおよび開口部39u、26eは、表面側配線26cが内部配線26bに接するためのコンタクトホールを構成している。バリア層側開口部40uを構成する内側面40tと、開口部39uを構成する内側面39tとは面一となっている。

[0089] 表面側配線26cは、2つの第1部分26f、26gと、各第1部分26f、26gよりも側方に突出するとともに中間絶縁膜39と重なっている突出部26hを有する第2部分26iと、を含む。本実施形態では、第1部分26f、26gおよび第2部分26iは、個別に設けられている。第1部分26f、26gはたとえばW（タングステン）を含む材料によって形成されており、第2部分26iはたとえばAlCuを含む材料によって形成されている。第1部分26fはチャネルストップ領域26aに接しており、第1部分26gは内部配線26bと接している。このため、第1部分26fはバリア層側開口部40p内に設けられているともいえ、第1部分26gはバリア層側開口部40u内に設けられているともいえる。

[0090] 第1部分26fは、z方向から見てチャネルストップ領域26aと表面側配線26cとの双方と重なる位置に設けられている。第1部分26fは、チ

チャネルストップ領域 26 a 上の絶縁膜 38, 38 B と、絶縁膜 38 上の中間絶縁膜 39 と、中間絶縁膜 39 上のバリア層 40 との全てを z 方向に貫通している。

[0091] 第 1 部分 26 g は、z 方向から視て内部配線 26 b と第 2 部分 26 i との双方と重なる位置に設けられている。第 1 部分 26 g は、第 1 部分 26 f よりも内方に位置している。第 1 部分 26 g は、内部配線 26 b 上の酸化膜 26 d および中間絶縁膜 39 と、中間絶縁膜 39 上のバリア層 40 との双方を z 方向に貫通している。本実施形態では、第 1 部分 26 g は、内部配線 26 b の上方部分に埋め込まれている。

[0092] 第 2 部分 26 i は、第 1 部分 26 f, 26 g 上に設けられている。第 2 部分 26 i は、中間絶縁膜 39 に対してドリフト層 33 とは反対側に突出している。つまり、第 2 部分 26 i は、中間絶縁膜 39 よりも上方に突出している。突出部 26 h は、第 2 部分 26 i の端部と、第 2 部分 26 i のうち z 方向から視て第 1 部分 26 f と第 1 部分 26 g との間の部分と、を構成している。より詳細には、z 方向から視て、突出部 26 h は、表面側配線 26 c が延びる方向に直交する方向の両端部、すなわち表面側配線 26 c の幅方向の両端部と、表面側配線 26 c が延びる方向における第 1 部分 26 f と第 1 部分 26 g との間の部分と、を構成している。

[0093] 表面側配線 26 c は、バリアメタル層 26 m を有している。バリアメタル層 26 m は、バリア層 40 の表面 40 s と、開口部 39 p を構成する内側面 39 q と、バリア層側開口部 40 p を構成する内側面 40 q と、開口部 38 p を構成する内側面 38 q と、これら開口部 38 p, 39 p, 40 p によって開口されたドリフト層 33 の表面（基板表面 30 s）に形成されている。また、バリアメタル層 26 m は、開口部 39 u を構成する内側面 39 t と、バリア層側開口部 40 u を構成する内側面 40 t と、開口部 26 e を構成する内側面 26 j と、これら開口部 26 e, 39 u, 40 u によって開口された内部配線 26 b の表面に形成されている。このため、バリアメタル層 26 m は、第 1 部分 26 f のうち各内側面 38 q, 39 q, 40 q と接する部分

と、チャネルストップ領域26aの表面と接する部分とを構成している。また、バリアメタル層26mは、第1部分26gのうち各内側面26j, 39t, 40tと接する部分と、内部配線26bの表面と接する部分とを構成している。また、バリアメタル層26mは、第2部分26iのうちバリア層40の表面40sと接する部分を構成している。バリアメタル層26mは、たとえばTiおよびTiNの積層構造によって形成されている。

[0094] バリア層40は、表面側配線26cの突出部26hとドリフト層33との間に入り込んだ部分である中間部41を有している。本実施形態では、中間部41は、表面側配線26cの突出部26hと中間絶縁膜39とに挟み込まれている。このため、バリア層40は、中間絶縁膜39と表面側配線26cの突出部26hとに挟み込まれた部分（中間部41）を有しているともいえる。中間部41は、表面側配線26cの第1部分26f, 26gを挿通するバリア層側開口部40p, 40uを有している。このため、z方向から視て、中間部41は、中間絶縁膜39のうち表面側配線26cの第1部分26f, 26gを挿通する開口部39p, 39uの開口縁まで延びている。

[0095] 図4～図7に示すように、外周領域12は、パッシベーション膜13によって覆われている。つまり、バリア層40は、z方向から視て、パッシベーション膜13によって覆われているともいえる。本実施形態では、バリア層40のうちゲートフィンガー23A, 23B、フィールドプレート25e～25h、および等電位リング26が形成されていない領域は、バリア層40の表面40sがパッシベーション膜13と接した状態でパッシベーション膜13によって覆われている。このため、バリア層40は、パッシベーション膜13とドリフト層33との間に設けられているともいえる。

[0096] また、パッシベーション膜13は、z方向から視て、中間絶縁膜39よりも上方に位置し、かつ中間絶縁膜39と重なる位置に設けられている。つまり、パッシベーション膜13は、中間絶縁膜39を覆っているともいえる。

[0097] （半導体装置の製造方法）

図8～図20を参照して、第1実施形態の半導体装置10の製造方法につ

いて説明する。なお、便宜上、図8～図20では、製造過程を示す半導体装置10の構成を簡略化して示している。このため、図8～図20の半導体装置10の構成要素の形状およびサイズが図1～図4の半導体装置10の構成要素の形状およびサイズと異なる場合がある。図8～図20では、セル領域11の一部と、ゲートフィンガー23Aと、FLR部25の一部とのそれぞれの製造過程を示している。また、以降では、便宜上、図7～図20を用いて、1つの半導体装置10の製造方法として説明する。ここで、本実施形態の半導体装置10の製造方法は、1つの半導体装置10の製造に限られず、複数個の半導体装置10の製造であってもよい。

[0098] 本実施形態の半導体装置10の製造方法は、Siを含む材料から形成された半導体基板830を用意する工程を備えている。半導体基板830は、第1導電型の半導体層としてのn⁻型のドリフト層33を有している。ドリフト層33は、半導体基板830の全体にわたり形成されている。半導体基板830は、その厚さ方向（z方向）において互いに反対側を向く基板表面830sおよび基板裏面（図示略）を有している。このため、基板表面830sはドリフト層33の表面であるともいえる。ここで、本実施形態では、半導体基板830を用意する工程は、「外周領域に第1導電型の第1半導体層を形成する工程」に対応している。

[0099] 図8に示すように、本実施形態の半導体装置10の製造方法は、半導体基板830の基板表面830sのうち外周領域12に対応する部分に基板側絶縁膜838Bを形成する工程を備えている。基板側絶縁膜838Bは、半導体装置10の基板側絶縁膜38Bに対応する絶縁膜である。

[0100] 基板側絶縁膜838Bを形成する工程は、半導体基板830を熱酸化して基板表面830sに第1絶縁層を形成する工程と、第1絶縁層をウェットエッチングする工程と、第1絶縁層をドライエッチングする工程と、を含む。

[0101] 具体的には、まず、半導体基板830が熱酸化されることによって半導体基板830の表面全体に酸化膜を形成する。続いて、酸化膜のうち半導体基板830の基板表面830sのうちの外周領域12以外の部分を除去する。

より詳細には、まず酸化膜をウェットエッチングすることによって酸化膜の厚さを薄くする。一方、外周領域 12 においては、マスクを用いて酸化膜の厚さを部分的に薄くする。続いて、酸化膜をドライエッチングすることによって除去する。外周領域 12 においては、マスクによって露出した部分がドライエッチングによって除去される。以上の工程を経て、基板側絶縁膜 838B が半導体基板 830 の基板表面 830s に形成される。

[0102] 図 9 に示すように、本実施形態の半導体装置 10 の製造方法は、半導体基板 830 に第 2 導電型の半導体領域としての p 型のウェル領域 834 を形成する工程を備えている。具体的には、半導体基板 830 の基板表面 830s には、p 型不純物が選択的に注入される。続いて、半導体基板 830 を熱処理することによって p 型不純物が拡散される。以上の工程を経て、ウェル領域 834 が形成される。ウェル領域 834 は、ドリフト層 33 において部分的に形成される。ウェル領域 834 の表面は、基板表面 830s を構成するため、ドリフト層 33 の表面と連続する表面となる。ここで、ウェル領域 834 は、ベース領域 34A およびガードリング 25a～25d（図 9 ではガードリング 25d は図示略）を含む。ここで、半導体基板 830 にウェル領域 834 を形成する工程は「第 1 半導体層の表面と連続する表面を有する第 2 導電型の第 2 半導体領域を、第 1 半導体層において部分的に形成する工程」に対応している。なお、ウェル領域 834 は、基板側絶縁膜 838B によって覆われているともいえる。

[0103] 図 10 に示すように、本実施形態の半導体装置 10 の製造方法は、半導体基板 830 に複数のトレンチ 835 を形成する工程を備えている。具体的には、まず、半導体基板 830 の基板表面 830s にトレンチマスク（図示略）を形成する。続いて、トレンチマスクを選択的にエッチングする。つまり、z 方向から視て、トレンチマスクのうちトレンチ 835 を形成する領域をエッチングする。これにより、トレンチマスクには、半導体基板 830 の基板表面 830s のうちトレンチ 835 を形成する領域が露出される。続いて、半導体基板 830 の基板表面 830s のうちトレンチ 835 を形成する領

域をエッチングする。これにより、半導体基板 830 にトレンチ 835 が形成される。

[0104] 図 11 に示すように、本実施形態の半導体装置 10 の製造方法は、絶縁膜 838 を形成する工程と、電極を形成する工程と、を備えている。

絶縁膜 838 を形成する工程では、まず、半導体基板 830 が熱酸化されることによって各トレンチ 835 の内面を含む半導体基板 830 の表面全体に酸化膜が形成される。これにより、半導体基板 830 の基板表面 830s のうちセル領域 11 に絶縁膜 838 が形成される。絶縁膜 838 は、絶縁膜 38 に対応する絶縁膜である。セル領域 11 の絶縁膜 838 は、ゲート絶縁膜であり、各トレンチ 835 の内面にも形成される。また、半導体基板 830 の外周領域 12 では、基板側絶縁膜 838B の表面 838Bs に絶縁膜 838 が積層される。

[0105] 続いて、電極を形成する工程では、ポリシリコン等の電極材料 PS が各トレンチ 835 に埋め込まれるとともに半導体基板 830 の基板表面 830s に形成される。これにより、ゲートトレンチ 22A およびエミッタトレンチ 21A が形成される。

[0106] 図 12 に示すように、本実施形態の半導体装置 10 の製造方法は、電極材料 PS をエッチングする工程と、電極材料 PS 上に絶縁膜 838 を形成する工程と、を備える。

電極材料 PS をエッチングする工程では、半導体基板 830 の基板表面 830s のうちセル領域 11 と、外周領域 12 のうちゲートフィンガー 23A, 23B およびゲート電極 22 と、等電位リング 26 の内部配線 26b 以外の領域との電極材料 PS をエッチングによって除去する。

[0107] 続いて、電極材料 PS 上に絶縁膜 838 を形成する工程では、各トレンチ 835 に埋め込まれた電極材料 PS と、ゲートフィンガー 23A, 23B およびゲート電極 22 を形成する電極材料 PS と、等電位リング 26 の内部配線 26b を形成する電極材料 PS と、を酸化させる。これにより、各電極材料 PS 上に絶縁膜 838 が形成される。ここで、ゲートフィンガー 23A,

23Bの電極材料PSはゲート層23aに対応する部品であり、電極材料PS上の絶縁膜838はゲートフィンガー23A、23Bの酸化膜23cおよび等電位リング26の内部配線26bの酸化膜26dに対応する膜である。

[0108] 図13に示すように、本実施形態の半導体装置10の製造方法は、ベース領域34、エミッタ領域36、およびチャネルストップ領域26a（図7参照）を形成する工程を備えている。具体的には、半導体基板830の基板表面830sに対して選択的にn型およびp型のドーパントがイオン注入および拡散されることによって、p型のベース領域34と、n⁺型のエミッタ領域36およびチャネルストップ領域26aが順に形成される。つまり、エミッタ領域36とチャネルストップ領域26aとは同一の工程で形成される。

[0109] 図14に示すように、本実施形態の半導体装置10の製造方法は、中間絶縁膜839を形成する工程を備えている。中間絶縁膜839は、たとえば化学蒸着法（CVD：chemical vapor deposition）によって半導体基板830の基板表面830sの全体にわたり形成される。中間絶縁膜839は、中間絶縁膜39に対応する絶縁膜である。中間絶縁膜839は、絶縁膜838に積層される。この場合、セル領域11では、半導体基板830の基板表面830sに形成された絶縁膜838と中間絶縁膜839との2層構造の絶縁膜となる。ゲート電極22およびゲートフィンガー23A、23Bが形成される領域では、電極材料PS上に形成された絶縁膜838と中間絶縁膜839との2層構造の絶縁膜となる。一方、外周領域12では、半導体基板830の基板表面830sに形成された基板側絶縁膜838Bと、絶縁膜838と、中間絶縁膜839との3層構造の絶縁膜となる。このように、本実施形態では、基板側絶縁膜838B、絶縁膜838、および中間絶縁膜839を形成する工程は「第1半導体層の表面と、第2半導体領域の表面とを覆う絶縁膜を形成する工程」に対応している。

[0110] 図15に示すように、本実施形態の半導体装置10の製造方法は、バリア層840を形成する工程を備えている。バリア層840は、半導体装置10のバリア層40に対応する絶縁層である。バリア層840は、中間絶縁膜8

３９および絶縁膜８３８，８３８Ｂよりも拡散係数の小さい材料によって形成される。本実施形態では、バリア層８４０は、窒化シリコン（SiN）を含む材料が用いられ、たとえばＣＶＤによって中間絶縁膜８３９の表面８３９ｓの全体にわたり形成される。

[0111] 図１６に示すように、本実施形態の半導体装置１０の製造方法は、開口部を形成する工程を備えている。

セル領域１１においては、エッチングによってバリア層８４０、中間絶縁膜８３９、および絶縁膜８３８をそれぞれ貫通するように開口部８６１が形成される。セル領域１１における開口部８６１は、ベース領域３４を露出する。この開口部８６１によってベース領域３４に対応する半導体基板８３０の基板表面８３０ｓには凹部８３１が形成される。

[0112] 外周領域１２においては、エッチングによってバリア層８４０、中間絶縁膜８３９、および絶縁膜８３８をそれぞれ貫通するように開口部８６２が形成される。外周領域１２における開口部８６２は、たとえばガードリング２５ａ～２５ｄを個別に露出する。開口部８６２によってガードリング２５ａ～２５ｄに対応する半導体基板８３０の基板表面８３０ｓには凹部８３２が形成される。

[0113] ゲートフィンガー２３Ａ，２３Ｂが形成される領域においては、エッチングによってバリア層８４０、中間絶縁膜８３９、および絶縁膜８３８をそれぞれ貫通するように開口部８６３が形成される。ゲートフィンガー２３Ａ，２３Ｂが形成される領域における開口部８６３は、たとえば電極材料を露出する。開口部８６３によって電極材料の表面には凹部８３３が形成される。開口部８６１～８６３が形成されることによって、絶縁膜３８，３８Ａ、中間絶縁膜３９、およびバリア層４０が形成される。

[0114] 図１７に示すように、本実施形態の半導体装置１０の製造方法は、ベースコンタクト領域３７、コンタクト領域２３ｄ、コンタクト領域３４Ｂ、およびコンタクト領域２５ｐを形成する工程を備えている。具体的には、半導体基板８３０の基板表面８３０ｓに対して開口部を介してｐ型のドーパントが

イオン注入および拡散されることによって、 p^+ 型のベースコンタクト領域 37、コンタクト領域 23 d、コンタクト領域 34 B、およびコンタクト領域 25 p がそれぞれ形成される。なお、図 17 では、ベースコンタクト領域 37、コンタクト領域 23 d、およびコンタクト領域 25 p を示している。

[0115] 図 18 および図 19 に示すように、本実施形態の半導体装置 10 の製造方法は、エミッタ電極 21、ゲート電極 22、ゲートフィンガー 23 A、23 B のゲート配線 23 b、エミッタ引き回し部 24、フィールドプレート 25 e ~ 25 h、および等電位リング 26 を形成する工程を備えている。本実施形態では、エミッタ電極 21、ゲート電極 22、ゲートフィンガー 23 A、23 B のゲート配線 23 b、エミッタ引き回し部 24、フィールドプレート 25 e ~ 25 h、および等電位リング 26 を形成する工程は、「電極部を形成する工程」に対応している。なお、図 18 および図 19 では、エミッタ電極 21、ゲートフィンガー 23 A のゲート配線 23 b、フィールドプレート 25 e ~ 25 g を示している。

[0116] 図 18 に示すように、まず、たとえばチタン (Ti) を用いたスパッタリングによって、中間絶縁膜 39 の表面 39 s および各開口部 861 ~ 863 の内面に第 1 金属層を形成する。続いて、第 1 金属層上に窒化チタン (TiN) を用いたスパッタリングによって第 2 金属層を形成する。これにより、バリアメタル層 823 が形成される。ここで、バリアメタル層 823 は、エミッタ電極 21 のバリアメタル層 21 e、ゲートフィンガー 23 A (23 B) のバリアメタル層 23 m、エミッタ引き回し部 24 のバリアメタル層 24 m、フィールドプレート 25 e ~ 25 h のバリアメタル層 25 m、および等電位リング 26 のバリアメタル層 26 m に対応している。つまり、本実施形態では、バリアメタル層 21 e、23 m、24 m、25 m、26 m は同一の工程によって形成される。

[0117] 続いて、各開口部 861 ~ 863 にタングステン (W) を有するプラグ電極 821 を埋め込む。ここで、プラグ電極 821 は、エミッタ電極 21 のプラグ電極 21 b、ゲートフィンガー 23 A (23 B) の第 1 部分 23 b a、

エミッタ引き回し部 24 の第 1 部分 24 a、フィールドプレート 25 e～25 h の第 1 部分 27、および等電位リング 26 の第 1 部分 26 f、26 g に対応している。つまり、本実施形態では、プラグ電極 21 b、第 1 部分 23 b a、24 a、27、26 f、26 g は同一の工程によって形成される。

[0118] 続いて、AlCu を用いたスパッタリングによって電極層 822 を形成する。電極層 822 は、z 方向から視て中間絶縁膜 39 の全体にわたり形成されている。ここで、電極層 822 は、エミッタ電極 21 の電極本体部 21 c、ゲートフィンガー 23 A (23 B) の第 2 部分 23 b b、エミッタ引き回し部 24 の第 2 部分 24 b、フィールドプレート 25 e～25 h の第 2 部分 28、および等電位リング 26 の第 2 部分 26 i に対応している。つまり、本実施形態では、電極本体部 21 c、第 2 部分 23 b b、24 b、28、26 i は同一の工程によって形成される。

[0119] 図 19 に示すように、電極層 822 をエッチングすることによって、エミッタ電極 21、ゲート電極 22、ゲートフィンガー 23 A、23 B、エミッタ引き回し部 24、フィールドプレート 25 e～25 h、および等電位リング 26 が形成される。なお、図 19 には、エミッタ電極 21、ゲートフィンガー 23 A、およびフィールドプレート 25 e～25 g が示されている。

[0120] 図 20 に示すように、本実施形態の半導体装置 10 の製造方法は、パッシベーション膜 13 を形成する工程を備えている。具体的には、ポリイミド等の有機材料によって形成されたパッシベーション層がエミッタ電極 21、ゲート電極 22、ゲートフィンガー 23 A、23 B、フィールドプレート 25 e～25 h、および等電位リング 26 を覆うように、z 方向から視て、半導体基板 830 の基板表面 830 s の全体にわたり形成される。続いて、エッチングによってエミッタ電極 21 およびゲート電極 22 を露出するように開口部が形成される。これにより、パッシベーション膜 13、エミッタ電極パッド 16、およびゲート電極パッド 17 が形成される。パッシベーション膜 13 は、エミッタ電極 21、ゲート電極 22、ゲートフィンガー 23 A、23 B、フィールドプレート 25 e～25 h、および等電位リング 26 と、バ

リア層 40 との双方を覆う。

[0121] 図示していないが、本実施形態の半導体装置 10 の製造方法は、バッファ層 32、コレクタ層 31、およびコレクタ電極 29 を形成する工程を備えている。具体的には、半導体基板 830 の基板裏面に対して選択的に n 型および p 型ドーパントがイオン注入および拡散されることによって、バッファ層 32 およびコレクタ層 31 が順に形成される。続いて、コレクタ層 31 のうちバッファ層 32 とは反対側の表面にコレクタ電極 29 を形成する。以上の工程を経て、半導体装置 10 が製造される。なお、図 8～図 20 は半導体装置 10 の製造工程の一部を示したものであり、半導体装置 10 の製造方法は、図 8～図 20 で示されなかった工程を備えていてもよい。

[0122] (第 1 実施形態の半導体装置の作用)

ポリイミド等の有機絶縁膜であるパッシベーション膜 13 は、半導体装置 10 をたとえば外部イオンから保護するために装置主面 10s の全体にわたり形成されている。つまり、パッシベーション膜 13 は、外周領域 12 を全体にわたり覆っている。しかし、パッシベーション膜 13 は、拡散係数が大きいいため、外部イオンがパッシベーション膜 13 内で拡散されて通過してしまうおそれがある。

[0123] シリコン酸化膜を有する中間絶縁膜 39 および絶縁膜 38, 38A が外部イオンによって帯電すると、特に外周領域 12 (たとえば FLR 部 25) の中間絶縁膜 39 および絶縁膜 38A が外部イオンによって帯電すると、各ガードリング 25a～25d の電界の広がりが異なってしまう、予め設定した耐圧よりも低くなるおそれがある。

[0124] このため、中間絶縁膜 39 および絶縁膜 38, 38A が外部イオンによって帯電することを抑制するため、拡散係数の小さいシリコン窒化膜を有するバリア層を設けることが考えられる。一例では、FLR 部 25 にバリア層が設けられる場合、バリア層は、たとえば中間絶縁膜 39 の表面 39s およびフィールドプレート 25e～25h の表面に設けられることが考えられる。

[0125] しかし、フィールドプレート 25e～25h の表面と中間絶縁膜 39 の表

面 39 s との z 方向の位置が互いに異なるため、バリア層のうち中間絶縁膜 39 の表面 39 s とフィールドプレート 25 e ~ 25 h の表面との間の部分は段差形状となる。ここで、バリア層の段差形状の部分は、クラックが発生しやすい。このため、バリア層にクラックが発生した場合、クラックを通じて外部イオンが中間絶縁膜 39 に侵入し、帯電してしまうおそれがある。

[0126] 一方、本実施形態では、バリア層 40 は、フィールドプレート 25 e ~ 25 h の突出部 28 a と中間絶縁膜 39 との間に挟み込まれた中間部 41 を有している。これにより、バリア層 40 が段差形状になることなく、中間絶縁膜 39 における突出部 28 a の下方にある部分がバリア層 40 によって保護される。したがって、バリア層 40 にクラックが発生することが抑制されるため、クラックに起因して外部イオンによって中間絶縁膜 39 が帯電することを抑制できる。

[0127] (第 1 実施形態の半導体装置の効果)

本実施形態の半導体装置 10 によれば、以下の効果が得られる。

(1-1) 半導体装置 10 の外周領域 12 は、ドリフト層 33 およびガードリング 25 a ~ 25 d の双方を覆う絶縁膜 38 A および中間絶縁膜 39 と、絶縁膜 38 A および中間絶縁膜 39 を貫通してガードリング 25 a ~ 25 d と個別に接するフィールドプレート 25 e ~ 25 h と、絶縁膜 38 A、中間絶縁膜 39、およびフィールドプレート 25 e ~ 25 h を覆うパッシベーション膜 13 と、を備えている。フィールドプレート 25 e ~ 25 h は、開口部 38 c、39 c 内に設けられた第 1 部分 27 と、第 1 部分 27 よりも側方に突出するとともに絶縁膜 38 A および中間絶縁膜 39 と重なっている突出部 28 a を有する第 2 部分 28 と、を含む。半導体装置 10 は、パッシベーション膜 13 とドリフト層 33 との間に設けられ、絶縁膜 38 A および中間絶縁膜 39 とパッシベーション膜 13 の双方よりも拡散係数が小さいバリア層 40 を備えている。バリア層 40 は、フィールドプレート 25 e ~ 25 h の突出部 28 a とガードリング 25 a ~ 25 d の間に入り込んだ部分を有している。

- [0128] この構成によれば、バリア層40がフィールドプレート25e～25hの突出部28aとガードリング25a～25dの間に入り込んでいるため、中間絶縁膜39における突出部28aの下方部分がバリア層40によって覆われる。これにより、中間絶縁膜39における突出部28aの下方部分を外部イオンから保護することができる。
- [0129] また、バリア層40の一部が、突出部28aとガードリング25a～25dとの間に入り込んでいるため、中間絶縁膜39における突出部28aの下方部分を保護するため、突出部28aを含む第2部分28上にバリア層40を形成する必要がない。これにより、バリア層40が段差形状となることを抑制できる。したがって、バリア層40にクラックが発生することが抑制できるため、FLR部25に対応する中間絶縁膜39が外部イオンによって帯電することを抑制でき、FLR部25の耐圧の低下を抑制できる。
- [0130] なお、エミッタ引き回し部24およびゲートフィンガー23A、23Bに対するバリア層40の構成もFLR部25に対するバリア層40の構成と同様であるため、エミッタ引き回し部24およびゲートフィンガー23A、23Bに対するバリア層40もクラックが発生することを抑制できる。
- [0131] (1-2) バリア層40は、中間絶縁膜39の表面39sに形成されている。バリア層40は、中間絶縁膜39とフィールドプレート25e～25hの突出部28aとに挟み込まれた部分である中間部41を有している。
- [0132] この構成によれば、バリア層40は、中間絶縁膜39の表面39sに沿った形状となる。このため、バリア層40がフィールドプレート25e～25hの表面に形成されない。すなわち、バリア層40は、第2部分28を含むフィールドプレート25e～25hを覆っておらず、フィールドプレート25e～25hは、バリア層40から露出している。これにより、バリア層40に段差形状が形成されることが抑制される。したがって、バリア層40にクラックが発生することを抑制できる。なお、エミッタ引き回し部24およびゲートフィンガー23A、23Bに対するバリア層40の構成もFLR部25に対するバリア層40の構成と同様であるため、エミッタ引き回し部2

4 およびゲートフィンガー 23 A, 23 B に対するバリア層 40 もクラックが発生することを抑制できる。

[0133] (1-3) バリア層 40 の中間部 41 は、バリア層側開口部 40 c を有している。バリア層側開口部 40 c の内側面 40 d は、中間絶縁膜 39 の開口部 39 c の内側面 39 d と面一となる。

[0134] この構成によれば、バリア層 40 の中間部 41 は、z 方向から視て、フィールドプレート 25 e ~ 25 h の突出部 28 a と中間絶縁膜 39 とが重なる領域の全体にわたり形成されている。このため、外部イオンによって中間絶縁膜 39 が帯電することを一層抑制できる。

[0135] (1-4) z 方向から視て、バリア層 40 は、ガードリング 25 a ~ 25 d の外縁よりもはみ出している。

この構成によれば、z 方向から視て、中間絶縁膜 39 のうちガードリング 25 a ~ 25 d と重なる領域において外部イオンによって帯電することを抑制できる。したがって、FLR 部 25 の耐圧の低下を抑制できる。

[0136] (1-5) バリア層 40 の厚さは、中間絶縁膜 39 の厚さよりも薄い。

この構成によれば、バリア層 40 を容易に製造できるため、半導体装置 10 の製造コストを低減できる。

[0137] (1-6) フィールドプレート 25 e ~ 25 h の第 2 部分 28 の突出部 28 a は、z 方向から視てガードリング 25 a ~ 25 d と重なる位置に設けられている。バリア層 40 の中間部 41 は、フィールドプレート 25 e ~ 25 h の突出部 28 a とガードリング 25 a ~ 25 d との間に介在している。これにより、中間絶縁膜 39 におけるガードリング 25 a ~ 25 d 上に形成されている部分であってフィールドプレート 25 e ~ 25 h の突出部 28 a に覆われている部分を保護することができる。

[0138] (1-7) 半導体装置 10 の製造方法は、外周領域 12 におけるドリフト層 33 およびガードリング 25 a ~ 25 d の双方に絶縁膜 38 A および中間絶縁膜 39 を形成する工程と、中間絶縁膜 39 の表面 39 s に、中間絶縁膜 39 よりも拡散係数が小さいバリア層 40 を形成する工程と、中間絶縁膜 3

9の開口部39c内に設けられた第1部分27と、第1部分27よりも側方に突出するとともに中間絶縁膜39およびバリア層40の双方と重なっている突出部28aを有する第2部分28と、を含むフィールドプレート25e～25hを形成する工程と、バリア層40およびフィールドプレート25e～25hの双方を覆うパッシベーション膜13を形成する工程と、を備えている。この構成によれば、(1-1)と同様の効果が得られる。

[0139] [第2実施形態]

図21～図25を参照して、第2実施形態の半導体装置10について説明する。本実施形態では、バリア層40の配置位置が異なる。以降の説明では、第1実施形態の半導体装置10と異なる点について詳細に説明し、第1実施形態の半導体装置10と共通の構成要素については同一符号を付し、その説明を省略する。

[0140] (半導体装置の構成)

図21および図22を参照して、本実施形態の半導体装置10の構成について説明する。図21では、外周領域12のうちFLR部25の一部の断面構造を示している。図示していないが、ゲートフィンガー23A、23Bおよび等電位リング26におけるバリア層40の配置位置は、FLR部25におけるバリア層40の配置位置と同じである。なお、図21および図22では、便宜上、半導体装置10の構成要素の一部または全てのハッチングを省略して示している。

[0141] 図21に示すように、外周領域12では、バリア層40は、絶縁膜38Aの表面としての絶縁膜38の表面38sに形成されるとともに中間絶縁膜39によって覆われている。つまり、バリア層40は、絶縁膜38Aと中間絶縁膜39とによって挟み込まれているともいえる。また、中間絶縁膜39は、絶縁膜38Aの上に形成されているともいえる。中間絶縁膜39は、パッシベーション膜13によって覆われている。このため、本実施形態では、バリア層40は、パッシベーション膜13と接していない。

[0142] 本実施形態では、バリア層40の開口端部は、絶縁膜38Aの開口部38

cの開口端部の形状に沿って形成されている。より詳細には、絶縁膜38Aの開口端部は、第1実施形態と同様に、湾曲部38jを有している。バリア層40は、湾曲部38jを覆う湾曲部42を有している。湾曲部42は、絶縁膜38Aの湾曲部38jと同様に、バリア層側開口部40cの開口中心に向かうにつれて半導体基板30の基板表面30sに向かい湾曲している。バリア層40の湾曲部42は、中間絶縁膜39によって覆われている。このため、中間絶縁膜39は、絶縁膜38Aの湾曲部38jを覆っているともいえる。

[0143] バリア層40は、フィールドプレート25eの突出部28aとガードリング25aとの間に入り込んだ部分である中間部41を有している。本実施形態では、中間部41は、z方向から視て、バリア層40のうちフィールドプレート25eの突出部28aとガードリング25aとの双方に重なる部分である。本実施形態の中間部41は、z方向において突出部28aとガードリング25aとの双方から離れた位置に設けられている。中間部41は、バリア層側開口部40cを有している。このため、z方向から視て、中間部41は、絶縁膜38Aのうちフィールドプレート25eの第1部分27を挿通する開口部38cの開口縁まで延びている。つまり、中間部41は、第1部分27と接している。バリア層40は、他のフィールドプレート25f～25hおよびガードリング25b～25dに対しても、第1実施形態と同様に、中間部41を有している。

[0144] バリア層40は、z方向から視て、ガードリング25a～25dからはみ出すように形成されている。つまり、バリア層40は、z方向から視て、フィールドプレート25e～25hの第1部分27と重なる位置以外のガードリング25a～25dの全体を覆っている。

[0145] 図22に示すように、セル領域11では、バリア層40は、ゲート酸化膜となる絶縁膜38の表面38sに形成されるとともに中間絶縁膜39によって覆われている。つまり、バリア層40は、セル領域11において、絶縁膜38と中間絶縁膜39との間に形成されている。バリア層40は、セル領域

11において、絶縁膜38と中間絶縁膜39との双方に接した状態で挟み込まれているともいえる。バリア層40は、絶縁膜38の表面38sの形状に沿って形成されている。中間絶縁膜39は、絶縁膜38の上に形成されているともいえる。

[0146] (半導体装置の製造方法)

図23～図25を参照して、本実施形態の半導体装置10の製造方法について説明する。本実施形態の半導体装置10の製造方法においては、第1実施形態の半導体装置10の製造方法と比較して、バリア層840を形成する工程の順番が異なる。このため、以下の説明では、第1実施形態と異なる点について説明し、第1実施形態と共通する製造工程の説明を省略する。

[0147] 図23に示すように、本実施形態の半導体装置10の製造方法では、ベース領域34およびエミッタ領域36を形成する工程の後、かつ、中間絶縁膜839を形成する工程の前に、バリア層840を形成する工程が実施される。つまり、バリア層840を形成する工程は、絶縁膜838、838Bを形成する工程の後に実施される。これにより、バリア層840は、たとえばCVDによって絶縁膜838の表面の全体にわたり形成される。バリア層840は、第1実施形態のバリア層840と同じ材料によって形成される。また、本実施形態では、ベース領域34およびエミッタ領域36を形成する工程以前の工程は、第1実施形態と同様である。

[0148] 図24に示すように、中間絶縁膜839を形成する工程においては、たとえばCVDによって、中間絶縁膜839がバリア層840の表面840sの全体にわたり形成される。本実施形態では、中間絶縁膜839を形成する工程は、「バリア層の表面を覆う第2絶縁膜を形成する工程」に対応している。

[0149] 図25に示すように、開口部861～863が形成される。以上の工程を経て、絶縁膜38、38A、中間絶縁膜39、およびバリア層40が形成される。そして以降の製造工程は、第1実施形態の半導体装置10の製造方法と同様である。

[0150] (第2実施形態の効果)

本実施形態の半導体装置によれば、以下の効果が得られる。

(2-1) 半導体装置10は、絶縁膜38、38Aと、絶縁膜38、38Aの上に形成された中間絶縁膜39と、絶縁膜38、38Aの表面38sに形成されるとともに中間絶縁膜39によって覆われたバリア層40と、中間絶縁膜39を覆うパッシベーション膜13と、を備えている。

[0151] この構成によれば、バリア層40がフィールドプレート25e~25hの突出部28aとガードリング25a~25dの間に入り込んでいるため、バリア層40がフィールドプレート25e~25hの表面側に形成されていない。このため、バリア層40に段差形状が形成されることを抑制できる。したがって、バリア層40にクラックが発生することが抑制できるため、FLR部25に対応する絶縁膜38が外部イオンによって帯電することを抑制でき、FLR部25の耐圧の低下を抑制できる。

[0152] なお、エミッタ引き回し部24およびゲートフィンガー23A、23Bに対するバリア層40の構成もFLR部25に対するバリア層40の構成と同様であるため、エミッタ引き回し部24およびゲートフィンガー23A、23Bに対するバリア層40もクラックが発生することを抑制できる。

[0153] (2-2) 半導体装置の製造方法は、ドリフト層33の表面と、ガードリング25a~25dの表面とを覆う絶縁膜38Aを形成する工程と、絶縁膜38Aのうちの絶縁膜38の表面38sに、絶縁膜38よりも拡散係数が小さいバリア層40を形成する工程と、バリア層40の表面40sを覆う中間絶縁膜39を形成する工程と、バリア層側開口部40cおよび開口部39c、38c内に設けられた第1部分27と、第1部分27よりも側方に突出するとともに中間絶縁膜39およびバリア層40の双方と重なっている突出部28aを有する第2部分28と、を含むフィールドプレート25e~25hを形成する工程と、中間絶縁膜39およびフィールドプレート25e~25hの双方を覆うパッシベーション膜13を形成する工程と、を備える。この構成によれば、(2-1)と同様の効果が得られる。

[0154] [第3実施形態]

図26～図33を参照して、第3実施形態の半導体装置10について説明する。本実施形態では、半導体基板30の基板表面30sに形成された絶縁膜の形状が異なる。以降の説明では、第1実施形態の半導体装置10と異なる点について詳細に説明し、第1実施形態の半導体装置10と共通の構成要素については同一符号を付し、その説明を省略する。

[0155] (半導体装置の構成)

図26を参照して、本実施形態の半導体装置10の構成について説明する。なお、図26では、便宜上、半導体装置10の構成要素のハッチングを省略して示している。

[0156] 図26に示すように、半導体基板30の基板表面30sには、基板側絶縁膜38Bに代えてLOCOS酸化膜50が形成されている。つまり、本実施形態では、絶縁膜38Aは、LOCOS酸化膜50と絶縁膜38との積層構造からなる。LOCOS酸化膜50は、z方向において互いに反対側を向く表面50sおよび裏面50rを有している。LOCOS酸化膜50の裏面50rは、半導体基板30の基板表面30sに接している。

[0157] LOCOS酸化膜50は、厚膜部51、薄膜部52、および傾斜部53を有している。

厚膜部51は、LOCOS酸化膜50の厚さが比較的厚い部分であり、たとえばガードリング25a～25dのうち隣り合うガードリングの間に設けられている。薄膜部52は、LOCOS酸化膜50の厚さが比較的薄い部分であり、たとえばz方向から視て、ガードリング25a～25dと重なる位置に設けられている。傾斜部53は、厚膜部51と薄膜部52との間に設けられており、厚膜部51と薄膜部52とを接続する部分である。傾斜部53は、表面50sおよび裏面50rの両側において、薄膜部52から厚膜部51に向かうにつれてLOCOS酸化膜50の厚さが厚くなるように傾斜している。

[0158] 厚膜部51は、半導体基板30の基板表面30sに食い込むように形成さ

れている。このため、半導体基板 30 は、基板表面 30s が窪む窪み部 30a が形成されている。

薄膜部 52 には、薄膜部 52 を z 方向に貫通する開口部 54 が形成されている。これにより、ガードリング 25a～25d の一部が LOCOS 酸化膜 50 から露出している。つまり、z 方向から見たガードリング 25a～25d の面積は、開口部 54 の面積よりも大きい。なお LOCOS 酸化膜 50 の構成は任意に変更可能である。一例では、LOCOS 酸化膜 50 から薄膜部 52 を省略してもよい。この場合、LOCOS 酸化膜 50 は、厚膜部 51 および傾斜部 53 からなる酸化膜が互いに離間して複数設けられた構成となる。

[0159] 本実施形態では、LOCOS 酸化膜 50 の表面 50s には、絶縁膜 38 が形成されている。絶縁膜 38 は、LOCOS 酸化膜 50 の形状に応じて LOCOS 酸化膜 50 に積層されている。つまり、絶縁膜 38 は、LOCOS 酸化膜 50 の傾斜部 53 において、傾斜部 53 の形状に沿って傾斜している。本実施形態では、絶縁膜 38 は、LOCOS 酸化膜 50 の表面 50s の全体にわたり形成されている。絶縁膜 38 の表面 38s には中間絶縁膜 39 が形成されている。このため、中間絶縁膜 39 は、LOCOS 酸化膜 50 の厚膜部 51、薄膜部 52、および傾斜部 53 の全てを覆うように形成されている。なお、本実施形態では、中間絶縁膜 39 は、2 層積層された構成である。

[0160] 中間絶縁膜 39 の表面 39s には、バリア層 40 が形成されている。本実施形態では、バリア層 40 は、中間絶縁膜 39 の表面 39s の形状に沿って形成されている。バリア層 40 の厚さは、LOCOS 酸化膜 50 の薄膜部 52 の厚さ以上である。また、バリア層 40 の厚さは、LOCOS 酸化膜 50 の厚膜部 51 の厚さよりも薄い。なお、バリア層 40 の厚さは任意であり、たとえば LOCOS 酸化膜 50 の薄膜部 52 の厚さよりも薄くてもよい。

[0161] フィールドプレート 25e は、開口部 54、39c およびバリア層側開口部 40c 内に設けられた第 1 部分 27 と、第 1 部分 27 よりも外方に突出するとともに中間絶縁膜 39 と重なっている突出部 28a を有する第 2 部分 2

8と、を含む。第1部分27および第2部分28の構成は、第1実施形態と同様である。

[0162] バリア層40は、フィールドプレート25eの突出部28aとガードリング25aとの間に入り込んだ部分である中間部41を有している。本実施形態では、第1実施形態と同様に、中間部41は、フィールドプレート25eの突出部28aと中間絶縁膜39とに挟み込まれている。このため、バリア層40は、中間絶縁膜39とフィールドプレート25eの突出部28aとに挟み込まれた部分（中間部41）を有しているともいえる。中間部41は、フィールドプレート25eの第1部分27を挿通するバリア層側開口部40cを有している。このため、z方向から視て、中間部41は、中間絶縁膜39のうちフィールドプレート25eの第1部分27を挿通する開口部39cの開口縁まで延びている。なお、バリア層40は、他のフィールドプレート25f～25hおよびガードリング25b～25dに対しても、第1実施形態と同様に、中間部41を有している。

[0163] （半導体装置の製造方法）

図27～図33を参照して、本実施形態の半導体装置10の製造方法について説明する。本実施形態の半導体装置10の製造方法においては、第1実施形態の半導体装置10の製造方法と比較して、半導体基板830の基板表面830sに形成される絶縁膜の形成方法が異なる。このため、以下の説明では、第1実施形態と異なる点について説明し、第1実施形態と共通する製造工程の説明を省略する。また、便宜上、本実施形態の半導体装置10の製造方法は、FLR部25の製造過程について主に説明する。

[0164] 図27～図29に示すように、本実施形態の半導体装置10の製造方法は、LOCOS酸化膜850を形成する工程を備えている。

図27に示すように、まず、Siを含む材料から形成された半導体基板830を用意する。半導体基板830には、ドリフト層33が形成されている。続いて、たとえばCVDによって半導体基板830の基板表面830sの全体にわたり酸化膜851を形成する。酸化膜851は、たとえばシリコン

酸化膜（ SiO_2 膜）を有している。続いて、たとえばCVDによって酸化膜851の表面851sの全体にわたりマスク852を形成する。マスク852は、たとえばシリコン窒化膜（ Si_3N_4 膜）を有している。

[0165] 次に、図28に示すように、マスク852を選択的にエッチングする。これにより、酸化膜851がマスク852から部分的に露出する。このため、マスク852は、ドリフト層33の表面上の一部に形成されているともいえる。続いて、図29に示すように、酸化膜851を熱成長させる。これにより、酸化膜851のうちマスク852によって覆われていない部分の厚さが厚くなる。一方、酸化膜851のうちマスク852によって覆われた部分は、酸化膜851の熱成長が抑えられる。これにより、酸化膜851は、部分的に厚くなる。以上の工程を経て、LOCOS酸化膜850が形成される。続いて、マスク852を除去する。

[0166] 図30に示すように、本実施形態の半導体装置10の製造方法は、第2導電型の半導体領域であるp型のウェル領域834を形成する工程を備えている。具体的には、半導体基板830の基板表面830sには、p型不純物が選択的に注入される。続いて、半導体基板830を熱処理することによってp型不純物が拡散される。これにより、ウェル領域834が形成される。ここで、図30では、ウェル領域834は、ガードリング25a～25cを含む。

[0167] 図31に示すように、本実施形態の半導体装置10の製造方法は、絶縁膜838および中間絶縁膜839を形成する工程を備えている。絶縁膜838および中間絶縁膜839の形成方法は、第1実施形態と同様である。絶縁膜838は、酸化膜851の表面851sに形成される。中間絶縁膜839は、絶縁膜838の表面838sに形成される。

[0168] 図32に示すように、本実施形態の半導体装置10の製造方法は、バリア層840を形成する工程を備えている。バリア層840の形成工程は、第1実施形態と同様である。

図33に示すように、本実施形態の半導体装置10の製造方法は、開口部

８６３を形成する工程を備えている。開口部８６３の形成方法は、第１実施形態と同様である。これにより、ＬＯＣＯＳ酸化膜５０、絶縁膜３８、中間絶縁膜３９、およびバリア層４０が形成される。また以降の工程も第１実施形態と同様である。なお、本実施形態の半導体装置１０によれば、第１実施形態と同様の効果が得られる。

[0169] [変更例]

上記各実施形態は本開示に関する半導体装置および半導体装置の製造方法が取り得る形態の例示であり、その形態を制限することを意図していない。本開示に関する半導体装置および半導体装置の製造方法は、上記各実施形態に例示された形態とは異なる形態を取り得る。その一例は、上記各実施形態の構成の一部を置換、変更、もしくは省略した形態、または上記各実施形態に新たな構成を付加した形態である。また、以下の各変更例は、技術的に矛盾しない限り、互いに組み合わせることができる。以下の各変更例において、上記各実施形態に共通する部分については、上記各実施形態と同一符号を付してその説明を省略する。

[0170] ・第３実施形態において、図３４に示すように、バリア層４０は、第２実施形態と同様に、絶縁膜３８の表面３８ｓに形成されていてもよい。この場合、バリア層４０は、絶縁膜３８と中間絶縁膜３９とに挟み込まれている。バリア層４０は、絶縁膜３８の表面３８ｓの形状に沿って形成されている。なお、図３４では、便宜上、半導体装置１０の構成要素のハッチングを省略して示している。

[0171] ・各実施形態において、外周領域１２の表面電界を緩和する終端構造は、ＦＬＲ部２５に限られない。たとえば、図３５に示すように、半導体装置１０は、ＦＬＲ部２５に代えて、外周領域１２のうちゲート電極２２およびゲートフィンガー２３Ａ、２３Ｂ（ともに図２参照）と等電位リング２６との間の領域において、ｚ方向と直交する方向に延びる環状の第２導電型の半導体領域６０を備えていてもよい。半導体領域６０は、各ガードリング２５ａ～２５ｄの幅（各ガードリング２５ａ～２５ｄのｚ方向と直交する方向の寸

法)よりも大きい。半導体領域60のドーパント濃度は、たとえばp⁺型となるコンタクト領域34Bまたはベースコンタクト領域37のドーパント濃度よりも低い。半導体領域60のドーパント濃度は、たとえばガードリング25a~25dのドーパント濃度と等しい。なお、図35では、便宜上、半導体装置10の構成要素のハッチングを省略して示している。

[0172] 図示された例においては、エミッタ引き回し部24の幅(エミッタ引き回し部24のz方向と直交する方向の寸法)が各実施形態のエミッタ引き回し部24の幅よりも大きく形成されている。z方向から視て、エミッタ引き回し部24部は、その一部が半導体領域60と重なるように形成されている。

[0173] また、図示された例においては、半導体領域60は、等電位リング26が形成される領域まで延びている。z方向から視て、半導体領域60は、等電位リング26と重なる位置まで延びている。このように、半導体領域60は、z方向から視てエミッタ引き回し部24と重なる領域と、z方向から視て等電位リング26と重なる領域と、エミッタ引き回し部24と等電位リング26との間の領域と、を含む。この構成によれば、半導体領域60によって外周領域12における表面電界が緩和されるため、半導体装置10の耐圧の向上を図ることができる。

[0174] ・各実施形態において、バリア層40の形成範囲は任意に変更可能である。一例では、バリア層40は、セル領域11から省略されていてもよい。つまり、バリア層40は、外周領域12のみに形成されていてもよい。また、バリア層40は、外周領域12のうちゲートフィンガー23A、23Bと、エミッタ引き回し部24と、等電位リング26との少なくとも1つから省略されていてもよい。

[0175] ・各実施形態では、中間絶縁膜39が1層から構成されていたが、これに限られない。中間絶縁膜39は、異なる種類の絶縁膜が複数積層された構成であってもよい。

・各実施形態では、ゲートトレンチ22Aおよびエミッタトレンチ21Aが交互に配列されていたが、これに限られない。ゲートトレンチ22Aおよ

びエミッタトレンチ 21 A の配列態様は任意に変更可能である。

[0176] ・各実施形態では、半導体装置 10 は、ゲートトレンチ 22 A およびエミッタトレンチ 21 A を備えていたが、これに限られない。たとえば、半導体装置 10 は、エミッタトレンチ 21 A を備えていなくてもよい。

[0177] ・各実施形態において、FLR 部 25 のフィールドプレート 25 e ~ 25 h の第 1 部分 27 および第 2 部分 28 は一体的に形成されていてもよい。この場合、第 1 部分 27 はタングステン (W) に代えて、AlCu から形成される。なお、エミッタ電極 21、ゲートフィンガー 23 A, 23 B、およびエミッタ引き回し部 24 についても、フィールドプレート 25 e ~ 25 h と同様に変更できる。

[0178] ・各実施形態において、半導体装置 10 は、トレンチゲート型 IGBT に代えて、プレーナゲート型 IGBT であってもよい。

・各実施形態では、半導体装置 10 を IGBT として具体化した但、これに限られず、半導体装置 10 は、たとえば SiCMOSFET (metal-oxide-semiconductor field-effect transistor) または SiMOSFET であってもよい。

[0179] 本開示で使田される「〜上に」という用語は、文脈によって明らかにそうでないことが示されない限り、「〜上に」と「〜の上方に」の意味を含む。したがって、「A が B 上に形成される」という表現は、本実施形態では A が B に接触して B 上に直接配置され得るが、変更例として、A が B に接触することなく B の上方に配置され得ることが意図される。すなわち、「〜上に」という用語は、A と B との間に他の部材が形成される構造を排除しない。

[0180] 本開示で使田される z 方向は必ずしも鉛直方向である必要はなく、鉛直方向に完全に一致している必要もない。したがって、本開示による種々の構造は、本明細書で説明される z 方向の「上」および「下」が鉛直方向の「上」および「下」であることに限定されない。例えば、x 方向が鉛直方向であってもよく、または y 方向が鉛直方向であってもよい。

[0181] [付記]

上記各実施形態および上記各変更例から把握できる技術的思想を以下に記載する。なお、各付記に記載された構成要素に対応する実施形態の構成要素の符号を括弧書きで示す。符号は、理解の補助のために例として示すものであり、各付記に記載された構成要素は、符号で示される構成要素に限定されるべきではない。

[0182] (付記1)

複数のセル(11A)が形成されたセル領域(11)と、
前記セル領域(11)を囲むように前記セル領域(11)の外側に設けられた外周領域(12)と、を備える半導体装置(10)であって、
前記外周領域(12)は、
第1導電型の第1半導体層(33)と、
前記第1半導体層(33)において部分的に形成された第2導電型の第2半導体領域(25a～25d)と、
前記第1半導体層(33)の表面(30s)と、前記第2半導体領域(25a～25d)の表面(30s)とを覆う絶縁膜(38A, 39)と、
前記絶縁膜(38A, 39)に形成され、前記第2半導体領域(25a～25d)の表面(30s)の一部を露出させる開口部(38c, 39c)と、
前記開口部(38c, 39c)によって露出された部分と接するように設けられた電極部(25e～25h)と、
前記絶縁膜(38A, 39)および前記電極部(25e～25h)の双方を覆うように設けられたパッシベーション膜(13)と、を備え、
前記電極部(25e～25h)は、
前記開口部(38c, 39c)内に設けられた第1部分(27)と、
前記第1部分(27)よりも側方に突出するとともに前記絶縁膜(38A, 39)と重なっている突出部(28a)を有する第2部分(28)と、を含み、
前記半導体装置(10)は、前記パッシベーション膜(13)と前記第1

半導体層（３３）との間に設けられ、前記絶縁膜（３８Ａ，３９）および前記パッシベーション膜（１３）の双方よりも拡散係数が小さいバリア層（４０）を備え、

前記バリア層（４０）は、前記突出部（２８ａ）と前記第２半導体領域（２５ａ～２５ｄ）との間に入り込んだ部分を有する半導体装置。

[0183] （付記２）

前記バリア層（４０）は、前記絶縁膜（３８Ａ，３９）の表面（３８ｓ）に形成されており、

前記バリア層（４０）は、前記絶縁膜（３８Ａ，３９）と前記突出部（２８ａ）とに挟み込まれた部分を有している

付記１に記載の半導体装置。

[0184] （付記３）

前記絶縁膜（３８Ａ，３９）は、

前記第１半導体層（３３）の表面（３０ｓ）と、前記第２半導体領域（２５ａ～２５ｄ）の表面（３０ｓ）との双方に形成された第１絶縁膜（３８Ａ）と、

前記第１絶縁膜（３８Ａ）上に積層された第２絶縁膜（３９）と、
を有し、

前記バリア層（４０）は、前記第２絶縁膜（３９）の表面（３９ｓ）に形成されており、前記パッシベーション膜（１３）によって覆われている

付記２に記載の半導体装置。

[0185] （付記４）

前記絶縁膜（３８Ａ，３９）は、

前記第１半導体層（３３）の表面（３０ｓ）と、前記第２半導体領域（２５ａ～２５ｄ）の表面（３０ｓ）との双方に形成された第１絶縁膜（３８Ａ）と、

前記第１絶縁膜（３８Ａ）の上に形成された第２絶縁膜（３９）と、

を有し、

前記バリア層（４０）は、前記第１絶縁膜（３８Ａ）の表面（３８ｓ）に形成されるとともに前記第２絶縁膜（３９）によって覆われており、

前記第２絶縁膜（３９）は、前記パッシベーション膜（１３）によって覆われている

付記１に記載の半導体装置。

[0186] （付記５）

前記第１絶縁膜（３８Ａ）のうち前記開口部（３８ｃ）を構成する部分は、前記開口部（３８ｃ）に向かうにつれて前記第１半導体層（３３）に向けて傾斜しており、

前記第２絶縁膜（３９）は、前記第１絶縁膜（３８Ａ）のうち前記開口部（３８ｃ）を構成する部分を覆っている

付記３または４に記載の半導体装置。

[0187] （付記６）

前記バリア層（４０）は、前記第１部分（２７）が挿入されるバリア層側開口部（４０ｃ）を有し、

前記バリア層側開口部（４０ｃ）を構成する内側面（４０ｄ）と、前記開口部（３８ｃ，３９ｃ）を構成する前記絶縁膜（３８Ａ，３９）の内側面（３８ｄ，３９ｄ）とは面一となっている

付記１～５のいずれか１つに記載の半導体装置。

[0188] （付記８）

前記第１半導体層（３３）の厚さ方向（ｚ方向）から視て、前記バリア層（４０）は、前記第２半導体領域（２５ａ～２５ｄ）の外縁よりもはみ出すように形成されている

付記１～６のいずれか１つに記載の半導体装置。

[0189] （付記８）

前記バリア層（４０）の厚さは、前記絶縁膜（３８Ａ，３９）の厚さよりも薄い

付記 1 ～ 7 のいずれか 1 つに記載の半導体装置。

[0190] (付記 9)

前記セル領域 (11) は、トランジスタが形成される領域であり、

前記第 1 半導体層 (33) と、

前記第 1 半導体層 (33) の表面 (30s) に形成されたゲート酸化膜 (38) と、

前記ゲート酸化膜 (38) の表面 (38s) に形成された中間絶縁膜 (39) と、を備え、

前記バリア層 (40) は、前記中間絶縁膜 (39) の表面 (39s) に形成されている

付記 2 または 3 に記載の半導体装置。

[0191] (付記 10)

前記セル領域 (11) は、トランジスタが形成される領域であり、

前記第 1 半導体層 (33) と、

前記第 1 半導体層 (33) の表面 (30s) に形成されたゲート酸化膜 (38) と、

前記ゲート酸化膜 (38) の上に形成された中間絶縁膜 (39) と、を備え、

前記バリア層 (40) は、前記セル領域 (11) において、前記ゲート酸化膜 (38) と前記中間絶縁膜 (39) との間に形成されている

付記 4 に記載の半導体装置。

[0192] (付記 11)

前記外周領域 (12) は、表面電界を緩和するための第 2 導電型の半導体領域 (25a ～ 25d, 60) を有している

付記 1 ～ 10 のいずれか 1 つに記載の半導体装置。

[0193] (付記 12)

前記絶縁膜 (38A, 39) は、シリコン酸化膜であり、

前記パッシベーション膜 (13) は、有機絶縁膜であり、

前記バリア層（４０）は、シリコン窒化膜である
付記１～１１のいずれか１つに記載の半導体装置。

[0194] （付記１３）

複数のセル（１１Ａ）が形成されたセル領域（１１）と、
前記セル領域（１１）を囲むように前記セル領域（１１）の外側に設けられた外周領域（１２）と、を備える半導体装置の製造方法であって、
前記外周領域（１２）に第１導電型の第１半導体層（３３）を形成する工程と、

第２導電型の第２半導体領域（８３４）を、前記第１半導体層（３３）において部分的に形成する工程と、

前記第１半導体層（３３）の表面（８３０ｓ）と、前記第２半導体領域（８３４）の表面（８３０ｓ）とを覆う絶縁膜（８３８Ｂ，８３８，８３９）を形成する工程と、

前記絶縁膜（８３９）の表面（８３９ｓ）に、前記絶縁膜（８３８Ｂ，８３８，８３９）よりも拡散係数が小さいバリア層（８４０）を形成する工程と、

前記絶縁膜（８３８Ｂ，８３８，８３９）および前記バリア層（８４０）の双方を貫通して前記第２半導体領域（８３４）の一部を露出させた開口部（８６１～８６３）を形成する工程と、

前記開口部（８６１～８６３）内に設けられた第１部分（８２１）と、前記第１部分（８２１）よりも側方に突出するとともに前記絶縁膜（８３８Ｂ，８３８，８３９）および前記バリア層（８４０）の双方と重なっている突出部を有する第２部分（８２２）と、を含む電極部（２５ｅ～２５ｈ）を形成する工程と、

前記バリア層（８４０）および前記電極部の双方を覆うパッシベーション膜を形成する工程と、を備える、半導体装置の製造方法。

[0195] （付記１４）

前記絶縁膜（８３８Ｂ，８３８，８３９）を形成する工程は、

前記第1半導体層(33)の表面(830s)を熱酸化することによって第1絶縁膜(838B, 838)を形成する工程と、

前記第1絶縁膜(838)の表面にCVDによって第2絶縁膜(839)を形成する工程と、を含む

付記13に記載の半導体装置の製造方法。

[0196] (付記15)

前記第1絶縁膜(838B, 838)を形成する工程は、

前記第1半導体領域(33)の表面(830s)上の一部にマスク(852)を形成する工程と、

前記第1半導体領域(33)の表面(830s)のうち前記マスク(852)から露出する部分を酸化させて酸化膜(851)を形成する工程と、を含む

付記14に記載の半導体装置の製造方法。

[0197] (付記16)

前記第1絶縁膜(838B)を形成する工程は、

前記第1半導体層(33)の表面(830s)を熱酸化することによって第1絶縁層を形成する工程と、

前記第1絶縁層をウェットエッチングした後、ドライエッチングする工程と、を含む

付記14に記載の半導体装置の製造方法。

[0198] (付記17)

複数のセル(11A)が形成されたセル領域(11)と、

前記セル領域(11)を囲むように前記セル領域(11)の外側に設けられた外周領域(12)と、を備える半導体装置(10)の製造方法であって、

前記外周領域(12)に第1導電型の第1半導体層(33)を形成する工程と、

第2導電型の第2半導体領域(834)を、前記第1半導体層(33)に

において部分的に形成する工程と、

前記第1半導体層(33)の表面(830s)と、前記第2半導体領域(834)の表面(830s)とを覆う第1絶縁膜(838B, 838)を形成する工程と、

前記第1絶縁膜(838)の表面(838s)に、前記第1絶縁膜(838B, 838)よりも拡散係数が小さいバリア層(840)を形成する工程と、

前記バリア層(840)の表面(840s)を覆う第2絶縁膜(839)を形成する工程と、

前記第1絶縁膜(838B, 838)、前記第2絶縁膜(839)、および前記バリア層(840)を貫通して前記第2半導体領域(834)の一部を露出させた開口部(861)を形成する工程と、

前記開口部(861)内に設けられた第1部分(821)と、前記第1部分(821)よりも側方に突出するとともに前記第2絶縁膜(839)および前記バリア層(840)の双方と重なっている突出部を有する第2部分(822)と、を含む電極部(25e~25h)を形成する工程と、

前記第2絶縁膜(839)および前記電極部の双方を覆うパッシベーション膜(13)を形成する工程と、を備える、半導体装置の製造方法。

[0199] (付記18)

前記第1絶縁膜(838B, 838)を形成する工程は、前記第1半導体層(33)の表面(830s)を熱酸化する工程を含み、

前記第2絶縁膜(839)を形成する工程は、前記バリア層(840)の表面(840s)にCVDによって前記第2絶縁膜(839)を形成する工程を含む

付記17に記載の半導体装置の製造方法。

[0200] (付記19)

前記第1絶縁膜(838B)を形成する工程は、

前記第1半導体層(33)の表面(830s)上の一部にマスク(852

)を形成する工程と、

前記第1半導体層(33)の表面(830s)のうち前記マスク(852)から露出する部分を酸化させて酸化膜(851)を形成する工程と、を含む

付記18に記載の半導体装置の製造方法。

[0201] (付記20)

前記第1絶縁膜(838B)を形成する工程は、

前記第1半導体層(33)の表面(830s)と前記第2半導体領域(834)の表面(830s)との双方を熱酸化することによって第1絶縁層を形成する工程と、

前記第1絶縁層をウェットエッチングした後、ドライエッチングする工程と、を含む

付記18に記載の半導体装置の製造方法。

符号の説明

[0202] 10…半導体装置

11…セル領域

12…外周領域

13…パッシベーション膜

23A, 23B…ゲートフィンガー

23ba…第1部分

23bb…第2部分

23bc…突出部

24…エミッタ引き回し部

24a…第1部分

24b…第2部分

24c…突出部

25a～25d…ガードリング(第2導電型の第2半導体領域)

25e～25h…フィールドプレート(電極部)

27…第1部分

28…第2部分

28a…突出部

33…ドリフト層（第1導電型の第1半導体領域）

38…絶縁膜（ゲート酸化膜）

38A…絶縁膜（第1絶縁膜）

38s…表面

38a, 38c, 38g, 38p…開口部

38d, 38h…内側面

39…中間絶縁膜（第2絶縁膜）

39s…表面

39a, 39c, 39e, 39g, 39p, 39u…開口部

39b, 39d, 39f, 39h, 39q, 39t…内側面

40…バリア層

40s…表面

40a, 40c, 40e, 40g, 40p, 40u…バリア層側開口部

40b, 40d, 40f, 40h, 40q, 40t…内側面

41…中間部

50…LOCOS酸化膜

54…開口部

821…第1部分

822…第2部分

830…半導体基板

838…絶縁膜

838s…表面

839…中間絶縁膜

839s…表面

840…バリア層

8 4 0 s …表面

8 5 1 …酸化膜

8 5 1 s …表面

8 5 2 …マスク

8 6 1 ～ 8 6 3 …開口部

請求の範囲

[請求項1]

複数のセルが形成されたセル領域と、
前記セル領域を囲むように前記セル領域の外側に設けられた外周領域と、
を備える半導体装置であって、
前記外周領域は、
第1導電型の第1半導体層と、
前記第1半導体層において部分的に形成された第2導電型の第2半導体領域と、
前記第1半導体層の表面と、前記第2半導体領域の表面とを覆う絶縁膜と、
前記絶縁膜に形成され、前記第2半導体領域の表面の一部を露出させる開口部と、
前記開口部によって露出された部分と接するように設けられた電極部と、
前記絶縁膜および前記電極部の双方を覆うように設けられたパッシベーション膜と、
を備え、
前記電極部は、
前記開口部内に設けられた第1部分と、
前記第1部分よりも側方に突出するとともに前記絶縁膜と重なっている突出部を有する第2部分と、
を含み、
前記半導体装置は、前記パッシベーション膜と前記第1半導体層との間に設けられ、前記絶縁膜および前記パッシベーション膜の双方よりも拡散係数が小さいバリア層を備え、
前記バリア層は、前記突出部と前記第2半導体領域との間に入り込んだ部分を有する

半導体装置。

[請求項2] 前記バリア層は、前記絶縁膜の表面に形成されており、
前記バリア層は、前記絶縁膜と前記突出部とに挟み込まれた部分を有している

請求項1に記載の半導体装置。

[請求項3] 前記絶縁膜は、
前記第1半導体層の表面と、前記第2半導体領域の表面との双方に形成された第1絶縁膜と、

前記第1絶縁膜上に積層された第2絶縁膜と、

を有し、

前記バリア層は、前記第2絶縁膜の表面に形成されており、前記パッシベーション膜によって覆われている

請求項2に記載の半導体装置。

[請求項4] 前記絶縁膜は、
前記第1半導体層の表面と、前記第2半導体領域の表面との双方に形成された第1絶縁膜と、

前記第1絶縁膜の上に形成された第2絶縁膜と、

を有し、

前記バリア層は、前記第1絶縁膜の表面に形成されるとともに前記第2絶縁膜によって覆われており、

前記第2絶縁膜は、前記パッシベーション膜によって覆われている

請求項1に記載の半導体装置。

[請求項5] 前記第1絶縁膜のうち前記開口部を構成する部分は、前記開口部に向かうにつれて前記第1半導体層に向けて傾斜しており、

前記第2絶縁膜は、前記第1絶縁膜のうち前記開口部を構成する部分を覆っている

請求項3または4に記載の半導体装置。

[請求項6] 前記バリア層は、前記第1部分が挿入されるバリア層側開口部を有

し、

前記バリア層側開口部を構成する内側面と、前記開口部を構成する前記絶縁膜の内側面とは面一となっている

請求項 1 ～ 5 のいずれか一項に記載の半導体装置。

[請求項7] 前記第 1 半導体層の厚さ方向から視て、前記バリア層は、前記第 2 半導体領域の外縁よりもはみ出すように形成されている

請求項 1 ～ 6 のいずれか一項に記載の半導体装置。

[請求項8] 前記バリア層の厚さは、前記絶縁膜の厚さよりも薄い

請求項 1 ～ 7 のいずれか一項に記載の半導体装置。

[請求項9] 前記セル領域は、トランジスタが形成される領域であり、
前記第 1 半導体層と、

前記第 1 半導体層の表面に形成されたゲート酸化膜と、

前記ゲート酸化膜の表面に形成された中間絶縁膜と、

を備え、

前記バリア層は、前記中間絶縁膜の表面に形成されている

請求項 2 または 3 に記載の半導体装置。

[請求項10] 前記セル領域は、トランジスタが形成される領域であり、
前記第 1 半導体層と、

前記第 1 半導体層の表面に形成されたゲート酸化膜と、

前記ゲート酸化膜の上に形成された中間絶縁膜と、

を備え、

前記バリア層は、前記セル領域において、前記ゲート酸化膜と前記中間絶縁膜との間に形成されている

請求項 4 に記載の半導体装置。

[請求項11] 前記外周領域は、表面電界を緩和するための第 2 導電型の半導体領域を有している

請求項 1 ～ 10 のいずれか一項に記載の半導体装置。

[請求項12] 前記絶縁膜は、シリコン酸化膜であり、

前記パッシベーション膜は、有機絶縁膜であり、
前記バリア層は、シリコン窒化膜である
請求項 1 ～ 11 のいずれか一項に記載の半導体装置。

[請求項13]

複数のセルが形成されたセル領域と、
前記セル領域を囲むように前記セル領域の外側に設けられた外周領域と、
を備える半導体装置の製造方法であって、
前記外周領域に第 1 導電型の第 1 半導体層を形成する工程と、
第 2 導電型の第 2 半導体領域を、前記第 1 半導体層において部分的に形成する工程と、
前記第 1 半導体層の表面と、前記第 2 半導体領域の表面とを覆う絶縁膜を形成する工程と、
前記絶縁膜の表面に、前記絶縁膜よりも拡散係数が小さいバリア層を形成する工程と、
前記絶縁膜および前記バリア層の双方を貫通して前記第 2 半導体領域の一部を露出させた開口部を形成する工程と、
前記開口部内に設けられた第 1 部分と、前記第 1 部分よりも側方に突出するとともに前記絶縁膜および前記バリア層の双方と重なっている突出部を有する第 2 部分と、を含む電極部を形成する工程と、
前記バリア層および前記電極部の双方を覆うパッシベーション膜を形成する工程と、
を備える、半導体装置の製造方法。

[請求項14]

前記絶縁膜を形成する工程は、
前記第 1 半導体層の表面を熱酸化することによって第 1 絶縁膜を形成する工程と、
前記第 1 絶縁膜の表面に C V D によって第 2 絶縁膜を形成する工程と、
を含む

請求項 1 3 に記載の半導体装置の製造方法。

[請求項15]

前記第 1 絶縁膜を形成する工程は、

前記第 1 半導体層の表面上の一部にマスクを形成する工程と、

前記第 1 半導体層の表面のうち前記マスクから露出する部分を酸化
させて酸化膜を形成する工程と、

を含む

請求項 1 4 に記載の半導体装置の製造方法。

[請求項16]

前記第 1 絶縁膜を形成する工程は、

前記第 1 半導体層の表面を熱酸化することによって第 1 絶縁層を形
成する工程と、

前記第 1 絶縁層をウェットエッチングした後、ドライエッチングす
る工程と、

を含む

請求項 1 4 に記載の半導体装置の製造方法。

[請求項17]

複数のセルが形成されたセル領域と、

前記セル領域を囲むように前記セル領域の外側に設けられた外周領
域と、

を備える半導体装置の製造方法であって、

前記外周領域に第 1 導電型の第 1 半導体層を形成する工程と、

第 2 導電型の第 2 半導体領域を、前記第 1 半導体層において部分的
に形成する工程と、

前記第 1 半導体層の表面と、前記第 2 半導体領域の表面とを覆う第
1 絶縁膜を形成する工程と、

前記第 1 絶縁膜の表面に、前記第 1 絶縁膜よりも拡散係数が小さい
バリア層を形成する工程と、

前記バリア層の表面を覆う第 2 絶縁膜を形成する工程と、

前記第 1 絶縁膜、前記第 2 絶縁膜、および前記バリア層を貫通して
前記第 2 半導体領域の一部を露出させた開口部を形成する工程と、

前記開口部内に設けられた第 1 部分と、前記第 1 部分よりも側方に突出するとともに前記第 2 絶縁膜および前記バリア層の双方と重なっている突出部を有する第 2 部分と、を含む電極部を形成する工程と、

前記第 2 絶縁膜および前記電極部の双方を覆うパッシベーション膜を形成する工程と、を備える、半導体装置の製造方法。

[請求項18] 前記第 1 絶縁膜を形成する工程は、前記第 1 半導体層の表面を熱酸化する工程を含み、

前記第 2 絶縁膜を形成する工程は、前記バリア層の表面に C V D によって前記第 2 絶縁膜を形成する工程を含む

請求項 1 7 に記載の半導体装置の製造方法。

[請求項19] 前記第 1 絶縁膜を形成する工程は、

前記第 1 半導体層の表面上の一部にマスクを形成する工程と、

前記第 1 半導体層の表面のうち前記マスクから露出する部分を酸化させて酸化膜を形成する工程と、

を含む

請求項 1 8 に記載の半導体装置の製造方法。

[請求項20] 前記第 1 絶縁膜を形成する工程は、

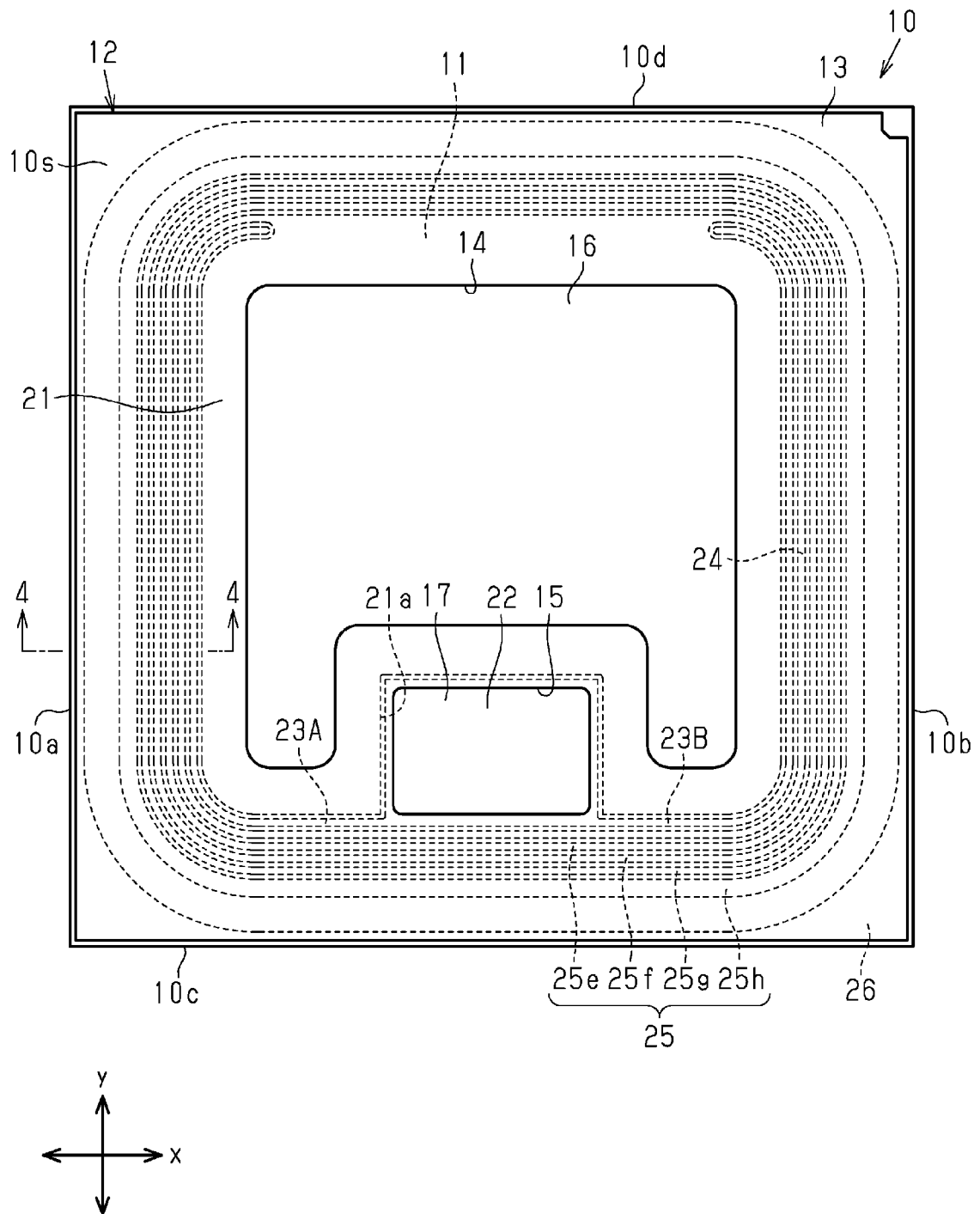
前記第 1 半導体層の表面を熱酸化することによって第 1 絶縁層を形成する工程と、

前記第 1 絶縁層をウェットエッチングした後、ドライエッチングする工程と、

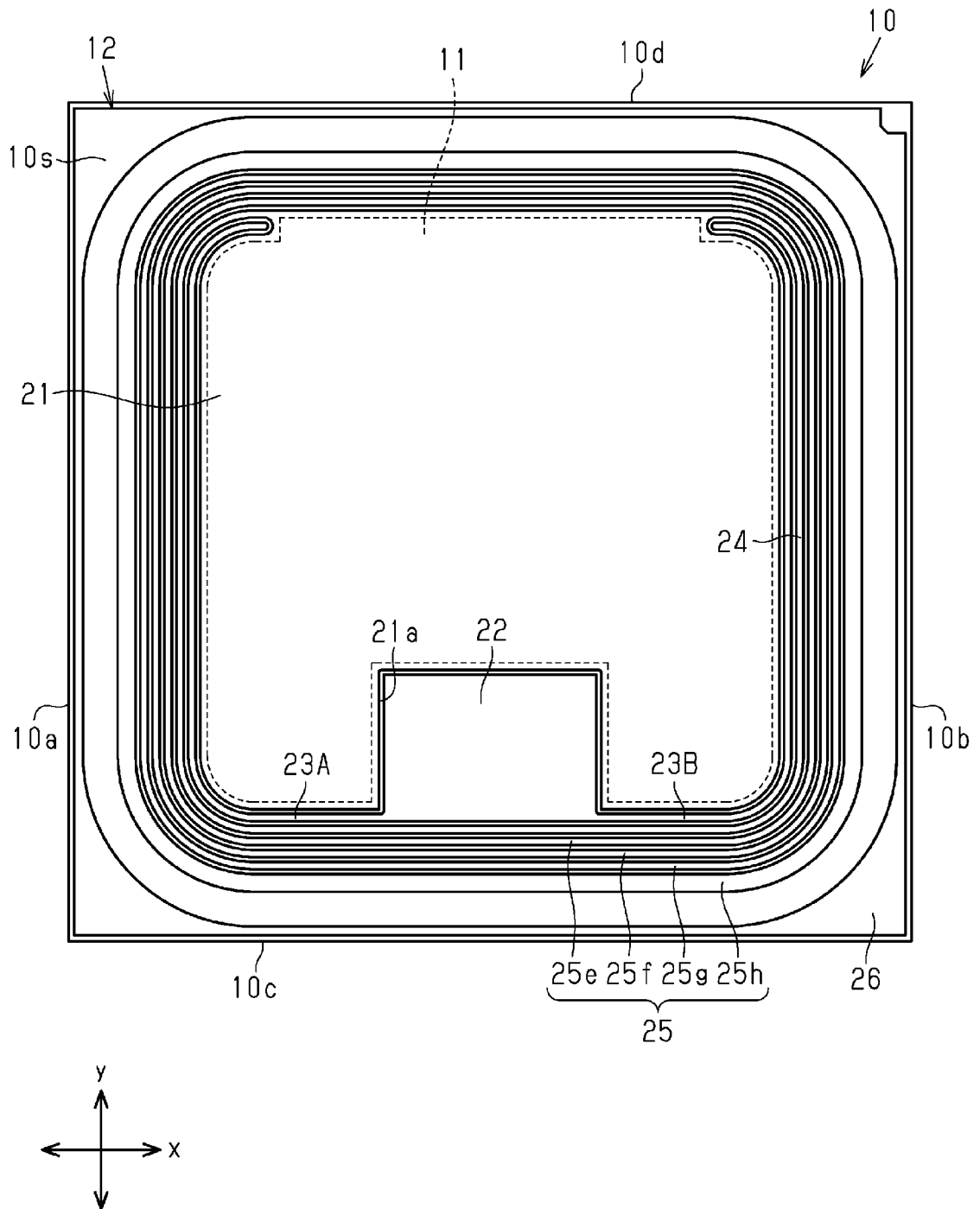
を含む

請求項 1 8 に記載の半導体装置の製造方法。

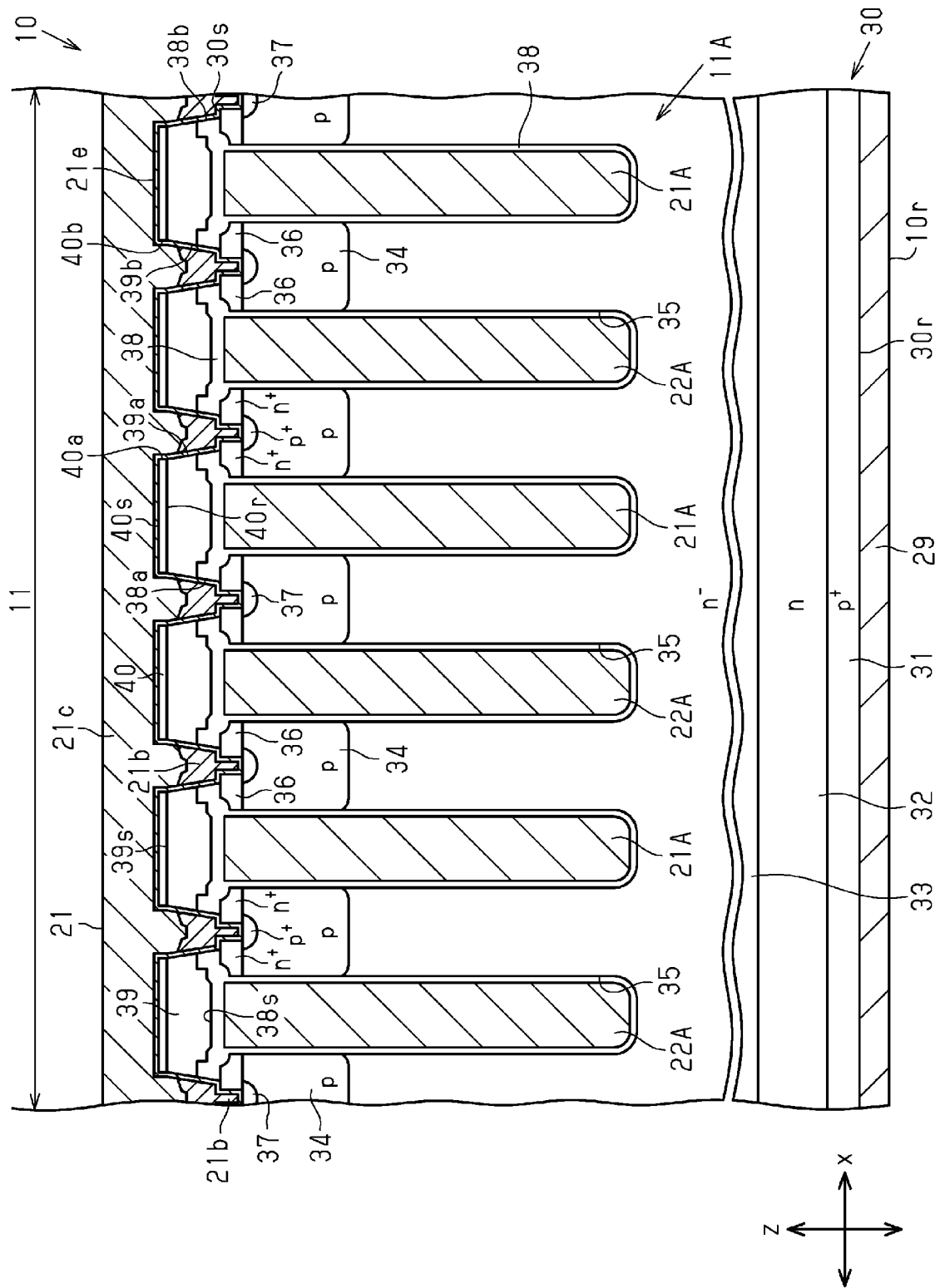
[図1]



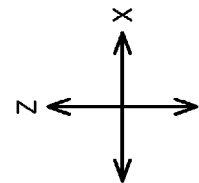
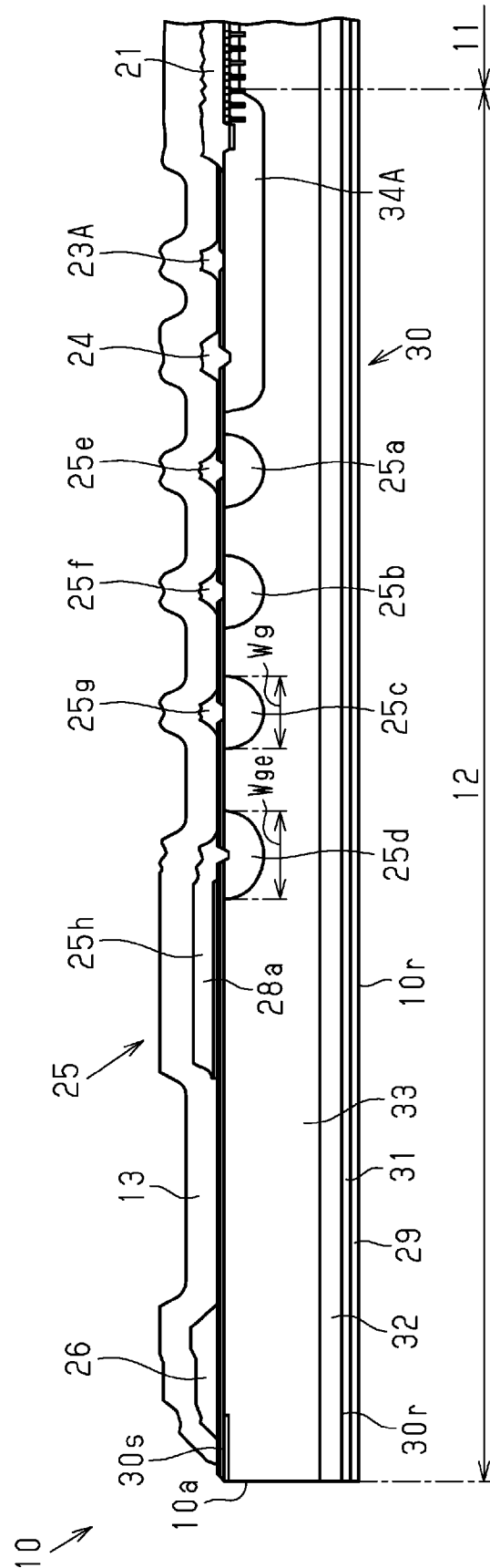
[図2]



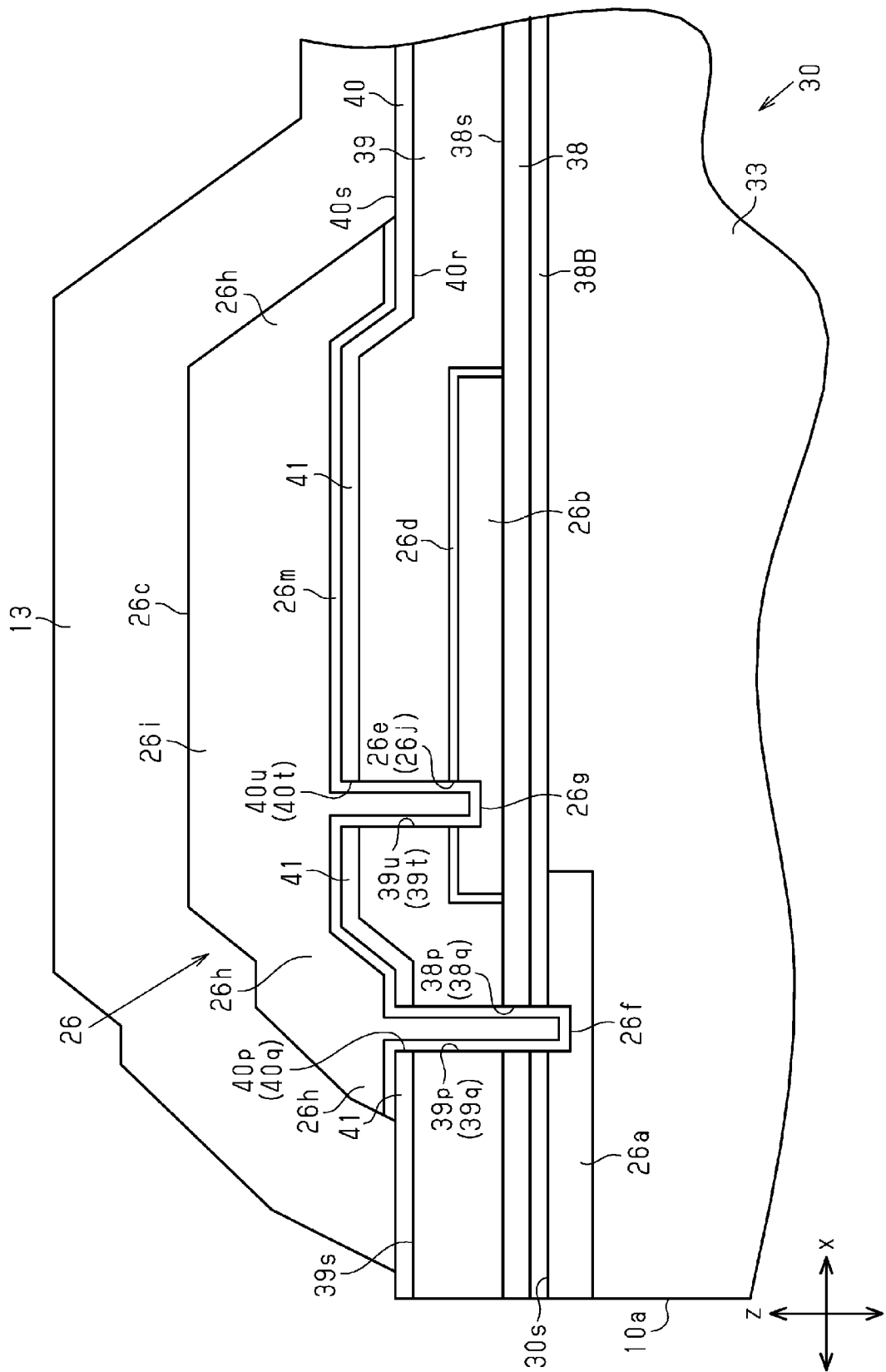
[図3]



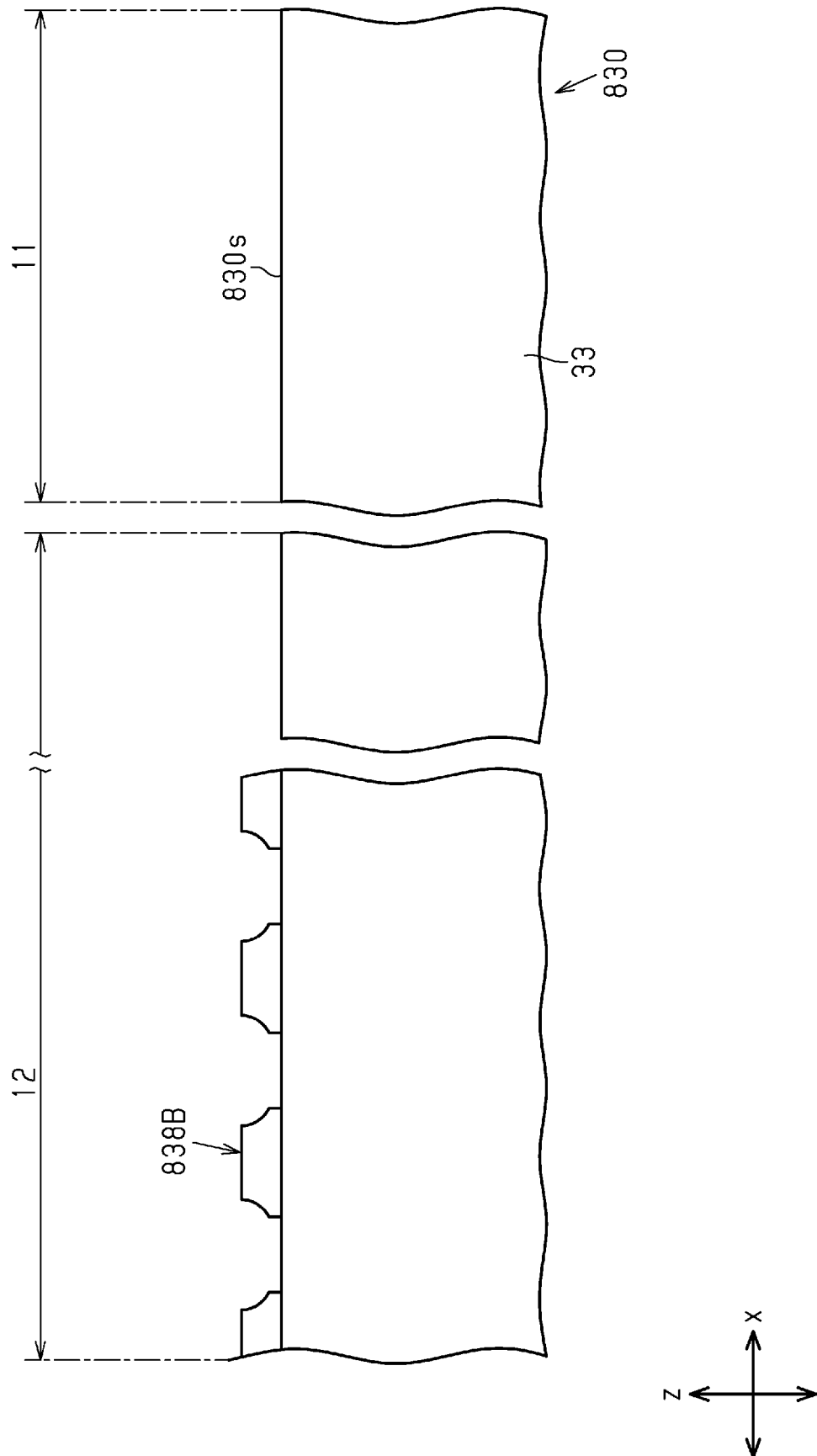
[図4]



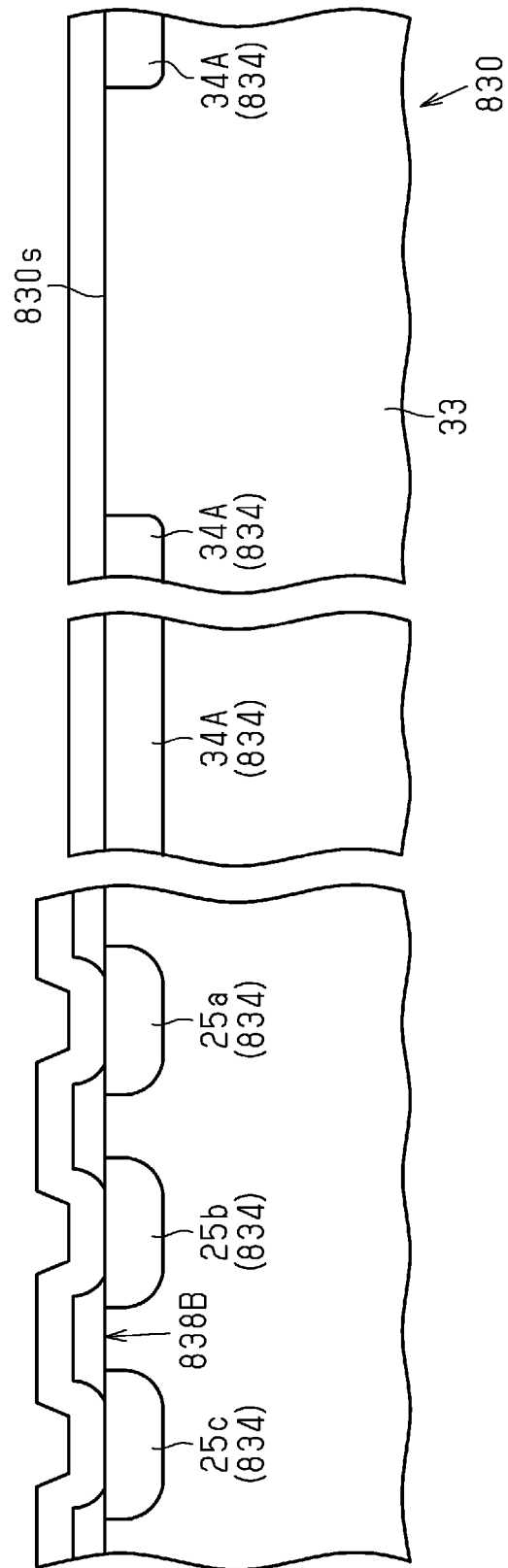
[図7]



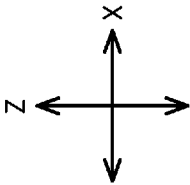
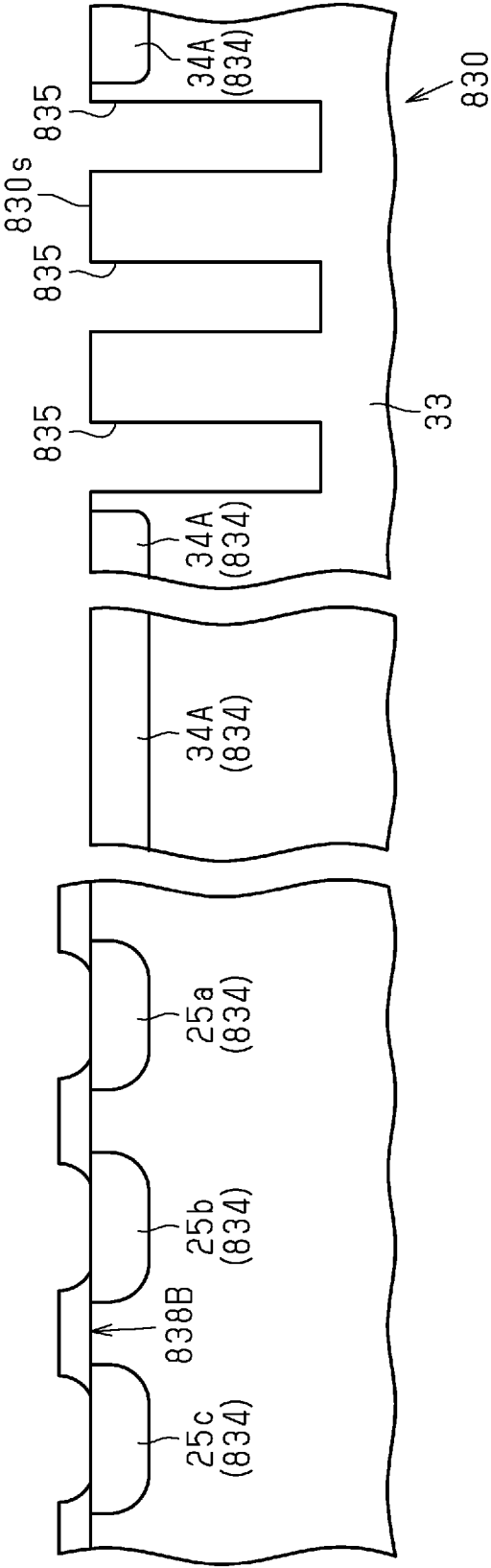
[図8]



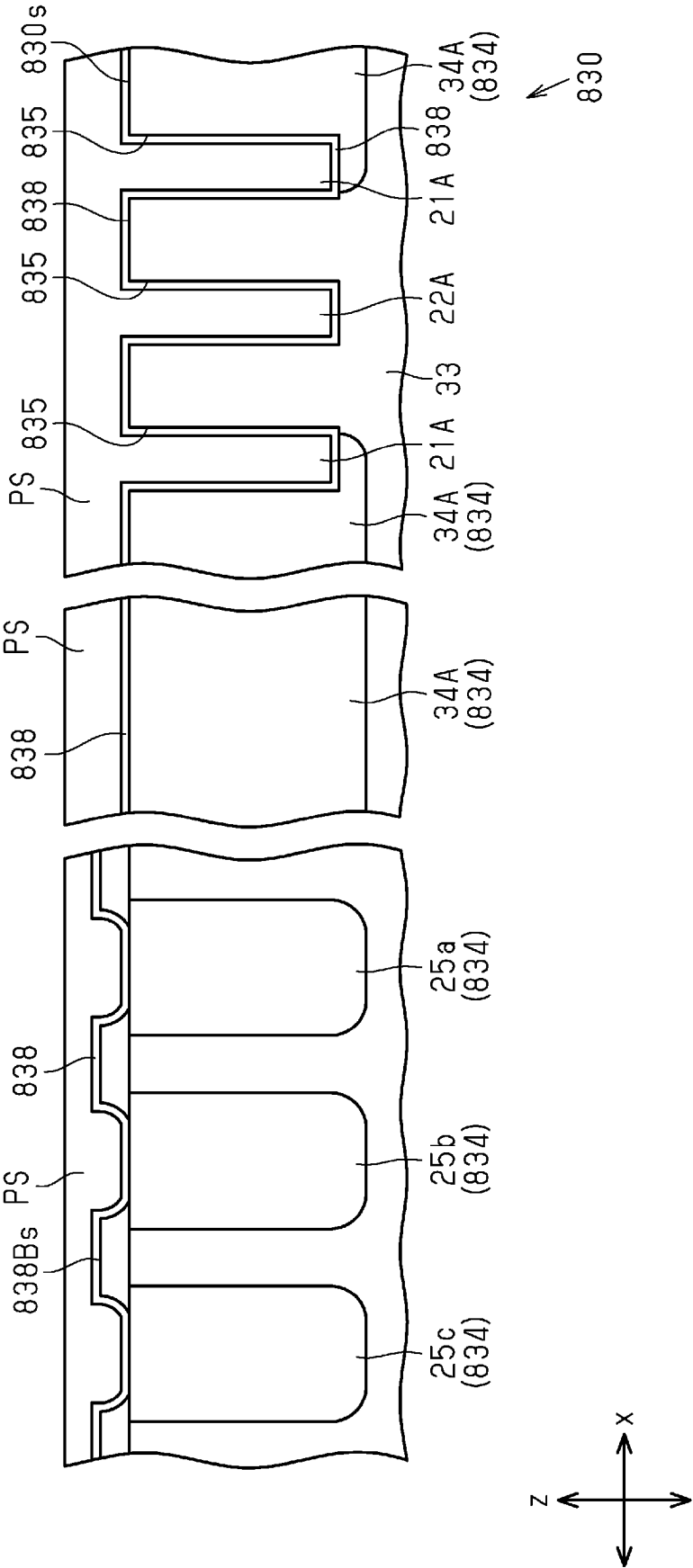
[図9]



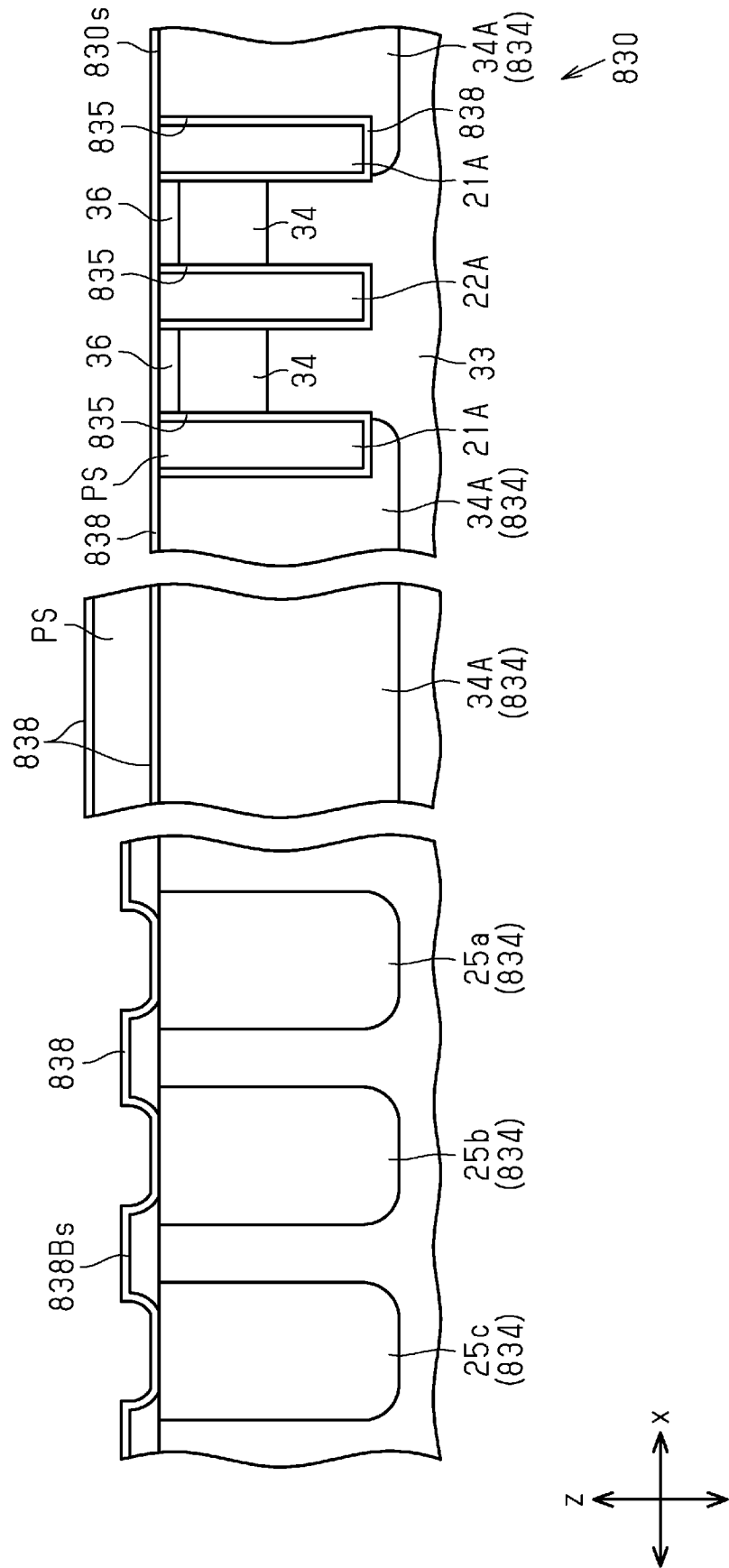
[図10]



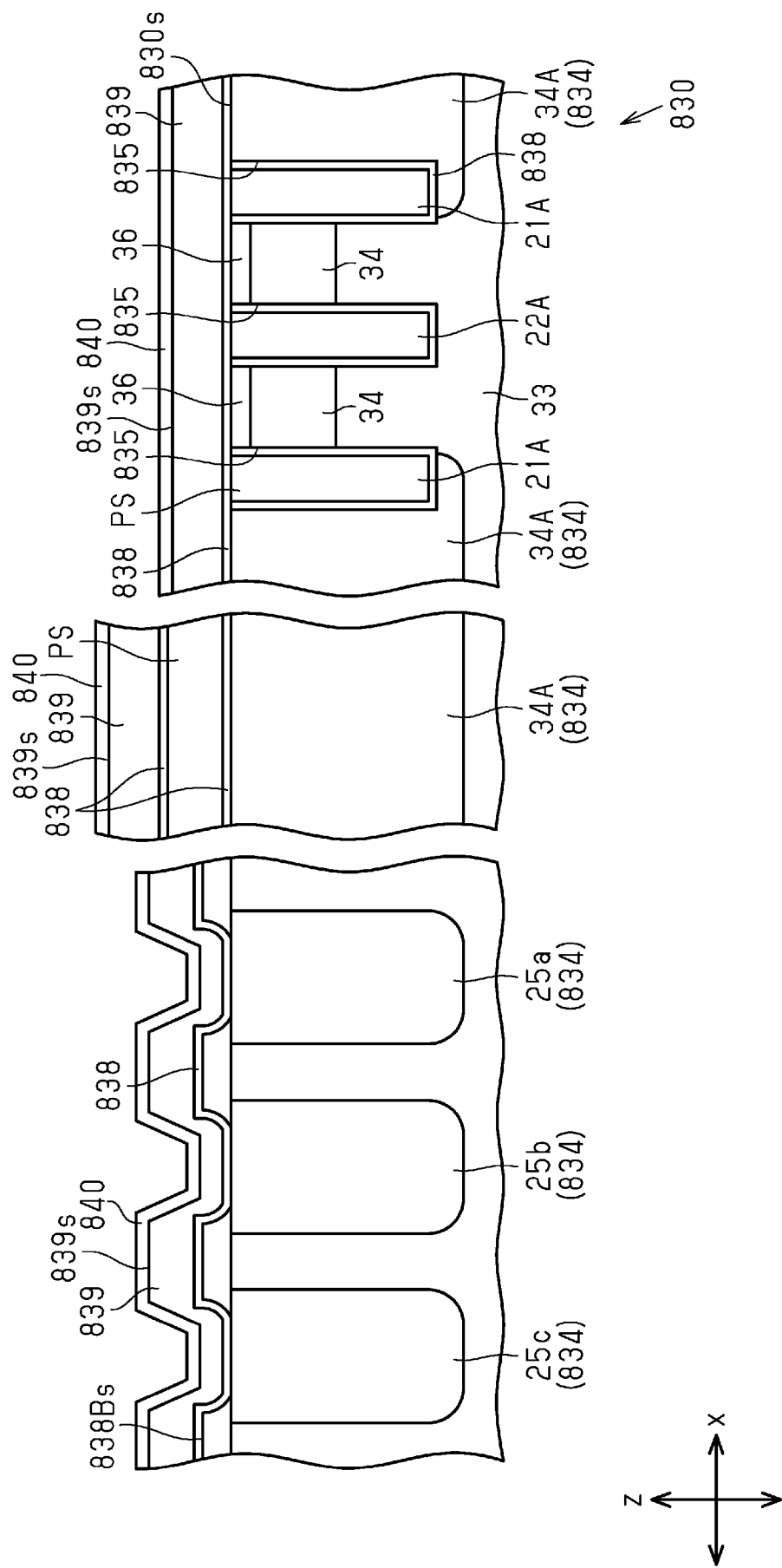
[図11]



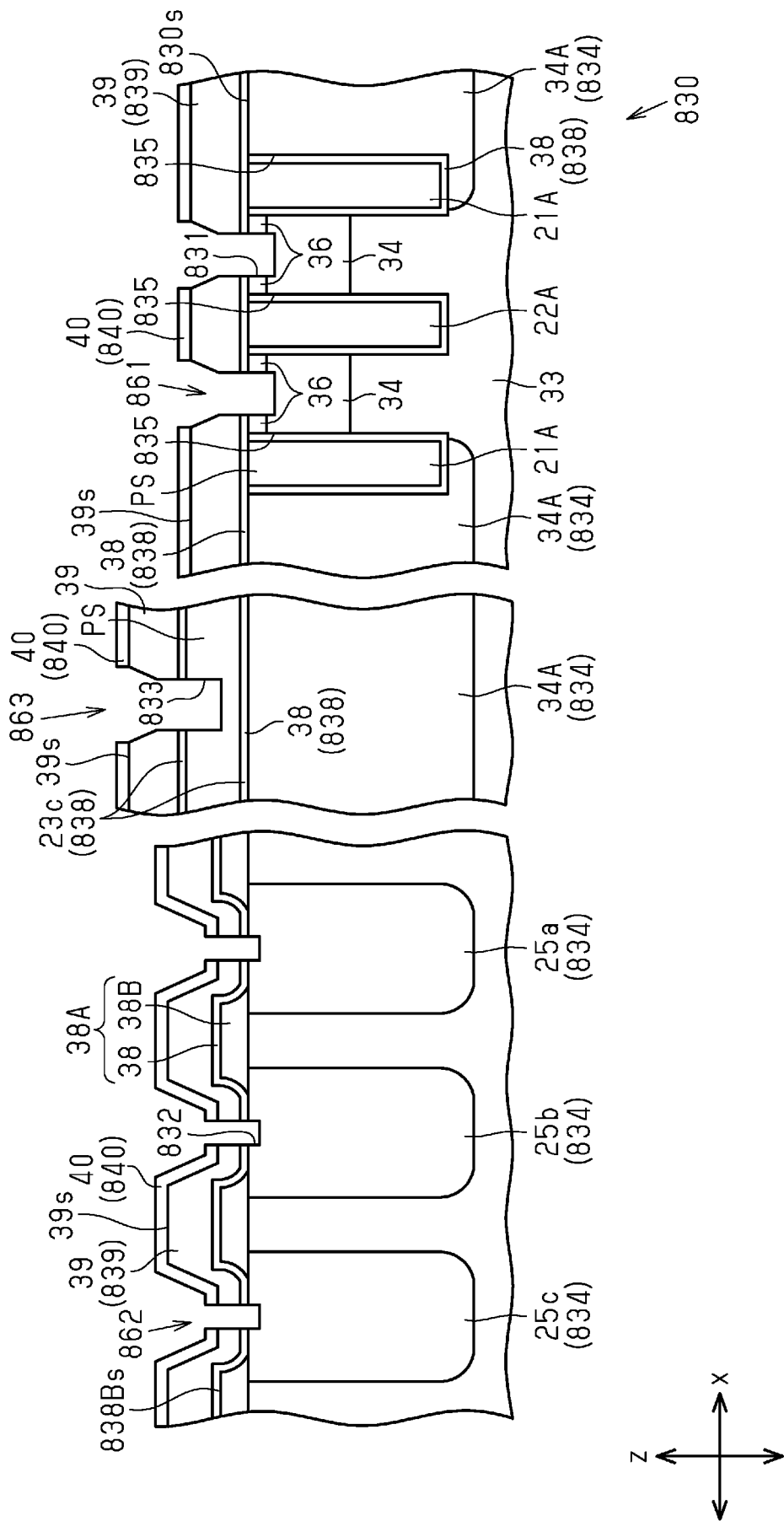
[図13]



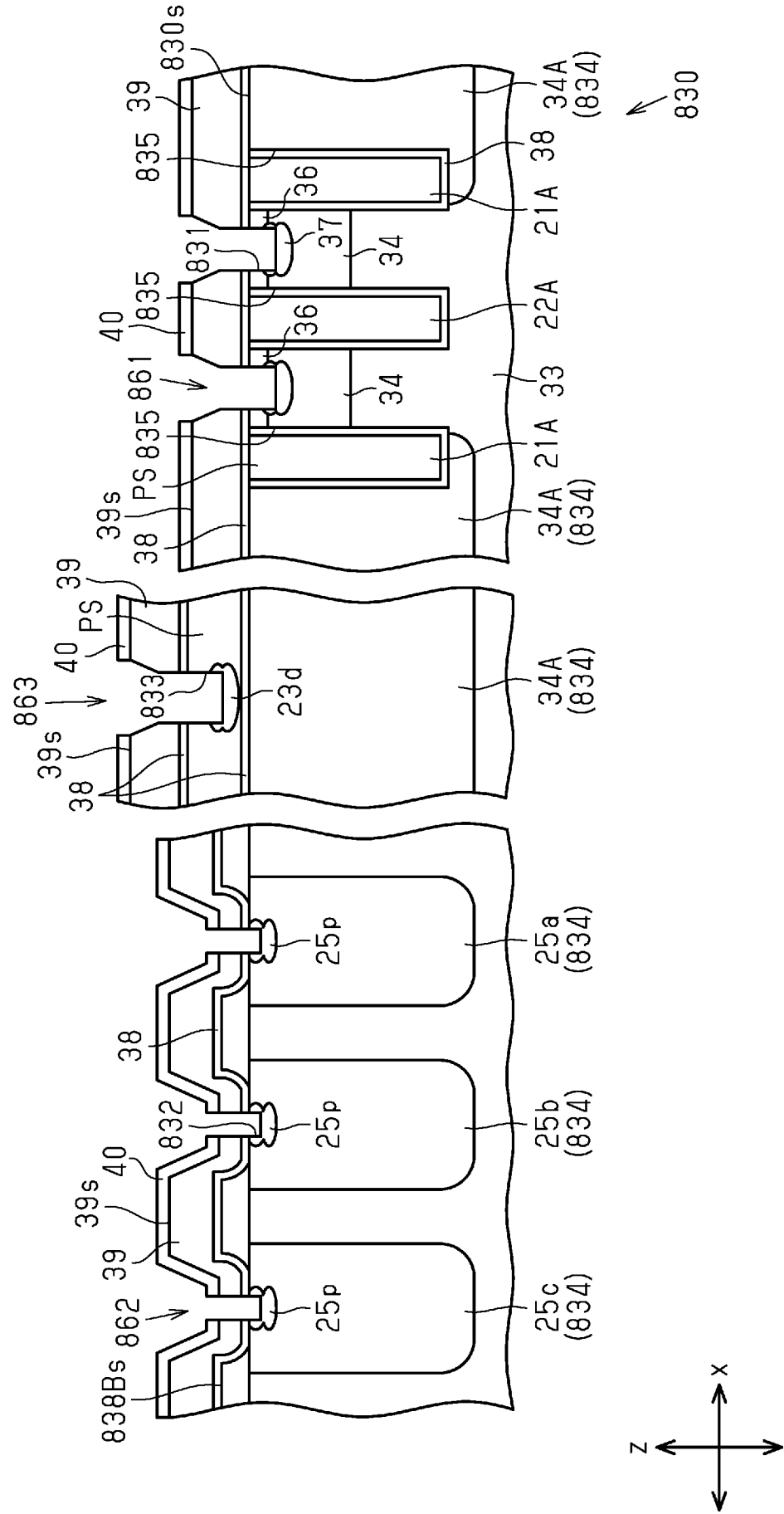
[図15]



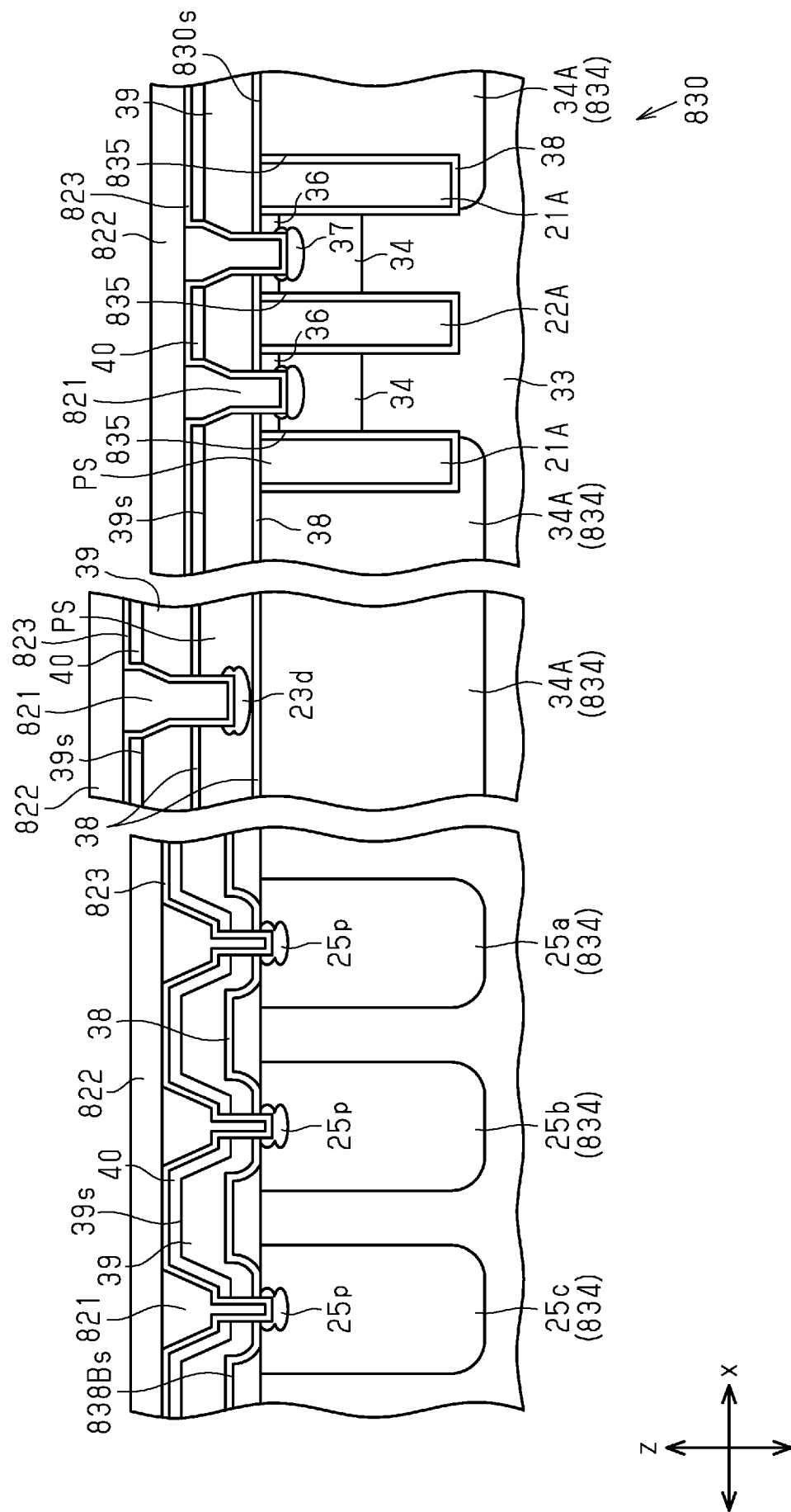
[図16]



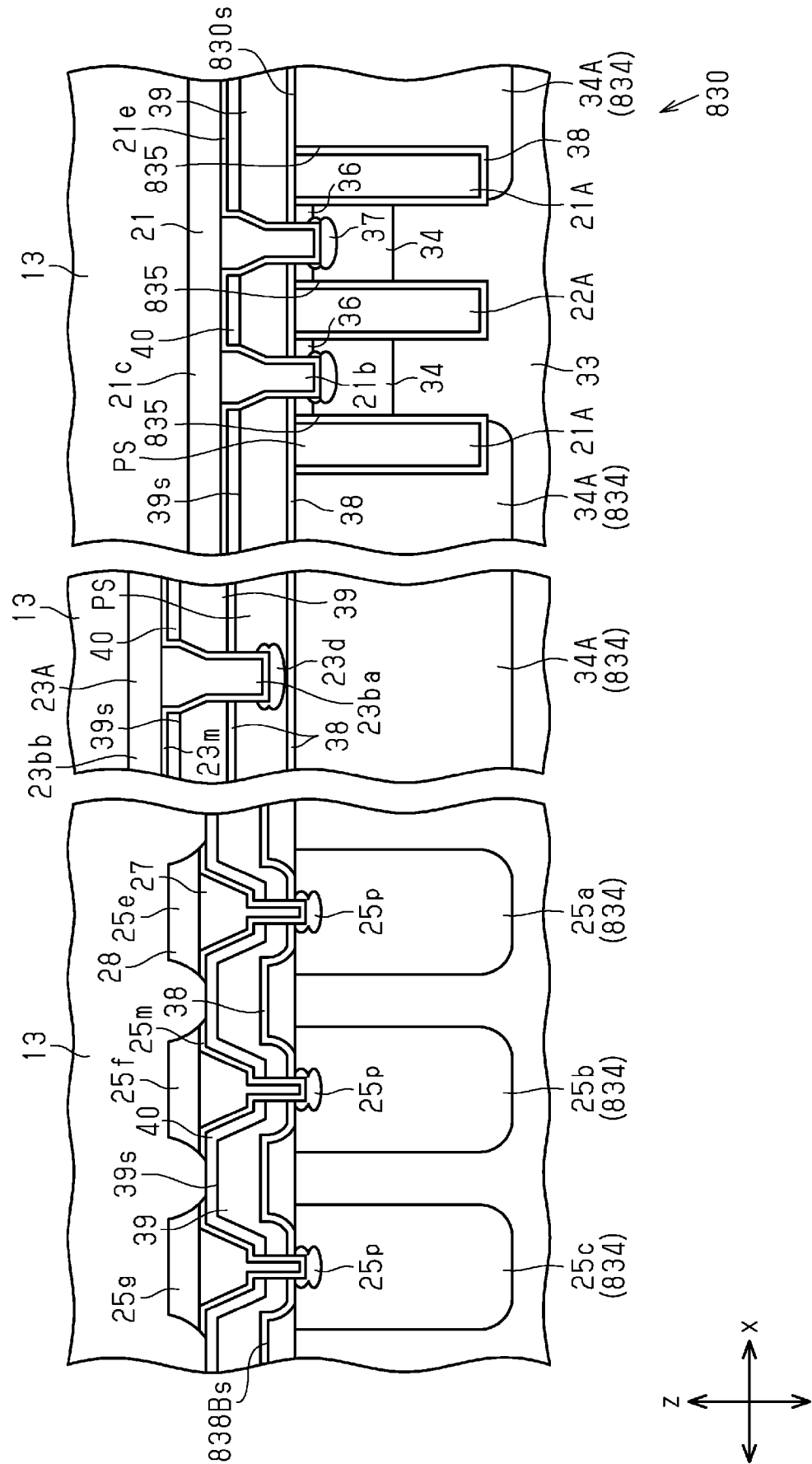
[図17]



[図18]

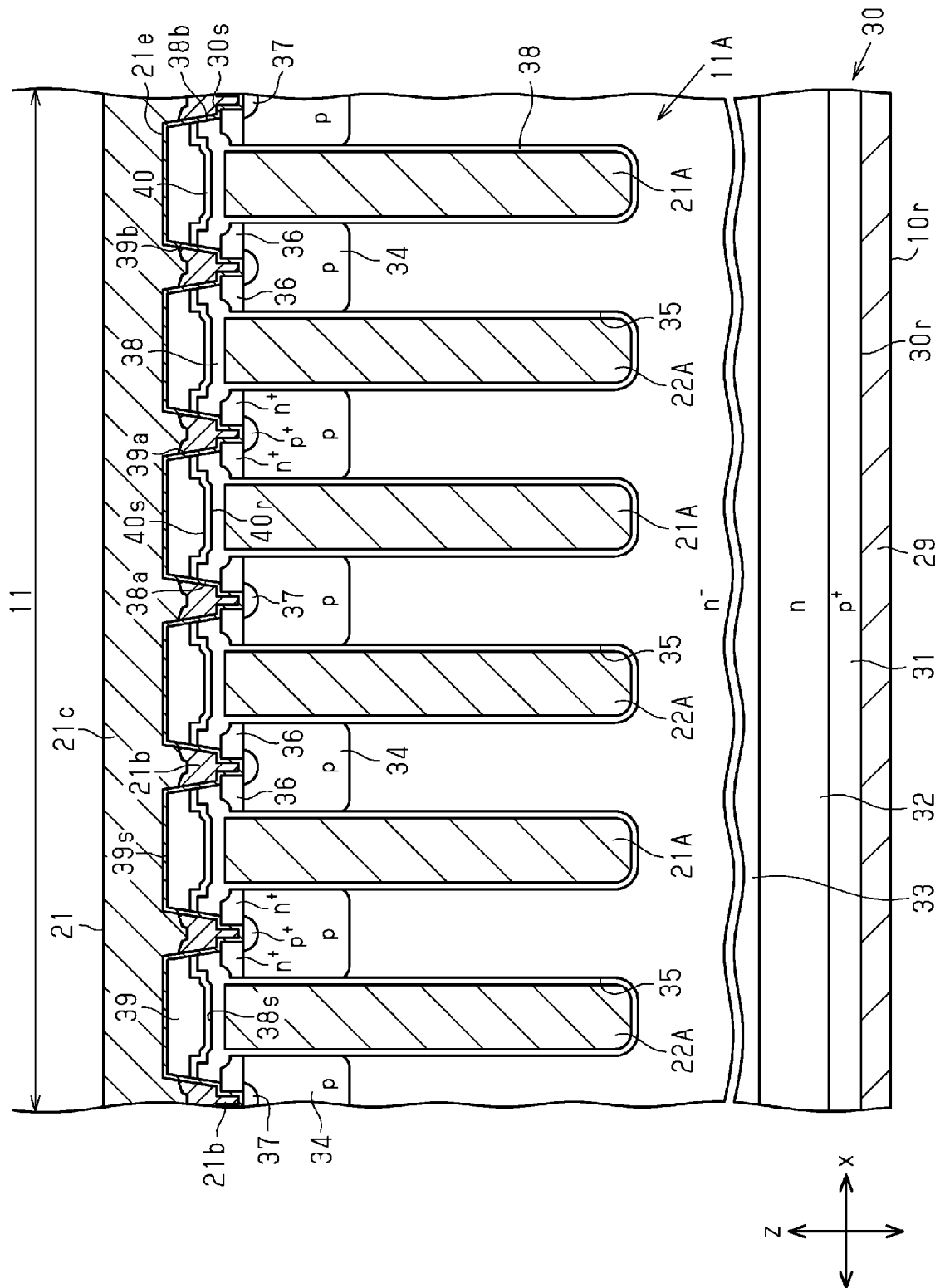


[図20]

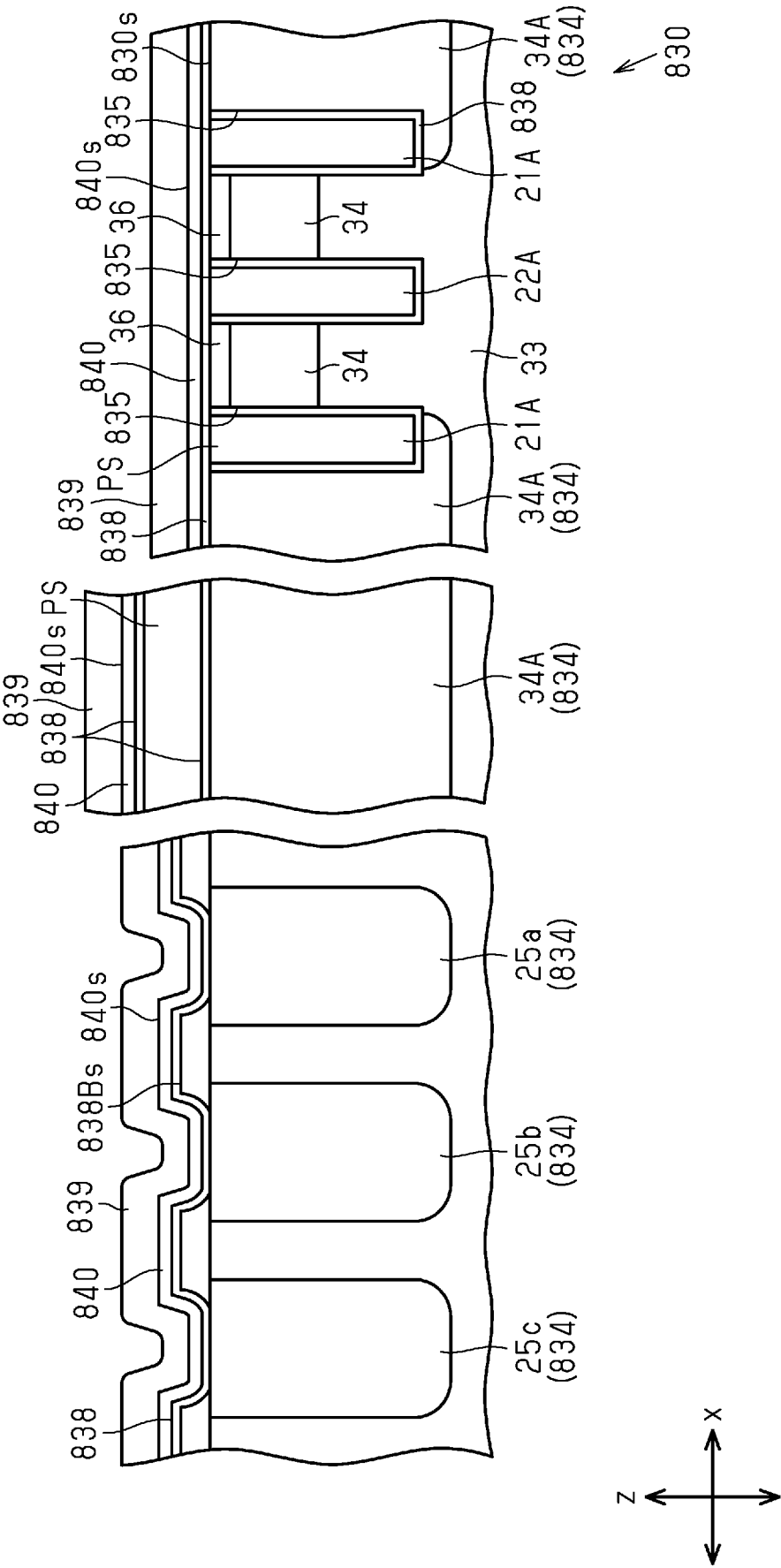


[illegible]

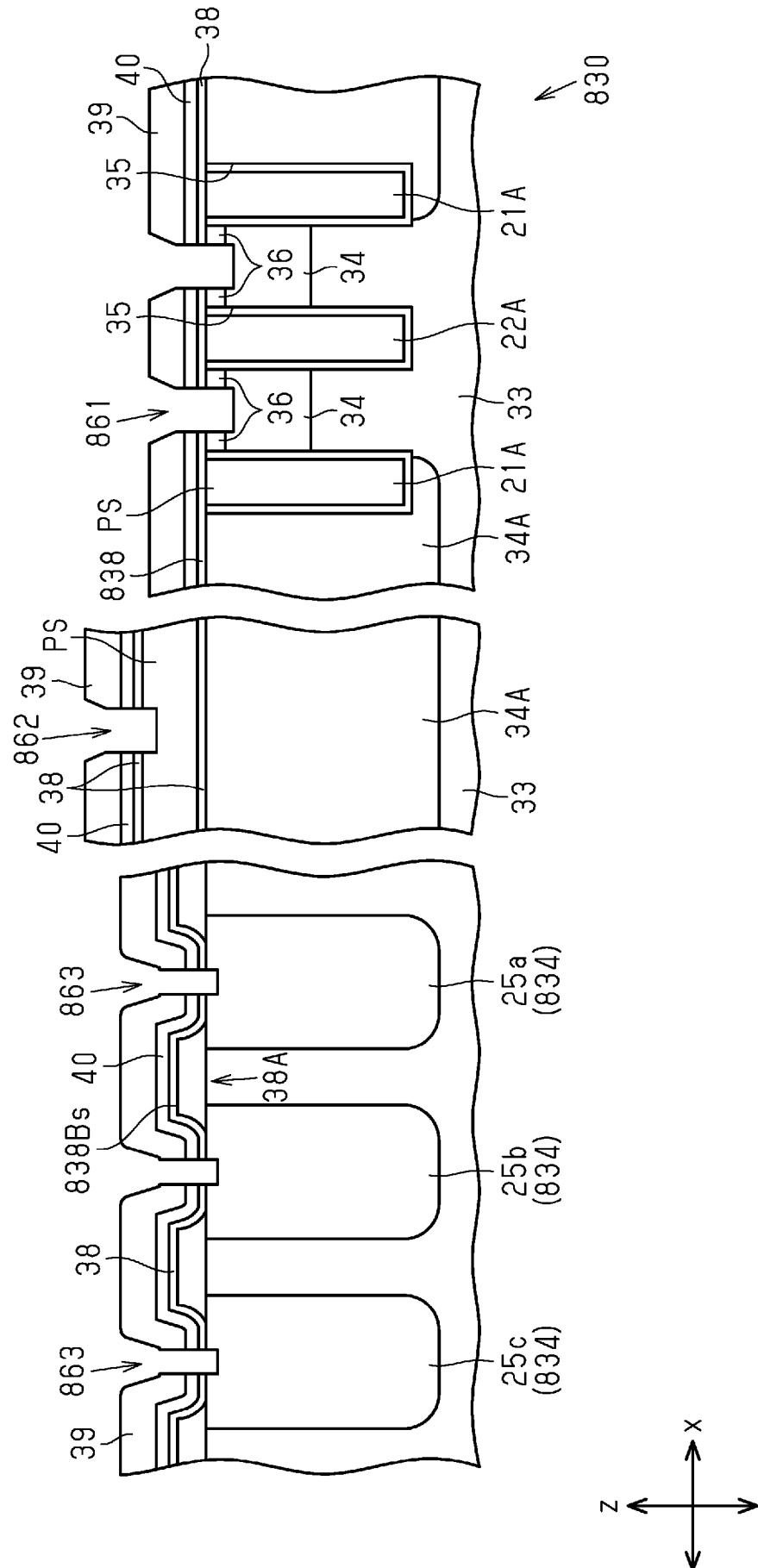
[図22]



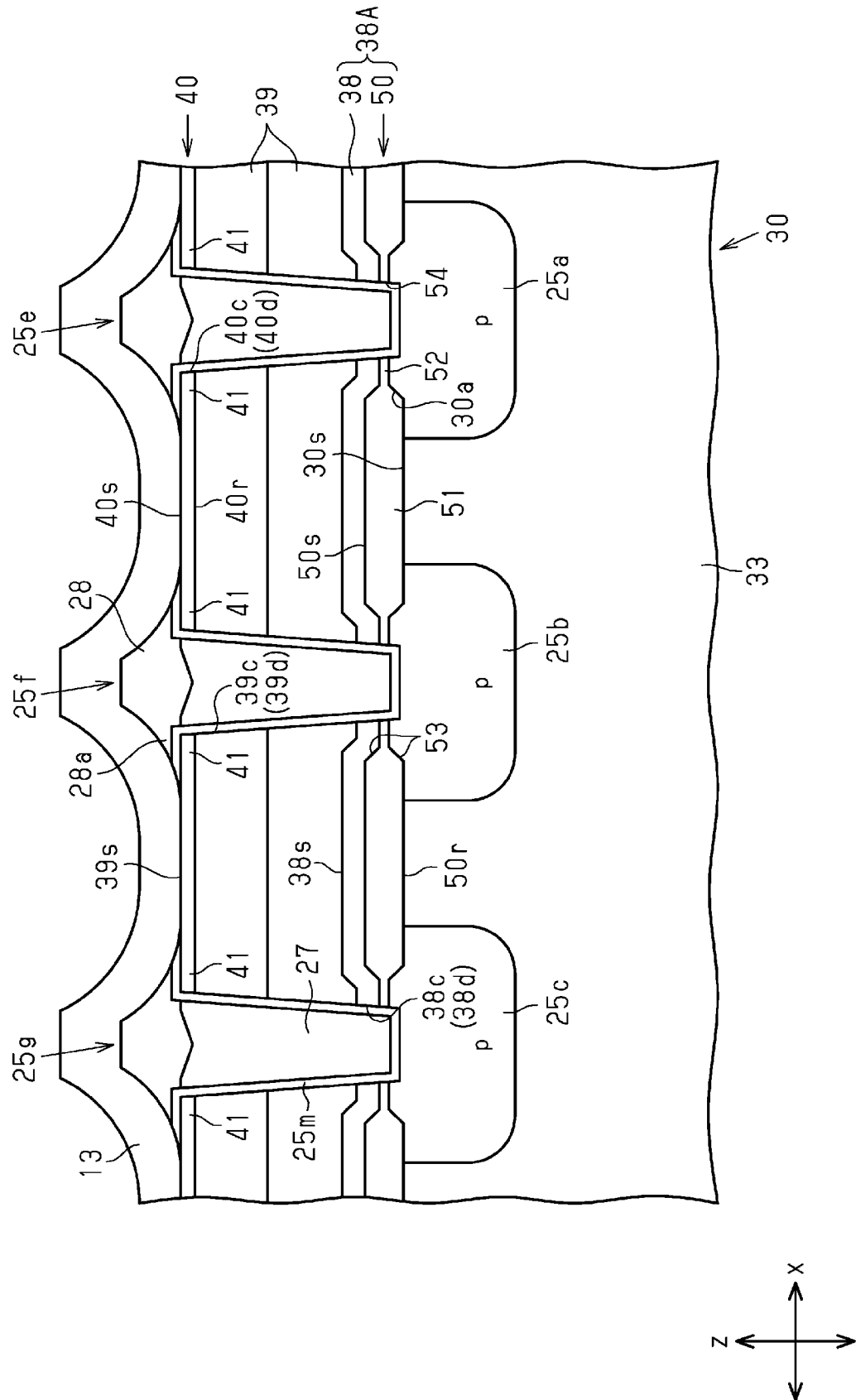
[図24]



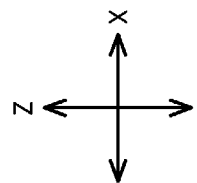
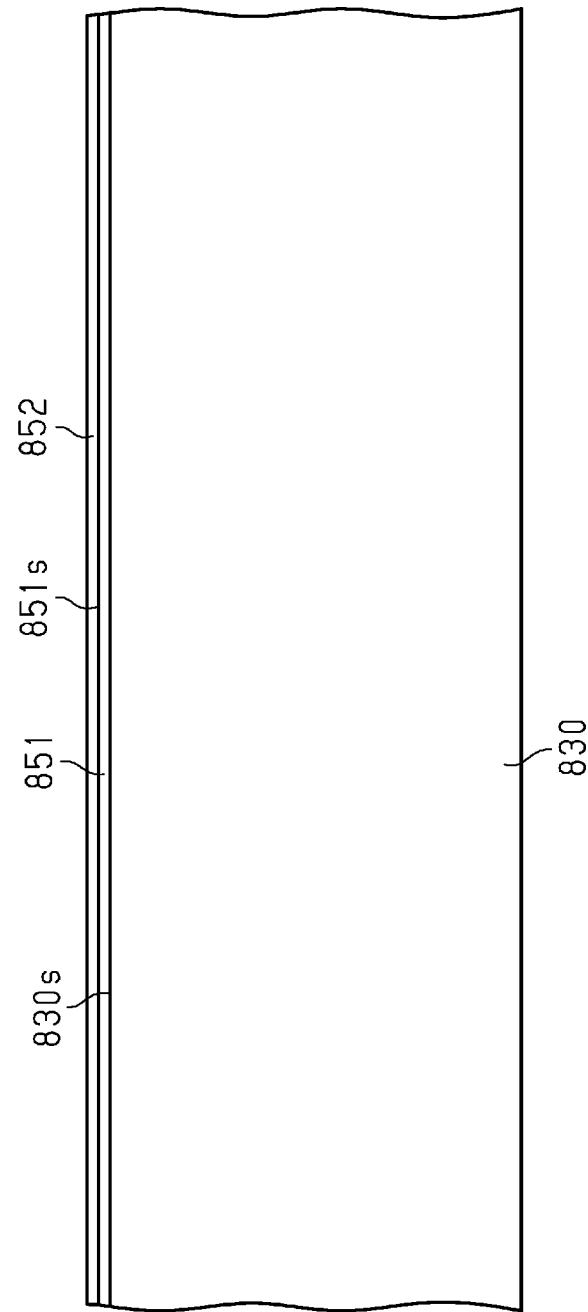
[図25]



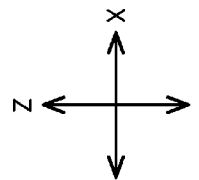
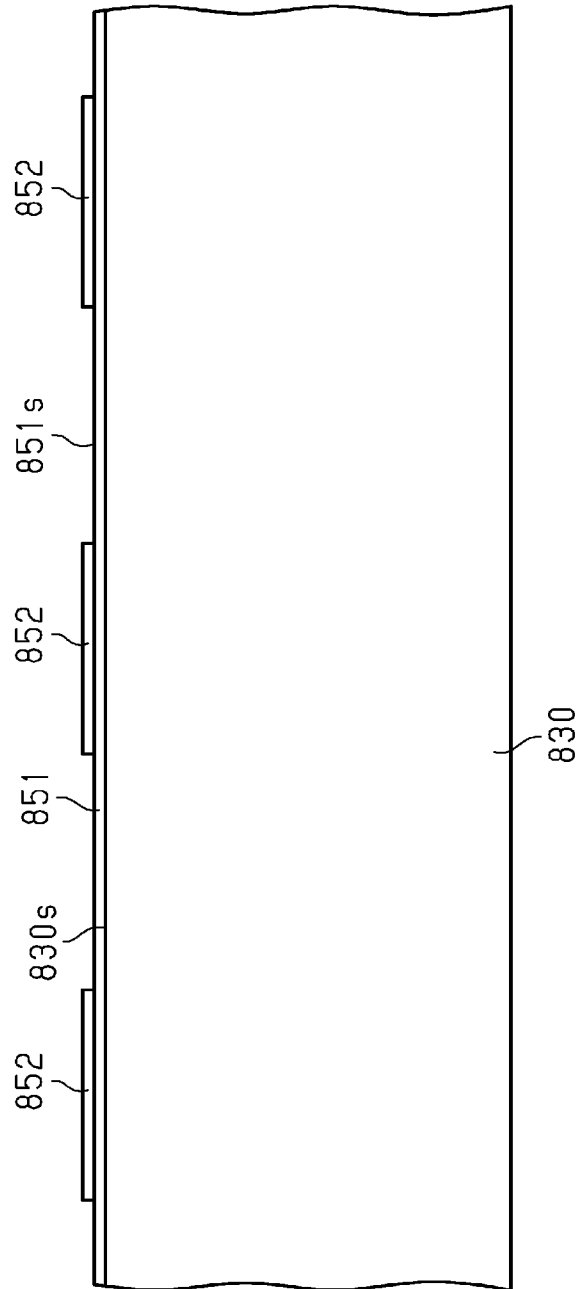
[図26]



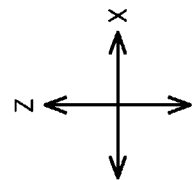
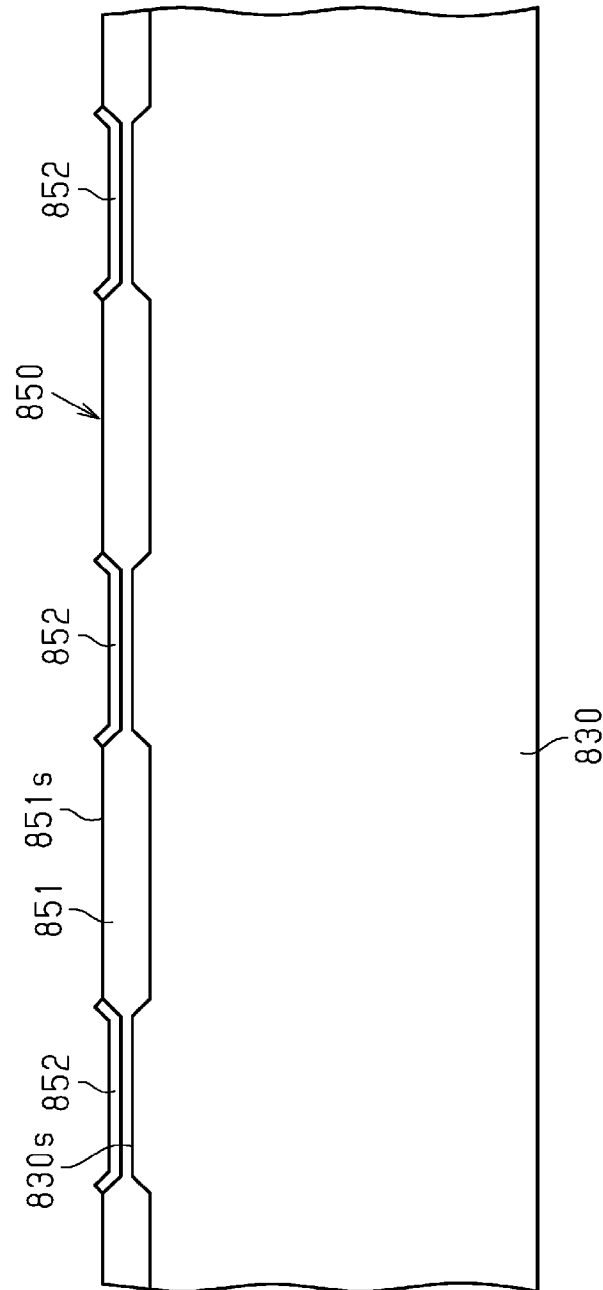
[図27]



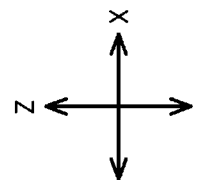
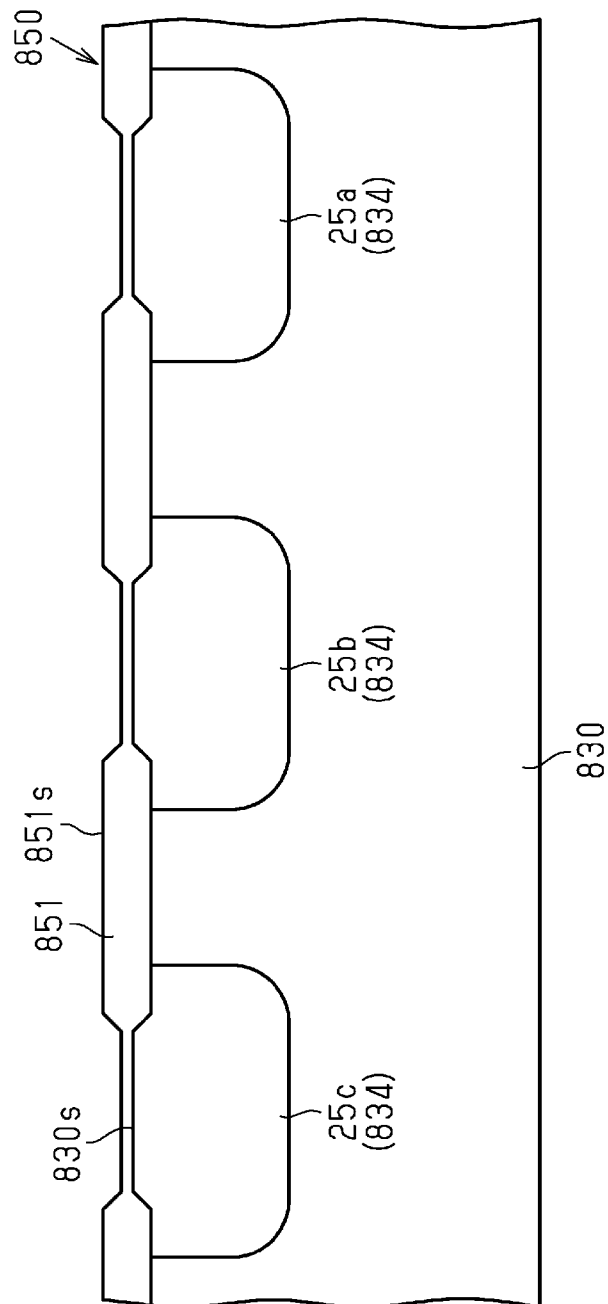
[図28]



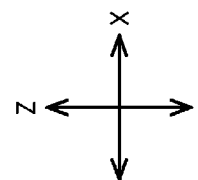
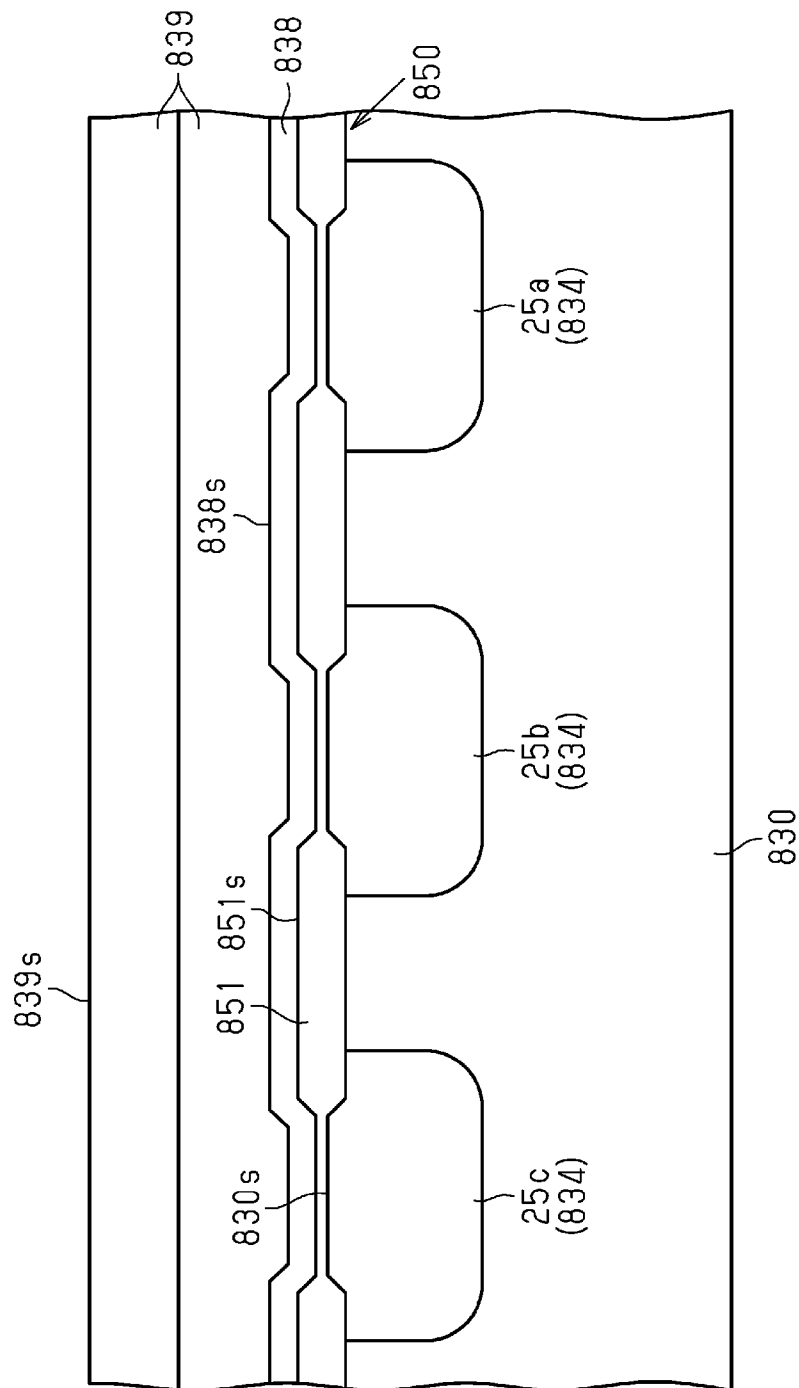
[図29]



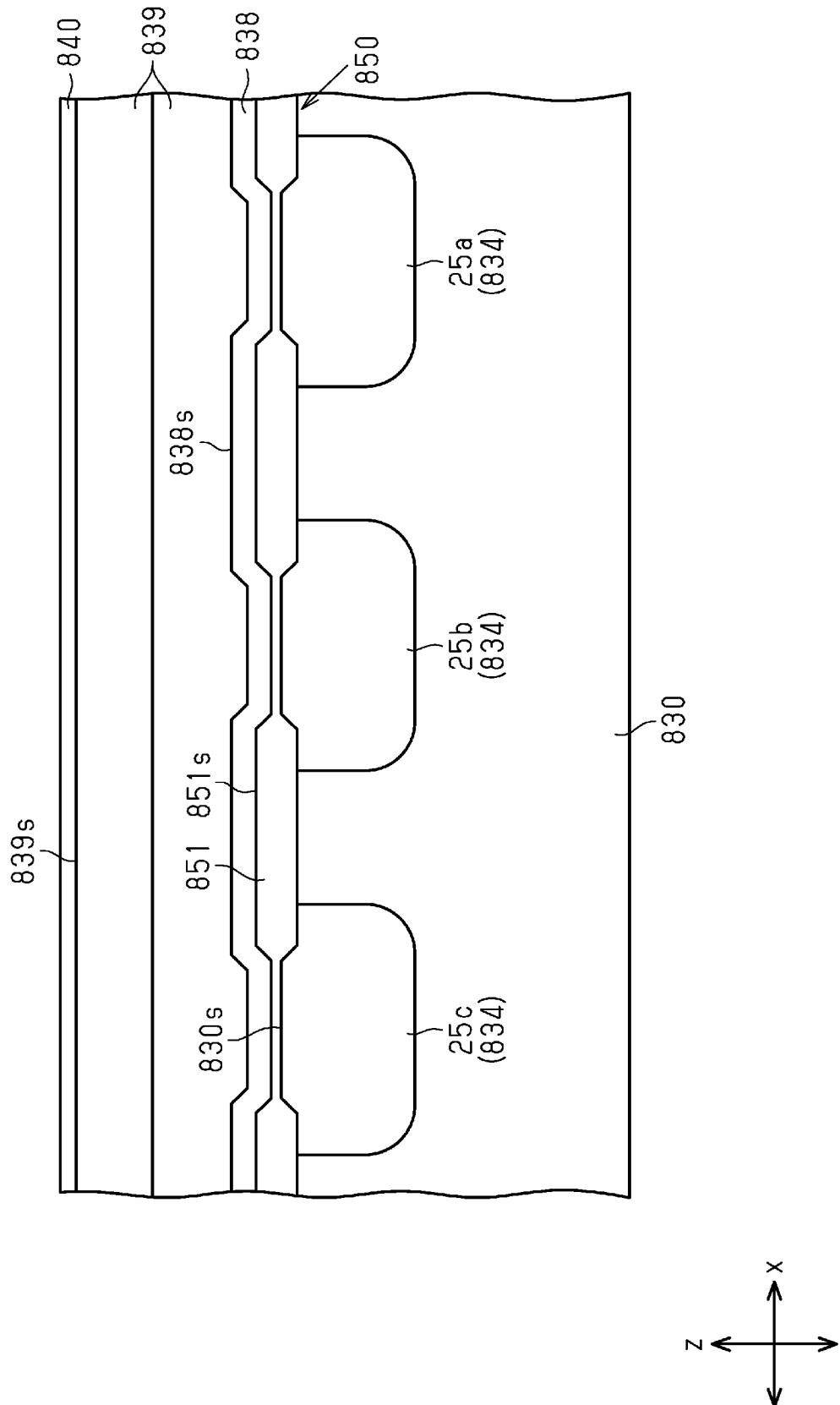
[図30]



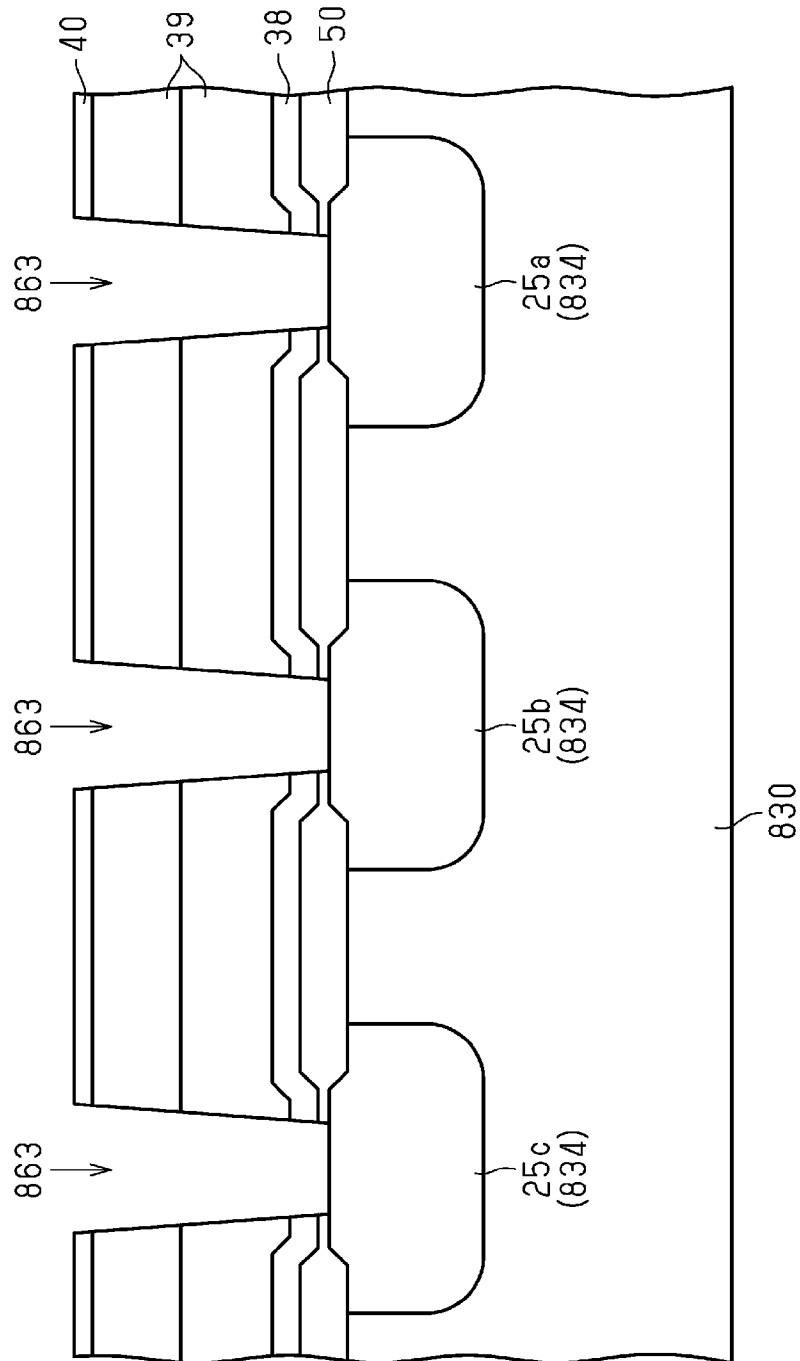
[図31]



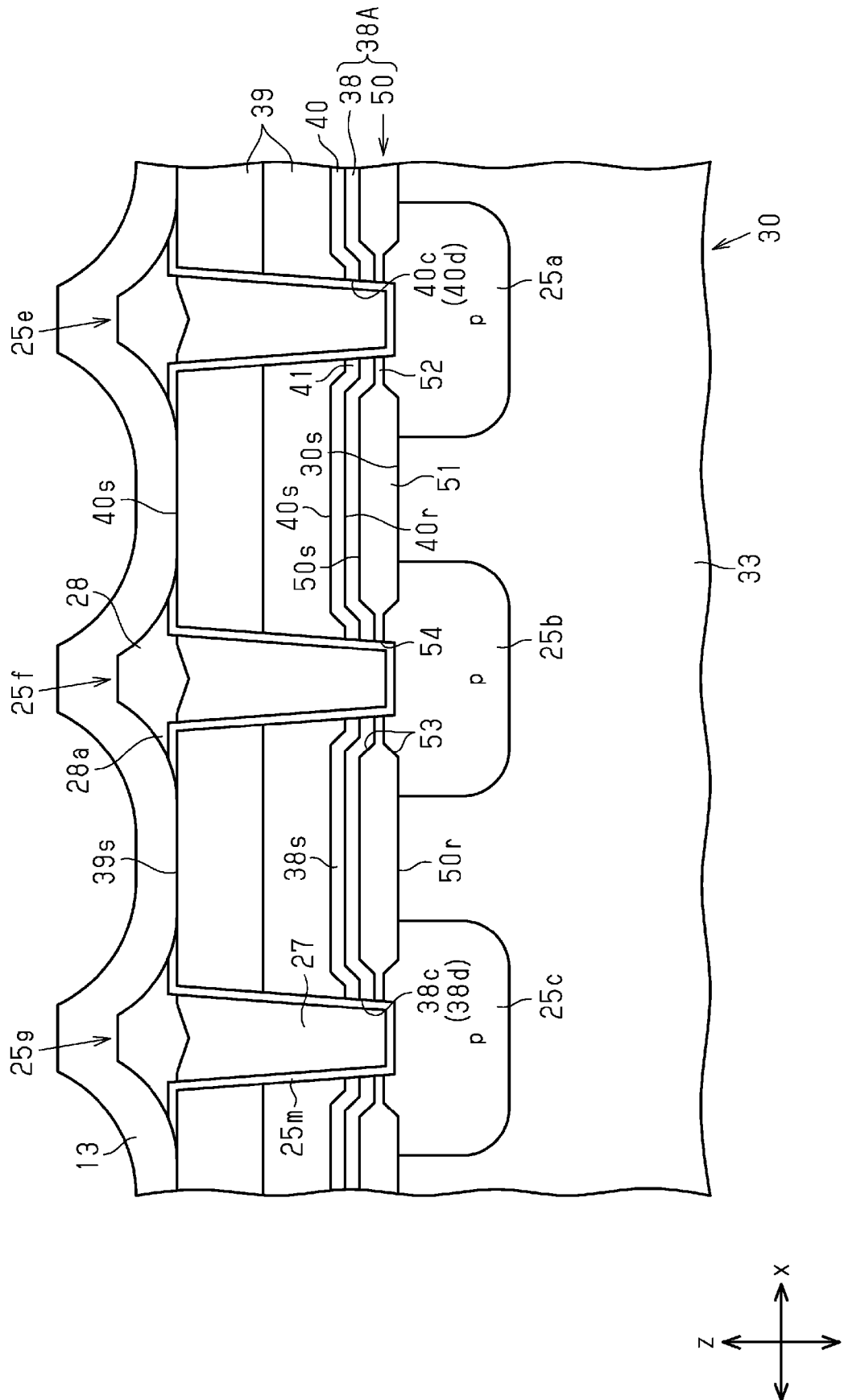
[図32]



[図33]



[図34]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/006443

A. CLASSIFICATION OF SUBJECT MATTER <i>H01L 29/06</i> (2006.01)i; <i>H01L 29/78</i> (2006.01)i; <i>H01L 29/739</i> (2006.01)i; <i>H01L 21/336</i> (2006.01)i FI: H01L29/78 658J; H01L29/78 652Q; H01L29/78 653A; H01L29/78 655A; H01L29/78 652P; H01L29/78 652N; H01L29/78 658G; H01L29/06 301G; H01L29/06 301V According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L29/06; H01L29/78; H01L29/739; H01L21/336 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
X Y A	JP 2004-158603 A (TOYOTA CENTRAL RES. & DEV. LAB. INC.) 03 June 2004 (2004-06-03) paragraphs [0011]-[0026], fig. 1-3	1-4, 6-14, 17-18 5-8, 11-12 15-16, 19-20		
Y	JP 2018-082158 A (ROHM CO., LTD.) 24 May 2018 (2018-05-24) paragraphs [0034], [0104], fig. 2, 15	5-8, 11-12		
Y	JP 2019-087730 A (FUJI ELECTRIC CO., LTD.) 06 June 2019 (2019-06-06) paragraph [0094], fig. 4A-4B	5-8, 11-12		
A	JP 2018-029178 A (ABB SCHWEIZ AG) 22 February 2018 (2018-02-22)	1-20		
A	JP 2007-273931 A (TOSHIBA CORP.) 18 October 2007 (2007-10-18)	1-20		
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.				
<table style="width: 100%; border: none;"> <tr> <td style="width: 50%; vertical-align: top;"> * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td style="width: 50%; vertical-align: top;"> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family			
Date of the actual completion of the international search 18 April 2022		Date of mailing of the international search report 10 May 2022		
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/006443

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2004-158603	A	03 June 2004	(Family: none)	
JP	2018-082158	A	24 May 2018	US 2018/0130874 A1 paragraphs [0077], [0207], fig. 2, 15	
JP	2019-087730	A	06 June 2019	US 2019/0140084 A1 paragraph [0111], fig. 4A-4B CN 109755293 A	
JP	2018-029178	A	22 February 2018	US 2018/0047652 A1 EP 3285290 A1 CN 107768316 A	
JP	2007-273931	A	18 October 2007	US 2007/0210350 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/06(2006.01)i; H01L 29/78(2006.01)i; H01L 29/739(2006.01)i; H01L 21/336(2006.01)i FI: H01L29/78 658J; H01L29/78 652Q; H01L29/78 653A; H01L29/78 655A; H01L29/78 652P; H01L29/78 652N; H01L29/78 658G; H01L29/06 301G; H01L29/06 301V		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/06; H01L29/78; H01L29/739; H01L21/336 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2004-158603 A（株式会社豊田中央研究所）03.06.2004（2004-06-03） 段落[0011]-[0026]，図1-3	1-4，6-14，17-18
Y		5-8，11-12
A		15-16，19-20
Y	JP 2018-082158 A（ローム株式会社）24.05.2018（2018-05-24） 段落[0034]，[0104]，図2，15	5-8，11-12
Y	JP 2019-087730 A（富士電機株式会社）06.06.2019（2019-06-06） 段落[0094]，図4A-4B	5-8，11-12
A	JP 2018-029178 A（アーベーパー・シュバイツ・アーゲー）22.02.2018（2018-02-22）	1-20
A	JP 2007-273931 A（株式会社東芝）18.10.2007（2007-10-18）	1-20
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 18.04.2022		国際調査報告の発送日 10.05.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 石塚 健太郎 5F 4815 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/006443

引用文献			公表日	パテントファミリー文献	公表日
JP	2004-158603	A	03.06.2004	(ファミリーなし)	
JP	2018-082158	A	24.05.2018	US 2018/0130874 A1	
				段落[0077], [0207], 図2, 15	
JP	2019-087730	A	06.06.2019	US 2019/0140084 A1	
				段落[0111], 図4A-4B	
				CN 109755293 A	
JP	2018-029178	A	22.02.2018	US 2018/0047652 A1	
				EP 3285290 A1	
				CN 107768316 A	
JP	2007-273931	A	18.10.2007	US 2007/0210350 A1	