

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成26年11月13日(2014.11.13)

【公表番号】特表2013-539952(P2013-539952A)

【公表日】平成25年10月28日(2013.10.28)

【年通号数】公開・登録公報2013-059

【出願番号】特願2013-534018(P2013-534018)

【国際特許分類】

H 03M 1/14 (2006.01)

【F I】

H 03M 1/14 A

【手続補正書】

【提出日】平成26年9月25日(2014.9.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

論理回路であって、

制御ワードを受け取り、前記制御ワードから複数の制御信号を生成するデコーダと、
前記制御信号の少なくとも1つを受け取るように各々前記デコーダに結合される複数の
プリドライバと、

を含む、前記論理回路と、

各々が前記プリドライバの少なくとも1つに結合される、複数の3状態デジタルアナロ
グコンバータ(DAC)スイッチと、

を含む、装置であって、

前記複数の3状態DACスイッチの各々が、

電流源と、

前記電流源と関連するプリドライバとに結合される第1のトランジスタであって、前記
関連するプリドライバが前記第1のトランジスタを制御する、前記第1のトランジスタと

、前記電流源と前記関連するプリドライバとに結合される第2のトランジスタであって、
前記関連するプリドライバが前記第2のトランジスタを制御する、前記第2のトランジ
スタと、

前記電流源と接地との間に結合され、前記関連するプリドライバに結合される第3のト
ランジスタであって、前記関連するプリドライバが前記第3のトランジスタを制御する、
前記第3のトランジスタと、

を含む、装置。

【請求項2】

請求項1に記載の装置であって、

前記第1、第2及び第3のトランジスタがNPNトランジスタであり、前記第1、第2
及び第3のトランジスタの各々が、エミッタで前記電流源に結合され、そのベースで前記
関連するプリドライバに結合される、装置。

【請求項3】

論理回路であって、

制御ワードを受け取り、前記制御ワードから複数の制御信号を生成するデコーダと、

前記制御信号の少なくとも 1 つを受け取るように各々前記デコーダに結合される複数のプリドライバであって、各プリドライバが、

第 1 の電流源と、

第 2 の電流源と、

第 1 の電流源に結合され、前記デコーダに結合される、トランジスタの差動対の第 1 のカスケードされたセットと、

第 1 の電流源に結合され、前記デコーダに結合される、トランジスタの差動対の第 2 のカスケードされたセットと、

を含む、前記複数のプリドライバと、

を含む、前記論理回路と、

各々が前記プリドライバの少なくとも 1 つに結合される、複数の 3 状態デジタルアナログコンバータ (D A C) スイッチと、

を含む、装置。

【請求項 4】

請求項 3 に記載の装置であって、

前記第 1 のカスケードされたセットが、

そのベースで前記デコーダに、そのコレクタで関連する 3 状態 D A C スイッチに結合される、第 1 のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する 3 状態 D A C スイッチに結合される、第 2 のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記第 1 及び第 2 のバイポーラトランジスタのエミッタに、そのエミッタで前記第 1 の電流源に結合される、第 3 のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する 3 状態 D A C スイッチに、そのエミッタで前記第 1 の電流源に結合される、第 4 のバイポーラトランジスタと、

を更に含む、装置。

【請求項 5】

請求項 4 に記載の装置であって、

前記第 2 のカスケードされたセットが、

そのベースで前記デコーダに、そのコレクタで前記関連する 3 状態 D A C スイッチに結合される、第 5 のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する 3 状態 D A C スイッチに結合される、第 6 のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記第 5 及び第 6 のバイポーラトランジスタのエミッタに、そのエミッタで前記第 2 の電流源に結合される、第 7 のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する 3 状態 D A C スイッチに、そのエミッタで前記第 2 の電流源に結合される、第 8 のバイポーラトランジスタと、

を更に含む、装置。

【請求項 6】

デジタル出力回路と、

シーケンスに共に結合される複数のアナログデジタルコンバータ (A D C) ステージを有するパイプラインと、

を含む、装置であって、

各 A D C ステージが、

トランクアンドホールド (T / H) 回路と、

前記 T / H 回路と前記デジタル出力回路とに結合されるサブ A D C と、

前記サブ A D C に結合される D A C であって、

前記サブ A D C に結合されるデコーダと、

各々前記デコーダに結合される、複数のプリドライバと、

各々が前記プリドライバの少なくとも1つに結合される、複数の3状態D A Cスイッチであって、前記複数の3状態D A Cスイッチの各々が、

電流源と、

前記電流源と関連するプリドライバとに結合される第1のトランジスタであって、前記関連するプリドライバが前記第1のトランジスタを制御する、前記第1のトランジスタと、

前記電流源と前記関連するプリドライバとに結合される第2のトランジスタであって、前記関連するプリドライバが前記第2のトランジスタを制御する、前記第2のトランジスタと、

前記電流源と接地との間に結合され、前記関連するプリドライバに結合される第3のトランジスタであって、前記関連するプリドライバが前記第3のトランジスタを制御する、前記第3のトランジスタと、

を含む、前記複数の3状態D A Cスイッチと、

を含む、前記D A Cと、

前記D A Cと前記T / H回路とに結合される残差増幅器と、

を含む、装置。

【請求項7】

請求項6に記載の装置であって、

前記第1、第2及び第3のトランジスタがN P Nトランジスタであり、前記第1、第2及び第3のトランジスタの各々が、エミッタで前記電流源に結合され、そのベースで前記関連するプリドライバに結合される、装置。

【請求項8】

デジタル出力回路と、

シーケンスに共に結合される複数のアナログデジタルコンバータ(A D C)ステージを有するパイプラインと、

を含む、装置であって、

各A D Cステージが、

トランジスタ回路(トランジスタ)と、

前記T / H回路と前記デジタル出力回路とに結合されるサブA D Cと、

前記サブA D Cに結合されるD A Cであって、

前記サブA D Cに結合されるデコーダと、

各々前記デコーダに結合される、複数のプリドライバであって、各プリドライバが、

第1の電流源と、

第2の電流源と、

第1の電流源と前記デコーダとに結合されるトランジスタの差動対の第1のカスケードされたセットと、

第1の電流源と前記デコーダとに結合されるトランジスタの差動対の第2のカスケードされたセットと、

を含む、前記複数のプリドライバと、

各々が前記プリドライバの少なくとも1つに結合される、複数の3状態D A Cスイッチと、

を含む、前記D A Cと、

前記D A Cと前記T / H回路とに結合される残差増幅器と、

を含む、装置。

【請求項9】

請求項8に記載の装置であって、

前記第1のカスケードされたセットが、

そのベースで前記デコーダに、そのコレクタで関連する3状態D A Cスイッチに結合される、第1のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する3状態D A Cスイッチに結

合される、第2のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記第1及び第2のバイポーラトランジスタのエミッタに、そのエミッタで前記第1の電流源に結合される、第3のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する3状態D A Cスイッチに、そのエミッタで前記第1の電流源に結合される、第4のバイポーラトランジスタと、

を更に含む、装置。

【請求項10】

請求項9に記載の装置であって、

前記第2のカスケードされたセットが、

そのベースで前記デコーダに、そのコレクタで前記関連する3状態D A Cスイッチに結合される、第5のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する3状態D A Cスイッチに結合される、第6のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記第5及び第6のバイポーラトランジスタのエミッタに、そのエミッタで前記第2の電流源に結合される、第7のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する3状態D A Cスイッチに、そのエミッタで前記第2の電流源に結合される、第8のバイポーラトランジスタと、

を更に含む、装置。

【請求項11】

請求項10に記載の装置であって、

前記パイプラインが、

アナログ入力信号を受け取り、前記シーケンスの最初のA D Cステージに結合されるバッファと、

各々前記シーケンスの最後のA D Cステージと前記デジタル出力回路とに結合される、複数の出力A D Cと、

を更に含む、装置。

【請求項12】

装置であって、

デジタル出力信号を生成するデジタル出力回路と、

アナログ入力信号を受け取るバッファと、

シーケンスに共に結合される複数のA D Cステージであって、前記シーケンスの最初のA D Cステージが前記バッファに結合され、各A D Cステージが、

T / H回路と、

前記T / H回路と前記デジタル出力回路とに結合されるサブA D Cと、

前記サブA D Cに結合されるD A Cであって、前記D A Cが、

前記サブA D Cに結合されるデコーダと、

複数のプリドライバであって、各プリドライバが、

第1の電流源と、

第2の電流源と、

第1の電流源と前記デコーダとに結合されるトランジスタの差動対の第1のカスケードされたセットと、

第1の電流源と前記デコーダとに結合されるトランジスタの差動対の第2のカスケードされたセットと、

を含む、前記複数のプリドライバと、

複数の3状態D A Cスイッチであって、各3状態D A Cスイッチが、

電流源と、

前記電流源と関連するプリドライバとに結合される第1のトランジスタであって、前記関連するプリドライバが前記第1のトランジスタを制御する、前記第1のトランジスタと

、前記電流源と前記関連するプリドライバとに結合される第2のトランジスタであって、前記関連するプリドライバが前記第2のトランジスタを制御する、前記第2のトランジスタと、

前記電流源と接地との間に結合され、且つ前記関連するプリドライバに結合される第3のトランジスタであって、前記関連するプリドライバが前記第3のトランジスタを制御する、前記第3のトランジスタと、

を含む、前記複数の3状態D A Cスイッチと、

を含む、前記D A Cと、

各3状態D A Cスイッチと前記T / H回路とから前記第1及び第2のトランジスタに結合される残差増幅器と、

を含む、前記複数のA D Cステージと、

前記シーケンスの最後のA D Cステージと前記デジタル出力回路とに結合される出力A D Cと、

を含む、装置。

【請求項13】

請求項12に記載の装置であって、

前記第1、第2及び第3のトランジスタがバイポーラトランジスタであり、前記第1、第2及び第3のトランジスタの各々が、エミッタで前記電流源にベースで前記関連するプリドライバに結合される、装置。

【請求項14】

請求項12に記載の装置であって、

前記第1のカスケードされたセットが、

そのベースで前記デコーダに、そのコレクタで関連する3状態D A Cスイッチに結合される、第1のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する3状態D A Cスイッチに結合される、第2のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記第1及び第2のバイポーラトランジスタのエミッタに、そのエミッタで前記第1の電流源に結合される、第3のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する3状態D A Cスイッチに、そのエミッタで前記第1の電流源に結合される、第4のバイポーラトランジスタと、

を更に含む、装置。

【請求項15】

請求項14に記載の装置であって、

前記第2のカスケードされたセットが、

そのベースで前記デコーダに、そのコレクタで前記関連する3状態D A Cスイッチに結合される、第5のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する3状態D A Cスイッチに結合される、第6のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記第5及び第6のバイポーラトランジスタのエミッタに、そのエミッタで前記第2の電流源に結合される、第7のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する3状態D A Cスイッチに、そのエミッタで前記第2の電流源に結合される、第8のバイポーラトランジスタと、

を更に含む、装置。