

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 3 区分  
 【発行日】平成26年11月13日 (2014.11.13)

【公表番号】特表2013-539952(P2013-539952A)  
 【公表日】平成25年10月28日 (2013.10.28)  
 【年通号数】公開・登録公報2013-059  
 【出願番号】特願2013-534018(P2013-534018)  
 【国際特許分類】

H 0 3 M 1/14 (2006.01)

【 F I 】

H 0 3 M 1/14 A

【手続補正書】

【提出日】平成26年9月25日 (2014.9.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

論理回路であって、  
制御ワードを受け取り、前記制御ワードから複数の制御信号を生成するデコーダと、  
前記制御信号の少なくとも 1 つを受け取るように各々前記デコーダに結合される複数の  
ブリドライバと、  
を含む、前記論理回路と、  
各々が前記ブリドライバの少なくとも 1 つに結合される、複数の 3 状態デジタルアナロ  
グコンバータ (DAC) スイッチと、  
を含む、装置であって、  
前記複数の 3 状態 DAC スイッチの各々が、  
電流源と、  
前記電流源と関連するブリドライバとに結合される第 1 のトランジスタであって、前記  
関連するブリドライバが前記第 1 のトランジスタを制御する、前記第 1 のトランジスタと  
、  
前記電流源と前記関連するブリドライバとに結合される第 2 のトランジスタであって、  
前記関連するブリドライバが前記第 2 のトランジスタを制御する、前記第 2 のトランジス  
タと、  
前記電流源と接地との間に結合され、前記関連するブリドライバに結合される第 3 のト  
ランジスタであって、前記関連するブリドライバが前記第 3 のトランジスタを制御する、  
前記第 3 のトランジスタと、  
を含む、装置。

【請求項 2】

請求項 1 に記載の装置であって、  
前記第 1、第 2 及び第 3 のトランジスタが NPN トランジスタであり、前記第 1、第 2  
及び第 3 のトランジスタの各々が、エミッタで前記電流源に結合され、そのベースで前記  
関連するブリドライバに結合される、装置。

【請求項 3】

論理回路であって、  
制御ワードを受け取り、前記制御ワードから複数の制御信号を生成するデコーダと、

前記制御信号の少なくとも1つを受け取るように各々前記デコーダに結合される複数のブリドライバであって、各ブリドライバが、

第1の電流源と、

第2の電流源と、

第1の電流源に結合され、前記デコーダに結合される、トランジスタの差動対の第1のカスケードされたセットと、

第1の電流源に結合され、前記デコーダに結合される、トランジスタの差動対の第2のカスケードされたセットと、

を含む、前記複数のブリドライバと、

を含む、前記論理回路と、

各々が前記ブリドライバの少なくとも1つに結合される、複数の3状態デジタルアナログコンバータ(DAC)スイッチと、

を含む、装置。

【請求項4】

請求項3に記載の装置であって、

前記第1のカスケードされたセットが、

そのベースで前記デコーダに、そのコレクタで関連する3状態DACスイッチに結合される、第1のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する3状態DACスイッチに結合される、第2のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記第1及び第2のバイポーラトランジスタのエミッタに、そのエミッタで前記第1の電流源に結合される、第3のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する3状態DACスイッチに、そのエミッタで前記第1の電流源に結合される、第4のバイポーラトランジスタと、

を更に含む、装置。

【請求項5】

請求項4に記載の装置であって、

前記第2のカスケードされたセットが、

そのベースで前記デコーダに、そのコレクタで前記関連する3状態DACスイッチに結合される、第5のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する3状態DACスイッチに結合される、第6のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記第5及び第6のバイポーラトランジスタのエミッタに、そのエミッタで前記第2の電流源に結合される、第7のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する3状態DACスイッチに、そのエミッタで前記第2の電流源に結合される、第8のバイポーラトランジスタと、

を更に含む、装置。

【請求項6】

デジタル出力回路と、

シーケンスに共に結合される複数のアナログデジタルコンバータ(ADC)ステージを有するパイプラインと、

を含む、装置であって、

各ADCステージが、

トラックアンドホールド(T/H)回路と、

前記T/H回路と前記デジタル出力回路とに結合されるサブADCと、

前記サブADCに結合されるDACであって、

前記サブADCに結合されるデコーダと、

各々前記デコーダに結合される、複数のブリドライバと、

各々が前記プリドライバの少なくとも１つに結合される、複数の３状態ＤＡＣスイッチであって、前記複数の３状態ＤＡＣスイッチの各々が、

電流源と、

前記電流源と関連するプリドライバとに結合される第１のトランジスタであって、前記関連するプリドライバが前記第１のトランジスタを制御する、前記第１のトランジスタと

、  
前記電流源と前記関連するプリドライバとに結合される第２のトランジスタであって、前記関連するプリドライバが前記第２のトランジスタを制御する、前記第２のトランジスタと、

前記電流源と接地との間に結合され、前記関連するプリドライバに結合される第３のトランジスタであって、前記関連するプリドライバが前記第３のトランジスタを制御する、前記第３のトランジスタと、

を含む、前記複数の３状態ＤＡＣスイッチと、

を含む、前記ＤＡＣと、

前記ＤＡＣと前記Ｔ／Ｈ回路とに結合される残差増幅器と、

を含む、装置。

【請求項 ７】

請求項 ６ に記載の装置であって、

前記第 １、第 ２ 及び第 ３ のトランジスタが Ｎ Ｐ Ｎ トランジスタであり、前記第 １、第 ２ 及び第 ３ のトランジスタの各々が、エミッタで前記電流源に結合され、そのベースで前記関連するプリドライバに結合される、装置。

【請求項 ８】

デジタル出力回路と、

シーケンスに共に結合される複数のアナログデジタルコンバータ（ＡＤＣ）ステージを有するパイプラインと、

を含む、装置であって、

各 Ａ Ｄ Ｃ ステージが、

トラックアンドホールド（Ｔ／Ｈ）回路と、

前記 Ｔ／Ｈ 回路と前記デジタル出力回路とに結合されるサブ Ａ Ｄ Ｃ と、

前記サブ Ａ Ｄ Ｃ に結合される Ｄ Ａ Ｃ であって、

前記サブ Ａ Ｄ Ｃ に結合されるデコーダと、

各々前記デコーダに結合される、複数のプリドライバであって、各プリドライバが、

第 １ の電流源と、

第 ２ の電流源と、

第 １ の電流源と前記デコーダとに結合されるトランジスタの差動対の第 １ のカスケードされたセットと、

第 １ の電流源と前記デコーダとに結合されるトランジスタの差動対の第 ２ のカスケードされたセットと、

を含む、前記複数のプリドライバと、

各々が前記プリドライバの少なくとも１つに結合される、複数の３状態ＤＡＣスイッチと、

を含む、前記 Ｄ Ａ Ｃ と、

前記 Ｄ Ａ Ｃ と前記 Ｔ／Ｈ 回路とに結合される残差増幅器と、

を含む、装置。

【請求項 ９】

請求項 ８ に記載の装置であって、

前記第 １ のカスケードされたセットが、

そのベースで前記デコーダに、そのコレクタで関連する３状態ＤＡＣスイッチに結合される、第 １ のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する３状態ＤＡＣスイッチに結

合される、第 2 のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記第 1 及び第 2 のバイポーラトランジスタのエミッタに、そのエミッタで前記第 1 の電流源に結合される、第 3 のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する 3 状態 D A C スイッチに、そのエミッタで前記第 1 の電流源に結合される、第 4 のバイポーラトランジスタと、  
を更に含む、装置。

【請求項 1 0】

請求項 9 に記載の装置であって、

前記第 2 のカスケードされたセットが、

そのベースで前記デコーダに、そのコレクタで前記関連する 3 状態 D A C スイッチに結合される、第 5 のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する 3 状態 D A C スイッチに結合される、第 6 のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記第 5 及び第 6 のバイポーラトランジスタのエミッタに、そのエミッタで前記第 2 の電流源に結合される、第 7 のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する 3 状態 D A C スイッチに、そのエミッタで前記第 2 の電流源に結合される、第 8 のバイポーラトランジスタと、  
を更に含む、装置。

【請求項 1 1】

請求項 1 0 に記載の装置であって、

前記パイプラインが、

アナログ入力信号を受け取り、前記シーケンスの最初の A D C ステージに結合されるバッファと、

各々前記シーケンスの最後の A D C ステージと前記デジタル出力回路とに結合される、複数の出力 A D C と、  
を更に含む、装置。

【請求項 1 2】

装置であって、

デジタル出力信号を生成するデジタル出力回路と、

アナログ入力信号を受け取るバッファと、

シーケンスに共に結合される複数の A D C ステージであって、前記シーケンスの最初の A D C ステージが前記バッファに結合され、各 A D C ステージが、

T / H 回路と、

前記 T / H 回路と前記デジタル出力回路とに結合されるサブ A D C と、

前記サブ A D C に結合される D A C であって、前記 D A C が、

前記サブ A D C に結合されるデコーダと、

複数のプリドライバであって、各プリドライバが、

第 1 の電流源と、

第 2 の電流源と、

第 1 の電流源と前記デコーダとに結合されるトランジスタの差動対の第 1 のカスケードされたセットと、

第 1 の電流源と前記デコーダとに結合されるトランジスタの差動対の第 2 のカスケードされたセットと、

を含む、前記複数のプリドライバと、

複数の 3 状態 D A C スイッチであって、各 3 状態 D A C スイッチが、

電流源と、

前記電流源と関連するプリドライバとに結合される第 1 のトランジスタであって、前記関連するプリドライバが前記第 1 のトランジスタを制御する、前記第 1 のトランジスタと

、  
前記電流源と前記関連するプリドライバとに結合される第2のトランジスタであって、  
前記関連するプリドライバが前記第2のトランジスタを制御する、前記第2のトランジスタと、

前記電流源と接地との間に結合され、且つ前記関連するプリドライバに結合される第3のトランジスタであって、前記関連するプリドライバが前記第3のトランジスタを制御する、前記第3のトランジスタと、

を含む、前記複数の3状態DACスイッチと、

を含む、前記DACと、

各3状態DACスイッチと前記T/H回路とから前記第1及び第2のトランジスタに結合される残差増幅器と、

を含む、前記複数のADCステージと、

前記シーケンスの最後のADCステージと前記デジタル出力回路とに結合される出力ADCと、

を含む、装置。

#### 【請求項13】

請求項12に記載の装置であって、

前記第1、第2及び第3のトランジスタがバイポーラトランジスタであり、前記第1、第2及び第3のトランジスタの各々が、エミッタで前記電流源に、ベースで前記関連するプリドライバに結合される、装置。

#### 【請求項14】

請求項12に記載の装置であって、

前記第1のカスケードされたセットが、

そのベースで前記デコーダに、そのコレクタで関連する3状態DACスイッチに結合される、第1のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する3状態DACスイッチに結合される、第2のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記第1及び第2のバイポーラトランジスタのエミッタに、そのエミッタで前記第1の電流源に結合される、第3のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する3状態DACスイッチに、そのエミッタで前記第1の電流源に結合される、第4のバイポーラトランジスタと、

を更に含む、装置。

#### 【請求項15】

請求項14に記載の装置であって、

前記第2のカスケードされたセットが、

そのベースで前記デコーダに、そのコレクタで前記関連する3状態DACスイッチに結合される、第5のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する3状態DACスイッチに結合される、第6のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記第5及び第6のバイポーラトランジスタのエミッタに、そのエミッタで前記第2の電流源に結合される、第7のバイポーラトランジスタと、

そのベースで前記デコーダに、そのコレクタで前記関連する3状態DACスイッチに、そのエミッタで前記第2の電流源に結合される、第8のバイポーラトランジスタと、

を更に含む、装置。