(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 10 月 13 日(13.10.2011)

PCT

(10) 国際公開番号
WO 2011/125878 A1

(51) 国際特許分類:
H01L 31/04 (2006.01)

(21) 国際出願番号: PCT/JP2011/058289

(22) 国際出願日: 2011 年 3 月 31 日(31.03.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-086181 2010 年 4 月 2 日(02.04.2010) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社アルバック (ULVAC, Inc.) [JP/JP]; 〒2538543 神奈川県茅ヶ崎市萩園２５００ Kanagawa (JP).

(72) 発明者; および

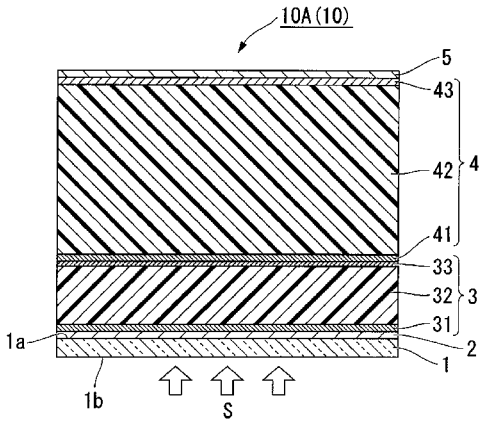
(75) 発明者/出願人 (米国についてのみ): 茶谷　宏紀 (CHATANI Hironori) [JP/JP]; 〒2891226 千葉県山武市横田５２３　株式会社アルバック　千葉超材料研究所内 Chiba (JP). 浅利　伸 (ASARI Shin) [JP/JP]; 〒2891226 千葉県山武市横田５２３　株式会社アルバック　千葉超材料研究所内 Chiba (JP). 橋本　征典 (HASHIMOTO Masanori) [JP/JP]; 〒2891226 千葉県山武市横田５２３　株式会社アルバック　千葉超材料研究所内 Chiba (JP). 朝比奈　伸一 (ASAHINA Shinichi) [JP/JP]; 〒2891226 千葉県山武市横田５２３　株式会社アルバック　千葉超材料研究所内 Chiba (JP). 今北　健一 (IMAKITA Kenichi) [JP/JP]; 〒2891226 千葉県山武市横田５２３　株式会社アルバック　千葉超材料研究所内 Chiba (JP). 佐見津　祥二 (SAMITSU Shoji) [JP/JP]; 〒2891226 千葉県山武市横田５２３　株式会社アルバック　千葉超材料研究所内 Chiba (JP). 小林　忠正 (KOBAYASHI Tadamasa) [JP/JP]; 〒2891226 千葉県山武市横田５２３　株式会社アルバック　千葉超材料研究所内 Chiba (JP). 若井　雅文 (WAKAI Masafumi) [JP/JP]; 〒2891226 千葉県山武市横田５２３　株式会社アルバック　千葉超材料研究所内 Chiba (JP). 植　喜信 (UE Yoshinobu) [JP/JP]; 〒2891226 千葉県山武市横田５２３　株式会社アルバック　千葉超材料研究所内 Chiba (JP). 若松　貞次 (WAKAMATSU Sadatsugu) [JP/JP]; 〒2891226 千葉県山武市横田５２３　株式会社アルバック　千葉超材料研究所内 Chiba (JP). 斎藤　一也 (SAITO Kazuya) [JP/JP]; 〒2891226 千葉県山武市横田５２３　株式会社アルバック　千葉超材料研究所内 Chiba (JP).

[続葉有]

(54) **Title**: PHOTOELECTRIC CONVERSION DEVICE, AND PROCESS FOR PRODUCTION OF PHOTOELECTRIC CONVERSION DEVICE

(54) 発明の名称 : 光電変換装置及び光電変換装置の製造方法

[図1]



(57) **Abstract**: A photoelectric conversion device comprising: a substrate on which a transparent conductive film is formed; a pin-type first photoelectric conversion unit which comprises a first p-type semiconductor layer comprising an amorphous silicon thin film, a first substantially intrinsic i-type semiconductor layer and a first n-type semiconductor layer laminated in this order on the transparent conductive film; a pin-type second photoelectric conversion unit which comprises a second p-type semiconductor layer comprising a crystalline silicon thin film, a second substantially intrinsic i-type semiconductor layer and a second n-type semiconductor layer comprising an amorphous silicon thin film laminated in this order on the first photoelectric conversion unit; and a backside electrode which is formed on the second photoelectric conversion unit.

(57) 要約:

[続葉有]

WO 2011/125878 A1

(74) 代理人: 志賀　正武, 外(SHIGA Masatake et al.); 〒1006620 東京都千代田区丸の内一丁目９番２号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

この光電変換装置は、透明導電膜が形成された基板と；前記透明導電膜の上に、アモルファスのシリコン系薄膜からなる、第１のｐ型半導体層と、第１の実質的に真性なｉ型半導体層と、第１のｎ型半導体層とを順に積層して形成されたｐｉｎ型の第一光電変換ユニットと；前記第一光電変換ユニットの上に、結晶質のシリコン系薄膜からなる第２のｐ型半導体層と第２の実質的に真性なｉ型半導体層と、アモルファスのシリコン系薄膜からなる第２のｎ型半導体層とを順に積層して形成されたｐｉｎ型の第二光電変換ユニットと；前記第二光電変換ユニットの上に形成された裏面電極と；を備える。

明　細　書

発明の名称 ： 光電変換装置及び光電変換装置の製造方法

技術分野

[0001] 本発明は、光電変換装置及び光電変換装置の製造方法に関する。

本願は、２０１０年４月２日に、日本に出願された特願２０１０－０８６１８１号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 近年、光電変換装置は、太陽電池又は光センサなどに一般的に利用されており、とりわけ太陽電池においては、エネルギーの効率的な利用の観点から広く普及を始めている。特に、単結晶シリコンを利用した光電変換装置は、単位面積当たりのエネルギー変換効率に優れている。しかし、一方で単結晶シリコンを利用した光電変換装置は、単結晶シリコンインゴットをスライスしたシリコンウエハを用いるため、インゴットの製造に大量のエネルギーが費やされ、製造コストが高い。例えば、屋外などに設置される大面積の光電変換装置を、シリコン単結晶を利用して製造すると、現状では相当にコストが掛かる。そこで、より安価に製造可能なアモルファス（非晶質）シリコン薄膜（以下、「ａ－Ｓｉ薄膜」とも表記する）を利用した光電変換装置が、ローコストな光電変換装置として普及している。

[0003] ところが、このアモルファス（非晶質）シリコン薄膜を利用した光電変換装置の変換効率は、単結晶シリコン又は多結晶シリコン等を利用した結晶型の光電変換装置の変換効率に比べて低い。そこで、光電変換装置の変換効率を向上させる構造として、２つの光電変換ユニットが積層されたタンデム型の構造が提案されている。たとえば、図７に示すようなタンデム型の光電変換装置２００が知られている。このタンデム型の光電変換装置２００においては、透明導電膜２０２が配された絶縁性の透明基板２０１が用いられている。透明導電膜２０２上には、ｐ型半導体層２３１、ｉ型シリコン層（非晶質シリコン層）２３２、ｎ型半導体層２３３、を順次積層して得られたｐｉ

ｎ型の第一光電変換ユニット２０３が形成されている。第一光電変換ユニット２０３上には、ｐ型半導体層２４１、ｉ型シリコン層（結晶質シリコン層）２４２、ｎ型半導体層２４３、を順次積層して得られたｐｉｎ型の第二光電変換ユニット２０４が形成されている。さらに、第二光電変換ユニット２０４上には、裏面電極２０５が形成されている。このようなタンデム型の光電変換装置を製造する方法としては、例えば、特許文献１に開示された製造方法が知られている。

[0004] このようなタンデム構造の光電変換装置において、非晶質のシリコン系薄膜からなるｐｉｎ型の第一光電変換ユニットと、結晶質のシリコン系薄膜からなるｐｉｎ型の第二光電変換ユニットについて、波長と発電効率との関係を図８に示す。

図８に示されるように、結晶質のシリコン系薄膜からなるｐｉｎ型の第二光電変換ユニットは、長波長領域における発電効率が低く、装置全体としての光電変換効率を向上させることが困難であった。

先行技術文献

特許文献

[0005] 特許文献1：日本国特許第３５８９５８１号公報

発明の概要

発明が解決しようとする課題

[0006] 本発明は上記事情に鑑みてなされたもので、タンデム構造の光電変換装置において、結晶質のシリコン系薄膜からなるｐｉｎ型の第二光電変換ユニットにおける長波長領域の発電効率を改善し、光電変換効率を向上させたタンデム構造の光電変換装置を提供することを第一の目的とする。

また、本発明は、光電変換効率を向上させたタンデム構造の光電変換装置を簡便な方法で製造することが可能な光電変換装置の製造方法を提供することを第二の目的とする。

また、本発明は、結晶質のシリコン系薄膜からなるｐｉｎ型の光電変換ユ

ニットを備えたシングル構造の光電変換装置において、長波長領域の発電効率を改善し、光電変換効率を向上させた光電変換装置を提供することを第三の目的とする。

さらに、本発明は、光電変換効率を向上させたシングル構造の光電変換装置を簡便な方法で製造することが可能な光電変換装置の製造方法を提供することを第四の目的とする。

課題を解決するための手段

[0007] 本発明の第１態様の光電変換装置は、透明導電膜が形成された基板と；前記透明導電膜の上に、アモルファスのシリコン系薄膜からなる、第１のｐ型半導体層と、第１の実質的に真性なｉ型半導体層と、第１のｎ型半導体層とを順に積層して形成されたｐｉｎ型の第一光電変換ユニットと；前記第一光電変換ユニットの上に、結晶質のシリコン系薄膜からなる第２のｐ型半導体層と第２の実質的に真性なｉ型半導体層と、アモルファスのシリコン系薄膜からなる第２のｎ型半導体層とを順に積層して形成されたｐｉｎ型の第二光電変換ユニットと；前記第二光電変換ユニットの上に形成された裏面電極と；を備える。

本発明の第１態様の光電変換装置においては、前記第２のｎ型半導体層の厚みが、２０～４００Åであることが好ましい。

本発明の第２態様の光電変換装置の製造方法は、基板に形成された透明導電膜の上に、アモルファスのシリコン系薄膜からなりｐｉｎ型の第一光電変換ユニットを構成する、第１のｐ型半導体層と、第１の実質的に真性なｉ型半導体層と、第１のｎ型半導体層とを順に形成し；前記第１のｎ型半導体層の上に、結晶質のシリコン系薄膜からなりｐｉｎ型の第二光電変換ユニットを構成する、第２のｐ型半導体層と、第２の実質的に真性なｉ型半導体層とを順に形成し；前記第２のｉ型半導体層の上に、アモルファスのシリコン系薄膜からなり前記第二光電変換ユニットを構成する、第２のｎ型半導体層を形成し；前記第２のｎ型半導体層の上に、裏面電極を形成する。

本発明の第３態様の光電変換装置は、透明導電膜が形成された基板と；前

記透明導電膜の上に、結晶質のシリコン系薄膜からなる第３のｐ型半導体層と第３の実質的に真性なｉ型半導体層と、アモルファスのシリコン系薄膜からなる第３のｎ型半導体層とを順に積層して形成されたｐｉｎ型の第三光電変換ユニットと；前記第三光電変換ユニットの上に形成された裏面電極と；を備える。

本発明の第３態様の光電変換装置においては、前記第３のｎ型半導体層の厚みが、２０～４００Åであることが好ましい。

本発明の第４態様の光電変換装置の製造方法は、基板に形成された透明導電膜の上に、結晶質のシリコン系薄膜からなりｐｉｎ型の第三光電変換ユニットを構成する、第３のｐ型半導体層と、第３の実質的に真性なｉ型半導体層とを順に形成し；前記第３のｉ型半導体層の上に、アモルファスのシリコン系薄膜からなり前記第三光電変換ユニットを構成する、第３のｎ型半導体層を形成し；前記第３のｎ型半導体層の上に、裏面電極を形成する。

発明の効果

[0008] 本発明の光電変換装置（以下、「装置Ａ」とも呼ぶ）では、前記第二光電変換ユニットを構成するｐ層、ｉ層が結晶質のシリコン系薄膜からなり、前記第二光電変換ユニットを構成するｉ層と前記裏面電極との間に配され、前記第二光電変換ユニットを構成するｎ層がアモルファスのシリコン系薄膜からなる。これにより、結晶質のシリコン系薄膜からなるｉ層と、裏面電極との界面における不整合を緩和することができる。これにより、第一光電変換ユニットにおいて結晶質のシリコン系薄膜からなるｉ層の働きを有効に活用することができ、このｉ層と、裏面電極との界面の格子整合を得るとともに、第二光電変換ユニット側の開放電圧（Ｖｏｃ）を向上することができる。このため、第二光電変換ユニットの発電効率を向上させ、装置全体としての光電変換効率を向上させることができる。その結果、本発明によれば、光電変換効率が向上したタンデム構造の光電変換装置を提供することが可能である。

また、本発明の光電変換装置の製造方法（以下、「装置Ａの製法」とも呼

ぶ）では、前記第一光電変換ユニットのｐ層、ｉ層、ｎ層を順に形成するステップ、前記第一光電変換ユニットのｎ層上に、前記第二光電変換ユニットを構成するｐ層、ｉ層を順に形成するステップ、前記第二光電変換ユニットのｉ層上に、前記第二光電変換ユニットを構成するｎ層を形成するステップ、前記第二光電変換ユニットを構成するｎ層上に、前記裏面電極を形成するステップ、を少なくとも順に備えているので、得られる光電変換装置は、第二光電変換ユニット側の開放電圧（Ｖｏｃ）を向上することができる。このため、第二光電変換ユニットの発電効率を向上させ、装置全体としての光電変換効率を向上させることができる。その結果、本発明によれば、光電変換効率が向上したタンデム構造の光電変換装置を簡便に製造できる光電変換装置の製造方法を提供することが可能である。

[0009] また、本発明の光電変換装置（以下、「装置Ｂ」とも呼ぶ）では、前記第三光電変換ユニットを構成するｐ層、ｉ層が結晶質のシリコン系薄膜からなり、前記第三光電変換ユニットを構成するｉ層と前記裏面電極との間に配され、前記第三光電変換ユニットを構成するｎ層がアモルファスのシリコン系薄膜からなる。これにより、結晶質のシリコン系薄膜からなるｉ層と、裏面電極の界面における不整合を緩和することができる。これにより、結晶質のシリコン系薄膜からなるｉ層の働きを有効に活用することができ、開放電圧（Ｖｏｃ）を向上させることができる。その結果、本発明によれば、光電変換効率が向上したシングル構造の光電変換装置を提供することが可能である。

また、本発明の光電変換装置の製造方法（以下、「装置Ｂの製法」とも呼ぶ）では、前記第三光電変換ユニットのｐ層、ｉ層を順に形成するステップ、前記第三光電変換ユニットのｎ層を形成するステップ、前記第三光電変換ユニットを構成するｎ層上に、前記裏面電極を形成するステップ、を少なくとも順に備えている。これにより、得られる光電変換装置では、開放電圧（Ｖｏｃ）が向上する。その結果、本発明によれば、光電変換効率が向上したシングル構造の光電変換装置を簡便に製造できる光電変換装置の製造方法を

提供することが可能である。

図面の簡単な説明

[0010] [図1]本発明に係る光電変換装置（装置Ａ）の層構成の一例を示す断面図。

[図2A]図１に示す光電変換装置の製造方法の工程例を示す説明図。

[図2B]図１に示す光電変換装置の製造方法の工程例を示す説明図。

[図2C]図１に示す光電変換装置の製造方法の工程例を示す説明図。

[図3]本発明に係る光電変換装置を製造する製造システムの一例を示す概略図。

[図4]本発明に係る光電変換装置（装置Ｂ）の層構成の一例を示す断面図。

[図5]実施例で作製した光電変換装置について、第二光電変換ユニットのｎ層の厚みと光電変換効率ηとの関係を示す図。

[図6]実施例で作製した光電変換装置について、第二光電変換ユニットのｎ層の厚みと開放電圧Ｖｏｃとの関係を示す図。

[図7]従来の光電変換装置の層構成の一例を示す断面図。

[図8]従来の光電変換装置について、波長と発電効率との関係を示す図。

発明を実施するための形態

[0011] 以下では、本発明に係る光電変換装置及びその製造方法の実施形態を図面に基づいて説明する。

[0012] ＜第一実施形態＞

以下の実施形態においては、アモルファスシリコン型の光電変換装置である第一光電変換ユニットと、微結晶シリコン型の光電変換装置である第二光電変換ユニット４とが積層して構成されたタンデム構造の光電変換装置について述べる。

図１は、本発明の光電変換装置の層構成を示す断面図である。

本発明の光電変換装置１０Ａ（１０）においては、透明導電膜付き基板の第１面１ａ上に、ｐ型半導体層（ｐ層）、実質的に真性なｉ型半導体層（ｉ層）、ｎ型半導体層（ｎ層）を積層したｐｉｎ型の第一光電変換ユニット３と、第二光電変換ユニット４とが、前記透明導電膜２に順に重ねて設けられ

ている。さらに、第二光電変換ユニット４の上に、裏面電極５が重ねて形成されている。

[0013] 基板１は、例えば、ガラス，透明樹脂等、太陽光の透過性に優れ、かつ、耐久性のある絶縁材料からなる。この基板１は、透明導電膜２を備えている。透明導電膜２としては、例えばＩＴＯ（ｉｎｄｉｕｍ Ｔｉｎ Ｏｘｉｄｅ）、SnO_2、ＺｎＯ等の光透過性を有する金属酸化物が挙げられる。透明導電膜２は、真空蒸着法又はスパッタ法によって基板１上に形成される。

この光電変換装置１０Ａ（１０）においては、図１において白抜き矢印で示すように、基板１の第２面１ｂに太陽光Ｓが入射する。

[0014] また、第一光電変換ユニット３は、ｐ型半導体層（ｐ層、第１のｐ型半導体層）３１、実質的に真性なｉ型半導体層（ｉ層、第１のｉ型半導体層）３２、ｎ型半導体層（ｎ層、第１のｎ型半導体層）３３とが積層されたｐｉｎ構造を有している。すなわち、ｐ層３１、ｉ層３２、ｎ層３３を、この順に積層することにより第一光電変換ユニット３は形成されている。

この第一光電変換ユニット３は、アモルファス（非晶質）シリコン系材料によって構成されている。第一光電変換ユニット３においては、ｐ層３１の厚さが例えば８０Å、ｉ層３２の厚さが例えば１８００Å、ｎ層３３の厚さが例えば１００Åである。

第一光電変換ユニット３のｐ層３１、ｉ層３２、ｎ層４３を形成するプラズマＣＶＤ反応室は、各々異なる。

[0015] 第二光電変換ユニット４は、ｐ型半導体層（ｐ層、第２のｐ型半導体層）４１、実質的に真性なｉ型半導体層（ｉ層、第２のｉ型半導体層）４２、ｎ型半導体層（ｎ層、第２のｎ型半導体層）４３とが積層されたｐｉｎ構造を有している。すなわち、ｐ層４１、ｉ層４２、ｎ層４３を、この順に積層することにより第二光電変換ユニット４は形成されている。

[0016] そして、本発明の光電変換装置１０Ａ（１０）においては、第二光電変換ユニット４を構成するｐ型半導体層（ｐ層）４１、ｉ型半導体層（ｉ層）４２を結晶質のシリコン系薄膜で形成し、前記第二光電変換ユニット４を構成

するｉ層４２と前記裏面電極５との間に配され、前記第二光電変換ユニット４を構成するｎ型半導体層（ｎ層）４３をアモルファスのシリコン系薄膜で形成する。

[0017] 前記第二光電変換ユニット４を構成するｉ層と前記裏面電極との間に配された、前記第二光電変換ユニット４を構成するｎ層４３を、アモルファスのシリコン系薄膜で形成することにより、結晶質のシリコン系薄膜からなるｉ層４２と、裏面電極５との界面における不整合を緩和することができる。これにより、第二光電変換ユニット４において結晶質のシリコン系薄膜からなるｉ層４２の働きを有効に活用することができ、このｉ層４２と、裏面電極５との界面の格子整合を得るとともに、第二光電変換ユニット４側の開放電圧（Ｖｏｃ）を向上することができる。これにより、第二光電変換ユニット４の発電効率を向上させ、装置全体としての光電変換効率を向上させることができる。その結果、本発明によれば、光電変換効率が向上したタンデム構造の光電変換装置を提供することが可能である。

[0018] このアモルファスのシリコン系薄膜からなるｎ層４３は、例えば、レーザーラマン顕微鏡で観測されたアモルファスｎ層４３に、結晶質のシリコン系薄膜に起因するラマン散乱光の強度（ｉｃ）：５２０ｎｍ付近のピークが観測されない。

また、このｎ層４３は、導電率が例えば１．０×１０$^{-4}$～１．０×１０$^{-2}$Ｓ／ｃｍである。

[0019] 第二光電変換ユニット４においては、ｐ型半導体層（ｐ層）４１の厚さが例えば１５０Å、ｉ型半導体層（ｉ層）４２の厚さが例えば１５０００Åである。

ｎ型半導体層（ｎ層）４３の厚さは、例えば２０～４００Åの範囲であることが好ましく、例えば５０Åとすることができる。ｎ層４３の厚さが２０～４００Åの範囲において、曲線因子（ＦＦ）と開放電圧（Ｖｏｃ）が増大し、光電変換効率が増大する効果が認められる。ｎ層４３の厚さが４００Å以上の範囲においては、ＪｓｃとＶｏｃが低下してしまう。これは、ｎ層４

３が光を吸収してしまい結晶質のシリコン系薄膜からなるｉ層４２側のＪｓｃが低下したためと推察される。

[0020] 裏面電極５は、Ａｇ（銀）やＡｌ（アルミニウム）など導電性の光反射膜によって構成されていれば良い。この裏面電極５は、例えばスパッタ法又は蒸着法により形成することができる。

また、裏面電極５としては、第二光電変換ユニット４のｎ型半導体層（ｎ層）４３と裏面電極５との間に、ＩＴＯ，SnO_2，ＺｎＯ等の導電性酸化物からなる層が形成された積層構造を採用してもよい。

[0021] 次に、上記構成を有する光電変換装置１０Ａ（１０）を製造するための製造方法を説明する。

本発明の光電変換装置の製造方法は、前記第一光電変換ユニット３のｐ層３１、ｉ層３２、ｎ層３３を順に形成するステップ、前記第一光電変換ユニット３のｎ層３３上に、前記第二光電変換ユニット４を構成するｐ層４１、ｉ層４２を順に形成するステップ、前記第二光電変換ユニット４のｉ層４２上に、前記第二光電変換ユニット４を構成するｎ層４３を形成するステップ、前記第二光電変換ユニット４を構成するｎ層４３上に、前記裏面電極５を形成するステップ、を少なくとも順に備える。

[0022] 本発明の光電変換装置の製造方法では、前記第一光電変換ユニット３のｐ層３１、ｉ層３２、ｎ層３３を順に形成するステップ、前記第一光電変換ユニット３のｎ層３３上に、前記第二光電変換ユニット４を構成するｐ層４１、ｉ層４２を順に形成するステップ、前記第二光電変換ユニット４のｉ層４２上に、前記第二光電変換ユニット４を構成するｎ層４３を形成するステップ、前記第二光電変換ユニット４を構成するｎ層４３上に、前記裏面電極５を形成するステップ、を少なくとも順に備えているので、得られる光電変換装置１０は、第二光電変換ユニット４側の開放電圧（Ｖｏｃ）を向上することができる。このため、第二光電変換ユニット４の発電効率を向上させ、装置全体としての光電変換効率を向上させることができる。その結果、本発明によれば、光電変換効率が向上したタンデム構造の光電変換装置を簡便に製

造することが可能である。

以下、工程順に説明する。

[0023] まず、図２Ａに示すように、透明導電膜２が成膜された絶縁性透明基板１を準備する。

次いで、図２Ｂに示すように、絶縁性透明基板１の上に成膜された透明導電膜２上に、第一光電変換ユニット３のｐ型半導体層３１、ｉ型シリコン層（非晶質シリコン層）３２、ｎ型半導体層３３と、第二光電変換ユニット４のｐ型半導体層４１を形成する。ここで、ｐ層３１、ｉ層３２、ｎ層３３、及びｐ層４１を形成するプラズマＣＶＤ反応室は、各々異なる。すなわち、第一光電変換ユニット３のｎ型半導体層３３上に、第二光電変換ユニット４を構成するｐ型半導体層４１が設けられた光電変換装置第一中間品１０ａが形成される。

[0024] ｐ型半導体層３１は、個別の反応室内においてプラズマＣＶＤ法により形成される。例えば、基板温度が１８０～２００℃、電源周波数が１３．５６ＭＨｚ、反応室内圧力が７０～１２０Ｐａ、反応ガス流量は、モノシラン（SiH_4）が３００ｓｃｃｍ、水素（H_2）が２３００ｓｃｃｍ、水素を希釈ガスとして用いたジボラン（B_2H_6/H_2）が１８０ｓｃｃｍ、メタン（CH_4）が５００ｓｃｃｍの条件で、アモルファスシリコン（ａ－Ｓｉ）のｐ層３１を成膜することができる。

また、ｉ型シリコン層（非晶質シリコン層）３２は、個別の反応室内においてプラズマＣＶＤ法により形成される。例えば、基板温度が１８０～２００℃、電源周波数が１３．５６ＭＨｚ、反応室内圧力が７０～１２０Ｐａ、反応ガス流量は、モノシラン（SiH_4）が１２００ｓｃｃｍの条件で、アモルファスシリコン（ａ－Ｓｉ）のｉ層３２を成膜することができる。

[0025] さらに、ｎ型半導体層３３は、個別の反応室内においてプラズマＣＶＤ法により形成される。例えば、基板温度が１８０～２００℃、電源周波数が１３．５６ＭＨｚ、反応室内圧力が７０～１２０Ｐａ、反応ガスの流量は、水素を希釈ガスとして用いたホスフィン（PH_3/H_2）が２００ｓｃｃｍの条

件で、アモルファスシリコン（ａ－Ｓｉ）のｎ層４３を成膜することができる。

ｐ型半導体層４１は、個別の反応室内においてプラズマＣＶＤ法により形成される。例えば、基板温度が１８０～２００℃、電源周波数が１３．５６ＭＨｚ、反応室内圧力が５００～９００Ｐａ、反応ガス流量は、モノシラン（SiH_4）が１００ｓｃｃｍ、水素（H_2）が２５０００ｓｃｃｍ、水素を希釈ガスとして用いたジボラン（B_2H_6／H_2）が５０ｓｃｃｍの条件で、微結晶シリコン（μｃ－Ｓｉ）のｐ層４１を成膜することができる。

[0026] 引き続き、第二光電変換ユニット４のｐ型半導体層４１を大気中に露呈させた後、図２Ｃに示すように、大気中に露呈されたｐ型半導体層４１上に、第二光電変換ユニット４を構成するｉ型シリコン層（結晶質シリコン層）４２、ｎ型半導体層（アモルファスシリコン層）４３、を同じプラズマＣＶＤ反応室内で形成する。すなわち、第一光電変換ユニット３上に、第二光電変換ユニット４が設けられた光電変換装置の第二中間品１０ｂが形成される。

[0027] ｉ型シリコン層（結晶質シリコン層）４２は、ｎ型半導体層４３を形成する反応室と同じ反応室内においてプラズマＣＶＤ法により形成される。例えば、基板温度が１８０～２００℃、電源周波数が１３．５６ＭＨｚ、反応室内圧力が５００～９００Ｐａ、反応ガス流量は、モノシラン（SiH_4）が１８０ｓｃｃｍ、水素（H_2）が２７０００ｓｃｃｍ、の条件で、微結晶シリコン（μｃ－Ｓｉ）のｉ層を成膜することができる。

ｎ型半導体層４３は、ｉ型シリコン層（結晶質シリコン層）４２を形成する反応室と同じ反応室内においてプラズマＣＶＤ法により形成される。例えば、基板温度が１８０～２００℃、電源周波数が１３．５６ＭＨｚ、反応室内圧力が７０～１２０Ｐａ、反応ガスの流量は、水素を希釈ガスとして用いたホスフィン（PH_3／H_2）が２００ｓｃｃｍの条件で、アモルファスシリコン（ａ－Ｓｉ）のｎ層４３を成膜することができる。

[0028] そして、第二光電変換ユニット４のｎ型半導体層４３上に、裏面電極５を形成することにより、図１に示すような光電変換装置１０Ａ（１０）が得ら

れる。

裏面電極５は、Ａｇ（銀）又はＡｌ（アルミニウム）など導電性の光反射膜により構成されていればよい。この裏面電極５は、例えばスパッタ法又は蒸着法により形成することができる。

[0029] 次に、この光電変換装置１０Ａ（１０）の製造システムを図面に基づいて説明する。

本発明に係る光電変換装置１０の製造システムは、いわゆるインライン型の第一成膜装置と、第二光電変換ユニット４のｐ層を大気中に露呈させる暴露装置と、いわゆるバッチ型の第二成膜装置とが順に配置された構成を有する。インライン型の第一成膜装置は、チャンバと呼ばれる成膜反応室が複数直線状に連結して配置された構成を有する。この第一成膜装置においては、第一光電変換ユニット３におけるｐ型半導体層３１、ｉ型シリコン層（非晶質シリコン層）３２、ｎ型半導体層３３、及び第二光電変換ユニット４のｐ型半導体層４１の各層が別々に形成される。第二成膜装置においては、第二光電変換ユニット４におけるｉ型シリコン層（結晶質シリコン層）４２及びｎ型半導体層（非晶質シリコン層）４３の各層が、複数の基板に対して同時に、同じ成膜反応室内で形成される。

[0030] この光電変換装置１０の製造システムを図３に示す。

製造システムは、図３に示すように、第一成膜装置６０と、第二成膜装置７０と、第一成膜装置６０で処理した基板を大気に曝した後に第二成膜装置７０へ移動する暴露装置８０とから構成される。

製造システムにおける第一成膜装置６０には、基板が最初に搬入され、内部圧力を減圧するロード室（Ｌ：Ｌｏａｄ）６１が配置されている。なお、ロード室（Ｌ：Ｌｏａｄ）６１の後段に、成膜プロセスに応じて、基板温度を一定温度まで加熱する加熱チャンバを設けても良い。引き続き第一光電変換ユニット３のｐ型半導体層３１を形成するｐ層成膜反応室６２、ｉ型シリコン層（非晶質シリコン層）３２を形成するｉ層成膜反応室６３、ｎ型半導体層３３を形成するｎ層成膜反応室６４、第二光電変換ユニット４のｐ型半

導体層４１を形成するｐ層成膜反応室６５が連続して直線状に配置されている。最後に、減圧雰囲気を大気雰囲気に戻して基板を搬出するアンロード室（ＵＬ：ＵｎＬｏａｄ、搬出装置）６６がｐ層成膜反応室６５に接続されている。

この際、図３に示すＡ地点においては、図２Ａに示すように、透明導電膜２が成膜された絶縁性透明基板１が準備される。また、図３に示すＢ地点においては、図２Ｂに示すように、絶縁性透明基板１の上に成膜された透明導電膜２上に、第一光電変換ユニット３のｐ型半導体層３１、ｉ型シリコン層（非晶質シリコン層）３２、ｎ型半導体層３３と、第二光電変換ユニット４のｐ型半導体層４１の各層が設けられた光電変換装置の第一中間品１０ａが形成される。

[0031] また、製造システムにおける第二成膜装置７０は、ロード・アンロード室（Ｌ／ＵＬ）７１とｉｎ層成膜反応室７２とを有する。ロード・アンロード室（Ｌ／ＵＬ）７１は、第一成膜装置６０で処理された光電変換装置の第一中間品１０ａを搬入し、基板が搬入された後に内部圧力を減圧したり、基板を搬出する際に減圧雰囲気を大気雰囲気に戻したりする。ｉｎ層成膜反応室７２は、ロード・アンロード室（Ｌ／ＵＬ）７１に続いて接続されている。ｉｎ層成膜反応室７２においては、第二光電変換ユニット４のｐ型半導体層４１上に、第二光電変換ユニット４のｉ型シリコン層（結晶質シリコン層）４２及びｎ型半導体層（非晶質シリコン層）４３が順次に同じ反応室内で形成される。また、この成膜処理は複数の基板に対して同時に行われる。

この際、図３に示すＣ地点において、図２Ｃに示すように、第一光電変換ユニット３上に、第二光電変換ユニット４が設けられた光電変換装置の第二中間品１０ｂが形成される。

[0032] また、図３に示すように、インライン型の第一成膜装置６０においては、２つの基板に対して同時に成膜処理が行われ、ｉ層成膜反応室６３は４つの反応室６３ａ，６３ｂ，６３ｃ，６３ｄによって構成されている。また、図３において、バッチ型の第二成膜装置７０は、６つの基板を同時に処理する

ように構成されている。

[0033] 以上のような光電変換装置の製造方法によれば、非晶質光電変換装置である第一光電変換ユニット３のｐ層３１、ｉ層３２、ｎ層３３の上に結晶質光電変換装置である第二光電変換ユニット４のｐ層４１を形成する。その上に、第二光電変換ユニット４のｉ層４２、ｎ層４３を形成する。これによって、第二光電変換ユニット４のｉ層４２の結晶化率分布のコントロールを容易にすることができる。

[0034] また、本発明においては、大気中に露呈されたｐ型半導体層４１上に、第二光電変換ユニット４を構成するｉ型シリコン層（結晶質シリコン層）４２、ｎ型半導体層４３を形成する際、このｉ層４２を形成する前に、大気中に露呈された第二光電変換ユニット４のｐ層４１に対して、ＯＨラジカル含有プラズマ処理あるいは水素プラズマ処理を施すことが望ましい。

ＯＨラジカル含有プラズマ処理は、個別の成膜室で透明金属酸化物電極（透明導電膜２）付きガラス基板１の透明金属酸化物電極上に第一光電変換ユニット３のｐ層、ｉ層、ｎ層３３及び第二光電変換ユニット４のｐ層４１を形成した後、ＯＨラジカル含有プラズマ処理室にて行う。その後、第二光電変換ユニット４を構成するｉ型シリコン層（結晶質シリコン層）４２、ｎ型半導体層４３を個別の成膜室で成膜しても良いし、同一の処理室にてＯＨラジカル含有プラズマ処理と連続して第二光電変換ユニット４のｉ層４２、ｎ層４３、を積層しても良い。

[0035] ここで、同一処理室にて第二光電変換ユニット４のｉ層４２、ｎ層４３、をＯＨラジカル含有プラズマ処理と連続して形成する場合、処理ごとに成膜室をＯＨラジカル含有プラズマで処理を施す。これにより、残留不純物ガスPH_3の分解除去が可能である。したがって、同一処理室で第二光電変換ユニット４のｉ層４２、ｎ層４３、の成膜を繰り返しても良好な不純物プロファイルが得られ、良好な発電効率の積層薄膜光電変換装置１０を得ることができる。

[0036] また、本発明においては、第二光電変換ユニット４のｐ層４１に対して施

すＯＨラジカル含有プラズマ処理において、プロセスガスとして、CO_2、CH_2O_2又はH_2OとH_2とからなる混合ガスを用いると望ましい。すなわち、ＯＨラジカル含有プラズマの生成には、成膜室に（CO_2＋H_2）、（CH_2O_2＋H_2）または（H_2O＋H_2）を流した状態で、電極間に、たとえば１３．５ＭＨz、２７ＭＨz、４０ＭＨｚ等の高周波を印加することにより有効に生成することができる。このＯＨラジカル含有プラズマの生成において、（ＨＣＯＯＣH_2＋H_2）、（CH_2OH＋H_2）等のアルコール類、ギ酸エステル類等の酸素含有炭化水素類を用いても良い。ただし、Ｃ不純物量の増加が問題となる系では、（CO_2＋H_2）、（CH_2O_2＋H_2）または（H_2O＋H_2）を使用することが好ましい。

[0037] このＯＨラジカル含有プラズマの生成でプラズマ生成ガスにCO_2を用いる際には、系にH_2の存在が必要であるが、（CH_2O_2＋H_2）、（H_2O＋H_2）の他、（ＨＣＯＯCH_3＋H_2）、（CH_3OH＋H_2）等のアルコール類、ギ酸エステル類等の酸素含有炭化水素類を使用する際は、必ずしも系にH_2の存在は必要でない。

[0038] このようにＯＨラジカル含有プラズマ処理を施すと、Ｏラジカルに比して反応が穏やかで下層にダメージを与えずに、第一光電変換ユニット３のｐ層３１、ｉ層３２、ｎ層３３上に形成した第二光電変換ユニット４のｐ層４１の表面活性に効果がある。したがって、第二光電変換ユニット４のｐ層４１の表面活性化が可能となる。その上に積層する第二光電変換ユニット４のｉ層４２の結晶生成に有効に働き、大面積の基板においても均一な結晶化率分布を得ることが可能となる。

ＯＨラジカル含有プラズマ処理の代わりに、水素プラズマ処理を行ってもＯＨラジカル含有プラズマ処理と同様の効果を得ることができる。

[0039] また、個別の成膜室で第一光電変換ユニット３の非晶質のｐ層３１、ｉ層３２、ｎ層３３上に形成する、第二光電変換ユニット４のｐ層４１は、非晶質のアモルファスシリコン（ａ－Ｓｉ）層に微結晶シリコン（μｃ－Ｓｉ）の分散した膜でも、非晶質のアモルファス酸化シリコン（ａ－ＳｉＯ）層に

微結晶シリコン（μｃ－Ｓｉ）の分散した膜でも良い。しかし、基板の大面積化の際に必要とされる結晶質光電変換層のｉ層とｎ層の結晶成長核の生成による均一な結晶化分布率を得るためには、非晶質のアモルファス酸化シリコン（ａ－ＳｉＯ）層に微結晶シリコン（μｃ－Ｓｉ）の分散した膜を採用することが好ましい。

[0040] このように、非晶質のアモルファス酸化シリコン（ａ－ＳｉＯ）層に微結晶シリコン（μｃ－Ｓｉ）が分散された膜は、アモルファスシリコン（ａ－Ｓｉ）半導体層よりも低屈折率が得られるように調整することが可能である。そこで、この層を波長選択反射膜として機能させ、短波長光をトップセル側に閉じ込めることによって変換効率を向上させることが可能である。

また、この光を閉じ込める効果の有無に拠らず、非晶質のアモルファス酸化シリコン（ａ－ＳｉＯ）層に微結晶シリコン（μｃ－Ｓｉ）が分散された膜は、ＯＨラジカル含有プラズマ処理によって第二光電変換ユニット４のｉ層４２とｎ層４３の結晶成長核の生成に有効に働かせ、大面積の基板においても均一な結晶化率分布を得ることが可能となる。

[0041] また、本発明においては、第一光電変換ユニット３を構成するｎ層３３として、結晶質のシリコン系薄膜を形成してもよい。すなわち、非晶質の第一光電変換ユニット３のｐ層３１、ｉ層３２の上に、結晶質のｎ層３３及び、結晶質の第二光電変換ユニット４のｐ層４１を形成する。

[0042] このように、ｎ層３３、及び第二光電変換ユニット４のｐ層４１を形成した基板を、個別の反応室又は同じ成膜室においてＯＨラジカル含有プラズマ処理を行い、表面を活性化させて結晶核を生成し、引き続いて結晶質の第二光電変換ユニット４のｉ層４２を積層することにより、大面積に均一な結晶化率分布を持ち良好な発電効率の積層薄膜光電変換装置１０Ａ（１０）を得ることができる。

[0043] ＜第二実施形態＞

次に、本発明の第二実施形態について説明する。

なお、以下の説明においては、上述した第一実施形態と異なる部分につい

て主に説明し、第一実施形態と同様の部分については、その説明を省略する。

図４は、本実施形態にかかる光電変換装置の層構成を示す断面図である。

[0044] 上述した第一実施形態では、タンデム構造の光電変換装置について説明したが、本発明は、タンデム構造のみに限定されず、シングル構造の光電変換装置についても適用可能である。

この光電変換装置１０Ｂ（１０）においては、透明導電膜付き基板を用い、ｐ型半導体層（ｐ層、第３のｐ型半導体層）８１、実質的に真性なｉ型半導体層（ｉ層、第３のｉ型半導体層）８２、ｎ型半導体層（ｎ層、第３のｎ型半導体層）８３を積層したｐｉｎ型の第三光電変換ユニット８と、裏面電極５とが、前記透明導電膜２の上に順に重ねて形成されている。

[0045] そして、本発明の光電変換装置１０Ｂ（１０）においては、第三光電変換ユニット８を構成するｐ層８１、ｉ層８２が結晶質のシリコン系薄膜で形成され、第三光電変換ユニット８を構成するｉ層８２と裏面電極５との間に配され、第三光電変換ユニット８を構成するｎ層８３がアモルファスのシリコン系薄膜で形成される。

[0046] この光電変換装置１０Ｂ（１０）においても、第三光電変換ユニット８を構成するｐ層８１、ｉ層８２が結晶質のシリコン系薄膜で形成され、第三光電変換ユニット８を構成するｉ層８２と裏面電極５との間に配され、第三光電変換ユニット８を構成するｎ層８３がアモルファスのシリコン系薄膜で形成されることにより、結晶質のシリコン系薄膜で形成されるｉ層８２と、裏面電極５の界面における不整合を緩和することができる。これにより、結晶質のシリコン系薄膜で形成されるｉ層８２の働きを有効に活用することができ、開放電圧（Ｖｏｃ）が向上する。その結果、光電変換装置１０Ｂ（１０）の光電変換効率が向上する。

[0047] そして、本発明の光電変換装置１０Ｂ（１０）の製造方法は、第三光電変換ユニット８のｐ層８１、ｉ層８２を順に形成するステップ、第三光電変換ユニット８のｎ層８３を形成するステップ、第三光電変換ユニット８を構成

するｎ層８３上に、裏面電極５を形成するステップ、を少なくとも順に備える。

第三光電変換ユニット８を構成するｐ層８１、ｉ層８２、ｎ層８３は、いずれも、上述した第一実施形態における、第二光電変換ユニット４を構成するｐ層４１、ｉ層４２、ｎ層４３と同様にして形成することができる。

[0048] このようにして得られる光電変換装置１０Ｂ（１０）においては、開放電圧（Ｖｏｃ）が向上し、光電変換効率が向上する。その結果、本発明の製造方法では、光電変換効率が向上した光電変換装置１０Ｂ（１０）を簡便に製造することが可能である。

実施例

[0049] 次に、本発明に係る光電変換装置について、以下のような実験を行なった。各実施例及び比較例により製造したタンデム構造の光電変換装置、及びその製造条件は、次のとおりである。

以下に述べる何れの実施例においては、１１００ｍｍ×１４００ｍｍの大きさを有する基板を用いて、光電変換装置は製造されている。

[0050] ＜実施例１＞

実施例１においては、基板上に第一光電変換ユニットとして非晶質のアモルファスシリコン（ａ－Ｓｉ）系薄膜からなるｐ層、バッファ層、非晶質のアモルファスシリコン（ａ－Ｓｉ）系薄膜からなるｉ層、非晶質のアモルファスシリコン（ａ－Ｓｉ）系薄膜からなるｎ層と、第二光電変換ユニットを構成する微結晶シリコン（μｃ－Ｓｉ）を含んだｐ層を形成した。これらの層は、各々別々の成膜室にて連続して形成される。その後、第二光電変換ユニットのｐ層を大気中に暴露すると共に、第二光電変換ユニットのｐ層に対してプロセスガスとして水素（H_2）を用いて水素プラズマ処理を施した。その後、第二光電変換ユニットを構成する微結晶シリコン（μｃ－Ｓｉ）からなるｉ層、非晶質のアモルファスシリコン（ａ－Ｓｉ）系薄膜からなるｎ層、裏面電極を形成した。

[0051] 実施例１において、第一光電変換ユニットのｐ層、ｉ層、ｎ層、及び第二

光電変換ユニットのｐ層は、個別の反応室内においてプラズマＣＶＤ法により成膜した。一方、第二光電変換ユニットのｉ層、ｎ層は、同一成膜室内においてプラズマＣＶＤ法により成膜した。

第一光電変換ユニットのｐ層を、基板温度が１７０℃、印加ＲＦ電力が４０Ｗ、反応室内圧力が８０Ｐａ、反応ガス流量は、モノシラン（SiH_4）が１５０ｓｃｃｍ、水素（H_2）が４７０ｓｃｃｍ、水素を希釈ガスとして用いたジボラン（B_2H_6／H_2）が４５ｓｃｃｍ、メタン（CH_4）が３００ｓｃｃｍの条件で、８０Åの膜厚に成膜した。このときの成膜速度は、１１６Å／分であった。

また、バッファ層を、基板温度が１７０℃、印加ＲＦ電力が４０Ｗ、反応室内圧力が６０Ｐａ、反応ガス流量は、モノシラン（SiH_4） が１５０ｓｃｃｍ、水素（H_2）が１５００ｓｃｃｍ、メタン（CH_4）が２００ｓｃｃｍの条件で、６０Åの膜厚に成膜した。このときの成膜速度は、６６Å／分であった。

[0052] また、第一光電変換ユニットのｉ層を、基板温度が１７０℃、印加ＲＦ電力が４０Ｗ、反応室内圧力が４０Ｐａ、反応ガス流量は、モノシラン（SiH_4）が３００ｓｃｃｍの条件で、２０００Åの膜厚に成膜した。このときの成膜速度は、１３１Å／分であった。

さらに、第一光電変換ユニットのｎ層を、基板温度が１７０℃、印加ＲＦ電力が１０００Ｗ、反応室内圧力が８００Ｐａ、反応ガス流量は、モノシラン（SiH_4 ）が１５０ｓｃｃｍ、水素（H_2）が５５０ｓｃｃｍ、水素を希釈ガスとして用いたホスフィン（PH_3／H_2）が６０ｓｃｃｍの条件で、２０Åの膜厚に成膜した。このときの成膜速度は、１５８Å／分であった。

[0053] 次に、第二光電変換ユニットのｐ層を、基板温度が１７０℃、印加ＲＦ電力が７５０Ｗ、反応室内圧力が１２００Ｐａ、反応ガス流量は、モノシラン（SiH_4 ）が３０ｓｃｃｍ、水素（H_2）が９０００ｓｃｃｍ、水素を希釈ガスとして用いたジボラン（B_2H_6／H_2）が１２ｓｃｃｍの条件で、１５０Åの膜厚に成膜した。このときの成膜速度は、１７４Å／分であった。

ここで、第二光電変換ユニットのｐ層を大気中に露呈させた。このｐ層に対して、基板温度が１９０℃、電源周波数が１３．５６ＭＨｚ、反応室内圧力が７００Ｐａ、プロセスガスとしてH_2が１０００ｓｃｃｍの条件で、プラズマ処理を施した。

[0054] 引き続き、第二光電変換ユニットのｉ層を、基板温度が１７０℃、印加ＲＦ電力が５５０Ｗ、反応室内圧力が１２００Ｐａ、反応ガス流量は、モノシラン（SiH_4）が４５ｓｃｃｍ、水素（H_2）が３１５０ｓｃｃｍの条件で、１５０００Åの膜厚に成膜した。このときの成膜速度は、３６１Å／分であった。

また、第二光電変換ユニットのｎ層を、基板温度が１７０℃、印加ＲＦ電力が１００Ｗ、反応室内圧力が８０Ｐａ、反応ガス流量は、モノシラン（SiH_4）が１５０ｓｃｃｍ、水素（H_2）が５５０ｓｃｃｍ、水素を希釈ガスとして用いたホスフィン（PH_3／H_2）が６０ｓｃｃｍの条件で、２０Åの膜厚に成膜した。このときの成膜速度は、１５８Å／分であった。

[0055] 最後に、前記第二光電変換ユニットのｎ層上に、スパッタ法を用いて、酸化亜鉛（ＺｎＯ）を８００Åの膜厚に成膜した。さらに、その上に銀（Ａｇ）を２０００Åの膜厚に成膜して裏面電極を形成した。

[0056] ＜実施例２～実施例６＞

第二光電変換ユニットを構成するｎ層の厚みを、２０Åに代えて、５０Å（実施例２）、１００Å（実施例３）、１５０Å（実施例４）、２００Å（実施例５）、４００Å（実施例６）としたこと以外は、実施例１と同様にしてタンデム構造の光電変換装置を作製した。

[0057] ＜比較例＞

第二光電変換ユニットを構成するｎ層を、微結晶シリコン（μｃ－Ｓｉ）からなるｎ層としたこと以外は、実施例１と同様にしてタンデム構造の光電変換装置を作製した。

第二光電変換ユニットのｎ層を、基板温度が１７０℃、印加ＲＦ電力が１０００Ｗ、反応室内圧力が８００Ｐａ、反応ガス流量は、モノシラン（Ｓｉ

H_4）が２０ｓｃｃｍ、水素（H_2）が２０００ｓｃｃｍ、水素を希釈ガスとして用いたホスフィン（PH_3/H_2）が１５ｓｃｃｍの条件で、１００Åの膜厚に成膜した。このときの成膜速度は、１７４Å／分であった。

[0058] 以上のようにして作製された実施例１～５及び比較例の光電変換装置に、ＡＭ１．５の光を１００ｍＷ／ｃｍ^2 の光量で照射して２５℃で出力特性として光電変換効率（η）、開放電圧（Ｖｏｃ）を測定した。その結果を表１に示す。

[0059] [表1]

	n層膜厚 [Å]	光電変換効率 η [%]	開放電圧 Voc [mV]
実施例１	２０	９．４２	１２３０．００
実施例２	５０	１０．５２	１２６７．９２
実施例３	１００	１１．４７	１３５４．７８
実施例４	１５０	１１．６４	１３６２．８８
実施例５	２００	１１．６５	１３５５．００
実施例６	４００	９．９８	１２８７．２５
比較例	１００	１１．０６	１３３１．４３

[0060] 表１に示されるように、第二光電変換ユニットにおいて、ｎ層をアモルファスのシリコン系薄膜から構成した本発明の光電変換装置（実施例１～６）では、従来の光電変換装置（比較例）に比べて、良好な特性を示しており、特に光電変換効率を０．５%程度、向上することができた（実施例３と比較例の対比）。

[0061] また、図５、図６は、実施例１～６の光電変換装置について、第二光電変換ユニットのｎ層の厚みを変えた際に得られた、光電変換効率（η）と開放電圧（Ｖｏｃ）の測定結果を示す。つまり、図５、図６は、各々、ｎ層の厚み（横軸）に対して、η、Ｖｏｃ（縦軸）をプロットしたグラフである。

表１および図５、図６に示されるように、ｎ層の厚さ（膜厚）が２０～４００Åの範囲において、開放電圧（Ｖｏｃ）が増大し、光電変換効率ηが増

大する効果が認められる。特に、ｎ層の厚さが１００～２００Åの範囲では、光電変換効率ηと開放電圧Ｖocの両方が、従来（比較例）の値を越える。なお、ｎ層の厚さが４００Å以上では、Ｖｏｃが低下してしまう。これは、ｎ層が光を吸収してしまい結晶質のシリコン系薄膜からなるｉ層側のＪｓｃが低下したためと推察される。その結果、光電変換効率ηも減少したと考えられる。したがって、第二光線変換ユニットを構成するｎ層の膜厚は、２０～４００Åの範囲が好適であり、１００～２００Åの範囲がより好ましい。

[0062] 以上、本発明の光電変換装置及び光電変換装置の製造方法について説明してきたが、本発明はこれに限定されるものではなく、発明の趣旨を逸脱しない範囲で、適宜変更が可能である。

産業上の利用可能性

[0063] 本発明は、光電変換装置及び光電変換装置の製造方法に広く適用可能である。

符号の説明

[0064] １　透明基板（基板）

２　透明導電膜

３　第一光電変換ユニット

４　第二光電変換ユニット

５　裏面電極

１０Ａ，１０Ｂ（１０）　光電変換装置

３１　ｐ型半導体層（第１のｐ型半導体層）

３２　ｉ型シリコン層（非晶質シリコン層、第１のｉ型半導体層）

３３　ｎ型半導体層（第１のｎ型半導体層）

４１　ｐ型半導体層（第２のｐ型半導体層）

４２　ｉ型シリコン層（結晶質シリコン層、第２のｉ型半導体層）

４３　ｎ型半導体層（第２のｎ型半導体層）

８　第一光電変換ユニット

８１　ｐ型半導体層（第３のｐ型半導体層）

８２　ｉ型シリコン層（結晶質シリコン層、第３のｉ型半導体層）

８３　ｎ型半導体層（第３のｎ型半導体層）

６０　第一成膜装置

６１　ロード室

６２　ｐ層成膜反応室

６３（６３ａ，６３ｂ，６３ｃ，６３ｄ）　ｉ層成膜反応室

６４　ｎ層成膜反応室

６５　ｐ層成膜反応室

６６　アンロード室

７０　第二成膜装置

７１　ロード・アンロード室

７２　ｉｎ層成膜反応室

８０　暴露装置

請求の範囲

[請求項1] 透明導電膜が形成された基板と；

前記透明導電膜の上に、アモルファスのシリコン系薄膜からなる、第１のｐ型半導体層と、第１の実質的に真性なｉ型半導体層と、第１のｎ型半導体層とを順に積層して形成されたｐｉｎ型の第一光電変換ユニットと；

前記第一光電変換ユニットの上に、結晶質のシリコン系薄膜からなる第２のｐ型半導体層と第２の実質的に真性なｉ型半導体層と、アモルファスのシリコン系薄膜からなる第２のｎ型半導体層とを順に積層して形成されたｐｉｎ型の第二光電変換ユニットと；

前記第二光電変換ユニットの上に形成された裏面電極と；

を備えることを特徴とする光電変換装置。

[請求項2] 前記第２のｎ型半導体層の厚みが、２０～４００Åであることを特徴とする請求項１に記載の光電変換装置。

[請求項3] 基板に形成された透明導電膜の上に、アモルファスのシリコン系薄膜からなりｐｉｎ型の第一光電変換ユニットを構成する、第１のｐ型半導体層と、第１の実質的に真性なｉ型半導体層と、第１のｎ型半導体層とを順に形成し；

前記第１のｎ型半導体層の上に、結晶質のシリコン系薄膜からなりｐｉｎ型の第二光電変換ユニットを構成する、第２のｐ型半導体層と、第２の実質的に真性なｉ型半導体層とを順に形成し；

前記第２のｉ型半導体層の上に、アモルファスのシリコン系薄膜からなり前記第二光電変換ユニットを構成する、第２のｎ型半導体層を形成し；

前記第２のｎ型半導体層の上に、裏面電極を形成する；

ことを特徴とする光電変換装置の製造方法。

[請求項4] 透明導電膜が形成された基板と；

前記透明導電膜の上に、結晶質のシリコン系薄膜からなる第３のｐ

型半導体層と第３の実質的に真性なｉ型半導体層と、アモルファスのシリコン系薄膜からなる第３のｎ型半導体層とを順に積層して形成されたｐｉｎ型の第三光電変換ユニットと；

前記第三光電変換ユニットの上に形成された裏面電極と；

を備えることを特徴とする光電変換装置。

[請求項5] 前記第３のｎ型半導体層の厚みが、２０～４００Åであることを特徴とする請求項４に記載の光電変換装置。

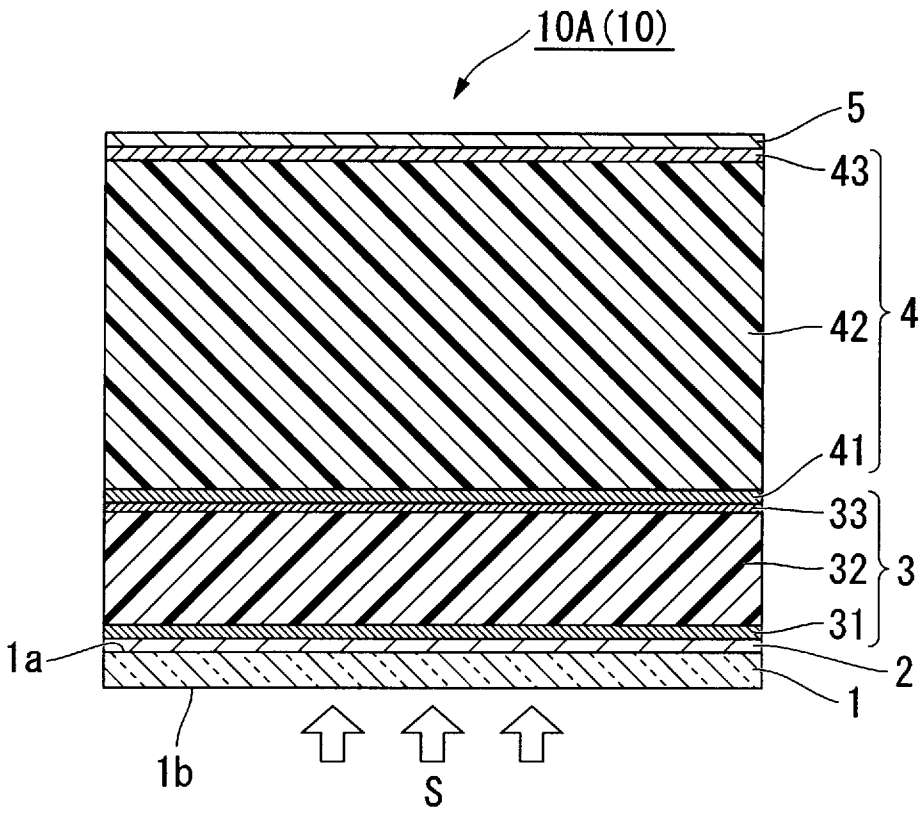
[請求項6] 基板に形成された透明導電膜の上に、結晶質のシリコン系薄膜からなりｐｉｎ型の第三光電変換ユニットを構成する、第３のｐ型半導体層と、第３の実質的に真性なｉ型半導体層とを順に形成し；

前記第３のｉ型半導体層の上に、アモルファスのシリコン系薄膜からなり前記第三光電変換ユニットを構成する、第３のｎ型半導体層を形成し；

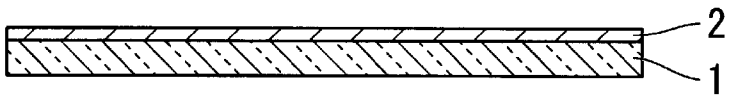
前記第３のｎ型半導体層の上に、裏面電極を形成する；

ことを特徴とする光電変換装置の製造方法。

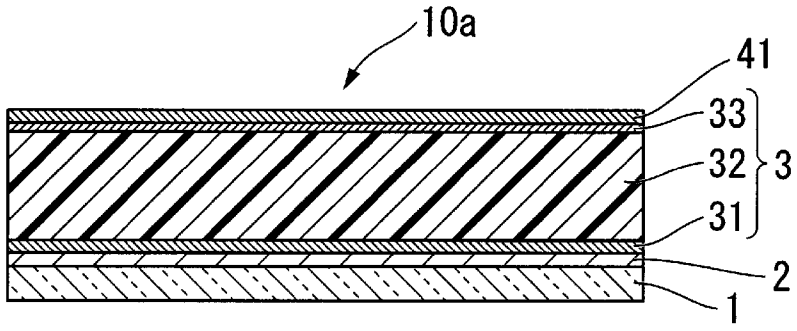
[図1]



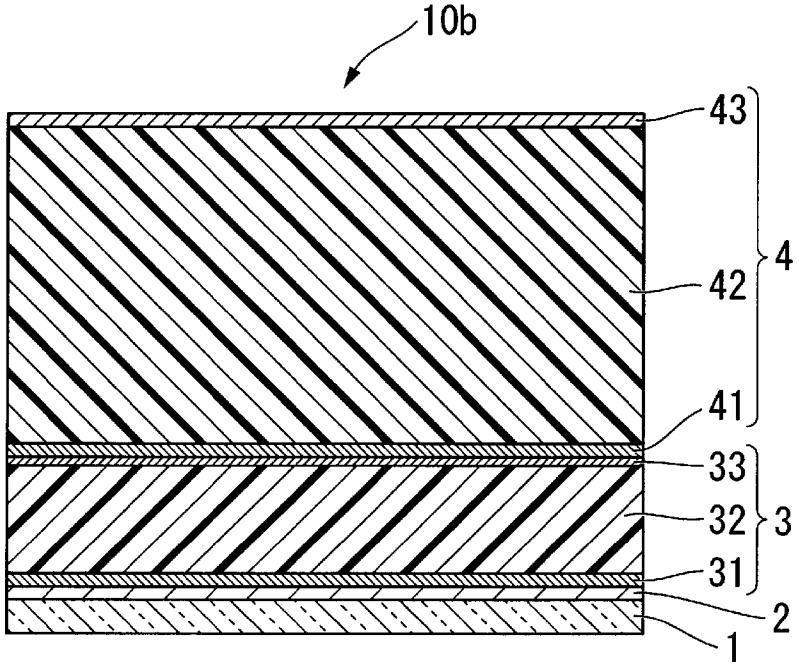
[図2A]



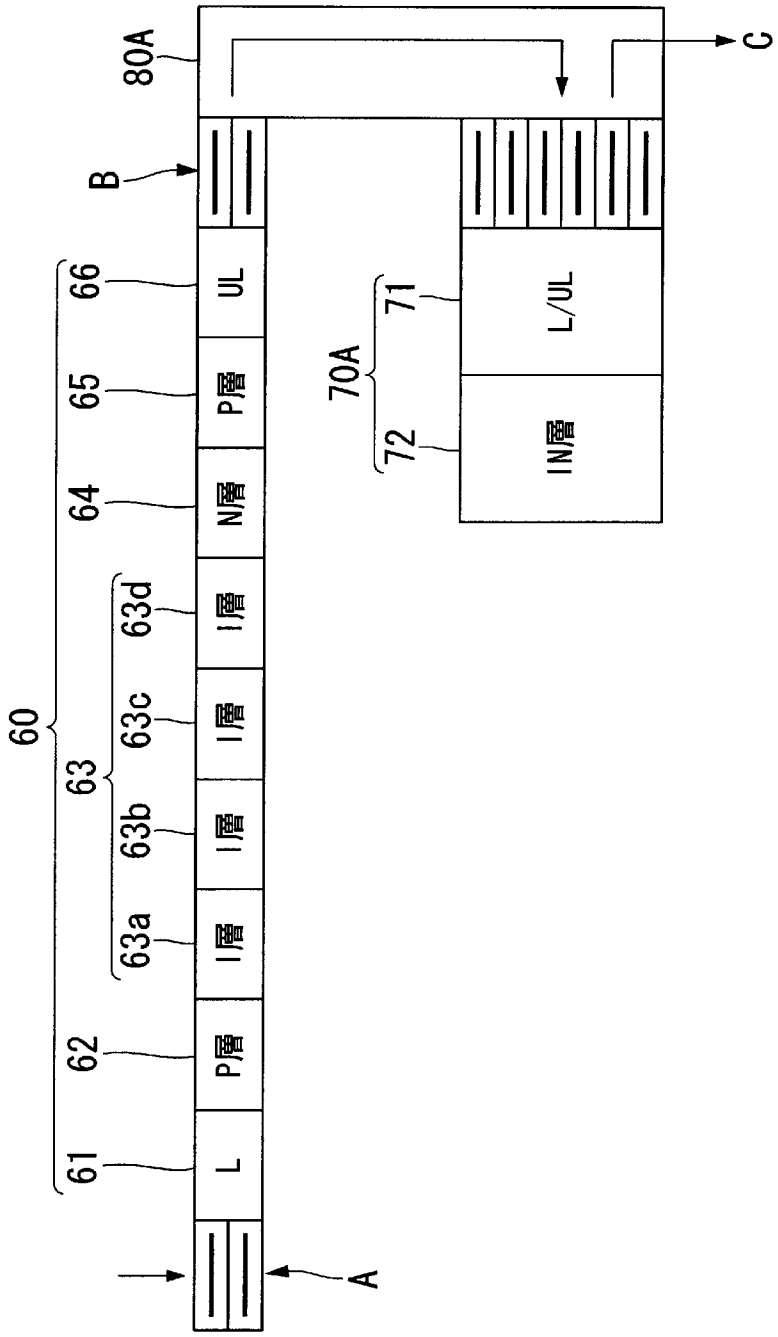
[図2B]



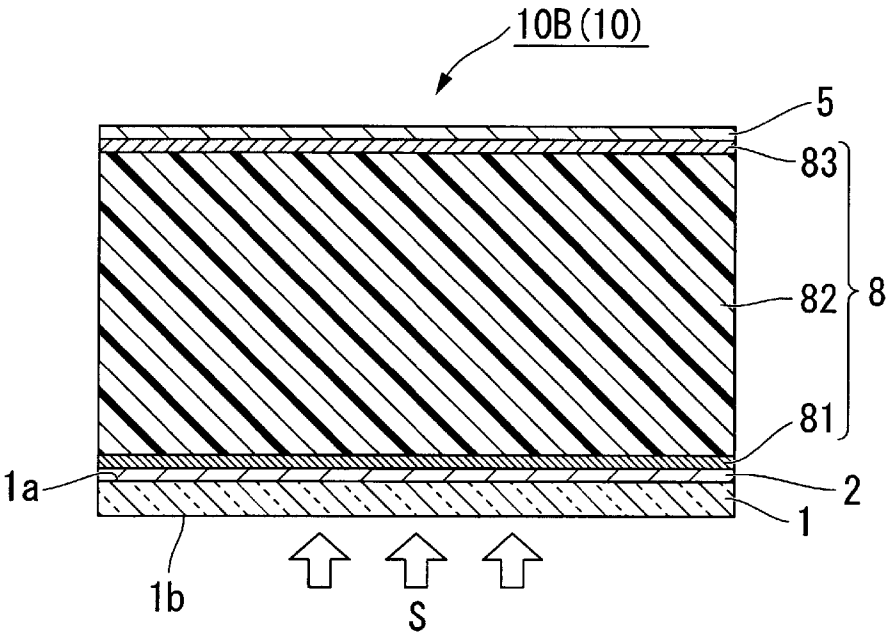
[図2C]



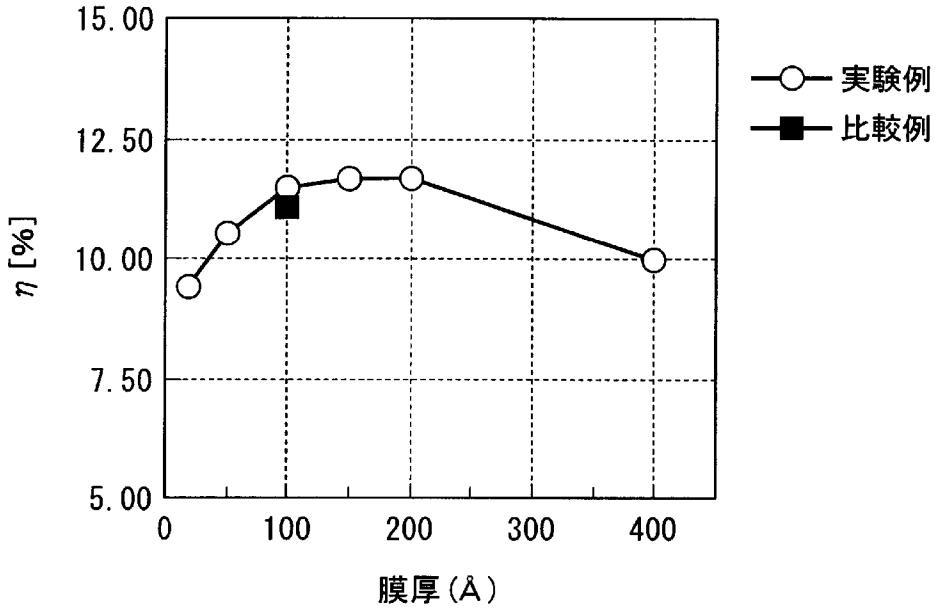
[図3]


80A
C
B
66
UL
65
P層
64
N層
63d
I層
63c
I層
63b
I層
63a
I層
62
P層
61
L
A
60
63
71
L/UL
70A
72
IN層

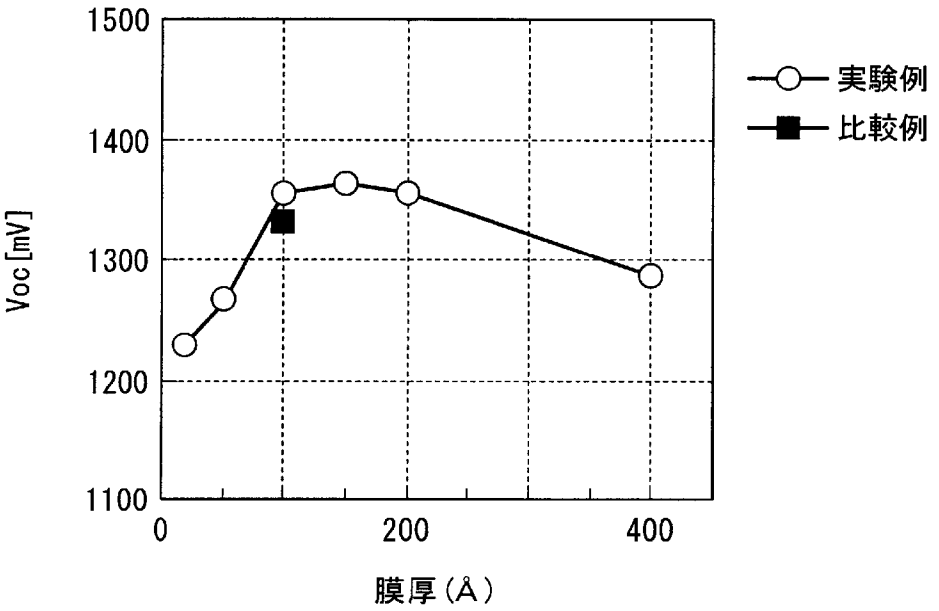
[図4]



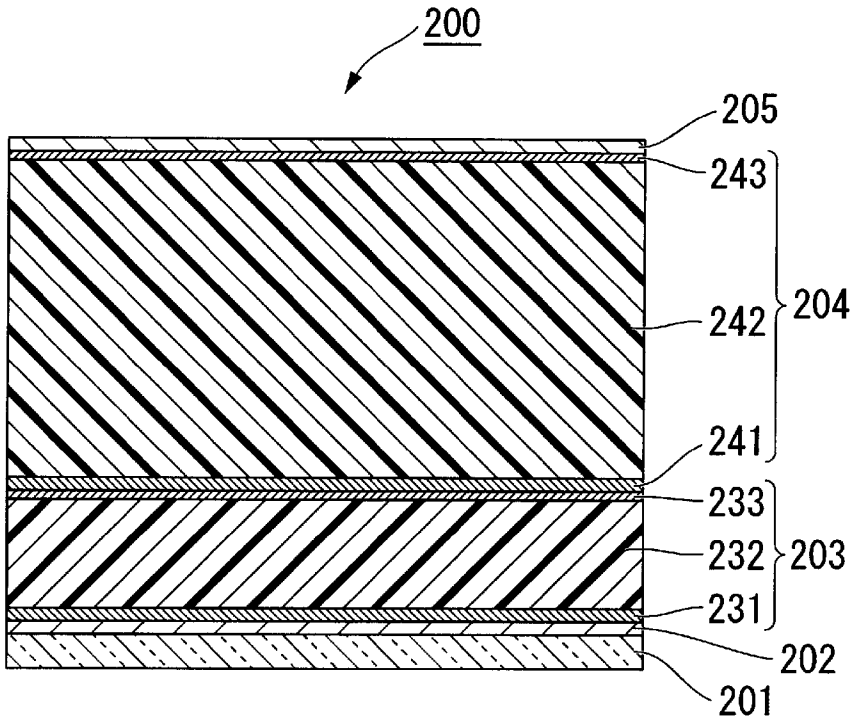
[図5]


15.00
12.50
10.00
7.50
5.00
η [%]
0
100
200
300
400
膜厚 (Å)
実験例
比較例

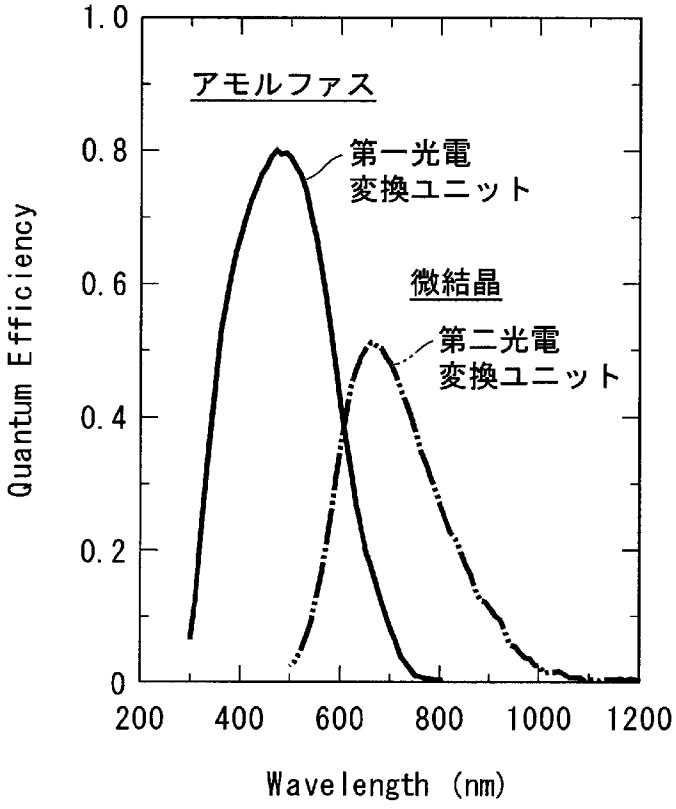
[図6]


1500
1400
1300
1200
1100
Voc [mV]
0
200
400
膜厚 (Å)
実験例
比較例

[図7]


200
205
243
242
241
204
233
232
231
203
202
201

[図8]


1.0
0.8
0.6
0.4
0.2
0
Quantum Efficiency
アモルファス
第一光電
変換ユニット
微結晶
第二光電
変換ユニット
200
400
600
800
1000
1200
Wavelength (nm)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/058289

A. CLASSIFICATION OF SUBJECT MATTER
H01L31/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L31/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011
Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y X	JP 2000-68533 A (Sharp Corp.), 03 March 2000 (03.03.2000), paragraphs [0025], [0035], [0039], [0042]; fig. 1, 5A (Family: none)	1-3 4-6
X	WO 2009/069544 A1 (Kaneka Corp.), 04 June 2009 (04.06.2009), paragraphs [0024] to [0025], [0033]; fig. 1 & EP 2216826 A1	4-6
Y	JP 2006-120745 A (Mitsubishi Heavy Industries, Ltd.), 11 May 2006 (11.05.2006), paragraphs [0005], [0007]; fig. 1 & US 2006/0086385 A1 & EP 1650814 A1	1-3

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 June, 2011 (10.06.11)	21 June, 2011 (21.06.11)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/058289

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4-192373 A (Canon Inc.), 10 July 1992 (10.07.1992), fig. 2 (Family: none)	1-6

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０５８２８９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L31/04(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L31/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１１年
日本国実用新案登録公報	１９９６－２０１１年
日本国登録実用新案公報	１９９４－２０１１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y X	JP 2000-68533 A（シャープ株式会社）2000.03.03, 段落【0025】,【0035】,【0039】,【0042】,図 1,図 5A （ファミリーなし）	1-3 4-6
X	WO 2009/069544 A1（株式会社カネカ）2009.06.04, 段落【0024】-【0025】,【0033】,図 1 & EP 2216826 A1	4-6

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １０．０６．２０１１	国際調査報告の発送日 ２１．０６．２０１１
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｋ　３７００ 加藤　昌伸 電話番号　０３－３５８１－１１０１　内線　３２５５

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2006-120745 A（三菱重工業株式会社）2006.05.11, 段落【0005】,【0007】,図１ & US 2006/0086385 A1 & EP 1650814 A1	1-3
A	JP 4-192373 A（キヤノン株式会社）1992.07.10, 第２図 （ファミリーなし）	1-6