公告本

申請日期	83.9.13
案號	83108433
類別	Int.C G11C 11/24

（以上各欄由本局填註）

A4
C4

310426

310426

發明 新型 專利說明書

一、發明新型名稱	中文	半導體記憶裝置
	英文	
二、發明創作人	姓名	田原良昭
	國籍	日本
	住、居所	日本國兵庫縣伊丹市瑞原4丁目1番地 三菱電機株式會社　北伊丹製作所內
三、申請人	姓名（名稱）	三菱電機股份有限公司 (三菱電機株式會社)
	國籍	日本
	住、居所（事務所）	日本國千代田區丸の內2丁目2番3號
	代表人姓名	北岡隆

裝 訂 線

經濟部中央標準局員工消費合作社印製

A6
B6

（由本局填寫）

承辦人代碼：
大　　類：
IPC分類：

本案已向：

日　本 國（地區）　申請專利，申請日期：1994-9-6 案號：6-212436　，□有　☒無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（1.）

〔產業上之利用領域〕

本發明關於半導體記憶裝置，尤其是關於具備有用以調換不良記憶單元行或排及多餘記憶單元行或排之多餘(redundency)電路之半導體記憶裝置。

〔先前技術〕

以往，如靜態隨機存取記憶器（以下簡稱爲「SRAM」）及動態隨機存取記憶器（以下簡稱爲「DRAM」）等之半導體記憶裝置，爲提高製造率起見，具備有多餘回路。在製造之半導體記憶裝置內之記憶部份有缺陷時，該記憶體部份爲多餘回路之機能所救濟。該發明一般可適用於SRAM及DRAM等半導體記憶裝置，但在以下之記載中，說明適用於SRAM時之情形成爲本發明之一例。

圖14顯示先前之SRAM構成之局部省略之電路方塊圖。參考圖14，該SRAM包含記憶單元陣列50及多餘記憶單元陣列52。記憶單元陣列50及多餘記憶單元陣列52，設有共同的複數個數元線組BL,/BL.在記憶單元陣列50，與數元線組BL,/BL交叉而設有複數（uXi條）之字線WL1～WLui，在數元線組BL,/BL與字線WL1～WLui之各交叉點設有記憶單元51。字線WL1～WLui係以i條成一組。多餘記憶單元陣列52爲與數元線組BL,/BL交叉而設有複數（n條）備用字線SWL1～SWLn，在數元線組BL,/BL與備用字線SWL1～SWLn之交叉點設有多餘記憶單元53。

又，該SRAM包含設在數元線組BL,/BL一方端部之數元線負荷電路54，及設在數元線組BL,/BL另一方端部之行選擇

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（2.）

閘極55之讀出／寫入電路56，及相應外部行位址訊號CA而驅動行閘極55用之輸入緩衝器57，行位址前解碼器群58及行解碼器群59。

再者，該SRAM包含設在字線WL1～WLui一方端部之列解碼器群60；及設在備用字線SWL1～SWLn一方端部之多餘列解碼器群61；及接受外部列位址訊號RA之輸入緩衝器62，及將藉輸入緩衝器62所給予之列位址訊號RA變換成爲前解碼訊號A1～Am而給予列解碼器群60及多餘列解碼器群61之列位址前解碼器群63。列解碼器群60包含各別對應於一方之字線WL1～WLui而設之複數（uXi個）之列解碼器D11～Dui，列解碼器D11～Dui爲對應字線WL1～WLui而以i個成爲一組。

前解碼訊號A1～Am被分割成爲t+1個之組。例如，最初之組爲包含i個之訊號A1～Ai。從各組只輸入一個訊號於各列解碼器D11～Dui。例如，有最初一組之訊號A1，及其次的一組之訊號a111，及其次一組之訊號a112，……，最後一組訊號a11t輸入列解碼器D11。低次解碼器D11爲，當該等訊號A1,a111,a112……a11t均成爲「H」電平（選擇電平）時，將字線WL1上升成爲「H」電平。

個別之多餘解碼器群61各包含對應一條備用字線SWL1～SWLn而設之複數（n個）多餘列解碼器SD1'～SDn'。

圖15顯示多餘列解碼器SD1'構成之電路方塊圖，圖16顯示圖15之位址程式電路70.1構成之電路方塊圖，圖17顯示圖16之保險絲電路80之構成之電路圖。圖15之啓動(enabl

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（3.）

e)電路71爲如同圖17所示之保險絲電路80。

參考圖17，保險絲電路80包含連接於電源線101與節點(node)N90間之保險絲90，及並聯連接於節點N90與接地電位線102間之電容器91，高電阻元件92及N頻道MOS電晶體93，及連接在節點N90及N頻道MOS電晶體93之閘極間之反相器94(inverter)，反相器94之輸出成爲保險絲電路80之輸出f。

保險絲90未被切斷時，藉保險絲90而充電電容器，節點N90成爲「H」電平（電源電位Vcc）。因此，反相器94輸出「L」電平（接地電位GND），N頻道MOS電晶體93成爲遮斷狀態，保持節點N90爲「H」電平。

相反地，保險絲90被切斷時，電容器91之電荷藉高電阻元件92而被放電，節點N90成爲「L」電平。因此，反相器94爲輸出「H」電平，N頻道MOS電晶體93成爲導電狀態，節點N90被保持成爲「L」電平。

位址程式電路70.1爲如圖16所示，包含保險絲電路，反相器81及轉移閘極(transfer gate)82，轉移閘極82包含導電電極被互相連接之P頻道MOS電晶體83及N頻道MOS電晶體84。保險絲電路80之輸出f，藉反相器81而被輸入於P頻道MOS電晶體83之閘極之同時，直接輸入於N頻道MOS電晶體84之閘極。前解碼訊號A1被輸入轉移閘極82之一方導電電極，從轉移閘極82之另一方導電電極所輸出之訊號成爲位址程式電路70.1之輸出訊號REDA1。

保險絲90未被切斷而保險絲電路80之輸出f爲「L」電平

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（4.）

時，轉移閘極82成爲遮斷狀態，前解碼訊號A1被轉移閘82所阻止。因此，該時之位址程式電路70.1之輸出REDA1成爲浮動狀態。

相反地，保險絲90被切斷而電路80之輸出f爲「H」電平時，轉移閘極82成爲導電狀態，前解碼訊號A1通過轉移閘極82。因此，該時位址程式電路70.1之輸出REDA1爲等於前解碼訊號A1之電平，其他之位址程式電路70.2～70.m亦同樣。

多餘列解碼器SD1'爲如圖15所示包含位址程式電路70.1～70.m，啓動電路71，NAND閘極72及反相器73。位址程式電路70.1～70.m分別受到一個前解碼訊號A1～Am。位址程式電路70.1～70.m爲對應前解碼訊號A1～Am而被分割成爲t+1個之組，各組之位址程式電路70.1～70.i；……之輸出節點被共同連接。NAND閘極72接受被成組之位址程式回路70.1～70.i；……之輸出，及啓動回路71之輸出f。NAND閘極72之輸出節點爲，藉反相器73而連接於備用字線SWL1。

記憶單元陣列50之所有記憶單元51爲正常而備用字線SWL1未被使用時，保險絲90不會被切斷，啓動電路71及保險絲電路80之輸出f被固定於「L」電平。由於保險絲電路80之輸出f被固定於「L」電平，位址程式電路70.1～70.m之轉移閘極82成爲遮斷狀態，而位址程式電路70.1～70.m之輸出REDA1～REDAm成爲浮動狀態，但啓動電路71之輸出f被固定在「L」電平，多餘列解碼器SD1'～SDm'之輸出被

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（5.）

固定在「L」電平。因此，無論前解碼訊號A1～Am成爲任何值，不會有備用字線SWL被選擇。

另一方面，例如字線WL1被連接於不良之記憶單元51，該字線WL1變換爲備用字線SWL1時，將指定不良字線WL1之前解碼訊號A1～Am所對應之位址程式電路70.1，……之保線絲電路80之保險絲90，及啓動電路71之保險絲90予以切斷。保險絲90被切斷之啓動電路71及保險絲電路80之輸出f成爲「H」電平，位址程式電路70.1，……之轉移閘極82成爲導電狀態。因此，從列位址前解碼器群63輸出指定不良字線WL1之前解碼訊號A1～Am時，保險絲90被切斷之所有位址程式電路70.1，……之輸出REDA1，……成爲「H」電平，多餘列解碼器SD1'之輸出成爲「H」電平。其他的多餘列解碼器SD2'～SDn'亦相同。

再者，亦有使對應不良字線WL1之列解碼器D11非活性化用之保險絲，但省略其說明。

其次，就圖14～圖17所示SRAM之動作說明如下。就字線WL1及備用字線SWL1之變換被程式化時之讀出動作說明如下。

數元線負荷電路54將數元線組BL,/BL事前充電成爲所定之電位。行位址前解碼器群63藉輸入緩衝器62所給之外部行位址訊號RA予以事前解碼而輸出前解碼訊號A1～Am。

當前解碼訊號A1～Am指定正常的字線WL2～WLui時，即對應於該前解碼訊號A1～Am之列解碼器D12～Dui使其字線WL2～WLui升高至「H」電平。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（6.）

又，當前解碼訊號A1～Am指定不良的字線WL2～WLui時，多餘列解碼器SD1'使備用字線WL1升高至「H」電平，以代替列解碼器D11使字線WL1升高至「H」電平。

當字線WL2～WLui或備用字線WL1升高至「H」電平時，連接於該字線WL2～WLui或備用字線WL1之記憶單元51或多餘記憶單元53被活性化，記憶單元51或多餘記憶單元53之數據爲，以電位差而出現於數元線組BL,/BL。另一方面，輸入緩衝器57，行位址前解碼器群58及行解碼器群59，相應外部行位址訊號CA而驅動行閘極55，使對應外部行位址訊CA之行之數元線組BL,/BL與閱讀／寫入電路56。閱讀／寫入電路56爲，將數元線組BL,/BL之電位差放大作爲數據訊號Do而輸出。關於寫入動作就考慮其相反即可。

圖18顯示先前之其他SRAM要部之局部省略之電路方塊圖。在圖14～圖17中說明具備有變換不良字線WL用之備用字線SWL之SRAM，但在此說明具備有變換不良數元線組BL,/BL用之備用數元線組（未圖示）之SRAM如下。SRAM之全體構成爲，在圖14中所示SRAM中，只有列與行，字線與數元線組交替而其餘均爲相同，因此省略其說明。

參考圖18，該SRAM爲，包含互相交差而配置之數元線組BL,/BL與字線WL，及配置在數元線組BL,/BL與字線WL之各交點之記憶單元51，及設在數元線組BL,/BL之一方端部之數元線負荷電路111，及設在數元線組BL,/BL之另一方端部之行選擇閘極112。

數元線負荷電路111包含分別連接於數元線組BL,/BL之

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（7.）

一方端部與電源電位線101之間之N頻道MOS電晶體103，104，及電源電位線101與接地電位線102之間串聯連接之保險絲107及高電阻元件108。保險絲107及高電阻元件108之連接節點N107爲被連接於N頻道MOS電晶體103,104之閘極。

行選擇閘極112爲，包含數元線組BL,/BL之另一方端部與未圖示之閱讀／寫入電路之間所連接之N頻道MOS電晶體105,106，及其一方端部有行選擇訊號COL輸入，而其另一方端部連接於節點109之保險絲109，及連接於節點N109與接地電位線102之電阻110。節點N107為被連接於N頻道MOS電晶體105，106之閘極。

當連接於數元線組BL,/BL之記憶單元51爲正常時保險絲107,109不會切斷，節點N107爲由於高電阻元件108,110而被固定於「H」電平，節點N109成爲與行選擇訊號COL相同電平。因此，N頻道MOS電晶體103,104成爲經常導電狀態，數元線組BL,/BL爲藉N頻道MOS電晶體103,104而被事前充電成爲電源電位Vcc。又，N頻道MOS電晶體105,106爲，相應行選擇訊號COL成爲「H」電平而成爲遮斷狀態。因此，數元線組BL,/BL爲只有當行選擇訊號COL成爲「H」電平時被連接於未圖示之閱讀／寫入電路。

另一方面，連接於數元線組BL,/BL之記憶單元51爲不良時，保線絲107,105被切斷，節點N107,N109被固定於「L」電平。因此，N頻道MOS電晶體103～106成爲經常遮斷狀

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（8.）

態，數元線組BL,/BL成爲浮動狀態（非選擇狀態）。

又，該SRAM中亦具有使對應不良數元線組BL,/BL之行選擇訊號COL輸入於對應備用數元線組之行選擇閘極用之保險絲電路，但省略有關其之說明。

〔發明所欲解決之問題〕

然而，在圖14～圖17所示之SRAM中，保險絲90未被切斷時，有電流iA(μA)藉保險絲90及高電阻元件92而從電源電位線101流到接地電位線102，與多餘列解碼器SD1'～SDm'之數量或前解碼訊號A1～Am之數量成正比例而有消費電流增加的問題存在。

又，圖18中所示之SRAM中，保險絲107,109未切斷時，有電流iB,iC流通於高電阻元件108,109，消費電流爲與數元線組BL,/BL之數量或連接於同一之行選擇訊號COL之行選擇閘極112之數成比例而增加的問題存在。

因此，本發明之主要目的，在於提供一種消費電流小的半導體記憶裝置。

〔解決問題之手段〕

本發明之半導體記憶裝置包括：含有配置成爲行列狀之複數個記憶單元之記憶單元陣列；前述記憶單位陣列之複數個記憶行或列中之不良記憶單元行或列調換用之含有複數個多餘記憶單元行或列之多餘記憶單元陣列；藉個別之一方或另一方被切斷而選擇第1或第2電位用之含有複數個保險絲組，由前述第1及第2電位而將前述不良記憶單元行或列與前述多餘記憶單元行或列調換予以程式化之程式電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（9.）

路；及根據前述程式電路之程式將前述不良記憶單元行或列與前述多餘記憶單元行或列予以調換用之多餘電路爲其特徵。

又，前述程式電路爲，可包含第1之保險絲，當前述記憶單元陣列之所有記憶單元行或列爲正常時被切斷，藉以遮斷對前述複數保險絲組之前述第1及第2電位之供給者。

又，前述程式電路爲，可包含電極組，當前述記憶單元陣列中只要含有一個不良之記憶單元行或列時，互相被接合而對前述複數保險絲組供給前述第1及第2之電位者。

又，前述程式電路之複數保險絲組爲分別被分割成爲對應前述多餘記憶單元行或列之複數個組；前述程式電路爲，可包含第2保險絲，其爲，對應於各多餘單元行或列而設，所對應之多餘記憶單元行或列未被使用時被切斷藉以遮斷供給前述第1及第2電位於對應該多餘記憶單元行或列之組之保險絲組用者。

又，前述多餘電路爲，包含：根據前述程式電路之程式，將指定前述不良記憶單元行或列之行或列位址訊號予以選擇通過之閘極電路；及相應通過前述閘極電路之前述行或列位址訊號而選擇所對應之多餘記憶單元行或列之第1選擇電路者。

又，前述多餘電路爲，包含：將根據前述程式電路之程式，將前述不良記憶單元行或列固定成爲非選擇狀態用之第2選擇電路者。

〔作用〕

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（10.）

在本發明之半導體記憶裝置中，將保險絲組中之一方或另一方之保險絲予以切斷而選擇程式用之第1或第2電位之關係，因此，不會有電流藉保險絲而在第1電位或第2電位之間流通，如先前例中藉切斷一條保險絲與否而選擇第1或第2電位之先前例。因此，可減低消費電流。

又，設有記憶單元陣列之所有記憶單元行或列爲正常時予以切斷以便遮斷供給第1或第2之電位用之第1保險絲時，當記憶單元陣列之所有記憶單元行或列爲正常時，切斷第1保險絲即可而不必切斷保險絲組的關係，可簡單地程式化。

又，設有當前述記憶單元陣列中只要有一個不良之記憶單位行或列時，互相被接合而對前述複數保險絲組供給前述第1或第2電位用之電極組，即當記憶單元陣列之所有記憶單元行或列爲正常時不必切斷保險絲且不必接合電極組關係，可簡單且確實予以程式化。

又，設有第2保險絲，其爲，將複數保險絲組分別分割成爲對應前述多餘記憶單元行或列之複數個組，所對應之多餘記憶單元行或列未被使用時被切斷，藉以遮斷供給前述第1及第2電位於對應該多餘記憶單元行或列之組之保險絲組者；只要切斷所使用之多餘記憶單元行或列用之保險絲組，及不使用之多餘記憶單元行或列用之第2保險絲即可，可簡單予以程式化。

又，多餘回路爲，可包含將根據程式電路之程式，指定不良記憶單元行或列之行或列位址訊號予以選擇通過之閘

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（11.）

極電路，及相應通過前述閘極電路之行或列位址訊號而選擇所對應之多餘記憶單元行或列之第1選擇電路，即可簡單地構成多餘電路。

又，在多餘電路中包含將根據前述程式電路之程式，將前述不良記憶單元行或列固定成爲非選擇狀態用之第2選擇電路，即可確實調換不良記憶單元行或列與多餘記憶單元行或列。

〔實施例〕

〔實施例 1〕

圖1顯示本發明第1實施例SRAM要部之局部省略電路方塊圖，圖2爲圖1之多餘列解碼器SD1構成之局部省略電路方塊圖，圖3顯示圖2之位址程式電路5.1構成之電路方塊圖，圖4顯示圖3之保險絲電路10構成之電路圖。圖2之啓動電路6與圖4所示保險絲電路相同。SRAM之全體構成爲如同圖14所示之SRAM，因此省略說明。

參考圖4，保險絲電路10，包含連接在輸入節點10a與輸出節點10b間之保險絲15，及連接在輸出節點10b與接地電位線102間之保險絲16。輸出節點10b之電位成爲保險絲電路10之輸出f。

只有一方之保險絲15被切斷時，輸出節點10b藉保險絲16而接地，保險絲電路10之輸出f被固定成爲「L」電平。

只有一方之保險絲16被切斷時，輸出節點10b藉保險絲15而被連接於輸入節點10a。如後述，該時輸出節點10a爲賦予電源電位Vcc的關係，保險絲電路10之輸出f被固定成

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（12.）

爲「H」電平。

保險絲15,16均未被切斷時，如後述，輸入節點10a成爲浮動狀態，保險絲電路10之輸出f被固定於「L」電平。再者，不會有兩個保險絲15,16均被切斷的情形。

位址程式電路5.1爲如圖3所示，包含保險絲電路10，反相器11及轉移閘極12，轉移閘極12包含導電電極互相連接之P頻道MOS電晶體13及N頻道MOS電晶體14。保險絲電路10之輸入節點10a成爲位址程式電路5.1之電源輸入節點5.1a。保險絲電路10之輸出f爲，藉反相器11而輸入P頻道MOS電晶體13之閘極之同時，直接輸入於N頻道MOS電晶體14之閘極。轉移閘極12之一方導電電極有前解碼訊號A1輸入，出現在轉移閘極12之另一方導電電極之訊號成爲位址程式電路5.1之輸出訊號REDA1。

只有一方之保險絲15被切斷，或保險絲15,16均未被切斷而保險絲電路10之輸出f爲「L」電平時，轉移閘極12成爲遮斷狀態，前解碼訊號A1被轉移閘極12所阻止。

因此，位址程式電路5.1之輸出REDA1成爲浮動狀態。

只有另一方之保險絲16被切斷而保險絲電路10之輸出f成爲「H」電平時，轉移閘極12成爲導電狀態，前解碼訊號A1通過轉移閘極12。因此，位址程式電路5.1之輸出REDA1成爲與前解碼訊號A1之電平相等。其他的位址程式電路5.2～5.m亦相同。

多餘列解碼器SD1爲如圖2所示，包含位址程式電路5.1～5.m，啓動電路6，NAND閘極7及反相器8。位址程式電路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（13.）

5.1～5.m分別接受一個前解碼訊號A1～Am。位址程式電路5.1～5.m之電源輸入節點5.1a～5.ma爲共同連接之同時，連接於多餘列解碼器SD1之電源輸入節點N2。位址程式電路5.1～5.m爲，對應前解碼訊號A1～Am而被分割成爲t+1的組，各組之位置程式電路5.1～5.1i；……之輸出節點爲共同連接之。NAND閘極7爲接受被成組之位址程式電路5.1～5.1i；……之輸出，及啓動電路6之輸出f。NAND閘極7之輸出節點爲，藉反相器8而被連接於備用字線SWL1。

記憶單元陣列50之所有記憶單元51爲正常而備用字線SWL1未被使用時，電源輸入節點N2.1成爲浮動狀態，保險絲15,16均未被切斷，啓動電路6及保險絲電路10之輸出f被固定於「L」電平。由於保險絲電路10之輸出f被固定於「L」電平的關係，位址程式電路5.1～5.m之轉移閘極12成爲遮斷狀態而位址程式電路5.1～5.m之輸出REDA1～REDAm成爲浮動狀態，但啓動電路6之輸出f被固定於「L」電平的關係，多餘列解碼器SD1之輸出f被固定於「L」電平。因此，無論前解碼訊號A1～Am成爲任何值但備用字線SWL1～SWLn不會被選擇。

另一方面，例如字線WL1被連接於不良記憶單元51，而將該字線WL1與備用字線SWL1調換時，有電源電位Vcc加在電源輸入節點M2.1，且對應於指定不良字線WL1之前解碼訊號A1～Am之位址程式電路5.1，……之保險絲電路之保險絲16，及啓動電路6之保險絲16被切斷。保險絲16被切斷之啓動電路6及保險絲電路10之輸出f成爲「H」電平，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（14.）

位址程式電路5.1，……之轉移閘極12成爲導電狀態。因此從列位址前解碼器群63輸出指定不良字線WL1之前解碼訊號A1～Am時，保險絲16被切斷之所有位址程式電路5.1，……之輸出READ1，……成爲「H」電平。其他多餘列解碼器SD1之輸出成爲「H」電平。其他之多餘列解碼器 SD2～SDn亦相同。

多餘列解碼器群1爲如圖1所示，包含多餘列解碼器SD1～SDn，及保險絲2.1～2.n。保險絲2.1～2.n之一方端部分別連接於多餘列解碼器SD1～SDn之電源輸入節點N2.1～N2.n。保險絲2.1～2.n之另一方端部被共同連接之同時，被連接於多餘列解碼器群1之電源輸入節點N3。

又，該SRAM，包含保險絲3及接合墊4。保險絲3被連接於接合墊4與多餘列解碼器群1之電源輸入節點N3之間。接合墊4被接合於從外部相加電源電位Vcc之電源銷（未圖示）。

記憶單元陣列50之所有記憶單元51均爲正常而備用字線SWL1～SWLn完全未被使用時，保險絲3被切斷而多餘列解碼器群1之電源輸入節點N3成爲浮動狀態。因此，所有之多餘列解碼器SD1～SDn之電源輸入節點N2.1～N2.n成爲浮動狀態，多餘列解碼器SD1～SDn之輸出被固定於「L」電平。又，該時，保險絲3以外之保險絲2.1～2.n,15,16均不會被切斷。

另一方面，例如字線WL1被連接於不良記憶單元51，將該字線WL1與備用字線SWL1調換時，保險絲2.1～2.n被切

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（15.）

斷，多餘列解碼器SD2～SDn之電源輸入節點N2.1～N2.n成爲浮動狀態，多餘列解碼器SD2～SDn成爲非活性化。

又，如上述，在多餘列解碼器SD1中，對應於指定不良字線WL1之前解碼訊號A1～Am之位址程式電路5.1，……之保險絲電路10之保險絲16，及啓動電路6之保險絲16被切斷。因此，從列位址前解碼器群63輸出指定不良字線WL1之前解碼訊號A1～Am時，備用字線sw11被多餘列解碼器SD1升到「H」電平。又，該時，保險絲2.1～2.n，及多餘列解碼器SD1之該保險絲16以外之保險絲3,2.1,16爲完全未被切斷。至於SRAM全體之動作爲如同圖14～圖17中所示之SRAM，因此，省略說明。

在本實施例中，相加電源電位Vcc之接合墊4與接地電位102之間連接複數個保險絲3,2.1～2.n,15,16，與有無使用備用字線SWL1～SWLn無關，保險絲3,2.1～2.n,15,16中至少有一個保險絲一定被切斷，因此，在電源電位Vcc之與接地電位GND之間，不會有電流經保險絲3,2.1～2.n,15,16而流通。因此，備用字線SWL1～SWLn未被使用時，與藉保險絲90而從電源電位Vcc向接地電位GND有電流iA流通之先前SRAM比較，可減少消費電流。

又，設有當備用字線SWL1～SWLn未被使用時被切斷，用以遮斷對多餘列解碼器SD1～SDn供給電源電位Vcc之保險絲2.1～2.n,3的關係，可簡單且迅速地程式化。

又，只用兩個保險絲15,16構成保險絲電路10的關係，與保險絲90，電容器91，高電阻元件92，N頻道MOS電晶體

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（16.）

93及反相器94構成保險絲電路80之先前裝置比較，可使保險絲電路之配置面積爲小。

又，如在圖5中所示，除去圖1中保險絲3之同時，若在記憶單元陣列50中完全不良記憶單元51，且未使用備用字線SWL1～SWLn時，可不必將接合墊4接合於電源銷。

根據該改良，在記憶單元陣列50中完全無不良記憶單元51時完全不必切斷，且不必接合墊4接合於電源銷。因此，在圖1中所示之SRAM中，不會發生因保險絲3之切斷不良所致之生產率之降低。

然而，在該改良例中，在實行接合墊4之接合之前，需要辨別不必接合之SRAM，與需要接合之SRAM。圖1中所示之SRAM中，將所有之SRAM之接合墊4予以接合，因此，有可省略辨別所需作業之優點。

〔實施例 2〕

圖6顯示本發明第2實施例之SRAM之位址程式電路21.1構成電路方塊圖，圖7顯示圖6之保險絲電路22構成之電路圖，圖8顯示啓動電路23構成之電路圖。位址程式電路21.1相當於圖2及圖3之位址程式電路5.1，保險絲22相當於圖3及圖4之保險絲電路10，啓動電路23相當於圖2之啓動電路6者。

該SRAM與第1實施例相異之點爲，電源電位Vcc與接地電位GND被反轉之點。即，接合墊4被接合於相加接地電位GND之接地銷（未圖示），保險絲電路22及啓動電路23之保險絲16被連接於電源電位線101。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（17.）

其結果，保險絲電路22爲輸出圖2及圖4之保險絲電路10之相反電位，位址程式電路21.1中保險絲電路22之輸出g藉反相器11而被直接輸入N頻道MOS電晶體13之閘極。又，在啓動電路23中，保險絲15及16之連接節點N16與輸出節點N26b 之間設反相器24，啓動電路23之輸出／g成爲保險絲電路22之輸出g之反轉。其他構成及保險絲3,2.1～2.n,15,16之切斷方法爲如同第1實施例之SRAM相同，因此省略說明。

在本實施例中，亦可得與第1實施例之SRAM同樣的效果。

〔實施例 3〕

圖9顯示本發明第3實施例之SRAM要部構成之局部省略電路方塊圖，圖10爲圖9之記憶單元塊30.1構成之電路方塊圖，圖11顯示圖10之數元負荷電路34.1構成之電路圖，圖12顯示圖10之行選擇閘極35.1構成之電路圖。數元負荷電路34.1及行選擇閘極35.1相當於圖18之數元負荷電路111及行選擇閘極112者。

參考圖9，該SRAM爲包含記憶單元陣列30，保險絲32，及接合墊33，記憶單元陣列30包含複數（k個）之記憶單元塊30.1～30.k與複數（k條）之保險絲31.1～31.k。

各記憶單元塊30.1～30.k之接地節點30.1a,30.1b;30.2a,30.2b;……30.ka,30.kb爲，分別藉保險絲31.1～31.k而連接於記憶單元陣列30之接地節點N32。記憶單元陣列30之接地節點N32爲藉保險絲32而連接於接合墊33，接合墊

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（18.）

33被接合於有接地電位GND相加之接地銷（未圖示）。

記憶單元陣列30.1爲如圖10所示，包含個別連接於複數個記憶單元51之複數組（q組）之數元線組BL1,/BL1;BL2,/B L2,……；BLq,/BLq，及設在各數元線組BL1,/BL1;BL2,/BL2,……;BLq,/BLq一方端部之數元線負荷電路34.1～34.q，及設在各數元線組BL1,/BL1;BL2,/BL2,……；BLq,/BLq一方端部之行選擇閘極35.1～35.q。數元線周邊電路34.1～34.q之接地節點34.1a～34.qa爲共同連接之同時連接於記憶單元陣列30.1之接地節點30.1a。行選擇閘極35.1～35.q之接地節點35.1a～35.qa爲共同連接之同時連接於記憶單元陣列30.1之接地節點30.1b。記憶單元塊30.2～30.k亦相同。

數元負荷電路34.1爲如圖11所示，包含分別連接於數元線組BL1,/BL1之一方端部與電源電位線101之間之N頻道MOS 電晶體40,41，及電源電位線101與接地節點34.1a之間串聯連接之保險絲42及高電阻元件43。保線絲42與高電阻元件43之連接節點N42係連接於N頻道MOS電晶體40,41之閘極。

行選擇閘極35.1爲如圖12所示，分別連接於數元線組BL1,/BL1之另一方端部與未圖示之閱讀／寫入電路之間之N頻道MOS電晶體44,45，及其一方端部有行選擇訊號COL輸入，其另一方端部連接於節點N46之保險絲，及包含連接在節點N46與接地節點35.1a之間之高電阻元件47之節點N46爲被連接於N頻道MOS電晶體44,45之閘極。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（19.）

圖11及圖12中，連接於數元線組BL1,/BL1之記憶單元51爲正常保險絲42,46不會被切斷。如後述，該時接地節點34.1a，節點35.1a爲被接地，或成爲浮動狀態。在任何一種狀態中，節點N46爲由高電阻元件43,47而被固定於「H」電平，節點N40成爲與行選擇訊號COL相同之電平。因此，N頻道MOS電晶體40,41經常成爲導電狀態，數元線組BL1,/B L1爲藉N頻道MOS電晶體40,41而被前充電成爲電源電位Vcc 。又，N頻道MOS電晶體44,45爲相應行選擇訊號COL成爲「H」電平而成爲導電狀態，相應行選擇訊號COL成爲「L」電平而成爲遮斷狀態。因此，數元線組BL1,/BL1爲只有當選擇訊號COL成爲「H」電平時始連接於未圖示之閱讀／寫入電路。

另一方面，連接於數元線組BL1,/BL1之記憶單元51爲不良時保險絲42,46會被切斷。如後述，該時接地節點34.1a-,35.1a爲被接地，而節點N42,N46被固定成爲「L」電平。因此，N頻道MOS電晶體40,41,44,45經常成爲遮斷狀態，數元線組BL1,/BL1成爲浮動狀態（非選擇狀態）。其他之數元線組BL2,/BL2;……;BLq,/BLq亦相同。

其次，圖9～圖12所示之SRAM之動作說明如下。

當記憶單元30之所有記憶單元51爲正常，不必將數元線組BL1,/BL1固定於非選擇狀態時，只有保險絲32被切斷，所有數元線組BL1,/BL1之數元線周邊電路34.1～34.q及行選擇閘極35.1～35.q之接地節點34.1a～34.qa及35.1a～35.qa成爲浮動狀態。因此所有數元線組BL1,/BL1爲，由所

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（20.）

對應之選擇訊號COL成爲選擇狀態。

另一方面，連接於數元線組BL1,/BL1之記憶單元51爲不良時，不良的數元線組BL1,/BL1之數元線周邊電路34.1及行選擇開極35.1之保險絲42,46，及其他記憶單元塊30.2～30.k用之保險絲31.2～30.k會被切斷。

由此，不良的數元線組BL1,/BL1被固定成爲非選擇狀態。同時，記憶單元塊30.2～30.k之所有數元線組BL1,/BL1之數元線周邊電路及行選擇開極之接地節點成爲浮動狀態，因此，記憶單元30.2～30.k之所有數元線組BL,/BL爲，由所對應之選擇訊號COL成爲選擇狀態。又，記憶單元塊30.1之正常數元線組BL2,/BL2;……;BLq,/BLq用之數元線負荷電路34.2～34.q及行選擇開極35.2～35.q之接地節點34.2a～34.qa及35.2a～35.qa被接地，數元線組BL2,/BL2;……;BLq,/BLq爲由所對應之選擇訊號COL成爲選擇狀態。

在本實施例之構成爲如上述，因此，記憶單元陣列30中完全無不良之記憶單元51時，切斷保險絲32即可完全斷開電源電位Vcc與接地電位GND，可防止電流藉保險絲而流通於電源電位Vcc與接地電位GND之間。

又，有不良的記憶單元51存在時，包含該記憶單元51之記憶單元塊（例如30.1）中如同先前會消費電流，但在未含有不良的記憶單元51之記憶單元塊（例如30.2～30.k）中即可完全消除電流之消費。又，有愈增加記憶單元塊30.1～30.k之數量，愈可減低消費電流之效果。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(21.)

又，將圖11及圖12中所示之高電阻元件43,47可用保險絲調換。然而，該時所包含之缺點爲，需要切斷有不良記憶單元存在之記憶單元塊之數元線周邊電路及行選擇閘極之一方之保險絲，會增加需要切斷之保斷絲數量。

又，如在圖23中所示，除去圖9中所示保險絲32之同時，記憶單元陣列50中完全無不良之記憶單元51而不必固定數元線組BL,/BL成爲非選擇狀態時，不必將接合墊33接合於接地銷亦可。

根據本改良例，記憶單元陣列50中完全無不良的記憶單元51存在時完全無切斷保險絲之必要，亦無接合墊33接合之必要。因此，在圖9～圖12所示之SRAM，不會發生保險絲32之切斷不良所致之生產率之降低。

然而，在本改良例中，在接合接合墊33之前，需要辨別不需要實行接合之SRAM與需要實行接合之SRAM。在圖9～圖12圖所示之SRAM中，所有的SRAM爲需要實行接合SRAM之接合墊33，因此，有可節省辨別所需之作業。

〔發明之效果〕

如上述，本發明之半導體記憶裝置爲，切斷保險絲組中之一方或另一方之保險絲藉以選擇程式用之第1及第2電位之關係，不像藉切斷一條保險絲與否而選擇第1及第2電位之先前例，不會有電流藉保險絲而流通於第1及第2電位之間。因此，可圖消費電流之減低。

又，設有記憶單元陣列之所有記憶單元行或列爲正常時予以切斷以便遮斷供給第1及第2電位用之第1保險絲時，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(22.)

當記憶單元陣列之所有記憶單元行或列爲正常時，切斷第1保險絲即可而不必切斷保險絲組的關係，可簡單地程式化。

又，設有當前述記憶單元陣列中只要有一個不良之記憶單元行或列時，互相被接合而對前述複數保險絲組供給前述第1及第2電位用之電極組，即當記憶單元陣列之所有記憶單元行或列爲正常時不必切斷保險絲且不必接合電極組的關係，可簡單且確實予以程式化。

又，設有第2保險絲，其爲，將複數保險絲組分別分割成爲對應多餘記憶單元行或列之複數個組，所對應之多餘記憶單元行或列未被使用時被切斷，藉以遮斷供給前述第1及第2電位於對應該多餘記憶單元行或列之組之保險絲組者；只要切斷所使用之多餘記憶單元行或列之保險絲組，及不使用之多餘記憶單元行或列用之第2保險絲即可，可簡單予以程式化。

又，多餘回路爲，可包含將根據程式電路之程式，指定不良記憶單元行或列之行或列位址訊號予以選擇通過之閘極電路，及相應通過前述閘極電路之行或列位址訊號而選擇所對應多餘記憶單元行或列之第1選擇電路，即可簡單地構成多餘電路。

又，在多餘電路中包含將根據前述程式電路之程式，將前述不良記憶單元行或列固定成爲非選擇狀態用之第2選擇電路，即可確實調換不良記憶單元行或列與多餘記憶單元行或列。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(23.)

〔圖示之簡單說明〕

圖1顯示本發明第1實施例之SRAM要部之局部省略之電路方塊圖。

圖2顯示圖1中所示SRAM之多餘列解碼器構成之局部省略之電路方塊圖。

圖3顯示圖2中所示之多餘列解碼器之位址程式電路構成之電路方塊圖。

圖4顯示圖3中所示之位址程式電路之保險絲電路之構成之電路圖。

圖5顯示圖1中所示SRAM之改良例之電路方塊圖。

圖6顯示本發明第2實施例之SRAM之多餘列解碼器之位址程式電路構成之電路方塊圖。

圖7顯示圖6中所示之位址程式電路構成之電路圖。

圖8顯示圖6中所示SRAM之啓動電路構成之電路圖。

圖9顯示本發明第3實施例之SRAM要部之局部省略之電路方塊圖。

圖10顯示圖9所示SRAM記憶單元構成之局部省略之電路方塊圖。

圖11顯示圖10所示記憶單元塊之數元線負荷電路構成之電路圖。

圖12顯示圖10所示記憶單元塊之行選擇閘極構成之電路圖。

圖13顯示圖9所示SRAM之改良例之電路方塊圖。

圖14顯示先前SRAM構成之局部省略之電路方塊圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(24.)

圖15顯示圖14所示SRAM之多餘列解碼器構成之局部省略之電路方塊圖。

圖16顯示圖15所示SRAM之多餘列解碼器之位址程式電路構成之電路方塊圖。

圖17顯示圖16所示位址程式電路之保險絲電路構成之電路圖。

圖18顯示先前之其他SRAM之要部之局部省略之電路方塊圖。

〔元件編號之說明〕

1；多餘列解碼器群,2.1～2.n,3,15,16,31,1～31k,32,42 46；保險絲，4,33；接合墊，5.1～5.m,21.1；位址程式電路，6,23；啓動電路，7;NAND閘極，8,11,24；反相器，10,22；保險絲電路，12；轉移閘極，13；P頻道MOS電晶體，14,40,41,44,45；N頻道MOS電晶體，30,50；記憶單元陣列，30.1～30.k；記憶單元塊，34.1～34.q；數元線負荷電路，35.1～35.q；行選擇閘極，43,47；高電阻元件，51；記憶單元，52；多餘記憶單元陣列，53；多餘記憶單元單元，A1～Am；前解碼訊號，SD1～SDn：多餘列解碼器，SWL1～SWLn；備用字線，WL；字線，BL,/BL；數元線。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

310436

四、中文發明摘要（發明之名稱：　半導體記憶裝置　）

本發明之目的，在於提供消費電流較少的半導體記憶裝置。

本發明之構成爲，由兩個保險絲15,16構成保險絲電路10，以便將不良字線WL與備用字線SWL之調換，在電源電位Vcc及接地電位GND予以程式化之用。在選擇電源電位Vcc時即切斷保險絲16，選擇接地電位GND時即切斷保險絲15。因此，在電源電位Vcc與接地電位GND之間不會有電流流通。

英文發明摘要（發明之名稱：　）

（請先閱讀背面之注意事項再填寫本頁各欄）

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1.一種半導體記憶裝置，其特徵爲，具備有：

含有配置成爲行列狀之複數個記憶單元之記億單元陣列；

前述記億單元陣列之複數個記億單元行或列中之不良記憶單元行或列跳調換用之含有複數個多餘記憶單元行或列之多餘記億單元陣列，

藉個別之一方或另一方被切斷而選擇第1及第2電位用之含有複數個保險絲組，由前述第1及第2電位而將前述不良記億單元行或列與前述多餘記憶單元行或列調換予以程式化之程式電路；及

根據前述程式電路之程式將前述不良記億單元行或列與前述多餘記憶單元行或列予以調換用之多餘電路者。

2.如申請專利範圍第1項之半導體記憶裝置，其中，前述程式電路係包含第1之保險絲，當前述記憶單元陣列之所有記憶單元行或列爲正常時被切斷，藉以遮斷對前述複數保險絲組之前述第1及第2電位之供給者。

3.如申請專利範圍第1項或第2項之半導體記憶裝置，其中，前述程式電路係包含電極組，當前述記憶單元陣列中只要含有一個不良之記億單元行或列時，互相被接合而對前述複數保險絲供給前述第1及第2電位者。

4.如申請專利範圍第3項之半導體記憶裝置，其中，

前述程式之複數保險絲組係分別被分割成爲對應前述多餘記憶單元行或列之複數個組，

前述程式電路爲，包含第2保險絲，其爲，對應於各多

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

餘單元行或列而設，所對應之多餘記憶單元行或列未被使用時被切斷藉以遮斷供給前述第1及第2電位於對應該多餘記憶單元行或列之組之保險絲組用者。

5.如申請專利範圍第4項之半導體記憶裝置，其中，

前述多餘電路爲，包含：根據前述程式電路之程式，將指定前述不良記憶單元行或列之行或列位址訊號予以選擇通過之閘極電路；及

相應通過前述閘極電路之前述行或列位址訊號而選擇所對應之多餘記憶單元行或列之第1選擇電路者。

6.如申請專利範圍第5項之半導體記憶裝置，其中，

前述多餘電路爲，包含：根據前述程式電路之程式，將前述不良記憶單元行或列固定成爲非選擇狀態用之第2選擇電路者。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

圖 1

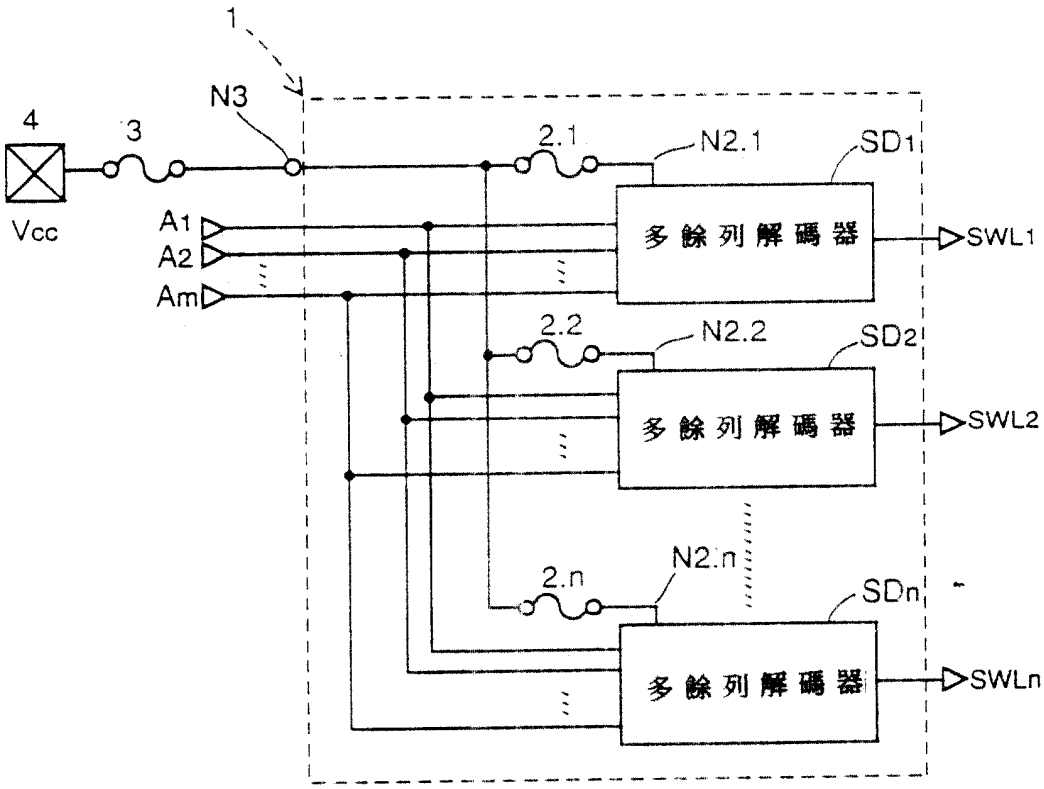

1
N3
4
3
Vcc
A1
A2
Am
2.1
N2.1
SD1
多餘列解碼器
SWL1
2.2
N2.2
SD2
多餘列解碼器
SWL2
2.n
N2.n
SDn
多餘列解碼器
SWLn

圖2

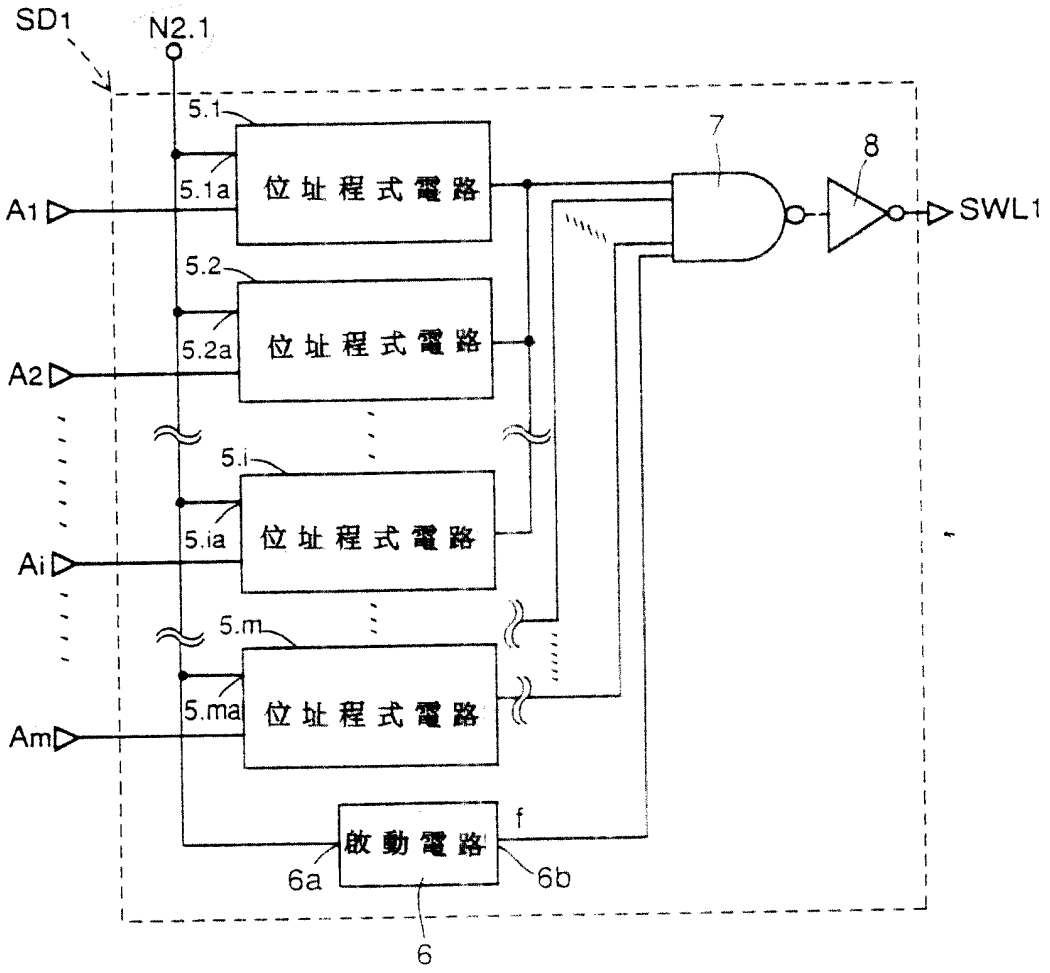

SD1
N2.1
5.1
5.1a
位址程式電路
A1
5.2
5.2a
位址程式電路
A2
5.i
5.ia
位址程式電路
Ai
5.m
5.ma
位址程式電路
Am
啟動電路
6a
6b
6
f
7
8
SWL1

圖 3

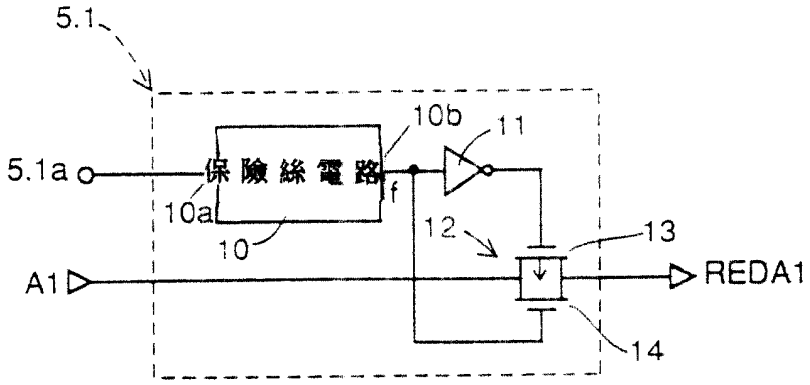

5.1
5.1a
保險絲電路
10a
10
10b
11
f
12
13
A1
REDA1
14

圖 4

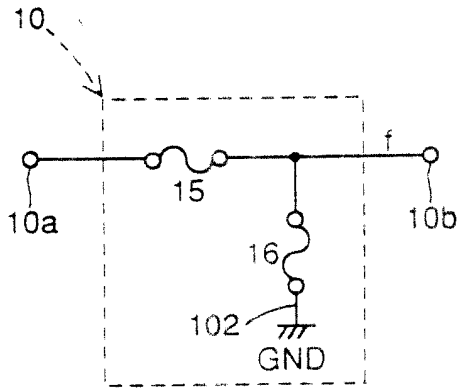

10
f
15
10a
10b
16
102
GND

圖 5

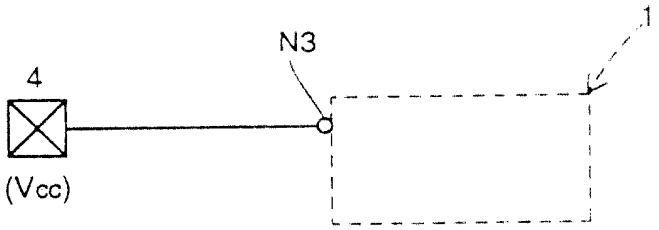

1
N3
4
(Vcc)

圖6

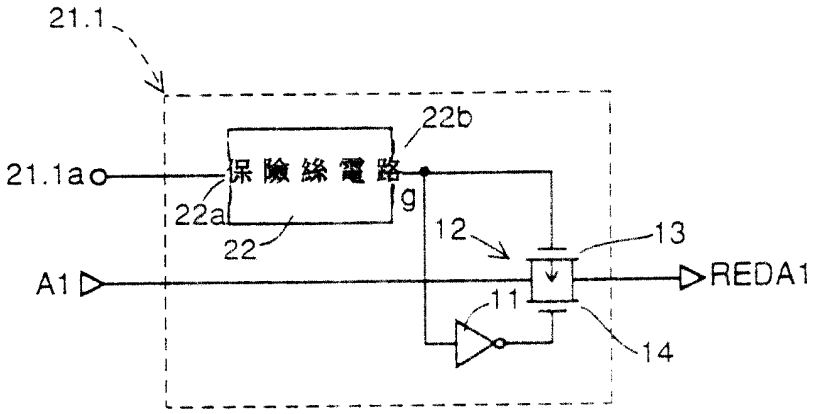

21.1
22b
21.1a
保險絲電路
g
22a
22
12
13
A1
REDA1
11
14

圖7

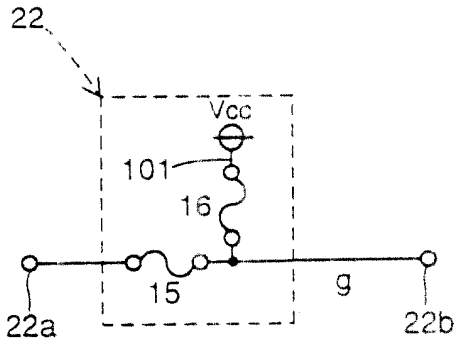

22
Vcc
101
16
15
g
22a
22b

圖8

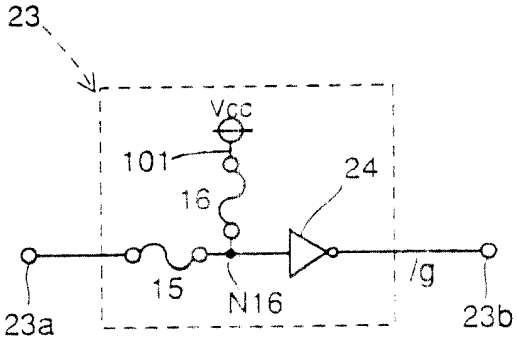

23
Vcc
101
24
16
15
N16
/g
23a
23b

圖 9

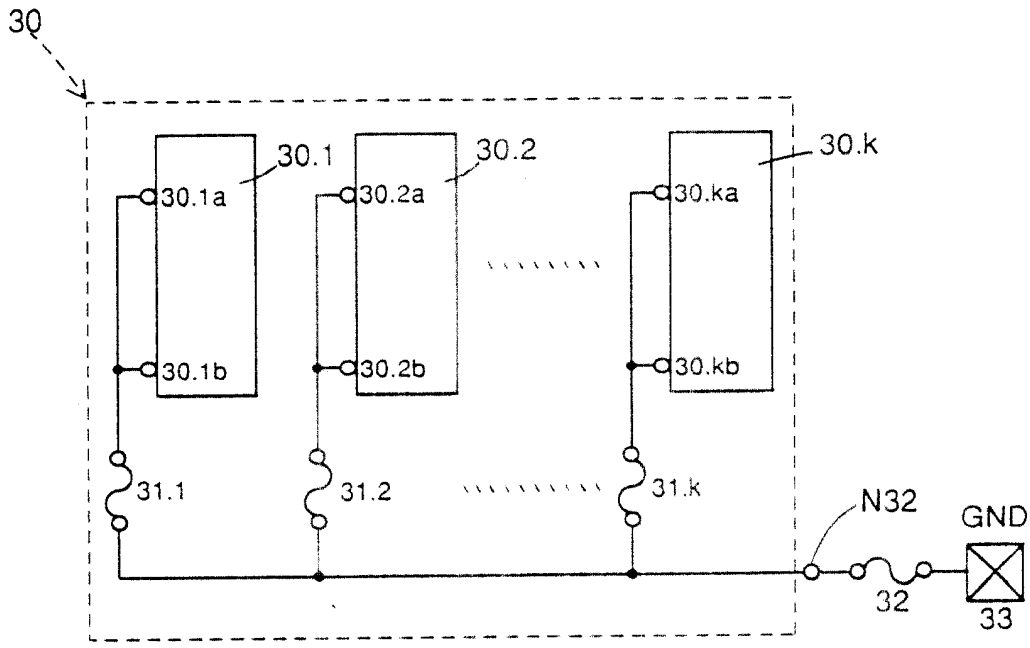

30
30.1
30.2
30.k
30.1a
30.2a
30.ka
30.1b
30.2b
30.kb
31.1
31.2
31.k
N32
GND
32
33

圖 10

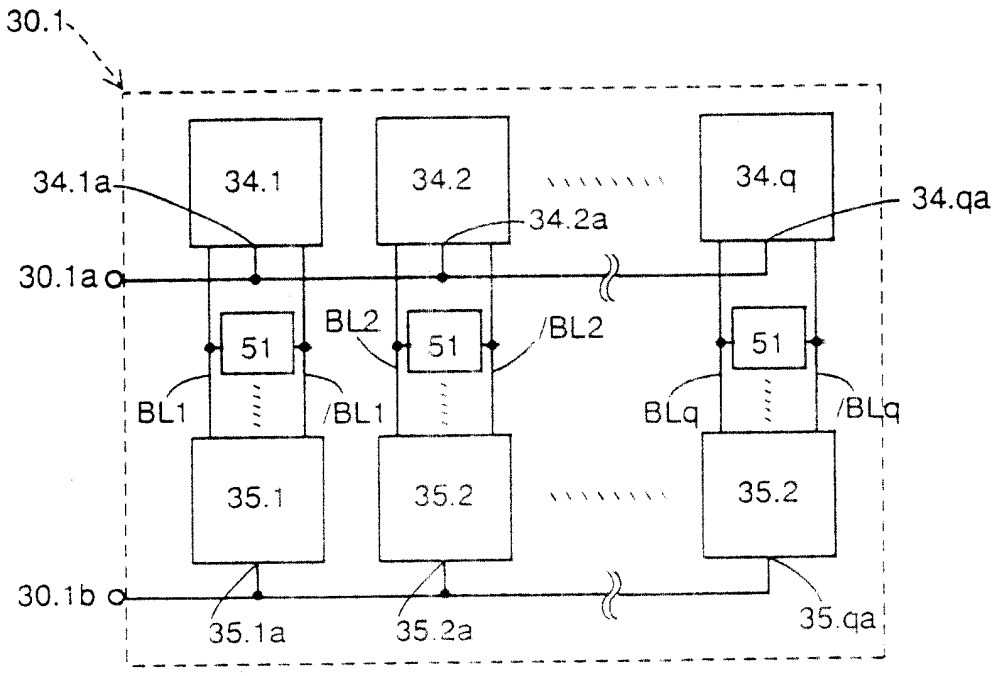

30.1
34.1
34.2
34.q
34.1a
34.2a
34.qa
30.1a
51
51
51
BL2
/BL2
BL1
/BL1
BLq
/BLq
35.1
35.2
35.2
30.1b
35.1a
35.2a
35.qa

圖11

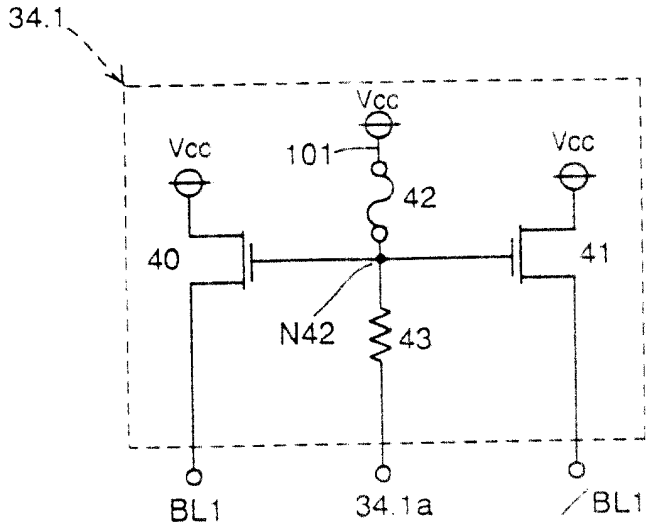

34.1
Vcc
Vcc
101
Vcc
42
40
41
N42
43
BL1
34.1a
BL1

圖12

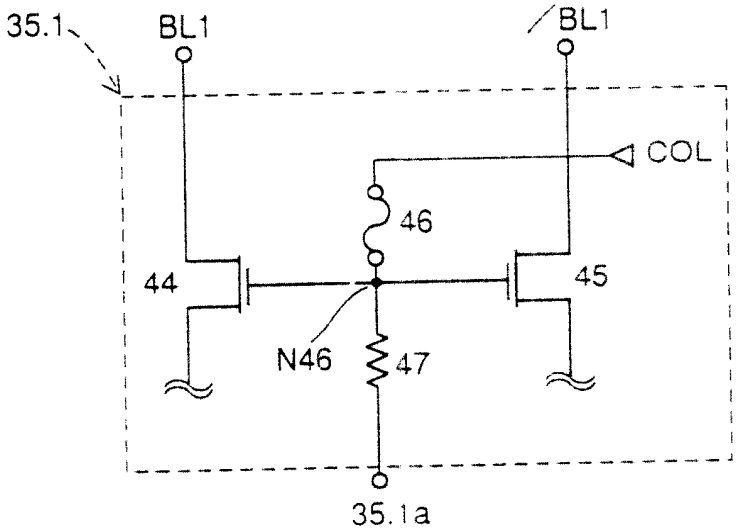

35.1
BL1
BL1
COL
46
44
45
N46
47
35.1a

圖13

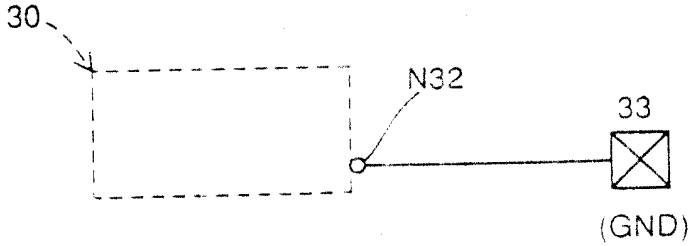

30
N32
33
(GND)

圖 14

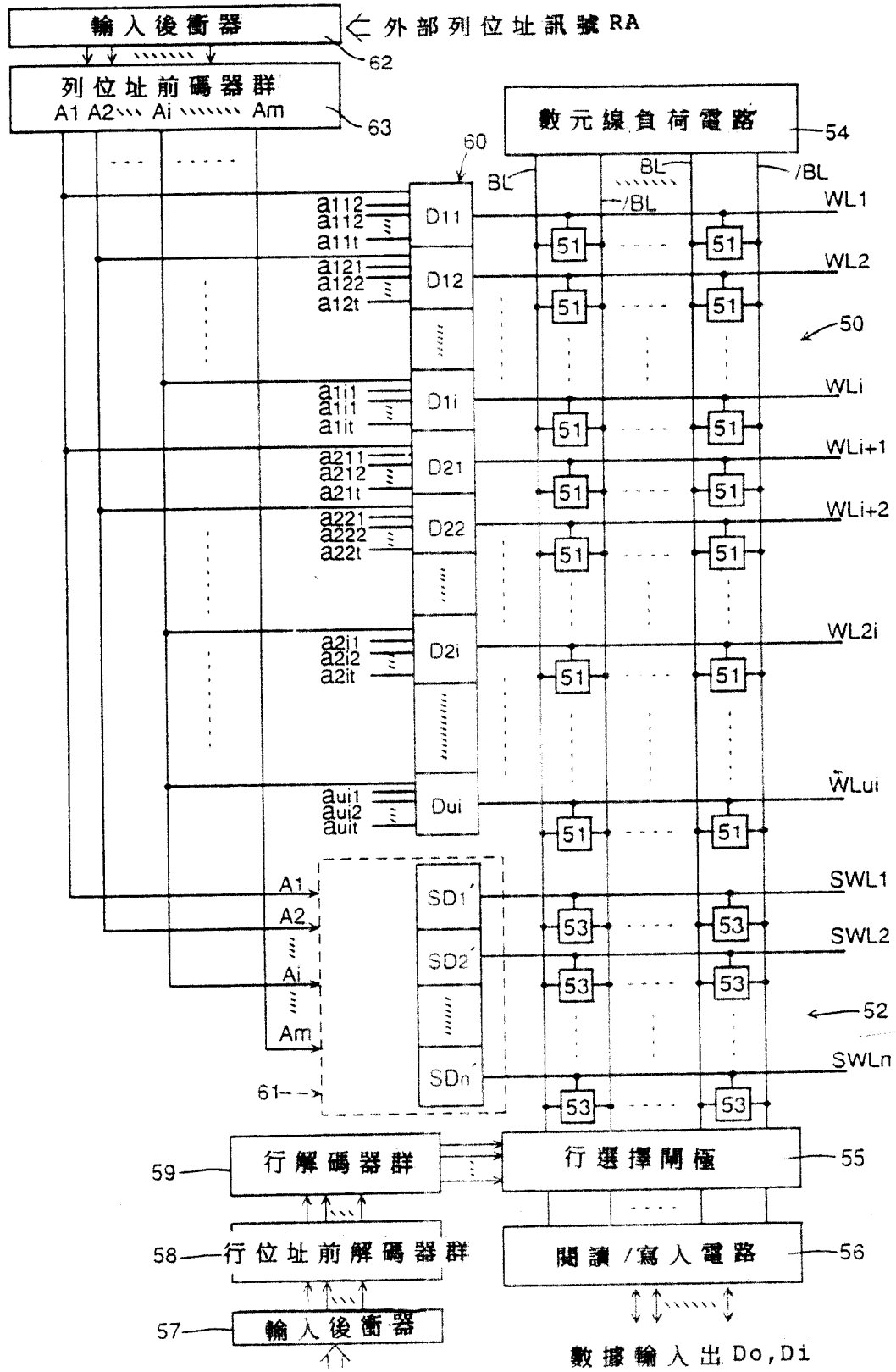

輸入後衝器
外部列位址訊號 RA
62
列位址前碼器群
A1 A2 Ai Am
63
數元線負荷電路
54
60
BL
/BL
WL1
WL2
50
WLi
WLi+1
WLi+2
WL2i
WLui
SWL1
SWL2
52
SWLn
D11
D12
D1i
D21
D22
D2i
Dui
a112
a112
a11t
a121
a122
a12t
a1i1
a1i1
a1it
a211
a212
a21t
a221
a222
a22t
a2i1
a2i2
a2it
aui1
aui2
auit
A1
A2
Ai
Am
SD1'
SD2'
SDn'
61
51
53
59
行解碼器群
行選擇開極
55
58
行位址前解碼器群
閱讀/寫入電路
56
57
輸入後衝器
數據輸入出 Do,Di

圖15

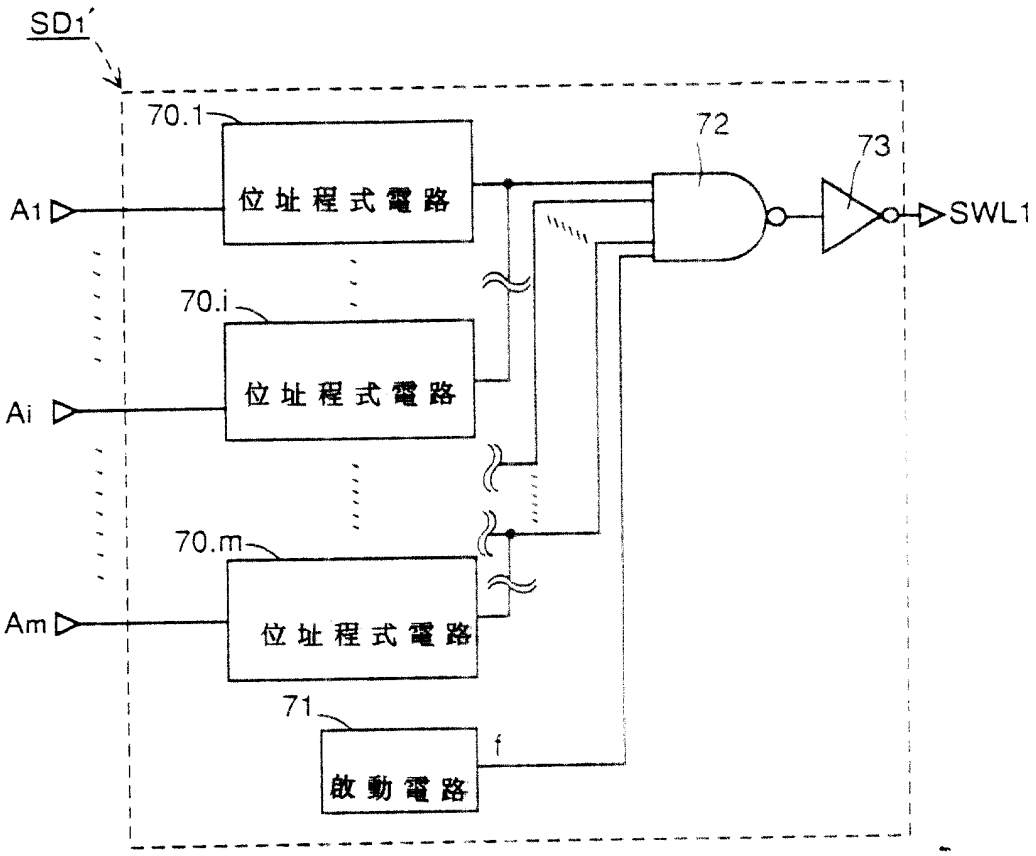

SD1'
70.1
位址程式電路
A1
70.i
位址程式電路
Ai
70.m
位址程式電路
Am
71
啟動電路
f
72
73
SWL1

圖16

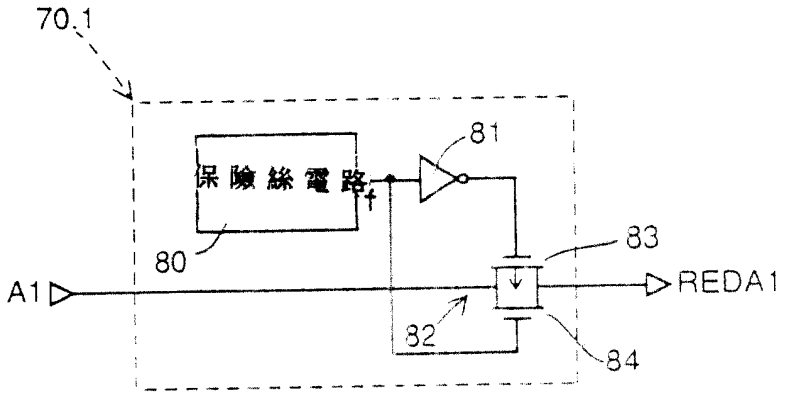

70.1
保險絲電路
f
80
81
83
A1
REDA1
82
84

圖 17

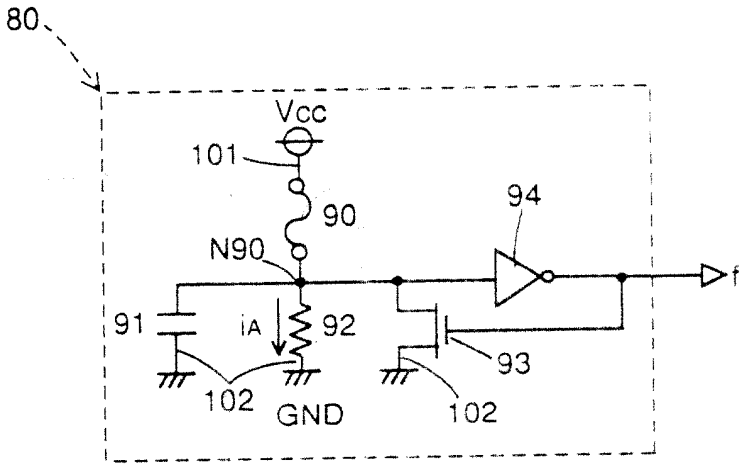
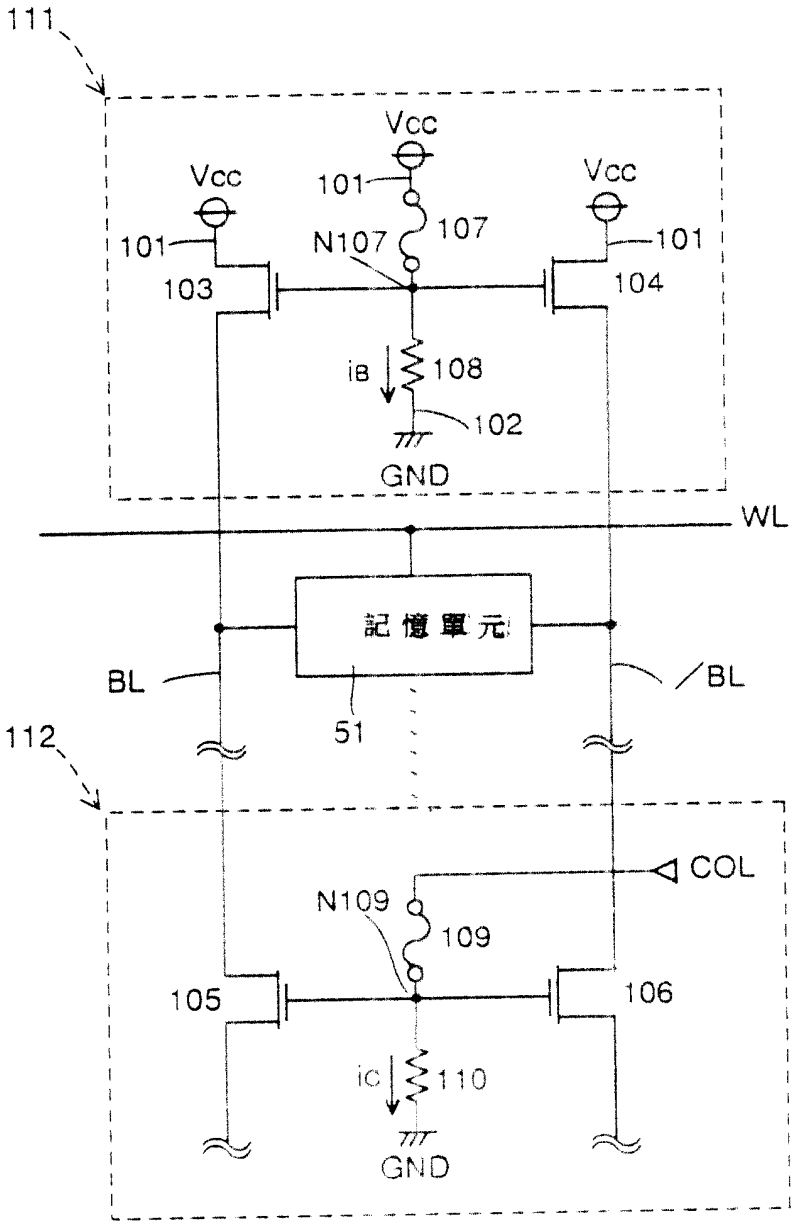


圖18


111
Vcc
Vcc
101
Vcc
101
N107
107
101
103
104
iB
108
102
GND
WL
記憶單元
BL
/BL
51
112
COL
N109
109
105
106
iC
110
GND