

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-21907

(P2019-21907A)

(43) 公開日 平成31年2月7日(2019.2.7)

(51) Int.Cl.	F I	テーマコード (参考)
H 0 1 G 4/30 (2006.01)	H 0 1 G 4/30 2 0 1 F	5 E 0 0 1
	H 0 1 G 4/30 2 0 1 G	5 E 0 8 2
	H 0 1 G 4/30 3 1 1 E	
	H 0 1 G 4/30 5 1 3	
	H 0 1 G 4/30 5 1 6	
審査請求 未請求 請求項の数 15 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2018-92567 (P2018-92567)
 (22) 出願日 平成30年5月11日 (2018.5.11)
 (31) 優先権主張番号 10-2017-0087595
 (32) 優先日 平成29年7月11日 (2017.7.11)
 (33) 優先権主張国 韓国 (KR)
 (31) 優先権主張番号 10-2017-0128094
 (32) 優先日 平成29年9月29日 (2017.9.29)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 594023722
 サムソン エレクトロメカニクス カ
 ンパニーリミテッド.
 大韓民国、キョンギード、スウォンシ、
 ヨントング、(マエタンードン) マエヨ
 ンロー 150
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 オー、ドン ジュン
 大韓民国、キョンギード、スウォンシ、
 ヨントング、(マエタンードン) マエヨ
 ンロー 150 サムソン エレクトロ
 メカニクス カンパニーリミテッド、内

最終頁に続く

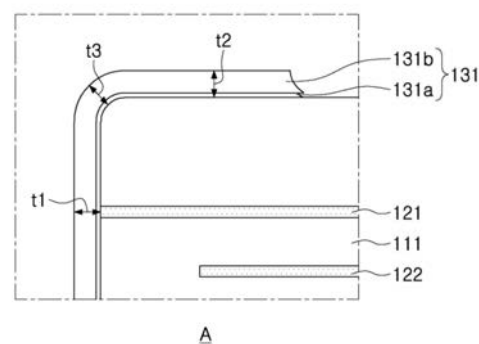
(54) 【発明の名称】 積層セラミックキャパシタ及びその製造方法

(57) 【要約】

【課題】 本発明は積層セラミックキャパシタ及びその製造方法に関する。

【解決手段】 本発明の一実施例は、互いに対向する第1及び第2面、上記第1及び第2面と連結され、互いに対向する第3及び第4面、上記第1から第4面と連結され、互いに対向する第5及び第6面を有し、誘電体層と該誘電体層を挟んで上記第3及び第4面から交互に露出するように配置される内部電極を含む本体と、上記本体の第3及び第4面にそれぞれ形成される接続部、上記接続部から上記本体の第1、第2、第5及び第6面の一部まで延長形成されるバンド部、及び上記接続部とバンド部とが接する角部を含む外部電極と、を含み、上記外部電極の厚さは50nm～2μmであり、上記接続部の厚さをt1、上記バンド部の厚さをt2、上記角部の厚さをt3としたとき、 $t2/t1$ は0.7～1.2を満足し、 $t3/t1$ は0.7～1.0を満足する積層セラミックキャパシタを提供する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

互いに対向する第 1 及び第 2 面、前記第 1 及び第 2 面と連結され、互いに対向する第 3 及び第 4 面、前記第 1 から第 4 面と連結され、互いに対向する第 5 及び第 6 面を有し、

誘電体層と該誘電体層を挟んで前記第 3 及び第 4 面から交互に露出するように配置される内部電極を含む本体と、

前記本体の第 3 及び第 4 面にそれぞれ形成される接続部、前記接続部から前記本体の第 1、第 2、第 5 及び第 6 面の一部まで延長形成されるバンド部、及び前記接続部と前記バンド部とが接する角部を含む外部電極と、を含み、

前記外部電極の厚さは $50\text{ nm} \sim 2\text{ }\mu\text{m}$ であり、

前記接続部の厚さを t_1 、前記バンド部の厚さを t_2 、前記角部の厚さを t_3 としたとき、 t_2/t_1 は $0.7 \sim 1.2$ を満足し、 t_3/t_1 は $0.7 \sim 1.0$ を満足する積層セラミックキャパシタ。

【請求項 2】

前記接続部の厚さバラツキは 10% 以下である、請求項 1 に記載の積層セラミックキャパシタ。

【請求項 3】

前記バンド部の厚さバラツキは 10% 以下であり、長さバラツキは 10% 以下である、請求項 1 又は 2 に記載の積層セラミックキャパシタ。

【請求項 4】

前記外部電極はスパッタリング層である、請求項 1 から 3 のいずれか一項に記載の積層セラミックキャパシタ。

【請求項 5】

前記外部電極は、バレル型スパッタリング工法によって形成されたスパッタリング層である、請求項 1 から 4 のいずれか一項に記載の積層セラミックキャパシタ。

【請求項 6】

前記外部電極は、前記本体に接する第 1 電極層と、該第 1 電極層上に形成された第 2 電極層と、を含む、請求項 1 から 5 のいずれか一項に記載の積層セラミックキャパシタ。

【請求項 7】

前記第 1 電極層の厚さは $10 \sim 100\text{ nm}$ である、請求項 6 に記載の積層セラミックキャパシタ。

【請求項 8】

前記第 1 及び第 2 電極層は、バンド部の端がそれぞれ丸みを帯びた側壁を有するアンダーカット形状である、請求項 6 又は 7 に記載の積層セラミックキャパシタ。

【請求項 9】

前記第 1 電極層は、 Ti 、 Cr 、 NiCr 、 TiW 、 TiN 、及び TaN のうち少なくとも一つを含む、請求項 6 から 8 のいずれか一項に記載の積層セラミックキャパシタ。

【請求項 10】

前記第 2 電極層は、 Cu 及び Al のうち少なくとも一つを含む、請求項 6 から 9 のいずれか一項に記載の積層セラミックキャパシタ。

【請求項 11】

前記積層セラミックキャパシタは、前記外部電極上に形成されためっき層をさらに含む、請求項 1 から 10 のいずれか一項に記載の積層セラミックキャパシタ。

【請求項 12】

互いに対向する第 1 及び第 2 面、前記第 1 及び第 2 面と連結され、互いに対向する第 3 及び第 4 面、前記第 1 から第 4 面と連結され、互いに対向する第 5 及び第 6 面を有し、誘電体層と該誘電体層を挟んで前記第 3 及び第 4 面から交互に露出するように配置される内部電極を含む本体を設ける段階と、

前記第 1 から第 6 面に第 1 電極層を形成する段階と、

前記第 1 電極層上に第 2 電極層を形成する段階と、

10

20

30

40

50

前記第 2 電極層において第 1 及び第 2 外部電極が形成される部分の上部に保護層を形成する段階と、

前記保護層が形成された前記本体において前記第 2 電極層の露出した部分をエッチングして除去した後、前記第 1 電極層の露出した部分をエッチングして除去する段階と、

前記保護層を除去する段階と、を含む積層セラミックキャパシタの製造方法。

【請求項 1 3】

前記第 1 及び第 2 電極層の厚さは、合計 50 nm～2 μm である、請求項 1 2 に記載の積層セラミックキャパシタの製造方法。

【請求項 1 4】

前記第 1 及び第 2 電極層を形成する段階は、バレル型スパッタリング工法を用いて行われる、請求項 1 2 又は 1 3 に記載の積層セラミックキャパシタの製造方法。

【請求項 1 5】

前記保護層を除去した後、前記第 2 電極層上にめっき層を形成する段階をさらに含む、請求項 1 2 から 1 4 のいずれか一項に記載の積層セラミックキャパシタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層セラミックキャパシタ及びその製造方法に関するものである。

【背景技術】

【0002】

積層セラミックキャパシタ (MLCC; Multilayer Ceramic Capacitor) の小型化及び高容量化の傾向に伴い、積層セラミックキャパシタの有効体積率 (全体の体積に比べ、容量に寄与する体積の割合) を増加させることに対する重要性が高まっている。

【0003】

従来は、外部電極を形成する際に、導電性金属が含まれたペーストを用いて、本体の内部電極が露出した面をペーストにディッピング (dipping) する方法が主に使用されていた。

【0004】

ところで、ディッピング工法によって形成された外部電極は、その厚さが均一でなく、本体の角部分には外部電極が過度に薄く形成される一方、残りの部分には外部電極が過度に厚く形成されていた。そのため、高い有効体積率を確保することが困難だけでなく、積層セラミックキャパシタの連結性及び実装性を高めるために外部電極にめっき層を形成するとき、めっき液が本体の内側に浸透して、積層セラミックキャパシタの信頼性が減少するという問題があった。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】韓国公開特許第 10-2016-0001026 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の目的のうちの一つは、積層セラミックキャパシタの外部電極を薄くかつ均一で緻密に形成させることによって有効体積率を向上させるとともに、耐湿信頼性に優れた外部電極を有する積層セラミックキャパシタを提供することである。

【課題を解決するための手段】

【0007】

上述した課題を解決するための方法として、本発明は、一例を通じて新規な構造の積層セラミックキャパシタを提案する。具体的には、本発明の一実施例による積層セラミックキャパシタは、互いに対向する第 1 及び第 2 面、上記第 1 及び第 2 面と連結され、互いに

10

20

30

40

50

対向する第 3 及び第 4 面、上記第 1 から第 4 面と連結され、互いに対向する第 5 及び第 6 面を有し、誘電体層と該誘電体層を挟んで上記第 3 及び第 4 面から交互に露出するように配置される内部電極を含む本体と、上記本体の第 3 及び第 4 面にそれぞれ形成される接続部、上記接続部から上記本体の第 1、第 2、第 5 及び第 6 面の一部まで延長形成されるバンド部、及び上記接続部とバンド部とが接する角部を含む外部電極と、を含み、上記外部電極の厚さは $50\text{ nm} \sim 2\text{ }\mu\text{ m}$ であり、上記接続部の厚さを t_1 、上記バンド部の厚さを t_2 、上記角部の厚さを t_3 としたとき、 t_2 / t_1 は $0.7 \sim 1.2$ を満足し、 t_3 / t_1 は $0.7 \sim 1.0$ を満足する。

【0008】

上述した課題を解決するための方法として、本発明は、他の例を通じて上述した新規な構造の積層セラミックキャパシタを効率良く製造することができる方法を提案する。具体的には、本発明の他の実施例による積層セラミックキャパシタの製造方法は、互いに対向する第 1 及び第 2 面、上記第 1 及び第 2 面と連結され、互いに対向する第 3 及び第 4 面、上記第 1 から第 4 面と連結され、互いに対向する第 5 及び第 6 面を有し、誘電体層と該誘電体層を挟んで上記第 3 及び第 4 面から交互に露出するように配置される内部電極を含む本体を設ける段階と、上記第 1 から第 6 面に第 1 電極層を形成する段階と、上記第 1 電極層上に第 2 電極層を形成する段階と、上記第 2 電極層において第 1 及び第 2 外部電極が形成される部分の上部に保護層を形成する段階と、上記保護層が形成された本体において上記第 2 電極層の露出した部分をエッチングして除去した後、上記第 1 電極層の露出した部分をエッチングして除去する段階と、上記保護層を除去する段階と、を含む。

【発明の効果】

【0009】

本発明の一実施例による積層セラミックキャパシタは、薄くかつ均一で緻密に形成された外部電極を有することで、有効体積率を向上させるとともに、耐湿信頼性を向上させることができる。

【図面の簡単な説明】

【0010】

【図 1】本発明の一実施例による積層セラミックキャパシタの斜視図を概略的に示したものである。

【図 2】図 1 の I - I' による断面図を概略的に示したものである。

【図 3】図 2 における A の拡大断面図を概略的に示したものである。

【図 4】ディッピング方法により外部電極を形成した積層セラミックキャパシタの断面図を概略的に示したものである。

【図 5】一般的なスパッタリング工法によって外部電極を形成する方法を概略的に示したものである。

【図 6】バレル型スパッタリング工法によって外部電極を形成する方法を概略的に示したものである。

【図 7】図 5 の一般的なスパッタリング工法によって形成された外部電極の接続部の断面を撮影したものである。

【図 8】図 6 のバレル型スパッタリング工法によって形成された外部電極の接続部の断面を撮影したものである。

【図 9】本発明の他の実施例による積層セラミックキャパシタの製造方法の各段階を概略的に示した斜視図である。

【図 10】本発明の他の実施例による積層セラミックキャパシタの製造方法の各段階を概略的に示した斜視図である。

【図 11】本発明の他の実施例による積層セラミックキャパシタの製造方法の各段階を概略的に示した斜視図である。

【図 12】本発明の他の実施例による積層セラミックキャパシタの製造方法の各段階を概略的に示した斜視図である。

【図 13】本発明の他の実施例による積層セラミックキャパシタの製造方法の各段階を概

10

20

30

40

50

略的に示した斜視図である。

【図 1 4】本発明の他の実施例による積層セラミックキャパシタの製造方法の各段階を概略的に示した斜視図である。

【発明を実施するための形態】

【0011】

以下では、添付の図面を参照して本発明の好ましい実施形態について説明する。しかし、本発明の実施形態は様々な他の形態に変形されることができ、本発明の範囲は以下で説明する実施形態に限定されない。また、本発明の実施形態は、当該技術分野で平均的な知識を有する者に本発明をより完全に説明するために提供されるものである。したがって、図面における要素の形状及び大きさなどはより明確な説明のために拡大縮小表示（又は強調表示や簡略化表示）がされることがあり、図面上の同一の符号で示される要素は同一の要素である。

10

【0012】

なお、本発明を明確に説明すべく、図面において説明と関係ない部分は省略し、様々な層及び領域を明確に表現するために厚さを拡大して示し、同一思想の範囲内において機能が同一である構成要素に対しては同一の参照符号を用いて説明する。さらに、明細書全体において、ある構成要素を「含む」というのは、特に反対である記載がない限り、他の構成要素を除去するのではなく、他の構成要素をさらに含むことができるということを意味する。

【0013】

20

図面において、X方向は第1方向又は長さ方向、Y方向は第2方向又は厚さ方向、Z方向は第3方向、幅方向もしくは積層方向と定義することができるが、これに制限されるものではない。

【0014】

積層セラミックキャパシタ

図1は本発明の一実施例による積層セラミックキャパシタの斜視図を概略的に示したものであり、図2は図1のI-I'による断面図を概略的に示したものであり、図3は図2におけるAの拡大断面図を概略的に示したものである。

【0015】

以下、図1～図3を参照して、本発明の一実施例による積層セラミックキャパシタ100について説明する。

30

【0016】

図1を参照すると、本発明の一実施例による積層セラミックキャパシタ100は、本体110と、本体110の外側に配置された第1及び第2外部電極131、132と、を含む。

【0017】

本体110は、厚さ方向（Z方向）に互いに対向する第1及び第2面1、2と、上記第1及び第2面1、2と連結され、幅方向（Y方向）に互いに対向する第3及び第4面3、4と、第1及び第2面1、2と連結されるとともに、第3及び第4面3、4と連結され、長さ方向（X方向）に互いに対向する第5及び第6面5、6と、を有する。

40

【0018】

図2を参照すると、本体110は、誘電体層111と該誘電体層111を挟んで上記第3及び第4面3、4から交互に露出するように配置される内部電極121、122を含む。

【0019】

本体110は、複数の誘電体層111を厚さ方向（Z方向）に積層した後、焼成して形成されるが、本体110の形状、寸法、及び誘電体層111の積層数は、本実施形態に示したものに限定されるものではない。

【0020】

本体110を形成する複数の誘電体層111は焼成された状態であり、隣接する誘電体

50

層 1 1 1 間の境界は、走査電子顕微鏡 (SEM: Scanning Electron Microscope) を用いなければ確認できない程度に一体化されることができる。

【0021】

誘電体層 1 1 1 を形成する原料としては、十分な静電容量が得られる限り、特に制限されず、例えば、チタン酸バリウム (BaTiO_3) 粉末であってもよい。誘電体層 1 1 1 を形成する材料としては、チタン酸バリウム (BaTiO_3) などの粉末に、本発明の目的に応じて多様なセラミック添加剤、有機溶剤、可塑剤、結合剤、分散剤などが添加されてもよい。

【0022】

内部電極 1 2 1、1 2 2 は、第 3 面 3 から露出する第 1 内部電極 1 2 1 と、第 4 面 4 から露出する第 2 内部電極 1 2 2 と、を含むことができる。

10

【0023】

第 1 及び第 2 内部電極 1 2 1、1 2 2 は、互いに他の極性を有する一対の電極であり、中間に配置された誘電体層 1 1 1 により互いに電氣的に絶縁される。

【0024】

第 1 及び第 2 内部電極 1 2 1、1 2 2 は、本体 1 1 0 の長さ方向 (X 方向) の第 3 及び第 4 面 3、4 に交互に露出することによって、本体 1 1 0 の外側に配置される第 1 及び第 2 外部電極 1 3 1、1 3 2 とそれぞれ連結される。

【0025】

第 1 及び第 2 内部電極 1 2 1、1 2 2 の幅は、用途に応じて決定されることができる。

20

【0026】

例えば、第 1 及び第 2 内部電極 1 2 1、1 2 2 の幅は、本体 1 1 0 の大きさを考慮して、 $0.2 \sim 1.0 \mu\text{m}$ の範囲を満足するように形成してもよいが、必ずしもこれに限定されるものではない。

【0027】

第 1 及び第 2 内部電極 1 2 1、1 2 2 は、ニッケル (Ni)、銅 (Cu)、パラジウム (Pd)、銀 (Ag)、鉛 (Pb) 又は白金 (Pt) などを単独で含むことができ、又は、これらの合金からなる導電性金属を含むことができる。

【0028】

本体 1 1 0 の上部及び下部には、それぞれ、内部電極が形成されていない誘電体層を積層して形成されるカバー層 1 1 2 を含むことができる。カバー層 1 1 2 は、外部衝撃に対して積層セラミックキャパシタの信頼性を維持する役割を果たすことができる。

30

【0029】

外部電極 1 3 1、1 3 2 は、本体 1 1 0 の第 3 及び第 4 面 3、4 にそれぞれ形成される接続部と、上記接続部から上記本体の第 1、第 2、第 5 及び第 6 面 1、2、5、6 の一部まで延長形成されるバンド部と、上記接続部とバンド部とが接する角部と、を含む。外部電極 1 3 1、1 3 2 は、第 1 及び第 2 内部電極 1 2 1、1 2 2 とそれぞれ連結される第 1 及び第 2 外部電極 1 3 1、1 3 2 を含むことができる。

【0030】

図 3 を参照して、本発明の一実施例による積層セラミックキャパシタの第 1 及び第 2 外部電極 1 3 1、1 3 2 の構造についてさらに詳細に説明する。図 3 は第 1 外部電極 1 3 1 の拡大図であり、これに対する説明は、第 2 外部電極 1 3 2 においても同様に適用される。

40

【0031】

本発明の一実施例による積層セラミックキャパシタは、外部電極 1 3 1 の厚さが $50 \text{ nm} \sim 2 \mu\text{m}$ であり、接続部の厚さを t_1 、バンド部の厚さを t_2 、角部の厚さを t_3 としたとき、 t_2/t_1 は $0.7 \sim 1.2$ を満足し、 t_3/t_1 は $0.7 \sim 1.0$ を満足する。

【0032】

外部電極の厚さが 50 nm 未満であると、耐湿信頼性が低下する恐れがあり、 $2 \mu\text{m}$ を

50

超過すると、スパッタリング工法によって工程適合性が低下し、量産性が低下する恐れがある。

【0033】

t_2/t_1 が0.7未満又は1.2超過であると、接続部とバンド部の厚さが均一にならないため、耐湿信頼性又は有効体積率が低下する恐れがある。

【0034】

t_3/t_1 が0.7未満であると、角部分が過度に薄くなって水分浸透経路として作用し、耐湿信頼性が低下する恐れがあり、 t_3/t_1 が1.0を超えるためには、角部に別途の外部電極形成工程を追加しなければならない、生産性が低くなる恐れがある。

【0035】

従来は、外部電極を形成する際に、導電性金属が含まれたペーストを用いて、本体の内部電極が露出した面をペーストにディッピングする方法が主に使用されていた。

【0036】

従来のディッピング工法によって外部電極331、332を形成した積層セラミックキャパシタ300の断面図である図4を参照すると、外部電極ペーストを用いたディッピング工法によって形成された外部電極331、332は、厚さが均一でなく、本体の角部分には外部電極が過度に薄く形成される一方、残りの部分には外部電極が過度に厚く形成されていることが分かる。

【0037】

そのため、高い有効体積率を確保することが困難だけでなく、本体の角部分で外部電極ペーストに含まれたベース樹脂331c、ディッピング後の焼成過程で発生するクラックなどが水分浸透経路として作用するため耐湿信頼性が低下し、積層セラミックキャパシタの連結性及び実装性を高めるために外部電極にめっき層を形成するとき、めっき液が本体の内側に浸透して、積層セラミックキャパシタの信頼性が減少するという問題があった。

【0038】

また、ペーストがチップ表面を伝って上昇するムーニング（moon ing）現象によって、外部電極のバンド部の長さも均一ではなかった。

【0039】

このような問題点を解決するために、スパッタリング工法によって外部電極を形成する

【0040】

図5は一般的なスパッタリング工法によって外部電極を形成する方法を概略的に示したものである。図6はバレル型スパッタリング工法によって外部電極を形成する方法を概略的に示したものである。

【0041】

一般的なスパッタリング工法500では、図5に示したように、ターゲット510から外部電極用金属物質520を原子又はイオン状態で放出して、直線方向に移動する本体Cの第1面に蒸着させる。その後、本体Cを裏返して本体Cの第2面に外部電極用金属物質520を蒸着させるようになる。

【0042】

しかし、この場合、本体の第1面又は第2面を中心に外部電極用金属物質520が蒸着されるのに対し、接続部となる本体の第3面及び第4面には外部電極用金属物質520が少量蒸着されるため、接続部の厚さがバンド部よりも薄くなることがある。よって、一般的なスパッタリング工法を用いるとき、 t_2/t_1 は0.7～1.2を満足することが難しくなる。

【0043】

一方、バレル型スパッタリング工法600では、図6に示したように、バレル600が回転することによって本体Cも回転するため、ターゲット610から放出された原子又はイオン状態の外部電極用金属物質620が本体の全面に均一に蒸着されるようになる。

10

20

30

40

50

【0044】

図7は図5の一般的なスパッタリング工法によって形成された外部電極の接続部の断面を撮影したものである。図8は図6のバレル型スパッタリング工法によって形成された外部電極の接続部の断面を撮影したものである。

【0045】

図7及び図8を比較してみると、一般的なスパッタリング工法によって形成された外部電極の接続部は、バンド部よりも薄く形成されるだけでなく、若干のクラック又はボイド(v o i d)が観察される。一方、バレル型スパッタリング工法によって形成された外部電極の接続部はクラック又はボイドがほとんど観察されず、より緻密に形成されていることが分かる。

【0046】

下記表1は、ディッピング工法、一般的なスパッタリング工法又はバレル型スパッタリング工法によって形成された外部電極の接続部の厚さ t_1 、バンド部の厚さ t_2 、及び角部の厚さ t_3 を測定して示したものである。但し、ディッピング工法によって形成された外部電極の厚さは、最も厚い部分を測定したものであり、一般的なスパッタリング工法又はバレル型スパッタリング工法によって形成された外部電極の厚さは、その平均値を記載したものである。

【0047】

【表1】

区分	外部電極形成方法	t_1 (μ m)	t_2 (μ m)	t_3 (μ m)	t_2/t_1	t_3/t_1
1*	ディッピング工法	20	—	1.5	—	0.075
2*	一般的なスパッタリング工法	1	0.25	0.46	0.25	0.46
3	バレル型スパッタリング工法	0.06	0.06	0.06	1.0	1.0
4		0.5	0.4	0.5	0.8	1.0
5		1.0	0.9	0.8	0.9	0.8
6		1.7	1.8	1.6	1.1	0.9

【0048】

上記表1から分かるように、バレル型スパッタリング工法を用いる場合は、 t_2/t_1 が0.7～1.2を満足し、 t_3/t_1 が0.7～1.0を満足することを確認することができる。

【0049】

したがって、本発明の一実施例による積層セラミックキャパシタの外部電極は、スパッタリング層であることが好ましく、バレル型スパッタリング工法によって形成されたスパッタリング層であることがより好ましい。

【0050】

外部電極131が薄くなるにつれて、積層セラミックキャパシタの耐湿信頼性が問題となり得るが、本願発明の一実施例による積層セラミックキャパシタ100は、外部電極131がスパッタリング層であるため、緻密度が従来のディッピング工法によって形成された外部電極331、332よりも高く、耐湿信頼性を向上させることができる。また、従来のディッピング工法によって形成された外部電極に比べて非常に薄い厚さを有するため、積層セラミックキャパシタの有効体積率を向上させることができる。

【0051】

また、本発明の一実施例による積層セラミックキャパシタは、外部電極の接続部の厚さバラツキが10%以下であることができる。これは、本発明のように外部電極の厚さが薄い場合、接続部の厚さバラツキが10%を超過すると、電気伝導性及び耐湿信頼性又は有効体積率が低下する恐れがあるためである。

【0052】

さらに、バンド部の厚さバラツキは10%以下であることができる。これは、本発明のように外部電極の厚さが薄い場合、バンド部の厚さバラツキが10%を超過又は長さバラツキが10%を超過すると、耐湿信頼性又は有効体積率が低下する恐れがあるためである。

10

【0053】

一方、外部電極131は、本体に接する第1電極層と、該第1電極層上に形成された第2電極層と、を含むことができる。

【0054】

第2電極層131bは、外部電極131の電気伝導性を高めるために、Cu及びAlのうち少なくとも一つを含むことができる。

【0055】

第1電極層131aは、本体110と第2電極層131bとの間の密着力及び接着力を向上させる役割を果たすことができる。また、第2電極層131bに含まれる金属原子が内部電極121に拡散することを防止することにより、積層セラミックキャパシタの信頼性を向上させることができる。このため、第1電極層131aは、Ti、Cr、NiCr、TiW、TiN、及びTa₂Nのうち少なくとも一つを含むことができる。

20

【0056】

このとき、上記第1電極層131aの厚さは、10～100nmであることができる。

【0057】

第1電極層131aの厚さが10nm未満であると、本体110と第2電極層131bとの間の密着力が低下する恐れがあり、100nmを超過すると、外部電極131において第1電極層131aが占める割合が増加し、電気伝導性が低下する恐れがある。

【0058】

また、図3に示したように、第1及び第2電極層は、バンド部の端がそれぞれ丸みを帯びた側壁を有するアンダーカット（undercut）形状であってもよい。後述するように、本体の全面に第1及び第2電極層131a、131bを形成した後、湿式エッチング（Wet etching）によって第1及び第2電極層131a、131bの一部を除去することで、第1及び第2電極層131a、131bは、バンド部の端がそれぞれ等方性側壁を有するアンダーカット形状を有するようになる。

30

【0059】

積層セラミックキャパシタの製造方法

図9～図14は、本発明の他の実施例による積層セラミックキャパシタの製造方法の各段階を概略的に示した斜視図である。

【0060】

本発明の他の実施例による積層セラミックキャパシタの製造方法は、互いに対向する第1及び第2面、上記第1及び第2面と連結され、互いに対向する第3及び第4面、第1及び第2面と連結され、第3及び第4面と連結され、互いに対向する第5及び第6面を有し、誘電体層と該誘電体層を挟んで上記第3及び第4面から交互に露出するように配置される内部電極を含む本体を設ける段階と、上記第1から第6面に第1電極層を形成する段階と、上記第1電極層上に第2電極層を形成する段階と、上記第2電極層において第1及び第2外部電極が形成される部分の上部に保護層を形成する段階と、上記保護層が形成された本体の上記第2電極層の露出した部分をエッチングして除去した後、上記第1電極層の露出した部分をエッチングして除去する段階と、上記保護層を除去する段階と、を含む。

40

【0061】

50

以下、図 9～図 14 を参照して、本発明の他の実施例による積層セラミックキャパシタの製造方法の各段階について説明する。

【0062】

先ず、図 9 を参照すると、互いに対向する第 1 及び第 2 面と、上記第 1 及び第 2 面と連結され、互いに対向する第 3 及び第 4 面と、第 1 及び第 2 面と連結されるとともに、第 3 及び第 4 面と連結され、互いに対向する第 5 及び第 6 面と、を有し、誘電体層 211 と該誘電体層 211 を挟んで上記第 3 及び第 4 面から交互に露出するように配置される内部電極 221、222 を含む本体 210 を設ける段階が行われることができる。

【0063】

チタン酸バリウム (BaTiO_3) などの粉末を含んで形成されたスラリーをキャリアフィルム (carrier film) 上に塗布及び乾燥することで、複数のセラミックシートを設ける。

【0064】

上記セラミックシートは、チタン酸バリウム (BaTiO_3) などのセラミック粉末、バインダー、溶剤などを混合してスラリーを製造し、上記スラリーをドクターブレード法によって数 μm の厚さを有するシート (sheet) 状に製作することができる。

【0065】

次に、導電性金属を含む導電性ペーストを設けることができる。上記導電性金属としては、ニッケル (Ni)、銅 (Cu)、パラジウム (Pd)、銀 (Ag)、鉛 (Pb) 又は金 (Pt) などの単独又は合金であることができ、平均粒子径が $0.1 \sim 0.2 \mu\text{m}$ であることができる。さらに、上記導電性金属の含量は、導電性ペーストを基準として $40 \sim 50$ 重量%であることができる。

【0066】

上記セラミックシート上に、上記内部電極用導電性ペーストを印刷工法などによって塗布することで内部電極パターンを形成することができる。上記導電性ペーストの印刷方法としては、スクリーン印刷法又はグラビア印刷法などを使用することができるが、本発明はこれに限定されるものではない。

【0067】

上記内部電極パターンが印刷されたセラミックシートを積層し、上部及び下部に内部電極パターンが印刷されていないセラミックシートを積層することで、内部に内部電極 221、222 を含む積層体を形成することができる。このとき、内部電極パターンが印刷されたセラミックシートの積層数は、積層セラミックキャパシタの容量によって調節することができる。内部電極パターンが印刷されていないセラミックシートは、本体 210 の上部及び下部に配置されるカバー部 212 となる。

【0068】

その後、上記積層体を圧着及び焼成することで、本体 210 を形成することができる。

【0069】

図 10 を参照すると、本体 210 を形成した後、本体 210 の第 1 から第 6 面に第 1 電極層 230a' を形成する段階を行う。

【0070】

次に、図 11 を参照すると、第 1 電極層 230a' 上に第 2 電極層 230b' を形成する段階を行う。

【0071】

第 1 及び第 2 電極層 230a'、230b' は、上述したように、薄くかつ均一で緻密な電極層を形成するために、スパッタリング工法によって形成することが好ましく、接続部とバンド部の厚さ均一性をさらに向上させるとともに、気孔率を最小化するために、パレル型スパッタリング工法によって形成することがより好ましい。

【0072】

第 1 電極層 230a' は、Ti、Cr、NiCr、TiW、TiN、及び TaN のうち少なくとも一つを含むことができ、厚さが $10 \sim 100 \text{ nm}$ になるように形成することが

10

20

30

40

50

できる。

【0073】

第2電極層230b'は、Cu及びAlのうち少なくとも一つを含むことができ、第1電極層と第2電極層の厚さが合計50nm～2μmになるように形成することができる。

【0074】

次に、図12を参照すると、第2電極層230b'において第1及び第2外部電極が形成される部分の上部に保護層250を形成する段階を行う。

【0075】

ここで、第1及び第2外部電極が形成される部分とは、本体210の第3及び第4面3、4と、該第3及び第4面3、4から隣接する第1、2、5、6面に延長される部分（バンド部）を意味する。

【0076】

保護層250としては、高分子樹脂を用いることができ、例えば、エポキシ、アクリルバインダー、又は、レジストであることができるが、これに限定されるものではない。

【0077】

次に、図13を参照すると、保護層250が形成された本体210において第2電極層230b'の露出した部分をエッチングして除去した後、第1電極層230a'の露出した部分をエッチングして除去する段階を行う。保護層の形状によって外部電極のバンド部の形状が決定されるため、バンド部のムーニング現象は発生しない。

【0078】

第2電極層230b'は、保護層250により本体210の長さ方向の中央部に帯状に露出しているが、このように露出した第2電極層230b'を除去することで、第1電極層230a'が長さ方向の中央部に帯状に露出し、このように露出した第1電極層230a'を除去することで、本体210の長さ方向の中央部が帯状に露出する。第1電極層230a'及び第2電極層230'はその厚さが非常に薄いため、一つの層として認められるが、説明の明確性のために、図13では区分して示されている。

【0079】

このとき、エッチングは湿式エッチングを用いて行うことができ、湿式エッチングによって第1及び第2電極層の一部を除去することで、第1及び第2電極層はバンド部の端がそれぞれ丸みを帯びた側壁を有するアンダーカット形状を有するようになる。

【0080】

最後に、図14に示すように、保護層250を除去することで第1及び第2外部電極231、232を形成し、積層セラミックキャパシタが完成する。

【0081】

その後、必要に応じて第1及び第2外部電極231、232上にめっき層を形成する段階をさらに行うことができるが、これに限定されるものではない。

【0082】

このような本発明の他の実施例による積層セラミックキャパシタの製造方法は、内部電極と外部電極の連結性を向上させるために、断面に別途の電極層を形成する工程なしに本体210の断面、側面、及び周面に外部電極を一度に蒸着することができ、ペーストを用いないため、電極焼成工程を必要としないという長所がある。

【0083】

以上、本発明の実施形態について詳細に説明したが、本発明の範囲はこれに限定されず、特許請求の範囲に記載された本発明の技術的思想から外れない範囲内で多様な修正及び変形が可能であるということは、当技術分野の通常の知識を有する者には明らかである。

【符号の説明】

【0084】

- 100 積層セラミックキャパシタ
- 110 本体
- 111 誘電体層

10

20

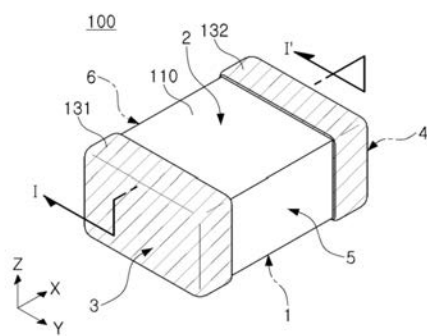
30

40

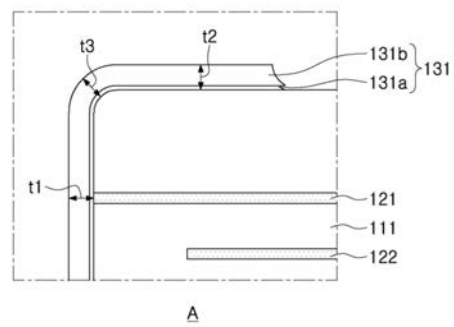
50

- 1 1 2 カバー層
 1 2 1、1 2 2 内部電極
 1 3 1、1 3 2 外部電極
 1 3 1 a 第 1 電極層
 1 3 1 b 第 2 電極層

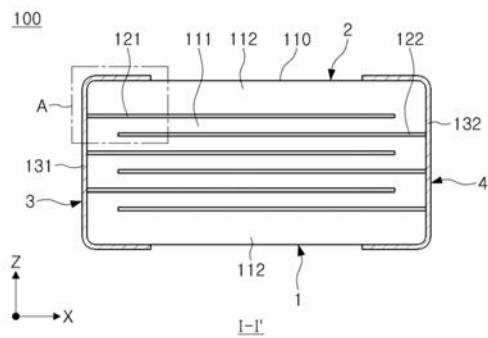
【図 1】



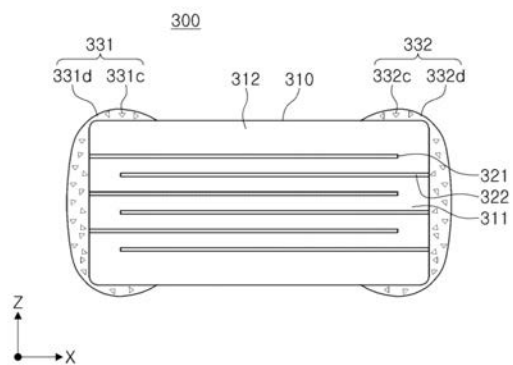
【図 3】



【図 2】

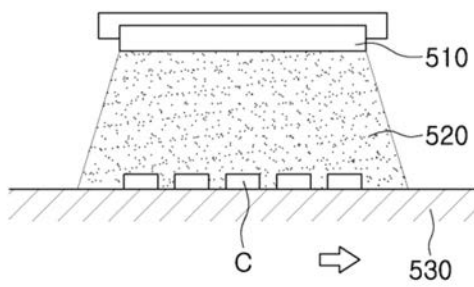


【図 4】



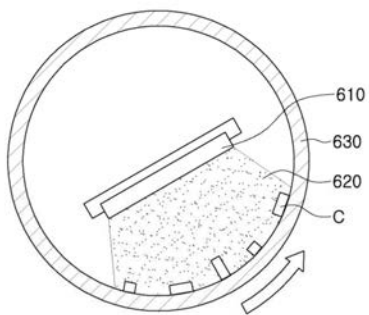
【図 5】

500

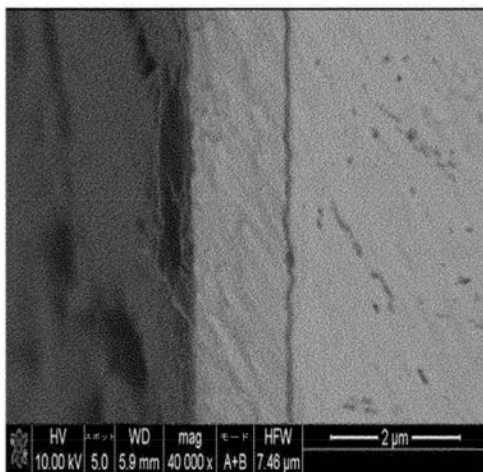


【図 6】

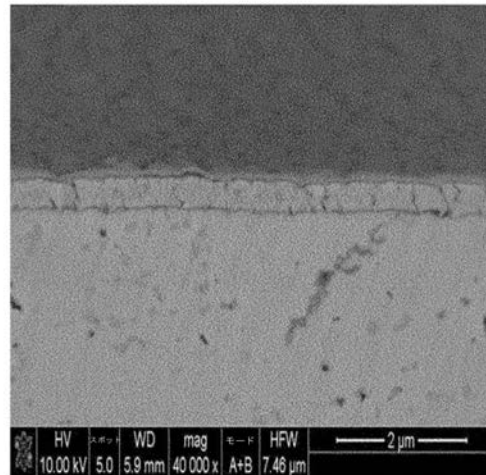
600



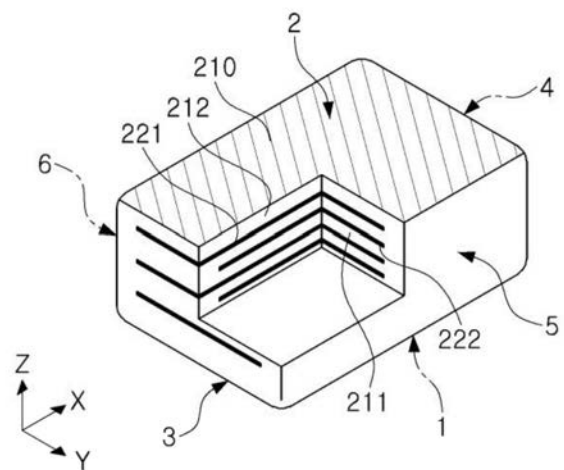
【図 8】



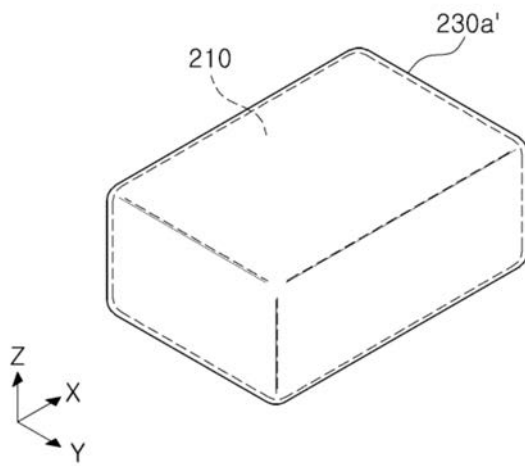
【図 7】



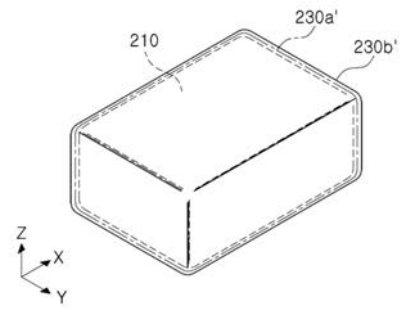
【図 9】



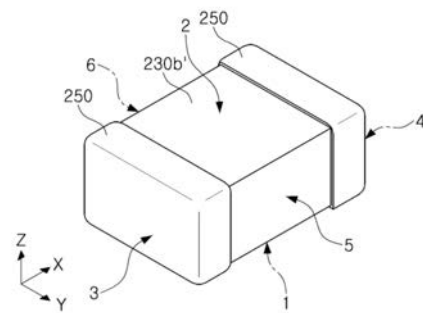
【図 10】



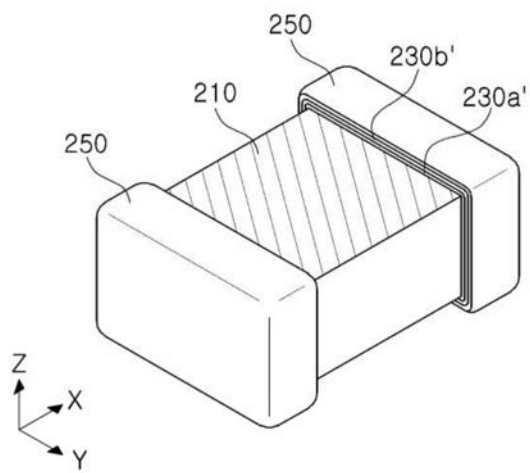
【図 11】



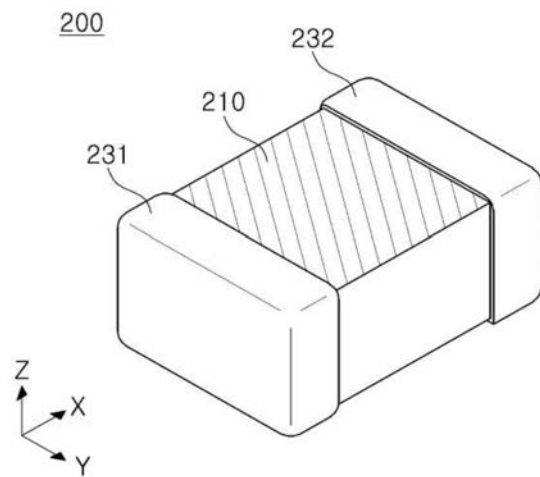
【図 12】



【図 13】



【図 14】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H 0 1 G 4/30 5 1 7

(72)発明者 パク、テ ジュン
大韓民国、キョンギード、スウォンーシ、ヨントンーグ、(マエタンードン) マエヨンーロ 1 5
0 サムソン エレクトローメカニックス カンパニーリミテッド. 内

(72)発明者 リー、サン ウク
大韓民国、キョンギード、スウォンーシ、ヨントンーグ、(マエタンードン) マエヨンーロ 1 5
0 サムソン エレクトローメカニックス カンパニーリミテッド. 内

(72)発明者 チョ、スン ミン
大韓民国、キョンギード、スウォンーシ、ヨントンーグ、(マエタンードン) マエヨンーロ 1 5
0 サムソン エレクトローメカニックス カンパニーリミテッド. 内

(72)発明者 リム、セウン モ
大韓民国、キョンギード、スウォンーシ、ヨントンーグ、(マエタンードン) マエヨンーロ 1 5
0 サムソン エレクトローメカニックス カンパニーリミテッド. 内

F ターム(参考) 5E001 AB03 AF06 AH01 AH07
5E082 AB03 EE04 EE35 FF05 FG04 FG26 FG46 GG10 GG11