(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/401

(45) 공고일자 1999년02월01일
(11) 등록번호 특0159445
(24) 등록일자 1998년08월11일

(21) 출원번호 특1995-003160
(22) 출원일자 1995년02월18일
(65) 공개번호 특1995-026004
(43) 공개일자 1995년09월18일
(30) 우선권주장 94-20939 1994년02월18일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 마고메 고이치
일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호 가부시키가이샤 도시바 반도체시스템 기술센터내
(74) 대리인 김윤배, 이범일

심사관 : 김종찬

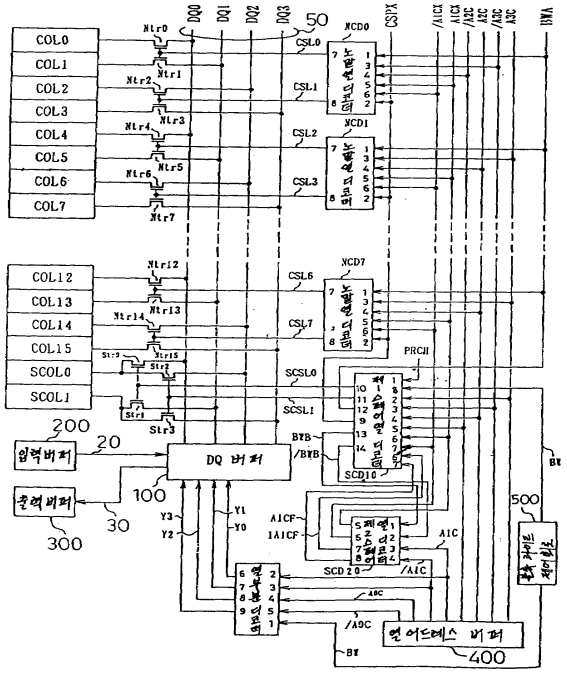
(54) 반도체 기억장치

요약

본 발명은, 스페어열 수를 블록 라이트의 열수보다 작게 하여 최대 칩 면적의 증가를 막고, 블록 라이트 모드에 대응이 가능한데다가 낮은 비용의 반도체 기억장치를 제공하는 것을 목적으로 한다.

노말열(COL1~COL15)과 스페어열(SCOL0,SCOL1)을 구비하는 메모리 셀 어레이와, 메모리 셀 어레이 내의 열 위치를 지정하는 k+1비트의 열어드레스(A0C~A3C(k=3)), 열어드레스에 기초로 노말열을 선택하는 노말열 선택수단 및, 열어드레스에 기초로 스페어열을 선택하는 스페어열 선택수단을 구비하고, 열어드레스의 하위 N비트(N=2)가 지정되지 않고, 2^N개의 열에 동시에 I/O한개당 2^N비트의 데이터를 기입하는 블록 라이트 모드를 구비하며, 선택되는 상기 스페어 열수는 2^{N-1}개 이하이다.

대표도



명세서

[발명의 명칭]

반도체 기억장치

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 따른 반도체 기억장치의 구성도.

제2도(a),(b)는 실시예에 따른 노말열디코더의 회로심볼과 논리회로도.

제3도(a),(b)는 실시예에 따른 제1스페어열디코더의 회로심볼과 논리회로도.

제4도(a),(b)는 실시예에 따른 제2스페어열디코더의 회로심볼과 논리회로도.

제5도는 실시예에 따른 DQ버퍼의 논리회로도.

제6도는 종래의 반도체 기억장치의 구성도.

제7도(a),(b)는 종래예에 따른 열디코더의 회로심볼과 논리회로도.

제8도(a),(b)는 종래예에 따른 스페어열디코더의 회로심볼과 논리회로도.

제9도(a),(b)는 종래예 및 실시예에 따른 열부분 디코더의 회로심볼과 논리회로도이다.

* 도면의 주요부분에 대한 부호의 설명

NCD,NCDm(m=1~7) : (노말)열디코더

SCD : 스페어열 디코더

SCD10 : 제1스페어열 디코더(제1열어드레스 해독수단)

SCD20 : 제2스페어열 디코더(제2열어드레스 해독수단)

CPD : 열부분 디코더 COL0~COL15 : 노말열

SCOL0~SCOL3 : 스페어열

CSL0~CSL7,CSL2m,CSL2m+1 : (노말)열 선택선

SCSL0,SCSL1 : 스페어열 선택선

PRCH : 스페어열 디코더 내부 노드 충전신호

DQ0~DQ3 : 데이터쌍

A0C~AkC,/A0C~/AkC(k=3) : 열어드레스

Y0~Y3 : 열부분 디코드 어드레스 CSP,CSPx : 노말열 디코더 제어신호

A1CF, A1Cx,/A1CF,A1Cx : 열어드레스 상당신호(퓨즈회로 출력신호)

BW : 블록 라이트모드신호

/BW : 블록 라이트모드신호의 역상신호

BWA,BWB,/BWB : 블록 라이트계 제어신호

M0~M3 : 마스크 제어신호 DQSENS : 데이터선 감지신호

20,DIN0~DIN3 : 기입데이터선 30,DOUT : 독출 데이터선

50 : 데이터선쌍 100 : DQ버퍼

200 : 입력버퍼 300 : 출력버퍼

400 : 열어드레스버퍼 500 : 블록 라이트 제어회로

WB0~WB3 : 라이트버퍼 RB : 리드버퍼

G1,G6~G9,G31~G46 : NAND게이트 G2~G5,G10 : NOR게이트

G11~G18,G21,G22,G47~G60 : NOT게이트

Ntr0~Ntr15,Str0~Str3 : 스위치 트랜지스터

Ftr0,Ftr1 : 스위치 트랜지스터 Nt0~Nt52 : N채널 트랜지스터

Pt1~Pt42 : P채널 트랜지스터 F2a~F3b : 퓨즈(제1기억수단)

F1a,F1b : 퓨즈(제2기억수단) F11,F12 : 퓨즈

R1,R2 : 고저항 Vcc : 정전원(전위)

GND : 기준전원(전위) /N : 부논리화 노드

N1~N6 : 노드

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 고집적, 고속동작하는 DRAM 등의 반도체 기억장치에 관한 것으로, 특히 스페어열의 수를 블록 라이트모드시의 블록단위로 되는 열수보다 작게 하여 최대 칩 면적의 증가를 막고, 블록 라이트모드에 대응 가능하고, 낮은 비용의 반도체 기억장치에 관한 것이다.

[종래의 기술 및 그 문제점]

화상용 메모리의 랜덤 억세스 보드부로서 이용되는 DRAM은 표시용 데이터를 축적하고 있는 프레임 버퍼로서 사용되기 때문에 고속으로 데이터를 바꾸는 기능이 요구된다. 그 요구를 만족하는 기능의 하나로서 블록 라이트모드가 있다.

블록 라이트모드로는, 외부로부터 입력되는 DRAM의 열어드레스의 하위 N비트(N은 1이상의 정수)를 돈트케어(don't care)로 한 경우에 복수개의 열에 대해서 동시에 같은 데이터를 기입하는 모드이다. 또한, 이 블록 라이트모드에서는 열 마다에 선택적으로 마스크하는 (기입하지 않는 것)것이 가능한다.

이들의 기능을 만족한 DRAM에서의 스페어열을 포함한 메모리 셀부의 개략 및 그 메모리 셀부와 주변부를 접속하는 데이터선과, 열디코더, 열디코더선, 및 어드레스와의 관계 설명도를 제6도에 도시한다.

같은 도면에 있어서, 데이터선(DQ0~DQ3)은 일반적으로 상보선이어서 두 개로 하나의 조 구성을 도모하는 것이 많지만, 번잡을 피하기 위해 제6도에서는 하나의 조의 데이터선을 모두 한 개 선으로 표현하고 있다. 단, 간단함을 위해 이하의 설명에서는 I/O수를 1로서 하고, 열수를 16으로서 하며, 한편 블록 라이트의 열수를 4로서 하고, 일회로 4비트의 데이터를 기입할 수 있는 것으로 가정하며, 필요한 열어드레스를 A0C~A3C 및 그 역상신호를 /A0C~/A3C로 한다.

참조부호 100은 메모리 셀부와 주변부를 연결한 DQ버퍼이어서 메모리 셀에서의 데이터를 디코드 및 증폭하여 독출하는 데이터선(30)을 매개로 주변부에 있는 출력버퍼(300)로 전송한다. 또한, 주변부에 있는 입력버퍼(200)로부터의 데이터를 디코드 및 증폭하여 메모리 셀로의 기입하는 것도 가능하다. 기입 데이터는 입력버퍼(200)로부터 기입 데이터선(20)을 매개로 DQ버퍼(100)에 주어지고, DQ버퍼(100)가 데이터선쌍(DQ0~DQ3)을 구동한다.

그런데, 블록 라이트모드시에는 4열 독립으로 마스크하지 않으면 안되기 때문에 데이터선은 4쌍 필요하다. 마스크를 하지 않고 모두 4열로 기입하는 경우에는 네쌍의 데이터선쌍(DQ0~DQ3)이 모두 구동된다. 또한, 마스크를 하는 열인 경우에는 DQ버퍼(100)의 제어에 의해 그 열에 대응하는 데이터선쌍은 구동되지 않는다.

열디코더(NCD0~NCD3) 및 스페어열 디코더(SCD)의 회로도를 각각 제7도 및 제8도에 도시한다.

후술하는 1비트의 리드·라이트모드의 경우에 무궁한 데이터선쌍의 소비전류를 삭감하기 위해 열디코더계는 이하의 구성으로 되어 있다. 요컨대, 열 선택선(CSL0~CSL7) 및 스페어 열 선택선(SCSL0,SCSL1)은 선택선 한 개당 2열을 선택하고 있다.

열어드레스신호의 하위 2비트의 A1C와 A0C는 제9도에 도시하는 열부분 디코더(CPD)에서 열부분 디코드 어드레스(Y0~Y3)로 변환되고, DQ버퍼(100)에 주어지면, 네쌍의 데이터선쌍(50)으로부터 한쌍을 선택하고 있다. 한편, 하위로부터 2번째의 열어드레스신호(A1C)는 블록 라이트모드시만 고전위로 되는 블록라이트모드신호(BW)와 함께 열 선택선(CSL0~CSL7) 및 스페어열 선택선(SCSL0,SCSL1)을 제어한다.

이하, 본 종래예에서의 동작을 설명한다.

블록 라이트모드가 선택되면, 블록 라이트모드신호(BW)가 고전위로 된다. 제6도로부터 알려지는 바와 같이, 선택되는 열디코더(NCDm(m=0~7))의 3입력 NAND게이트의 입력인 열디코더 제어신호(CSP)가 고전위이면서 열어드레스(A1C,/A1C)의 전위에 관계하지 않고, 열 선택선(CSL2m)과 열 선택선(CSL2m+1)이 두 개 함께 선택된다.

또한, 제9도로부터 알려지는 바와 같이, 블록 라이트모드시는 열어드레스 하위 2비트(A1C~/A0C)에 의하지 않고, DQ버퍼(100)에 공급되는 열부분 디코드 어드레스(Y0~Y3)는 모두 고전위이면서 기입하는 데이터선(30)으로부터의 데이터는 DQ버퍼(100)에서 디코드되는 것 없이 4쌍의 데이터선쌍(50)에 전송된다. 이때, 열 선택선(CSL2m)과 열 선택선(CSL2m+1)이 두 개 함께 선택되기 때문에 기입데이터는 최종적으로 네 개의 열에 기입된다. 한편, 이 경우 데이터쌍(DQ0~DQ3)은 네쌍 함께 충방전을 행한다.

다음에, 본 종래예에서의 통상의 1비트의 리드·라이트모드시의 동작을 설명한다. 1비트의 리드·라이트모드의 경우에는 당연하면서 열어드레스가 모든비트(A0C~A3C,/A0C~/A3C) 주어진다. 또한, 블록 라이트모드신호(BW)는 저전위이다.

그런고로, 제6도로부터 알려지는 바와 같이, 열어드레스(A1C,/A1C)의 전위에 응하여 열 선택선(CSL2m)과 열 선택선(CSL2m+1)의 어느 것이 선택된다. 한편, 제9도로부터 알려지는 바와 같이, 블록 라이트모드 신호(BW)가 저전위이기 때문에 열어드레스의 하위 2비트(A1C,A0C)의 전위에 응하여 DQ버퍼(100)로 공급되는 열부분 디코드어드레스(Y0~Y3) 내의 하나만이 고전위로 되면서 DQ버퍼(100)에 있어서 소정의 디코드가 행하여진다.

예컨대, 리드모드인 경우, 열 선택선(CSL)이 한 개 선택되면 2열의 데이터가 2조의 데이터선쌍에 독출된다. 그리고, 남은 열어드레스에 관한 디코드는 DQ버퍼(100)에서 수행되고, 최종적으로 1열 부분의 데이터만이 독출하는 데이터선(30)에 독출된다. 또한, 선택되지 않은 열 선택선(CSL)에 속하는 남는 2열에 관해서는 어느 것도 수행되지 않는다.

또한, 라이트모드인 경우, 기입데이터선(20)으로부터의 데이터가 DQ버퍼(100)에 주어지는 열어드레스의 하위 2비트(A1C,A0C)의 디코드가 행해지고, 데이터선쌍 내 한쌍만에 기입데이터가 전송되며, 한편 선택된 열 선택선(CSL)을 매개로 주어진 어드레스에 대응하는 메모리 셀에 기입된다. 결국, 열 선택선(CSL)이 공통이지만 선택되지 않고 남은 1열에 대응하는 데이터선쌍에서는 메모리 셀 데이터의 독출이 수행된다. 또한, 선택되지 않은 열 선택선(CSL)에 속하는 남는 2열에 관해서는 어느 것도 수행되지 않는다.

따라서, 리드 혹은 라이트에 관하지 않고, 충방전을 행하는 데이터선쌍은 2쌍뿐이면서 데이터선쌍의 소비전류는 블록 라이트모드의 경우와 비교하여 반으로 감소한다.

이와 같이, 블록 라이트모드와 그 이외의 모드에서 선택되는 열 선택선(CSL)의 수를 바꾸는 것에 의해 불

필요한 데이터선쌍의 충방전을 막을 수 있고, 소비전류의 증가를 막는 효과가 있다.

단, 상기 설명에서는 I/O수(n)를 가정했지만, 이것은 설명을 간단하게 하기 위해서이고, 실제로는 n=1로 한정되지 않는다. 또한, 상기 설명에서는 열수를 16으로 하고, 4열 블록 라이트에서 열 선택선(CSL1) 개당의 열수를 반인 2열로 하는 예를 설명했지만, 원리적으로는 열수나 블록 라이트의 열수가 어느 정도이어도 좋다.

이상 상술한 바와 같이, 본 종래예는 블록 라이트모드에 대응한 기본적 회로구성이고, 모드에 의해서는 소비전류를 삭감가능한 회로구성예이지만 블록 라이트의 열수나 I/O수가 늘어남에 따라 문제점이 생겼다. 그 문제에 대해서 이하에 서술한다.

일반적으로, 반도체 기억장치는 메모리 셀이나 워드선 및 비트선 등에 기인하여 불량이 발생하고, 그 불량에 의한 수율 저하의 대책으로서 용장셀(스페어열)을 갖추고 있다. 예컨대, 어느 열에 불량이 발견된다면 그 불량열의 어드레스를 비교기에 미리 프로그램하고 있고, 외부로부터 주어진 열어드레스와 프로그램된 어드레스가 일치한 경우, 불량 열을 포함하는 수십 열을 스페어열로 치환하여 억세스하도록 하고 있다.

스페어열을 어느 열 설치하는가에 대해서 특히 기준은 없지만, 그 수가 메모리의 기능으로 결정되는 경우가 있다. 예컨대, 4열(N=2) 블록 라이트 기능을 갖춘 종래의 DRAM 에서는 스페어열 및 스페어열 선택선계의 개략 구성은 제6도에 도시하는 구성으로 된다. 이 경우, 블록 라이트모드시에는 4열을 모아 억세스 되기 때문에 스페어열도 4열(SCOL0~SCOL3) 필요로 된다.

이하, 불량열이 존재하는 경우의 동작예를 제7도 및 제8도를 참조하여 설명한다. 여기서는 간단하게 하기 위해 열(COL0)을 불량열로서 하고, 열어드레스(A3C~A0C=000B(첨자 B는 2진수 표시인 것을 나타낸다.))일 때에 스페어열로의 절환이 발생하는 것으로 가정하여 설명한다.

블록 라이트모드시에는 어드레스의 하위 2비트(A1C,A0C)가 돈트 케어이기 때문에 그것에 대응하여 불량어드레스 비교기인 스페어 열디코더(SCD(제8도 참조))의 퓨즈(F2a~F3b)도 남은 상위어드레스(A3C,A2C) 및 그 상보신호인 /A3C 및 /A2C를 게이트 입력으로 하는 트랜지스터(Ftr2a~Ftr3b)와 직렬로 설치되어 있다. 그리고, 불량 어드레스가 주어졌을 때에 고전위로 되는 퓨즈(이 실시예에서는 열어드레스(/A3C~/A2C의 퓨즈(F2a,F2b,F3b))가 절단되어 있다.

우선, 주어진 어드레스가 불량열을 포함하면서 블록 라이트모드 경우의 동작예를 나타낸다. 어드레스가 주어지기 전에 스페어열 디코더 내부 노드 충전신호(PRCH)에 의해 스페어열 디코더(SCD) 내부의 부논리화 노드(/N)가 미리 고전위로 충전된다. 주어진 열어드레스가 A3C~A2C=00B이기 때문에 부논리화 노드(/N)는 고전위인체로 이다. 따라서, 노말열 디코더 제어신호(CSP)는 저전위로 되어 노말열에 대응하는 열 선택선(CSL0,CSL1(이 경우 m=0))은 선택되지 않는다. 대신에, 부논리화 노드(/N)와 블록 라이트모드신호(BW)가 고전위이면서 열어드레스(/A1C,A1C)의 전위로 관련하지 않는 스페어열 선택선(SCSL0,SCSL1)의 쌍방이 선택되고 DQ버퍼(100)에서 디코드되지 않은 데이터선쌍(50)의 데이터가 스페어열(SCOL0~SCOL3)에 기입된다.

다음에, 주어진 어드레스가 불량열을 포함하면서, 1비트의 라이트모드인 경우의 동작예를 나타낸다. 주어진 어드레스가 A3C~A0C=0000B이기 때문에 스페어열 디코더(SCD)의 부논리화 노드(/N)는 고전위인체로 된다. 따라서, 노말열 디코더 제어신호(CSP)는 저전위로 되어 노말열에 대응하는 열 선택선(CSL0,CSL1)은 선택되지 않는다. 블록 라이트모드신호(BW)가 저전위이면서 열선택선(CSL)으로서는 열어드레스(A1C=0B)에 따라 스페어열 선택선(SCSL0)이 선택된다. 그런고로, 열어드레스(A1C=A0C=0B)에 따라 선택된 데이터선쌍(50) 내 한쌍의 데이터가 스페어열(SCOL0)에 기입되는 것으로 된다. 단, 1비트의 리드모드인 경우에서도 어드레스에 관한 동작을 같으면서 여기서는 생략한다.

이상과 같이, 종래의 반도체 기억장치에서는 예컨대 불량열인 경우에서도 불량열을 스페어열로 치환하는 것으로 동작상은 문제가 없다. 그렇지만, 상기 동작을 시키기 위해서는 노말열에 가하여 블록 라이트모드시의 블록단위로 이루어지는 열수와 같은 수의 스페어열이 필요로 된다.

화상메모리에 있어서는 데이터 처리능력을 올리기 위해 앞으로 점점 I/O수의 증가(다비트화)와 블록 라이트모드시에서의(블록단위로 된다) 열수의 증가가 예상된다. 이것에 따라, 스페어 대응의 열도 증가하기 때문에 필요 이상으로 칩 면적이 증가하는 것으로 되고, 결과로서 수율의 저하와 비용의 상승을 야기한다는 문제가 있었다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 스페어열의 수를 블록 라이트모드시에서의 블록단위의 열수보다 작게 하여 최대의 칩 면적의 증가를 막고, 블록 라이트모드에 대응 가능하고도 낮은 비용의 반도체 기억장치를 제공함에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위한 본 발명은, 제1도에 도시한 바와 같은 메모리셀을 매트릭스상으로 배치하고, 노말열(COL1~COL15)과 스페어열 (SCOL0,SCOL1)을 구비하는 메모리 셀 어레이와, 상기 메모리 셀 어레이 내의 열위치를 지정하는 k+1(k는 1이상의 정수)비트의 열어드레스(A0C~A3C(k=3)), 상기 열어드레스에 기초로 상기 노말열(COL1~COL15)을 선택하는 노말열 선택수단(NCD0~NCD7,Ntr0~Ntr15) 및, 상기 열어드레스(A0C~A3C)에 기초로 상기 스페어열(SCOL0,SCOL1)을 선택하는 스페어열 선택수단(SCD10,SCD20,Str0~Str3)을 구비하며, 해당 반도체 기억장치는 상기 열어드레스(A0C~A3C)의 하위 N비트(N은 1N≤ k+1의 정수; 제1도에서는 N=2)가 지정되지 않고, 2^N개의 열에 동시에 I/O(입출력) 한 개당 2N비트의 데이터를 기입하는 블록 라이트모드를 구비하고, I/O 한개당의 열어드레스에 의해 선택되는 상기 스페어열 수는 2^{N-1}개 이하인 것이다.

또한, 상기 스페어열 선택수단은 상기 열어드레스(A0C~A3C)에 기초로 하고, 상기 노말열(COL1~COL15)의 내, 불량열의 상기 메모리 셀 어레이 내에서의 위치를 지정하는 제1열어드레스 해독수단(SCD10)과, 상기

열어드레스(A0C~A3C)에 기초로 사용하는 스페어열의 상기 메모리 셀 어레이 내에서의 위치를 지정하는 제2열어드레스 해독수단(SCD20)을 구비하는 것이다.

또한, 제3도에 도시한 바와 같이, 상기 제1열어드레스 해독수단(SCD10)은 상기 블록 라이트모드시에서의 블록 내, 불량블록의 위치를 지정하는 제1기억수단(Fa2~F3b) 및, 상기 불량블록 내의 불량영역을 지정하는 제2기억수단(F1a,F1b)을 구비하고, 상기 제2열어드레스 해독수단(SCD20)은 상기 어드레스(A0C~A3C) 및 상기 제2기억수단(F1a,F1b)의 내용에 기초로 사용하는 스페어열의 상기 메모리 셀 어레이 내에서의 위치를 지정하는 것이다.

또한, 상기 제1기억수단 및 상기 제2기억수단의 내용은 설정 가능인 것이다.

한편, 상기 블록 라이트모드는 상기 열어드레스(A0C~A3C)의 하위 N비트(N은 1N≪ k+1의 정수)가 지정되지 않고 2^N개의 열에 동시에 동일 데이터를 기입하는 것이다.

[작용]

상기와 같이 구성된 본 발명은, 제1도에 도시한 바와 같이, k+1(k는 1이상의 정수)개의 열어드레스(A0C~AkC(제1도에서는 k=3))의 내, 하위의 N비트(N은 1이상의 정수)가 주어지지 않고, 2^{K+1}개 열의 내 2^N개의 열에 동시에 같은 데이터를 기입하는 것(이하, 2^N열 블록 라이트로 한다.) 이 가능한 메모리에 있어서, I/O(입출력) 한 개당의 열어드레스(A0C~AkC)에 의해 디코드되는 스페어열의 수가 2N-1개 이하의 구성을 갖는다.

예컨대, 제1도에 도시한 바와 같이, 노말열에 대응한 열 선택선(CSL0~CSL7) 한 개가 I/O 한 개당 2^{N-1}개 이하의 열을 선택하는 것으로 했을 때, 노말열 선택수단 및 스페어열 선택수단은 각 경우에 의하고 있는 것과 같이 동작한다.

(1) 불량열이 존재하지 않고, 1비트의 리드·라이트모드인 경우에는 한 개의 노말열 선택선이 I/O 한 개당 2^{N-1}개 이하의 노말열을 선택한다.

(2) 불량열이 존재하지 않고, 2^N열 블록 라이트인 경우에는 복수개의 노말열 선택선이 I/O 한 개당 2^N개의 노말열을 선택한다.

(3) 불량열이 존재하고, 1비트의 리드·라이트모드인 경우에는 한 개의 스페어 열 선택선이 I/O 한 개당 2^{N-1}개 이하의 스페어열을 선택한다.

(4) 불량열이 존재하고, 2^N열 블록라이트인 경우에는 일치시킨 복수개의 노말열 선택선과 스페어열 선택선이 각각 I/O 한 개당 2^{N-1}개 이하의 노말열과 스페어열을 선택한다.

특히, 제3도 및 제4도에 도시하는 바와 같이, 제1열어드레스 해독수단(SCD10)은 블록 라이트모드시에서의 블록 내, 불량블록의 위치를 지정하는 제1기억수단(퓨즈;F2a~F3b)과, 상기 불량블록 내의 불량영역을 지정하는 제2기억수단(퓨즈;F1a,F1b)을 구비하고, 외부로부터 지정되는 열어드레스(제3도에서는 A2 및 A3 및 그 반전신호)의 외에 2^N열 블록라이트인 경우에는 외부로부터 지정되지 않은 열어드레스(제3도에서는 A1C 및 그 반전신호)를 게이트 입력으로 하는 트랜지스터(Nt0~Nt5)와, 블록 라이트모드시에 저전위, 그 이외일 때에 고전위로 되는 신호(/BW)를 게이트 입력으로 하는 트랜지스터(Ftr0, Ftr1) 및 퓨즈(F1a,F3b)가 직렬 접속되어 구성된다.

또한, 제2열어드레스 해독수단(SCD20)은 열어드레스(A0C~AkC) 및 제2기억수단(F1a,F1b)의 내용에 기초로 사용하는 스페어열의 메모리 셀 어레이 내에서의 위치를 지정한다.

즉, 제4도에 있어서, 고저항(R1,R2)과 퓨즈(F11,F12)에서 정전원(Vcc) 및 접지전원(GND)에 접속되고, 각각 제1노드(N1) 및 제2노드에 따라서 그 역상출력을 각각 제3노드(N3) 및 제4노드(N4)로 한다. 또한, 2^N열 블록라이트인 경우에 외부로부터 지정되지 않는 열어드레스(A1C)와 그 역상신호(/A1C) 및 제3노드(N3) 및 제4노드(N4)를 입력으로 하여 불량열이 존재하면서 블록 라이트모드인 경우에는 제3노드(N3)와 제4노드(N4)를 각각 선택하고, 또한그 이외의 경우에는 열어드레스(A1C)와 역상신호(/A1C)를 각각 선택하며, 제5노드(N5) 및 제6노드(N6)으로 한다. 이 때, 제2열어드레스 해독수단(SCD20)은 열어드레스(A1C) 및 제2기억수단의 내용(BWB)에 기초로 제3~제6노드(N3~N6)를 선택하여 출력한다.

한편, 블록 라이트모드는 열어드레스(A0C~AkC)의 하위 N비트(N은 1N≪k+1의 정수)가 지정되지 않고, 2^N개의 열에 동시에 같은 데이터를 기입한다.

이상과 같이, 스페어열의 수를 열 선택선(SCL0~CSL7) 하나당 상당 열수와 같게 하는 것으로 스페어열의 증가를 최대로 막을 수 있고, 최대 칩 면적의 증가를 막을 수 있다.

또한, 블록 라이트모드인가 아닌가 불량열이 존재하는가의 여부에 따라서 열어드레스의 디코더계나 DQ버퍼계의 제어를 바꾸는 것에 의해 칩 면적의 증가를 막고, 블록 라이트모드에 대응 가능하고도 낮은 비용의 반도체장치를 제공한다는 목적을 달성한다.

[실시예]

이하, 예시도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.

제1도에 본 발명의 제1실시예에 따른 반도체 기억장치의 구성도를 도시한다. 제1도는 노말열과, 스페어열, 열디코더, 스페어열 디코더계의 구성을 도시하고 있고, 같은 도면에 있어서, 제6도(종래예)와 중복하는 부분에는 동일의 부호를 붙여 설명을 생략한다.

본 발명에 따른 효과를 명백하게 하기 위해 본 실시예에서는 종래예의 설명인 경우와 같게 열수를 16(k=3), 블록 라이트의 열수를 4(N=2), I/O(n)를 1로 한다. 종래예의 구성이라면, 스페어열의 4열 필요했었지만, 본 실시예의 구성에 의하면 2열로 할 수 있다.

스페어열(SCOL0)은 각각 후술하는 스페어열 선택선(SCSL0,SCSL1)을 게이트 입력으로 하는 스위치 트랜지스터(Str0,Str2)를 매개로 각각 트랜지스터선쌍(DQ0,DQ2)과 접속되어 있다. 또한, 스페어열(SC0L1)은 각각 스페어열 선택선(SCSL0,SCSL1)을 게이트 입력으로 하는 스위치 트랜지스터(Str1,Str3)를 매개로 각각 데이터선쌍(DQ1,DQ3)과 접속되어 있다.

먼저, 제2도와 제5도를 참조하여 본 실시예에서의 각 구성요소의 상세한 설명을 한다.

본 실시예에서는 스페어열 디코더로서 제1 및 제2의 두 종류를 갖추고 있다.

제3도에 도시하는 제1스페어열 디코더(SCD10)는 어드레스 입력이 A3C~A1C,/A3C~/A1C이고, 블록 라이트모드시에는 돈트 케어로 이루어진 열어드레스(A1C,/A1C)를 입력으로 하는 트랜지스터(Nt0,Nt1)와, 제1스페어열 디코더(SCD10) 내부의 부논리화 노드(/N)의 사이에는 게이트에 블록 라이트모드신호(BW)의 역상신호(/BW)가 입력되어 있는 트랜지스터(Ftr0,Ftr1)가 직렬로 접속되어 있다.

제1스페어 열디코더(SCD10)의 출력중 노말열 디코더 제어신호(CSPx)는 블록 라이트모드신호(BW)와 부논리화 노드(/N)로부터 논리적으로 만들어지는 신호이고, 노말열 디코더(NCDm)를 제어한다. 또한, 블록 라이트계 제어신호(BWA,BWB)도 블록 라이트모드 신호(BW)와 부논리화 노드(/N)로부터 논리적으로 만들어지는 신호이고, 노말열 디코더(NCD) 및 제2스페어열 디코더(SCD20)를 제어한다.

제2스페어열 디코더(SCD20)의 회로구성을 제4도에 도시한다. 입력은 블록 라이트계 제어신호(BWB,/BWB)와, 열어드레스(A1C,/A1c)이다. 출력(어드레스 상당신호;A1Cx)은 블록 라이트계 제어신호(BWB)의 전위에 응하여 열어드레스(/A1)가 퓨즈회로 출력신호(/A1CF)에 같게 된다. 퓨즈회로 출력신호(/A1CF)는 각각 제1 및 제2노드(N1,N2)를 입력으로 하는 인버터(G21,G22)의 출력이다. 노드(N1,N2)는 각각 고저항(R1,R2)에서 정전원(Vcc)과 접속되어 있고, 또한 퓨즈(F4a,F4b)를 매개로 기준전원(GND)과도 접속되어 있다.

제2도에 도시하는 노말열 디코더(NCD)는 종래예와 같은 회로구성이지만, 입력에 대해서 종래의 열어드레스(A1C,/A1C)와, 블록 라이트모드신호(BW) 및, 노말열 디코더 제어신호(CSP)에 대하여 본 실시예에서는 각각 어드레스 상당신호(A1Cx,/A1Cx)와, 블록 라이트계 제어신호(BWA) 및, 노말열 디코더 제어신호(CSPx)를 사용하고 있다.

한편, DQ버퍼(100)의 회로구성도를 제5도에 도시한다. 열부분 디코더(CPD)로부터의 열부분 디코드 어드레스(Y0~Y3)와, 블록 라이트 제어회로(500)로부터의 마스크 제어신호(M0~M3), 블록 라이트모드신호(BW) 및, 데이터선 감지 신호(DQSEN)에 기초로 데이터선쌍(DQ0~DQ3;50)상의 데이터 입출력 제어를 행한다.

마스크 제어신호(Mj(j=0~3))는 블록 라이트모드시에 의미를 갖고, 블록내의 마스크를 행하는 열을 지정한다. 즉, Mj가 고전위일 때에 기입 가능이고, 저전위일 때에 기입 불가능인 것을 나타낸다.

라이트버퍼를 네 개(WB0~WB3) 구비하고, 각각의 입력(기입 데이터선;DIN0~ DIN3)은 통상의 1비트 기입의 경우에는 모두 같은 데이터로 된다. 또한, 블록 라이트모드시에도 같은 데이터로 된다. 단, 원리적으로는 기입 데이터선(DIN0~DIN3)을 임의로 하는 것은 가능한다.

데이터선 감지신호(DQSENS)는 독출시에 저전위로부터 고전이로 천이하고, 열부분 디코드 어드레스(Y0~Y3)에 응하여 디코더선쌍(DQ0~DQ3) 내 어느 하나를 선택하여 증폭한다.

이하, 제1도~제5도를 참조하면서 본 발명의 실시예를 나타낸다.

간단히 하기 위해 주목하는 어드레스를 A3C~A0C=000B(노말열(COL0)을 억세스 하는 것)으로 한다. 또한, 불량열이 존재하는 경우는 그 불량은 노말열(COL0)에 있어서 발생한 것으로 한다. 이하, 4와 같은 경우에 대해서 각각 동작을 설명한다.

(1) 불량열이 없이 1비트의 리드·라이트모드인 경우 불량열 어드레스가 없기 때문에, 제1스페어열 디코더(SCD10) 및 제2스페어열 디코더(SCD20)의 퓨즈는 모두 절단되어 있지 않다. 또한, 블록 라이트모드에서는 없기 때문에 신호(BW)는 저전위이다.

열어드레스(A3C~A0C=000B)가 주어지게 되면 제1스페어열 디코더(SCD10)의 부논리화 노드(/N)는 스페어열 디코더 내부 노드 충전신호(PRCH)에 의한 충전 후 저전위로 된다. 이 때문에 제3도에 도시한 논리에 따라서, 노말열 디코더 제어신호(CSPx) 및 블록라이트계 제어신호(BWA,BWB)는 각각 고전위, 저전위, 저전위로 된다.

또한, 제1 및 제2노드(N1,N2)는 고저항(R1,R2)을 매개로 정전원(Vcc)과 접속되어 있지만, 제2스페어열 디코더(SCD20)의 퓨즈(F11,F12)가 잘려져 있지 않기 때문에 노드(N1,N2)는 거의 기준전위(GND)에 가까운 저전위로 간주된다. 그 결과, 퓨즈회로 출력신호(A1CF,/A1CF)는 정전원전위(Vcc) 즉, 고전위로 된다. 그러나, 블록 라이트계 제어신호(BWB)가 저전위이면서 열어드레스(A1C=0B)에 따라서 어드레스 상당신호 A1Cx가 저전위, /A1Cx가 고전위로 된다.

따라서, 스페어열(SC0L0,SC0L1)을 담당하는 스페어열 선택선(SCSL0,SCSL1)은 쌍방과도 저전위에서 선택되지 않고, 노말열측은 열 선택선(CSL0)만이 고전위로 되어 선택된다. 따라서, 열 선택선(CSL0)에 의해 스위치 트랜지스터(Ntr0,Ntr1) 의 게이트가 고전위로 되고, 노말열(COL0, C0L1)이 데이터선쌍(DQ0, DQ1)과 연결되지만, 최종적인 열어드레스(A0C)에 의한 디코드는 DQ버퍼(100)에서 수행된다.

DQ버퍼(100)에서의 디코드에 관한 동작은 종래예와 마찬가지이므로 상세한 설명은 생략한다. 이와 같이 불량열이 없고, 1비트의 리드·라이트모드인 경우, 열 선택선(CSL0~CSL7) 내 한 개가 선택되며, 그 결과 두 개의 노말열이 선택되고, 최종적으로 DQ버퍼(100)로 완전하게 디코드되는 것으로 된다.

(2) 불량열이 없는 블록 라이트모드인 경우 불량열 어드레스가 없기 때문에 제1스페어열 디코더(SCD10) 및 제2스페어열 디코더(SCD20)의 퓨즈는 모두 절단되어 있지 않다. 또한, 블록 라이트모드이기 때문에 BW은 고전위이다.

그 역상신호(/BW)를 게이트 입력으로 하는 트랜지스터(Ftr0,Ftr1)가 OFF하기 때문에 열어드레스(A3C,A2C=00B)가 주어지면 열어드레스(A1C,/A1C)의 전위에 관계 없이 제1스페어열 디코더(SCD10)의 부논리화 노드(/N)는 스페어열 디코더 내부 노드 충전신호(PRCH)에 의한 충전 후, 저전위로 된다. 이 때문에 제3도에 도시한 논리에 따라서, 노말열 디코더 제어신호(CSPx) 및 블록 라이트계 제어신호(BWA,BWB)는 각각 고전위, 고전위, 저전위로 된다.

또한, 제1 및 제2노드(N1,N2)는 고저항(R1,R2)을 매개로 정전원(Vcc)과 접속되어 있지만, 제2스페어열 디코더(SCD20)의 퓨즈(F11,F12)가 잘려져 있지 않기 때문에 노드(N1,N2)는 거의 기준전위(GND)에 가까운 저전위로 간주된다. 그 결과, 퓨즈회로 출력신호(A1CF,/A1CF)는 정전원전위(Vcc) 즉, 고전위로 된다. 그러나, 블록라이트계 제어신호(BWB)가 저전위, 열어드레스(A1C, /A1C)가 함께 불안정 전위이면서 어드레스 상당신호(A1Cx,/A1Cx)도 불안정 전위로 된다.

따라서, 스페어열(SCOLO,SCOL1)을 담당하는 스페어열 선택선(SCSLO,SCSL1)은 저전위에서 선택되지 않는다. 한편, 노말열측은 블록 라이트계 제어신호(BWA)가 고전위로 되기 때문에 어드레스 상당신호(A1Cx,/A1Cx)의 값에 의하지 않고, 열 선택선(CSLO, CSL1)의 쌍방이 고전위로 되어 선택된다.

블록 라이트모드이면서 DQ버퍼(100)에서의 디코드는 수행되지 않고, 기입 디코더는 열 선택선(CSKO, CSL1)을 게이트 입력으로 하는 스위치 트랜지스터(Ntr0~Ntr3)를 매개로 노말열(COL0~COL3)에 기입된다. DQ버퍼(100)에서의 디코드에 관한 동작은 종래예와 마찬가지라서 상세한 설명은 생략한다.

이와 같이, 불량열이 없는 블록 라이트모드인 경우 열 선택선(CSL0~CSL7) 내 두 개가 선택되고, 그 결과 네 개의 노말열이 선택된다.

(3) 불량열이 있는 1비트의 리드·라이트모드인 경우 불량열 어드레스가 있기 때문에 제1스페어열 디코더(SCD10,) 및 제2스페어열 디코더(SCD20)의 퓨즈는 다음과 같이 절단된다. 즉, 제1스페어열 디코더(SCD10)에서는 불량열 어드레스(A3C~A1C=000B)가 주어졌을 때에 부논리화 노드(/N)가 고전위로 되도록 열어드레스(/A1C,/A2C,/A3C) 측면의 퓨즈(F1a,F2a,F3a)가 절단된다. 또한, 제2스페어열 디코더(SCD20)에서는 제1노드(N1)측(열 어드레스(/A1C)측)만이 절단된다.

블록 라이트모드에서는 없기 때문에 BW은 저전위이다. 그 역상신호(/BW)를 게이트 입력으로 하는 트랜지스터(Ftr0,Ftr1)가 ON하기 때문에 열 어드레스(A3C~A0C=000B)가 주어지면, 제1스페어열 디코더(SCD10)의 부논리화 노드(/N)는 스페어 열디코더 내부 노드 충전신호(PRCH)에 의한 충전 후도 고전위인체이다. 이 때문에 제3도에 도시한 논리에 따라서 노말열 디코더 제어신호(CSPx) 및 블록라이트계 제어신호(BWA,BWB)는 각가 저전위, 저전위, 저전위로 된다. 또한 제2노드(N2)는 고저항(R2)을 매개로 정전원(Vcc)과 접속되어 있지만, 퓨즈(F12)가 잘려져 있지 않기 때문에 노드(N2)는 거의 기준전위(GND)에 가까운 저전위로 간주된다. 제1노드(N1)는 퓨즈(F11)가 절단되어 있기 때문에 정전원전위(Vcc) 즉 고전위로 간주된다. 그 결과, 퓨즈회로 출력신호(A1CF,/A1CF)는 각각 고전위, 저전위로 되지만, 블록라이트계 제어신호(BWB)는 저전위이면서 열어드레스(A1C=0B)에 따라 어드레스 상당신호(A1Cx)가 저전위, /A1Cx가 고전위로 된다.

노말 열디코더 제어신호(CSPx)가 저전위이면서 노말열측의 열 선택선(CSL0~CSL7)은 선택되지 않는다. 또한, 부논리화 노드(/N)가 고전위, 퓨즈회로 출력신호(A1CF)가 고전위, /A1CF가 저전위이면서 스페어열 선택선중 SCSL0가 고전위에서 선택된다. 그것에 따라서 스위칭 트랜지스터(Str0,Str1)가 ON하고, 스페어열(SCOL0,SCOL1)이 각각 데이터선쌍(DQ0,DQ1)에 접속된다. 최종적인 열어드레스(A0C)에 의한 디코드는 DQ버퍼(100)에서 수행된다. DQ버퍼(100)에서의 디코드에 관한 동작은 종래예와 마찬가지이므로 상세한 설명은 생략한다.

이와 같이, 불량열이 있는 1비트의 리드·라이트모드인 경우, 스페어열 선택선(SCSL1)이 한 개가 선택되고, 그 결과 스페어열이 두 개 선택되며, 최종적으로 DQ버퍼(100)에서 완전히 디코드된다.

(4) 불량열이 있는 블록 라이트모드인 경우 불량열 어드레스가 있기 때문에 제1스페어열 디코더(SCD10) 및 제2스페어열 디코더(SCD20)의 퓨즈는 절단되지만, 절단의 방법은 상기 (3)의 「불량열이 있는 1비트의 리드·라이트모드인 경우」와 마찬가지이다.

단, 블록 라이트모드이기 때문에 블록 라이트모드신호((BW)와 역상신호(/BW)는 각각 고전위, 저전위로 되고, 돈트 케어의 입력(열어드레스;A1C,/A1C)의 값은 노말열 디코더(SCD0~SCD7)의 출력에 영향을 주지 않게 된다.

열어드레스(A3C,A2C=00B)가 주어지면 제1스페어열 디코더(SCD10)의 부논리화 노드(/N)는 스페어열 디코더 내부 노드 충전신호(PRCH)에 의한 충전 후도 고전위인체로 있다. 이 때문에 제3도에 도시한 논리에 따라서 노말열 디코더 제어신호(CSPx) 및 블록 라이트계 제어신호(BWA,BWB)는 각각 고전위, 저전위, 고전위로 된다.

또한, 제2노드(N2)는 고저항(R2)을 매개로 정전원(Vcc)과 접속되어 있지만, 퓨즈(F12)는 절단되어 있지 않기 때문에 노드(N2)는 거의 기준전위(GND)에 가까운 저전위로 간주된다. 제1노드(N1)는 퓨즈(F11)가 절단되어 있기 때문에 정전원전위(Vcc), 즉 고전위로 간주된다. 그 결과, 퓨즈회로 출력신호(A1CF,/A1CF)는 각각 고전위, 저전위로 된다. 한편, 블록라이트계 제어신호(BWB)가 고전위이면서 어드레스 상당신호(A1Cx)가 고전위, /A1Cx가 저전위로 된다.

부논리화 노드(/N)가 고전위, 퓨즈회로 출력신호(A1CF)가 고전위, /A1CF가 저전위이면서 스페어열 선택선 중 SCSL0가 고전위에서 선택된다. 그것에 따라서, 스위칭 트랜지스터(Str0,Str1)가 ON하고, 스페어열(SCOL0,SCOL1)이 각각 데이터쌍(DQ0,DQ1)에 접속된다. 요컨대, 블록 라이트에 필요한 4열중 불량열을 포함하는 2열이 스페어열로 치환되는 것으로 된다.

또한, 노말열 디코더 제어신호(CSPx)와, 블록 라이트계 제어신호(BWA) 및, 어드레스 상당신호 (A1Cx,/A1Cx)가 각각 고전위, 저전위, 고전위, 저전위로 되기 때문에 노말열 선택선중 CSL1만 고전위에서 선택된다. 그것에 따라서, 스위칭 트랜지스터(Ntr2,Ntr3)가 ON하고, 노말열(COL2,COL3)이 각각 데이터쌍(DQ2,DQ3)에 접속된다. 요컨대, 블록 라이트에 필요한 4열중 남은 2열은 불량열을 포함하지 않으면서, 본래의 열이 선택되는 것으로 된다.

블록 라이트모드이면서, DQ버퍼(100)에서의 디코드는 수행되지 않고, 기입 데이터가 스위치 트랜지스터(Str0,Str1,Ntr2,Ntr3)를 매개로 각각 스페어열 (SCOL0,SCOL1) 및 노말열(COL2,COL3)에 기입된다. DQ버퍼(100)에서의 디코드에 관한 동작은 종래예와 마찬가지이므로 상세한 설명은 생략한다.

이와 같이, 불량 열이 있는 블록 라이트모드인 경우, 스페어열 선택선(SCSL)과 열 선택선(SCL)이 각각 한 개씩 선택되고, 스페어열과 노말열이 각각 두 개씩 선택되는 것으로 된다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 스페어열의 수를 열 선택선 한 개당의 상당열수와 마찬가지로 하는 것으로 스페어열의 증가를 최대로 막을수 있고, 칩 면적의 증가를 막는 반도체 기억장치를 제공할 수 있다.

또한, 블록 라이트모드인가의 여부와 불량열이 존재하는가의 여부에 따라서 열어드레스의 디코드계나 DQ 버퍼계의 제어를 바꾸는 것에 의해 즉, 블록 라이트모드에서 불량열인 경우, 필요한 열을 억세스하는 열 선택선을 노말열 선택선과 스페어열 선택선에 분배하는 것에 의해 종래에는 되지 않는 I/O 한개당의 블록 라이트모드의 열수만 필요로 되는 스페어열 수를 반 이하로 줄일 수 있고, 칩 면적의 증가를 막으며, 블록 라이트모드에 대응 가능하면서도 낮은 비용의 반도체 기억장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1

메모리 셀을 매트릭스상으로 배치하고, 노말열과 스페어열을 구비하는 메모리 셀 어레이와, 이 메모리 셀 어레이 내의 열 위치를 지정하는 k+1(k는 1이상의 정수)비트의 열어드레스, 이 열어드레스 기초로 상기 노말열을 선택하는 노말열 선택수단 및, 상기 열어드레스에 기초로 상기 스페어열을 선택하는 스페어열 선택수단을 갖추고, 해당 열어드레스에 기초로 상기 스페어열의 하위 N비트(N은 1N≪k+1의 정수)가 지정되지 않고, 2^N개의 열에 동시에 I/O(입출력) 한 개당 2^N비트의 데이터를 기입하는 블록 라이트모드를 구비하며, I/O 한 개당의 열어드레스에 의해 선택되는 상기 스페어열의 수는 2^{N-1}개 이하인 것을 특징으로 하는 반도체 기억장치.

청구항 2

제1항에 있어서, 상기 스페어열 선택수단은, 상기 열어드레스에 기초로 상기 노말열의 내,불량열의 상기 메모리 셀어레이 내에서의 위치를 지정하는 제1열어드레스 해독수단과, 상기 열어드레스에 기초로 사용하는 스페어열의 상기 메모리 셀 어레이내에서의 위치를 지정하는 제2열어드레스 해독수단을 갖춘 것을 특징으로 하는 반도체 기억장치.

청구항 3

제2항에 있어서, 상기 제1열어드레스 해독수단은, 상기 블록 라이트모드시에서의 블록 내, 불량 블록의 위치를 지정하는 제1기억수단과, 상기 불량블록내의 불량영역을 지정하는 제2기억수단을 갖추고, 상기 제2열어드레스 해독수단은 상기 열어드레스 및 상기 제2기억수단의 내용에 기초로 사용하는 스페어열의 상기 메모리 셀 어레이 내에서의 위치를 지정하는 것을 특징으로 하는 반도체 기억장치.

청구항 4

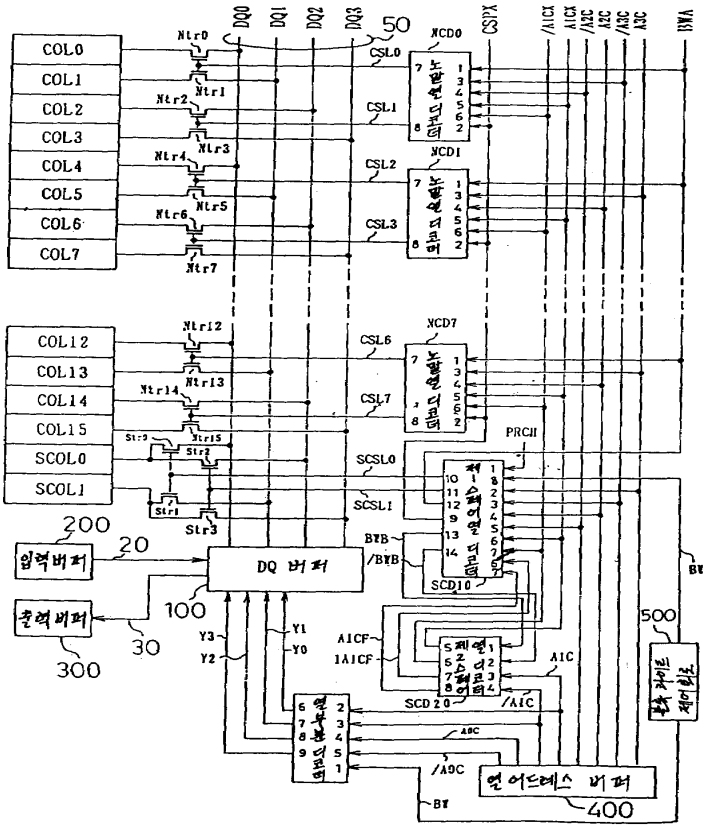
제3항에 있어서, 상기 제1기억수단 및 상기 제2기억수단의 내용은 설정 가능한 것을 특징으로 하는 반도체 기억장치.

청구항 5

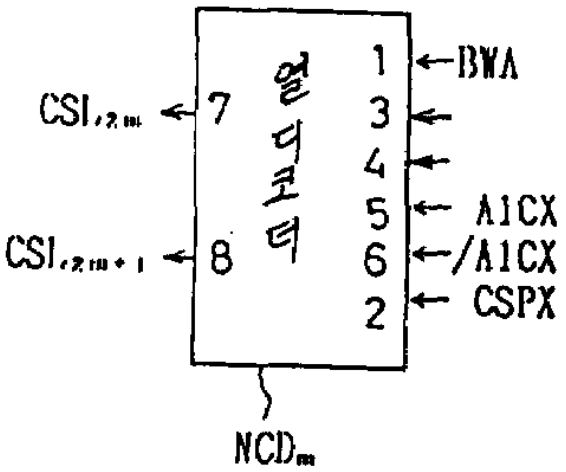
제1항과, 제2항, 제3항 및, 제4항의 어느 한항에 있어서, 상기 블록 라이트모드는 상기 열어드레스의 하위 N비트(N은 1N≪k+1의 정수)가 지정되지 않고, 2^N개의 열에 동시에 동일 데이터를 기입하는 것을 특징으로 하는 반도체 기억장치.

도면

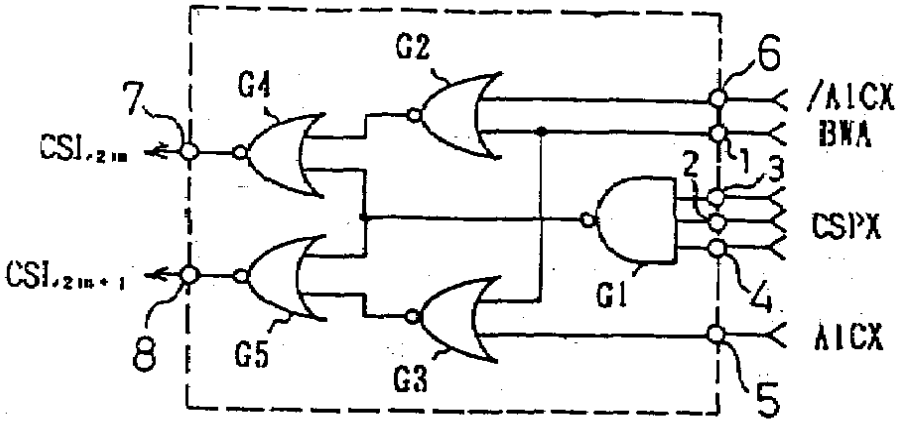
도면1


COL0
COL1
COL2
COL3
COL4
COL5
COL6
COL7
COL12
COL13
COL14
COL15
SCOL0
SCOL1
DQ0
DQ1
DQ2
DQ3
50
CSL0
CSL1
CSL2
CSL3
CSL6
CSL7
SCSL0
SCSL1
NCD0
NCD1
NCD7
NCD10
NCD20
CSPX
/A1CX
A1CX
/A2CX
A2CX
/A3CX
A3CX
BWA
PRCH
BYB
/BYB
BY
/BY
200
입력버퍼
20
DQ 버퍼
100
출력버퍼
30
300
Y3
Y2
Y1
Y0
A1CF
/A1CF
A1C
/A1C
A9C
/A9C
500
400
어드레스 버퍼

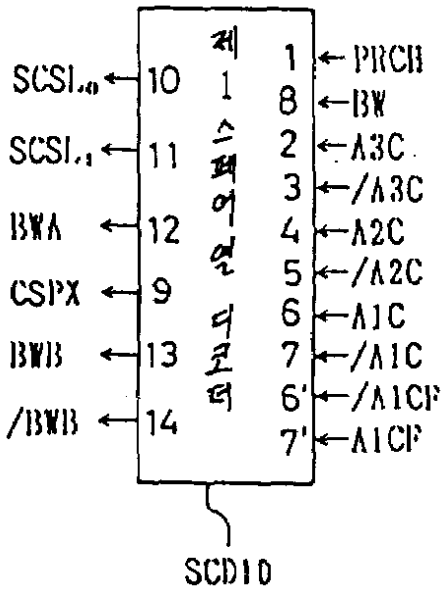
도면2a


CSI,2m
CSI,2m+1
7
8
디코더
1
3
4
5
6
2
BWA
A1CX
/A1CX
CSPX
NCDm

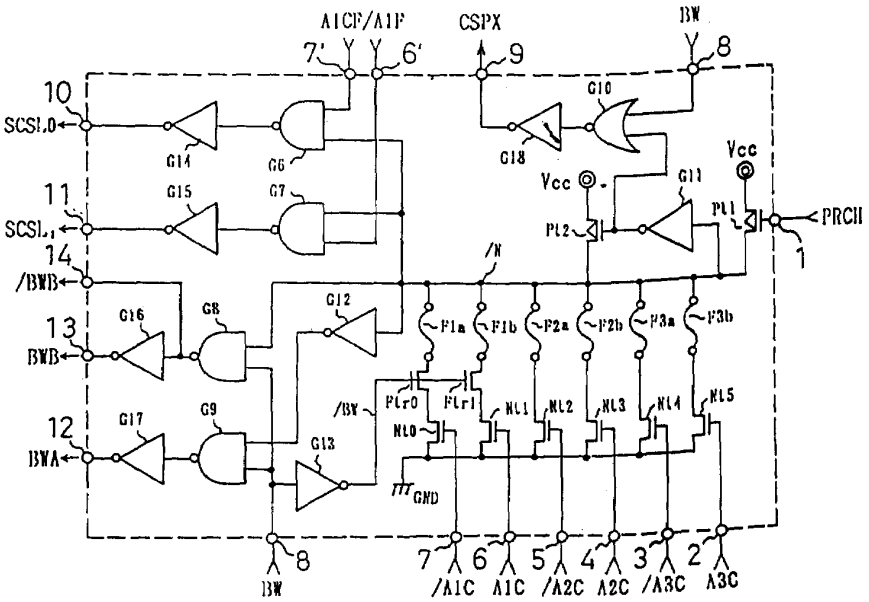
도면2b


G2
G4
7
6
/A1CX
BWA
CSI2m
2
1
3
CSPX
CSI2m+1
G1
4
8
G5
G3
A1CX
5

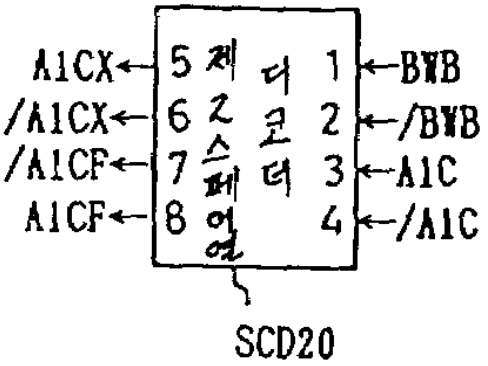
도면3a


제1스페어 디코더
SCSI0
10
SCSI1
11
BWA
12
CSPX
9
BWB
13
/BWB
14
1 ← PRCH
8 ← BW
2 ← A3C
3 ← /A3C
4 ← A2C
5 ← /A2C
6 ← A1C
7 ← /A1C
6' ← /A1CF
7' ← A1CF
SCD10

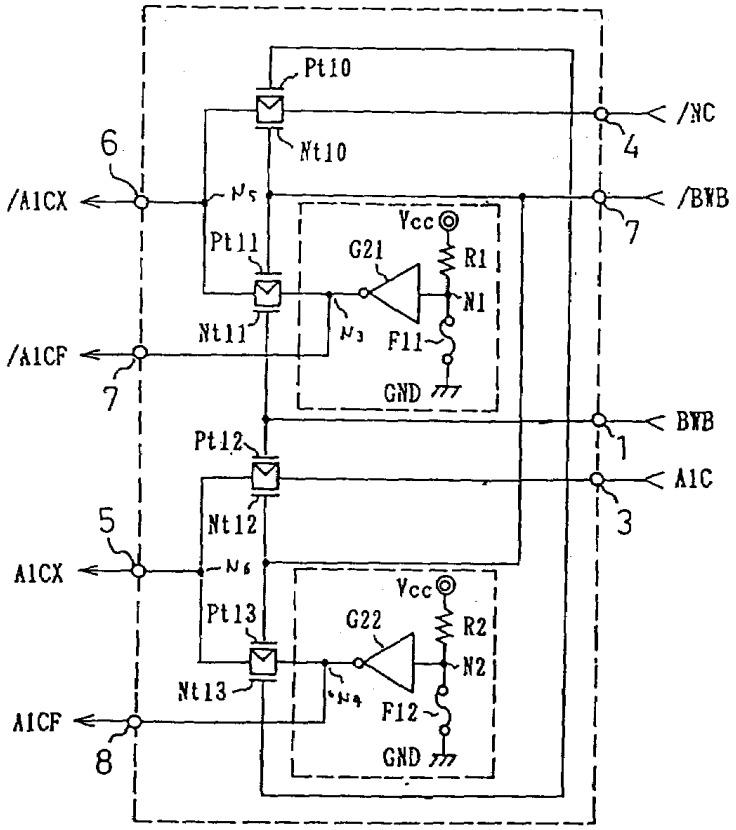
도면3b


A1CF/A1F
CSPX
BW
SCSL0
SCSL1
/BWB
BWB
BWA
/BW
/N
Vcc
PRCH
GND
/A1C
A1C
/A2C
A2C
/A3C
A3C

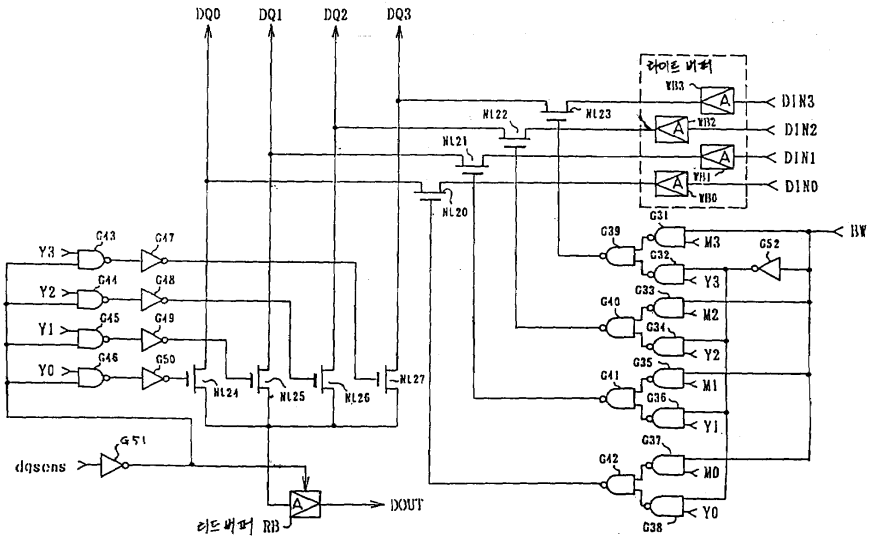
도면4a


A1CX
/A1CX
/A1CF
A1CF
BWB
/BWB
A1C
/A1C
SCD20

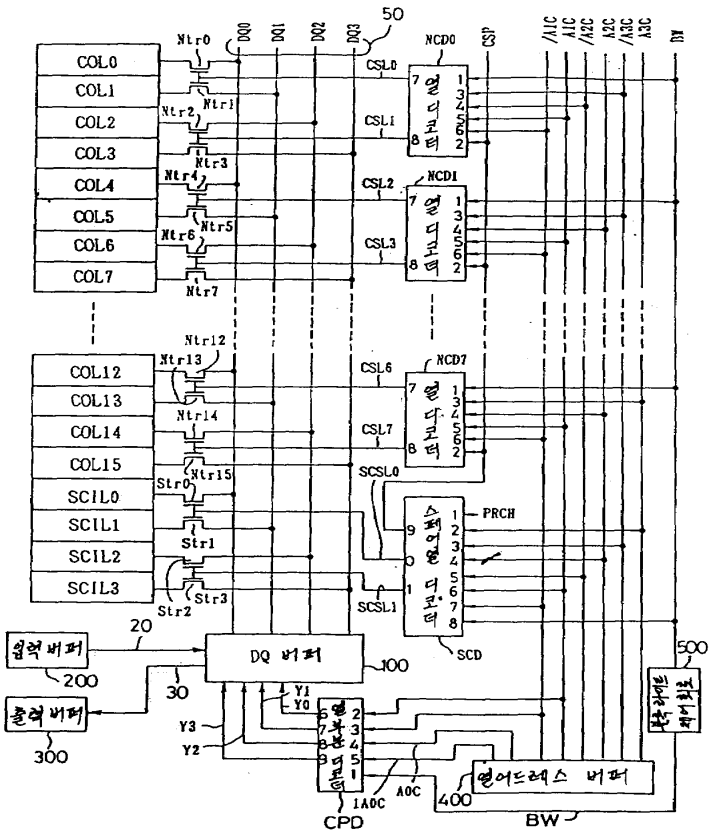
도면4b


Pt10
Nt10
/NC
4
6
/A1CX
N5
/BWB
7
Pt11
Vcc
G21
R1
N1
Nt11
N3
F11
/A1CF
GND
7
BWB
Pt12
1
A1C
Nt12
3
5
A1CX
N6
Vcc
Pt13
G22
R2
N2
Nt13
N4
F12
A1CF
GND
8

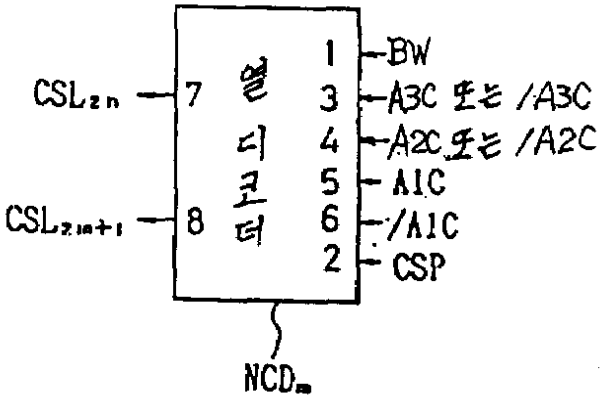
도면5


DQ0
DQ1
DQ2
DQ3
라이트 버퍼
WB3
WB2
WB1
WB0
DIN3
DIN2
DIN1
DIN0
NL22
NL23
NL21
NL20
BW
G31
G39
M3
G52
G32
Y3
G33
G40
M2
G34
Y2
G35
G41
M1
G36
Y1
G37
G42
M0
G38
Y0
Y3
G43
G47
Y2
G44
G48
Y1
G45
G49
Y0
G46
G50
NL24
NL25
NL26
NL27
dqsens
G51
DOUT
리드버퍼 RB

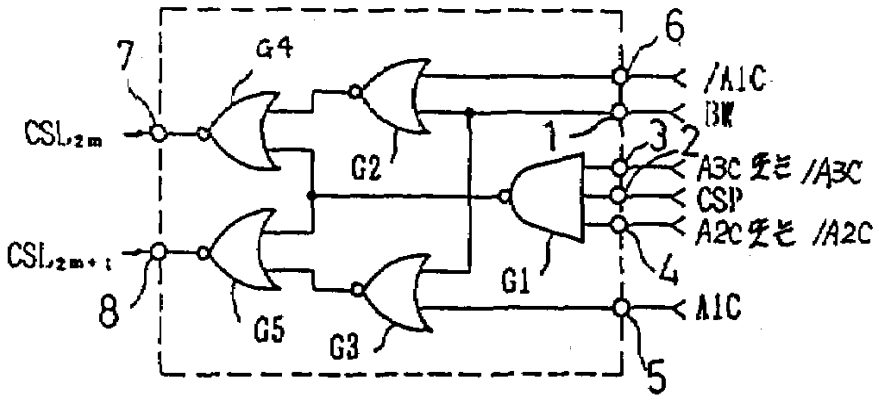
도면6


COL0
COL1
COL2
COL3
COL4
COL5
COL6
COL7
COL12
COL13
COL14
COL15
SCIL0
SCIL1
SCIL2
SCIL3
Ntr0
Ntr1
Ntr2
Ntr3
Ntr4
Ntr5
Ntr6
Ntr7
Ntr12
Ntr13
Ntr14
Ntr15
Str0
Str1
Str2
Str3
DQ0
DQ1
DQ2
DQ3
50
NCD0
NCD1
NCD7
CSL0
CSL1
CSL2
CSL3
CSL6
CSL7
SCSL0
SCSL1
CSP
/A1C
A1C
/A2C
A2C
/A3C
A3C
BW
열 디코더
스페어 열 디코더
PRCH
SCD
입력버퍼
출력버퍼
20
200
30
300
DQ 버퍼
100
Y1
Y0
Y3
Y2
열부분 디코더
1A0C
A0C
CPD
열어드레스 버퍼
400
BW
500

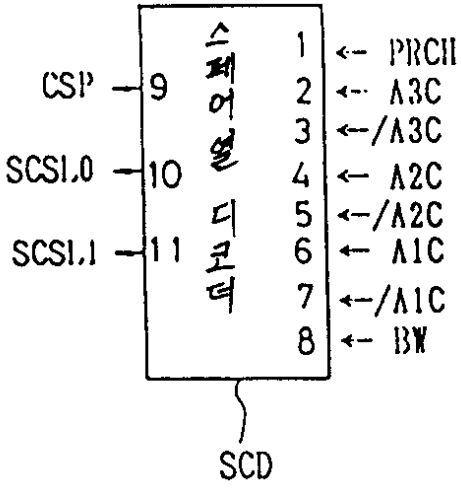
도면7a


CSL2n
CSL2m+1
7
8
열 디코더
1
3
4
5
6
2
BW
A3C 또는 /A3C
A2C 또는 /A2C
A1C
/A1C
CSP
NCDm

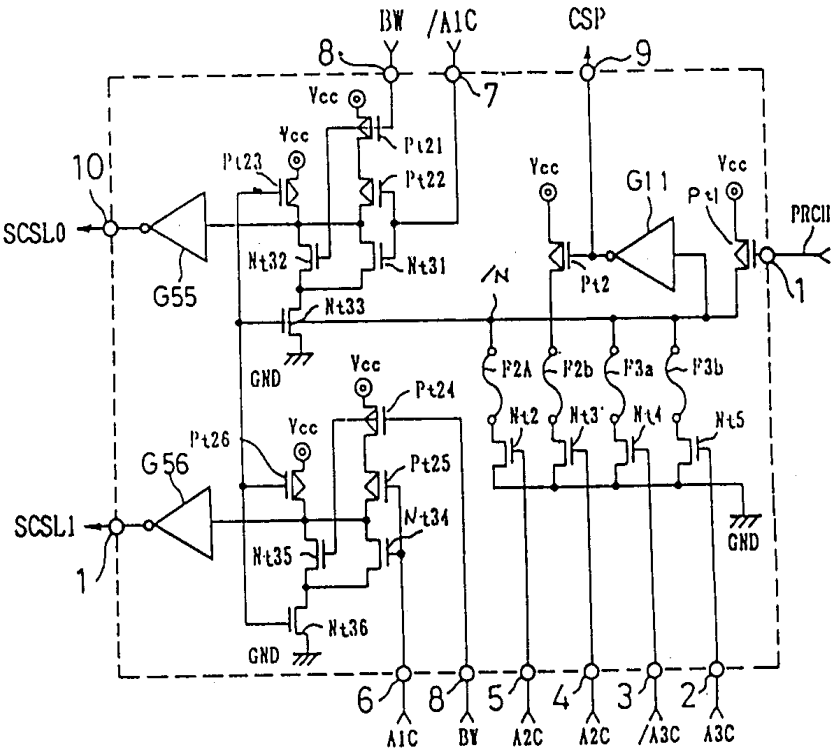
도면7b


7
G4
6
/A1C
BW
CSL2m
G2
1
3
2
A3C 또는 /A3C
CSP
A2C 또는 /A2C
CSL2m+1
G1
4
8
G5
G3
A1C
5

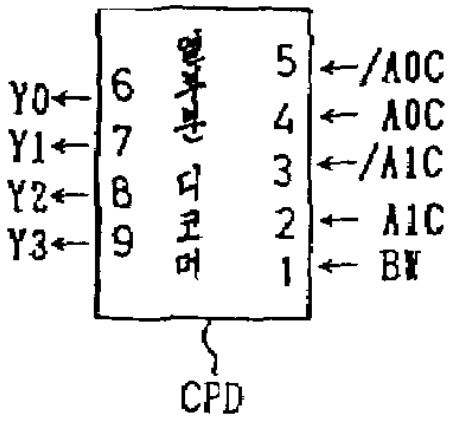
도면8a


CSP
9
SCSI.0
10
SCSI.1
11
스위칭 디코더
1 ← PRCH
2 ← A3C
3 ← /A3C
4 ← A2C
5 ← /A2C
6 ← A1C
7 ← /A1C
8 ← BW
SCD

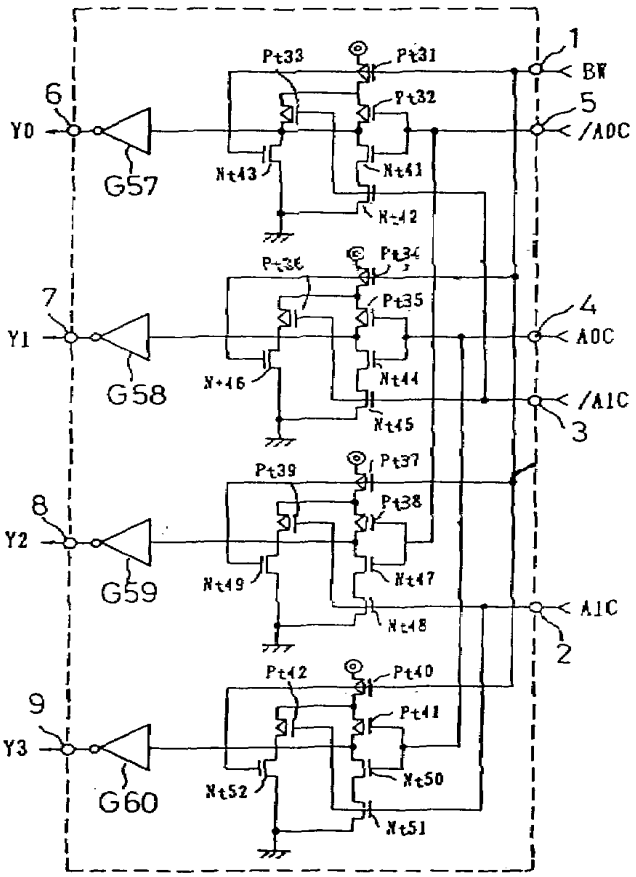
도면8b


BW
/A1C
CSP
8
9
7
Vcc
Pt21
Pt22
Pt23
10
SCSL0
G55
Nt32
Nt31
Nt33
GND
/N
Pt2
G11
Pt1
PRCH
1
P2A
P2b
P3a
P3b
Nt2
Nt3
Nt4
Nt5
Pt24
Pt25
Pt26
G56
SCSL1
Nt34
Nt35
Nt36
6
8
5
4
3
2
A1C
BW
A2C
A2C
/A3C
A3C

도면9a


Y0
Y1
Y2
Y3
6
7
8
9
디코더부
5
4
3
2
1
/A0C
A0C
/A1C
A1C
BW
CPD

도면9b


1
BW
5
/ADC
4
ADC
/A1C
3
A1C
2
6
Y0
G57
7
Y1
G58
8
Y2
G59
9
Y3
G60
Pt33
Pt31
Pt32
Nt43
Nt41
Nt42
Pt36
Pt34
Pt35
Nt46
Nt44
Nt45
Pt39
Pt37
Pt38
Nt49
Nt47
Nt48
Pt42
Pt40
Pt41
Nt52
Nt50
Nt51