(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第6238436号
(P6238436)
(45)発行日　平成29年11月29日(2017.11.29)　(24)登録日　平成29年11月10日(2017.11.10)

(51)Int.Cl.　　F I
*H03K 4/94 (2006.01)*　　H03K 4/94
*G05F 1/56 (2006.01)*　　G05F 1/56　３３０Ａ

請求項の数 5　(全 12 頁)

(21)出願番号　特願2013-185101(P2013-185101)
(22)出願日　平成25年9月6日(2013.9.6)
(65)公開番号　特開2015-53587(P2015-53587A)
(43)公開日　平成27年3月19日(2015.3.19)
審査請求日　平成28年9月5日(2016.9.5)

（出願人による申告）独立行政法人科学技術振興機構ＪＳＴ　ＦＩＲＳＴの研究成果「最先端研究開発支援プログラムに伴う成果」に係る特許出願

(73)特許権者　504174135
国立大学法人九州工業大学
福岡県北九州市戸畑区仙水町１番１号
(74)代理人　100108660
弁理士　大川　譲
(72)発明者　上ノ原　誠二
福岡県北九州市戸畑区仙水町１番１号　国立大学法人九州工業大学内
(72)発明者　松坂　建治
福岡県北九州市戸畑区仙水町１番１号　国立大学法人九州工業大学内
(72)発明者　森江　隆
福岡県北九州市戸畑区仙水町１番１号　国立大学法人九州工業大学内

最終頁に続く

(54)【発明の名称】電流電圧変換回路と共に用いるバラツキ補償回路

(57)【特許請求の範囲】
【請求項１】
電源と、電源からの電流値を制御する制御素子と、前記制御素子により制御された電流値を入力パルス変調信号によりオンオフするためのスイッチ素子と、オンオフされた電流を電荷として保持して電圧に変換して出力するキャパシタCxとを備える電流電圧変換回路と共に用いて、該電流電圧変換回路の回路素子或いは電気的特性に基づくバラツキの影響を補償するためのバラツキ補償回路において、
前記キャパシタCxに保持された電圧を第１の入力端子にフィードバックして、第２の入力端子に入力された時間電圧波形と対比することによりPWM信号に変換するコンパレータと、
前記コンパレータから出力したPWM信号と外部から与えられる目標時間幅Ttgtを比較し、その差分PWM信号を出力するパルス差分計算回路と、
前記パルス差分信号の大きさを電圧値Vpに変換する回路と、
前記変換された電圧値Vpに基づき、前記電流電圧変換回路の前記制御素子を制御して、前記コンパレータにより生成されたPWM信号のパルス幅が前記目標時間幅Ttgtに一致するように制御することで、前記電源からの電流値をバラツキの影響をキャンセルした値に制御することから成るバラツキ補償回路。
【請求項２】
前記コンパレータは、前記二つの入力端子におけるそれぞれの電圧の差であるオフセット電圧を保持するキャパシタCAを備えた請求項１に記載のバラツキ補償回路。

【請求項３】
前記電流電圧変換回路の前記スイッチ素子がオンになるとき以外は、前記コンパレータの前記第１の入力端子は基準電位Vin0に固定される請求項１に記載のバラツキ補償回路。
【請求項４】
前記パルス差分信号を電圧値Vpに変換する回路は、差分PWM信号で制御される電流源と、その電流源からの電流値を積分するキャパシタCpを備え、該キャパシタCpの充電電圧に差分PWM信号を電圧変換したものを加算あるいは減算していくことにより、電圧値Vpとして出力する請求項１に記載のバラツキ補償回路。
【請求項５】
前記電流電圧変換回路の前記制御素子を、MOSトランジスタにより構成した請求項１に記載のバラツキ補償回路。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、電源からの電流をスイッチングして、流れる電荷をキャパシタに蓄積して、電圧を発生させる電流電圧変換回路のための、キャパシタ容量値や電流値などにおける素子間のバラツキを補償する回路に関する。
【背景技術】
【０００２】
パルス幅（時間）情報を電圧値に変換する回路として、パルス幅変調（PWM）信号により電流源をスイッチングして、流れた電荷をキャパシタに蓄積して、電圧を発生させる電流電圧変換回路（スイッチト電流源（SCS）など）が用いられる。図８は、電流電圧変換を説明するための原理図である。図示のように、流れる電流量をI、PWM信号の時間幅をT、キャパシタの容量をCとすると、出力電圧Vcは以下で表される。

$$Vc = (I/C)\,T \qquad (1)$$

【０００３】
図９（Ａ）は、特許文献１に開示の非線形電圧変換回路（電流電圧変換回路）を示す図であり、（Ｂ）は制御信号のタイミングチャートである。アナログ入力信号Ｖ1を比較器６を用いて、ランプ電圧発生回路１０により発生されたランプ電圧（単調に増加する電圧）Ｖ10と比較し、ＰＷＭ信号に変換する。変換したＰＷＭ信号を、非線形電圧源３、スイッチ４、およびキャパシタ５を含む非線形電圧変換回路に入力し、スイッチ４を制御する。ＰＷＭパルスの立上りと同時に、電圧源３の電圧値Ｖ3が図９（Ｂ）に示すように任意の、例えば特定の非線形の、時間関数（ｆ(t)）で変化する。ＰＷＭパルスが１の間スイッチ４は閉じられており、電圧源３からの電圧でキャパシタ５が充放電される。パルスが立ち下った時点（ｔ＝Ｔ）でスイッチ４が開き、この時点での電圧値（ｆ(T)）がキャパシタに保持され、出力端子２に出力される。すなわち、出力電圧Ｖ2 ＝ｆ(T) となる。また、スイッチ４の入力は必ずしもＰＷＭ信号である必要はない。時刻Ｔにおいて電圧ｆ(T) が出力できれば良い。図９（Ｂ）に示すようなパルス位相変調（ＰＰＭ）信号でも良い。さらに、非線形電圧源３に代えて、非線形電流源を用いることもできる。
【０００４】
上述のような電流電圧変換回路の素子を、集積回路技術でSiチップ上に実現した場合、電流源の電流量I、キャパシタの容量Cなどは製造偏差、および寄生容量などの空間に分布する電気的特性バラツキの影響を受ける。これによりI、Cの値は設計値とは異なり、設計値からのずれの厳密な予測も困難である。したがって、 Siチップ上に複数個設置した同一設計サイズの回路の特性も厳密にはそれぞれで異なることになる。そこで、使用者が望む電圧変換特性を与えるように回路内部で補正ができることが望ましい。
【０００５】
なお、非特許文献１には、オフセット補償を行うコンパレータ回路を含む非線形変換回路についての開示がある。

【先行技術文献】
【特許文献】
【０００６】
【特許文献１】特開2000-57241
【非特許文献】
【０００７】
【非特許文献１】上ノ原 誠二，厚地 泰輔，松坂 建治，森江 隆，合原 一幸，「電圧・電流サンプリング方式によるしきい値結合CMOSカオス回路の設計」，電子情報通信学会技術研究報告、NLP研究会，Vol．112，No．389，pp．105-110，2013年1月24日
【発明の概要】
【発明が解決しようとする課題】
【０００８】
本発明は、集積回路技術でSiチップ上に実現される素子の電流量Iやキャパシタの容量Cの製造偏差、および寄生容量などの空間に分布する電気的特性バラツキを補償して、所望の電流電圧変換特性を与える回路を提供することを目的としている。
【課題を解決するための手段】
【０００９】
本発明のバラツキ補償回路は、電流電圧変換回路と共に用いて、該電流電圧変換回路の回路素子或いは電気的特性に基づくバラツキの影響を補償する。電流電圧変換回路は、電源と、電源からの電流値を制御する制御素子と、制御素子により制御された電流値を入力パルス変調信号によりオンオフするためのスイッチ素子と、オンオフされた電流を電荷として保持して電圧に変換して出力するキャパシタCxとを備える。バラツキ補償回路は、キャパシタCxに保持された電圧を第１の入力端子にフィードバックして、第２の入力端子に入力された時間電圧波形と対比することによりPWM信号に変換するコンパレータと、このコンパレータから出力したPWM信号と外部から与えられる目標時間幅Ttgtを比較し、その差分PWM信号を出力するパルス差分計算回路と、このパルス差分信号の大きさを電圧値Vpに変換する回路と、この変換された電圧値Vpに基づき、電流電圧変換回路の制御素子を制御して、コンパレータにより生成されたPWM信号のパルス幅が目標時間幅Ttgtに一致するように制御することで、電源からの電流値をバラツキの影響をキャンセルした値に制御する。
【００１０】
コンパレータは、二つの入力端子におけるそれぞれの電圧の差であるオフセット電圧を保持するキャパシタCAを備えることができる。電流電圧変換回路のスイッチ素子がオンになるとき以外は、コンパレータの第１の入力端子は基準電位Vin0に固定される。
【００１１】
パルス差分信号を電圧値Vpに変換する回路は、差分PWM信号で制御される電流源と、その電流源からの電流値を積分するキャパシタCpを備え、該キャパシタCpの充電電圧に差分PWM信号を電圧変換したものを加算あるいは減算していくことにより、電圧値Vpとして出力する。電流電圧変換回路の制御素子は、MOSトランジスタにより構成することができる。
【発明の効果】
【００１２】
本発明によれば、集積回路上に多数形成された電流電圧変換回路の製造バラツキ等の影響を補償することができる。
【００１３】
また、Siチップ上に製造された複数個の電流源の電流値またはキャパシタの容量値などのバラツキをそれぞれ相対的に一致させたい場合にも、集積回路製造バラツキなどの影響でその変換回路の特性がずれている状況でも、そのバラツキを補償することができる。
【図面の簡単な説明】
【００１４】

【図１】本発明を具体化するバラツキ補償回路を備えた電流電圧変換回路の概略図である。
【図２】図１に示すパルス差分計算回路と電圧制御電流源を、それぞれロジックゲートと、PMOS制御電圧源（電源ＶDD＋PMOSトランジスタM1）を使用して置き換えた例である。
【図３】補償動作を実現するときの制御信号と各ノード電圧のタイミングチャートである。
【図４】(Ａ)は、電圧シフトバラツキの影響を受けないコンパレータを例示する図であり、(Ｂ)は制御信号とノード電圧のタイミングチャートである。
【図５】図１に示すバラツキ補償回路の動作原理を説明する回路図である。
【図６】補償動作を実現するときの制御信号のタイミングチャートである。
【図７】シミュレーション結果を示す図である。
【図８】電流電圧変換を説明するための原理図である。
【図９】（Ａ）は、特許文献１に開示の非線形電圧変換回路（電流電圧変換回路）を示す図であり、（Ｂ）は制御信号のタイミングチャートである。
【発明を実施するための形態】
【００１５】
以下、例示に基づき本発明を説明する。図１は、本発明を具体化するバラツキ補償回路を備えた電流電圧変換回路の概略図である。図１中に示す電流電圧変換回路の一例は、従来技術として説明したようなスイッチト電流源である。図示の電流電圧変換回路において、電圧制御電流源に直列接続のスイッチSWδが、入力ＰＷＭ信号に基づきオンオフされる。ＰＷＭパルスがハイとなるTδの間、スイッチSWδは閉じられており、電圧制御電流源からの電流でキャパシタCxが充放電される。ＰＷＭ信号パルスが立ち下った時点でスイッチSWδが開き、この時点での電圧値がキャパシタCxに保持され、この電圧値が出力されると共に、アナログバッファSF3を介してコンパレータに入力される。
【００１６】
本発明は、例えばスイッチト電流源のような、それ自体は従来より公知の電流電圧変換回路に、バラツキ補償回路を備えたものに相当する。例示のバラツキ補償回路は、基準電圧から所定のタイミングで時間的に電圧が変化する時間電圧波形（ランプ電圧波形）Vramp(t)と、基準電圧Vin0に電流電圧変換回路の出力電圧をフィードバックして付加した電圧Vinを対比して、PWM信号に変換するコンパレータと、コンパレータから出力したPWM信号と外部から与えられる目標時間幅Ttgtを比較し、その差分PWM信号を出力するパルス差分計算回路ブロックAと、差分PWM信号で制御される電流源Ip,Iqを含む回路ブロックBと、その電流値を積分するキャパシタCpを持つ回路ブロックCと、から構成されている。上記したブロックB及びブロックCは、パルス差分計算回路ブロックAからのパルス差分信号の大きさを出力電圧（電圧値Vp）に変換しており、そして、この回路ブロックCの出力電圧（電圧値Vp）により、上述した電流電圧変換回路の電圧制御電流源を制御する。電圧制御電流源は、ノードPから入力された制御電圧に対応して、電流量を制御する制御素子を含んでいる。回路ブロックＣのスイッチSWiniはノードPの電位を、所定の電圧Viniに設定する機能を有している。電流値補償動作を実行する前にスイッチSWiniをONしてノードPの電位をViniに初期化する時に使用する。
【００１７】
コンパレータのアナログバッファSF3には、図１のノードXの電圧（キャパシタCxの端子電圧）を入力する。基準電圧Vin0は、ノードXの電圧を決定する初期電圧であり、アナログバッファSF1及びスイッチSWin_btを介して入力する。補償動作ではノードXの電位の変化の仕方は、外部からのクロック制御信号に基づき、「基準電位Vin0でセット→電流電圧変換回路の出力電圧にセット→基準電位Vin0でセット→・・・」という流れとなる。このように、毎回補償動作のたびにノードXの電位はVin0にリセットされる。
【００１８】
図１において、電圧制御電流源に与える電圧値を制御することで、電荷の時間積分結果（=電圧）を目標値に設定することが可能になる。この際、時間積分に使用されるキャパ

シタの容量値のバラツキも同時に補償される。本発明はそもそも流れる電流量I／キャパシタ容量Cの比（上述の式（１）参照）のバラツキを補償し所望の電流電圧変換特性を実現するために、この電流電圧変換特性を外部から与えた目標となる時間幅Ttgt及びスイッチSWδのON時間Tδで決定する。時間幅Ttgtを変えると、電圧制御電流源に流れる電流量が変わることになる。スイッチSWδは、上述したように、入力PWM信号により制御されている。目標時間幅Ttgtに一致させるべきコンパレータ出力のＰＷＭ信号幅を制御するために、まず初めに電圧制御電流源をTδ[s]の間動作させ、キャパシタCxに電荷を充電し、その時のキャパシタCxの電圧をコンパレータでPWM変換する。そして次に、外部から任意に設定した目標時間幅TtgtとそのPWM変換結果を比較し、差のPWM信号（ブロックA出力）で、ブロックB,Cを介して、電圧制御電流源に与えられる電圧を制御して、流れる電流値を制御する。例えば、電圧電流変換特性f(Vp)が単調減少関数の場合、PWM信号がTtgtよりも大きければ、パルス差分計算回路から、Vpが上昇するようにPWM信号Tfb+が出力される。逆にPWM信号がTtgtよりも小さい場合はVpを下げるようにPWM信号Tfb-が出力される。以上の動作を繰り返すことにより、生成PWM信号が前記所定のPWM信号に一致するように制御することで、電流源から流れる電流値は、バラツキの影響をキャンセルした値となっている。そして、バラツキの無い電流値に制御された電圧制御電流源と直列接続のスイッチSWδのオン時間を、入力パルス変調信号（例えばPWM信号）により制御する。

【００１９】

図２は、図１に示すパルス差分計算回路と電圧制御電流源をそれぞれロジックゲート（ブロックＡ）とPMOS制御電圧源（電源ＶDD＋PMOSトランジスタM1）を使用して置き換えた例である。また、図１のスイッチSWδは、一対の差動構成のMOSトランジスタM2,M3を用いて構成した。アナログバッファSF4はスイッチSWδ（MOSトランジスタM2,M3）のスイッチングの影響をノードPの電位に及ぼさないようにするためのバッファである。本発明は、バラツキ補償回路の出力電圧で、電流電圧変換回路に流れる電流値を制御するが、電流電圧変換回路の電源自体は、電圧源或いは電流源のいずれも用いることができる。

【００２０】

以下、図を参照しつつ、さらに詳述する。図３は、図１或いは図２に例示したバラツキ補償回路を備えた電流電圧変換回路の動作を示すタイミングチャートであるが、その説明の前に、図４～図６を参照して、図１或いは図２に例示した回路の部分的な説明をする。

【００２１】

図４(Ａ)は、電圧シフトバラツキの影響を受けないコンパレータを例示する図であり、(Ｂ)は制御信号とノード電圧のタイミングチャートである。補償シーケンスを実行するためには電圧-時間変換を行うコンパレータが必要になる。電圧制御電流源を補償するためにはこのコンパレータも製造バラツキや空間に分布する電気的特性のバラツキに頑健であることが望ましい。後述するように補償動作を実行する際，複数の電圧制御電流源とキャパシタCxのペアに対し，複数のコンパレータを使用する場合は、例示のようなコンパレータが必要となる。例示のコンパレータは、キャパシタCAが存在する点が通常のチョッパ型コンパレータと異なる。コンパレータ（比較器）の二つの入力において、それぞれの基準電圧の差（オフセット電圧）をキャパシタCAに保持して、その影響をキャンセルする。キャパシタにオフセット分の電圧を保持する「オートゼロ」機能を有する比較回路自体は，AD変換器等で従来より使われている。

【００２２】

コンパレータの入力の一方Vramp(t)は、その基準電圧から所定のタイミングで時間的に電圧が変化する時間電圧波形であり、入力の他方Vinは、基準電圧Vin0（図１参照）を、所定のパルスでサンプリングした電圧である。このコンパレータは、ノードYとAに比較用電圧波形Vramp(t)と、比較される電圧Vinが到達するまでの経路で発生するすべてのオフセット電圧をキャパシタCAで補償する。入力信号VinはスイッチSWinを介してゼロオフセット用キャパシタCBの一方の端子に入力される。ゼロオフセット用キャパシタCBの他方の端子はインバータの入力端子に接続されている。また、このインバータにはスイッチSWset_compが並列に接続され、これらスイッチは電流電圧変換回路の制御部（図示しない）か

らのクロック信号によりその開閉動作が制御される。アナログバッファSF1,SF2,SF3と配線抵抗（図示省略）が縦列接続された状態で、この経路中で発生する予測困難な電圧シフトがある場合でも、例示のコンパレータは電圧シフトが無い場合と同様のPWM変換動作が可能になる。

【００２３】

オフセット電圧に影響を受けないPWM変換シーケンスを以下に示す。ただし、ノードYに到達するまでのオフセット電圧込みの基準電圧Vramp(t)をVramp_bt、ノードXに到達するまでのオフセット電圧込みの基準電圧Vin0をVin_btX、ノードAに到達するまでのオフセット電圧込みのVinの基準電圧をVin_btとする。各ノードA,B,Yの電圧をそれぞれ、VA,VB,VYとする。

【００２４】

1)スイッチSWset_comp、SWin（本明細書において、図示のスイッチは、制御信号に付した参照記号で引用する）をONし、ノードAを入力電圧Vinに、ノードBをインバータしきい値Vinv_thにセットする。この時、ノードYの電位VYはVramp_btのままである。

2)スイッチSWset_compをOFFした後、 SWinをOFFし、VinをVin_btにセットする。この時、キャパシタCAは基準電圧Vramp_btと基準電圧Vin_btのオフセット電圧を保持する。そして、ランプ波形を立ち上げる。

3) キャパシタCAでオフセット補償されたVinをPWM変換した信号が出力される。

【００２５】

図５は、図１に示すバラツキ補償回路の動作原理を説明する回路図である。図５に示す回路図は、図１に示す回路ブロックA、B、Cから構成されるバラツキ補償回路と実質的に同じである。例示のバラツキ補償回路において、パルス差分計算回路は、コンパレータから出力したPWM信号と外部から与えられる目標時間幅Ttgtを比較し、その差分PWM信号を出力する。このパルス差分信号は、電流源ブロックB及びその電流値を積分するキャパシタCp（図１の回路ブロックC参照）を介してノードPの電圧Ｖｐを変更する。電流源ブロックB及びキャパシタCpは、電圧Ｖｐが所定の電圧Vini（図１参照）に初期設定された後、その後の更新毎に、前回の値に更新量を追加していくことで、元ある電圧Vpにパルス差分を電圧変換したものを加算（あるいは減算）する。

【００２６】

電流源Ip、Iq（流れる電流値もIp、Iqで表す）は、キャパシタCpに電流を流しノードPの電圧Vpを上昇させるものIpと、電流を引き抜き電圧Vpを下降させるものIqの2つがある。この一対の電流源IpとIqを、パルス差分計算回路の出力で制御するが、どちらの電流源Ip、Iqをどちらの出力で制御するかは電流電圧変換回路の電圧制御電流源（MOSトランジスタ）の電圧電流変換特性f(Vp)により適宜変更する。パルス差分計算回路は、デジタル信号の比較を行う回路であり、ロジック回路で構成することができる。このパルス差分計算回路は外部から与えた目標時間幅TtgtとPWM信号の差の符号に対応した2つの出力SWdec,SWincを持ち、上記の電流源Ip、Iqを制御する。図示の例では、パルス差分計算回路により差動構成の一対の電流源を制御するものとして説明したが、必ずしも差動構成の電流源を用いる必要は無い。

【００２７】

図６は、補償動作を実現するときの制御信号のタイミングチャートである。（ａ）に示すTtgt は、外部から与えた目標時間幅を有するパルス信号である。コンパレータからは、前述のように、キャパシタCAのオフセットで補償されたVinをPWM変換した信号が出力される。このPWM信号とTtgtを比較する。（ｂ）に示すように、出力PWM信号が目標時間幅Ttgtよりも小さい場合、電圧制御電流源の出力電流f(Vp)を増加させるようなノードPの電圧Vpを与えるように電流源を制御するSWinc信号（ｄ）がパルス差分計算回路から出力される。逆に、（ｃ）に示すように、大きい場合はf(Vp)を減少させるようなVpを与えるように電流源を制御するSWdec信号（ｅ）がパルス差分計算回路から出力される。

【００２８】

次に、図１或いは図２に例示した本発明を具体化するバラツキ補償回路を備えた電流電

圧変換回路の全体動作を、図３を参照して説明する。図３は、補償動作を実現するときの制御信号と各ノード電圧のタイミングチャートである。図３は目標時間幅Ttgt<TPWM_δ（SWδのONに伴うノードAの上昇電圧Vδを時間に展開した時間幅）の場合を示している。ただし、ノードYに到達するまでのオフセット電圧込みの基準電圧Vramp(t)をVramp_bt、ノードXに到達するまでのオフセット電圧込みの基準電圧Vin0をVin_btX、ノードAに到達するまでのオフセット電圧込みのVinの基準電圧をVin_btとする。ただし、ノードPの電位が更新される度にノードXは基準電圧Vin_btXにリセットされるものとする。ノードP、Xの初期電位はそれぞれVini、Vin_btXに設定されているものとする。補償のシーケンスは以下のとおりである:

【００２９】

1)スイッチSWset_comp、SWinをONし、入力PWM信号に基づきSWδをTδ[s]の間ONする。これにより、ノードBはインバータしきい値Vinv_thになり、ノードXの電位は電圧制御電流源の動作により電位が上昇する。即ち、キャパシタCXの電位VxがVin_btから（f(Vp)/Cx）Tδだけ上昇する。この上昇した電圧をVδとする。これに伴いノードAの電位VAがVδだけ上昇する。Vin_btXは、基準電圧Vin0がアナログバッファSF1を通過した後の基準電圧値であり、Vin_btは、さらにアナログバッファSF3を通過した後のノードAに到達するまでのオフセット電圧込みの基準電圧値である。

【００３０】

2)スイッチSWδ、SWset_compをOFFする。その後、スイッチSWin_btをONすることにより、ノードXの電位を基準電位Vin_btにする。これにより、ノードX、A、Bの電位がVδだけ下がる。

【００３１】

3)スイッチSWinをOFFする。そして、Vramp(t)を立ち上げる。これによりVδ（（f(Vp)/Cx）Tδ）を時間に展開した時間幅TPWM_δ（即ち、（f(Vp)/Cx）Tδ）のPWM信号が出力される。このPWM信号と目標時間幅Ttgtを比較する。例えば、f(Vp)が単調減少関数の場合、PWM信号がTtgtよりも大きければ、パルス差分計算回路から、Vpが上昇するようにPWM信号Tfb+が出力される。逆にPWM信号がTtgtよりも小さい場合はVpを下げるようにPWM信号Tfb-が出力される。

4)以上のシーケンスをTtgt=TPWM_δを与えるようなノードPの電圧Vpに収束するまで繰り返す。

【実施例】

【００３２】

図1及び図２に示す回路の補償可能な条件について検討した。補償回路自身の特性がばらついた場合でも、これから示す条件内であれば補償を行うことが可能である。以下に目標となる時間幅TtgtにTPWM_δが収束するための条件を示す。前提として、ノードPの電位Vpの1回の更新を離散時間ステップの単位時間n、nステップ目のノードPの電位をVPn、電圧制御電流源の電圧電流変換特性をf(Vp)、SWδがONする時間をTδ、SWinがONの時SWδをTδの時間ONにしたときのノードAの電圧変化をVXn（さきほどまではVδとしていた)、パルス差分計算回路が出力した差分PWM信号の時間幅をTfb、回路ブロックBの電流源が流す電流値をそれぞれIp、Iqとする。ノードPに接続されるキャパシタの容量をCpと定義する。

【００３３】

Tfbは(Ttgt-TPWM_δ)の符号とf(Vp)の電圧電流変換特性により、Ip、Iqを操作するスイッチの制御の仕方を変える必要があるが、ここでは0>(Ttgt-TPWM_δ)の場合はIp、0<(Ttgt-TPWM_δ)の場合はIqを操作するものとする。電流補償回路はTδ秒間SWδをONにした時のノードAの電位変化VXnをPWM変換したときに得られるTPWM_δを目標とするPWM幅Ttgtになるように動作させる。

【００３４】

TPWM_δとTtgtの時間幅の差Tfbを

$$Tfb = TPWM_\delta - Ttgt \qquad (2)$$

と定義する。TPWM_δ、Ttgtはそれぞれランプ関数の傾きkramp(単位はs/V)を用いてTPWM_δ = krampVXn、Ttgt = krampVtgtと表現できる。VtgtはTtgtを与えるときの目標電圧である。この関係性から式(2)はVXn、Vtgtを用いて

Tfb = kramp(VXn-Vtgt) (3)

と表現できる。ノードPの離散時間(n + 1)での電圧は前の離散時間ステップにおける電圧VPnに電流Ipを容量Cpのキャパシタで Tfb秒間積分した

VPn+1 = VPn + (Ip/Cp)Tfb (Ttgt<TPWM_δ) (4)

VPn+1 = VPn - (Iq/Cp)Tfb (Ttgt>TPWM_δ) (5)

で表される。さらにVXnは関数f(Vp)を用いて

VXn = (f(VPn)/Cx)Tδ (6)

と表される。式(4)、(5)に式(3)を代入すると

VPn+1 = VPn + (Ip/Cp)kramp(VXn-Vtgt)(Ttgt < TPWM_δ) (7)

VPn+1 = VPn - (Iq/Cp)kramp(VXn-Vtgt)(Ttgt > TPWM_δ) (8)

さらに式 (7)、(8)に式(6)を代入すると

VPn+1=(IpTδ/CpCx)krampf(VPn)+VPn-(IpVtgt /Cp)kramp (Ttgt < TPWM_δ) (9)

VPn+1=-(IpTδ/CpCx)krampf(VPn)+VPn+(IpVtgt/Cp)kramp (Ttgt > TPWM_δ) (10)

となりVPnのみの関数として記述できる。

【００３５】

式(9)、(10)の固定点Vfix（前の時刻nの状態値と次の時刻(n + 1)のノードPの電圧が同じVPn+1 = VPnとなる点）は

Vfix = Vfix + (Ip/Cp)kramp[(f(Vfix)/ Cx)Tδ-Vtgt]

0 = (f(Vfix)/ Cb)Tδ-Vtgt

Vtgt = (f(Vfix)/ Cb)Tδ (11)

を満たす。PWM時間幅Ttgt= krampVtgtの関係を用いると式(11)は

Vtgt = (f(Vfix)/ Cb)Tδ

Ttgt /kramp = (f(Vfix)/ Cb)Tδ

Ttgt = (f(Vfix)/ Cb)Tδkramp (12)

と書ける。式 (12)よりVPnがVfixに収束した状態で、時間幅TδのPWM信号がSWδに入力されるとTtgtが得られる。このことから、Vfixが安定固定点となるように設計できればノードPの初期電位V0によらず電流源のゲインを補償できる。式(12)にはCxも含まれることから、電流源のみならず容量のバラツキも補償される。

【００３６】

(Ttgt < TPWM_δ)の場合にVfixが安定固定点となる条件は

【数１】

$$1 > \left|\frac{dVpn+1}{dVpn}\right|$$

$$1 > \left|1 + \frac{IpKrampT\delta}{CpCx}\frac{df(Vfix)}{dVpn}\right|$$

$$-2 < \frac{IpT\delta}{CpCx}\frac{df(Vfix)}{dVpn}Kramp < 0 \qquad (13)$$

(Ttgt > TPWM_δ)の場合にVfixが安定固定点となる条件は

【数２】

$$1 > \left|\frac{dVpn+1}{dVpn}\right|$$

$$1 > \left|1 - \frac{IpKrampT\delta}{CpCx}\frac{df(Vfix)}{dVpn}\right|$$

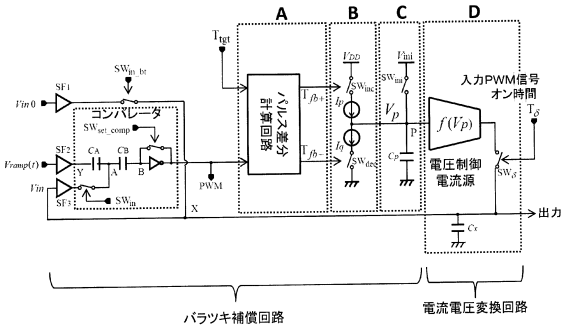
$$0 < \frac{IqT\delta}{CpCx}\frac{df(Vfix)}{dVpn}Kramp < 2 \qquad (14)$$

である。回路素子の特性バラツキの統計データがこの条件式の範囲内に収まるように設計することで補償ができる。

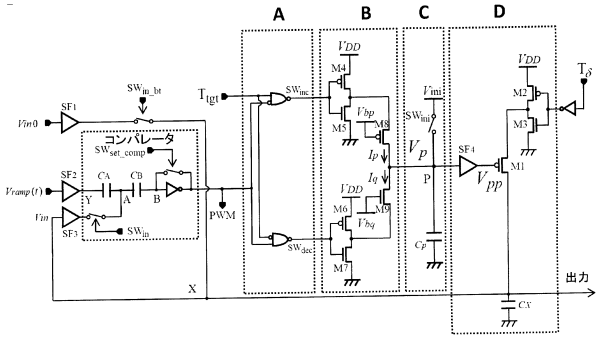
【００３７】

図７は、シミュレーション結果を示す図である。（Ａ）において、横軸は更新回数を、縦軸はスイッチSW艚フONに伴うノードAの上昇電圧Vδを時間に展開した時間幅TPWM_δ(ns)を示している。このシミュレーションは、目標パルス時間幅Ttgtを400nsに設定して、電圧Vini（図１のブロックC参照）を変えることによりノードPの初期電圧Vp0を変えて行った。更新17回目の時間幅TPWM_δが、目標パルス時間幅Ttgtに収束していることを確認した。（Ｂ）において、横軸はｎ回目のノードPの電圧Vpnを、また、縦軸はｎ＋１回目のノードPの電圧Vpn+1を示している。Vpn＝Vpn+1となる一点に収束することを示している。（Ｃ）は、数値で表したグラフである。Vp(V)は、更新回数ｎ＝０回目と、１７回目のそれぞれのノードPの電圧を表している。ε（ns）は、目標パルス時間幅（Ttgt）400nsと、時間幅TPWM_δ(ns)との誤差を表している。このように、更新回数と共に、時間幅TPWM_δ(ns)は目標パルス時間幅（Ttgt）に近づくと共に、ノードPの電圧Vpは、初期電圧に関わらず、一定の更新回数で一定の電圧値になることを確認した。

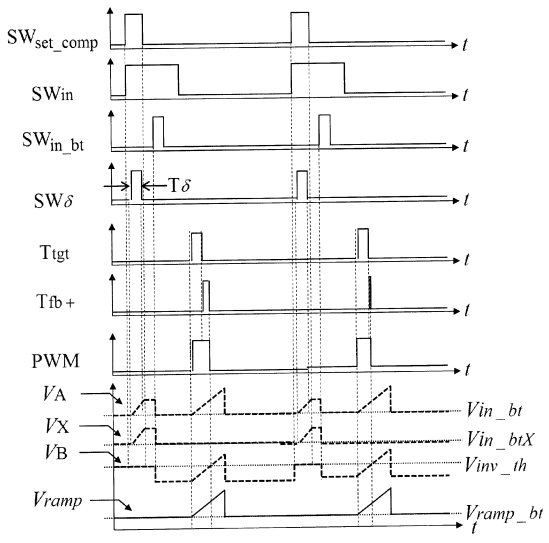
【図１】



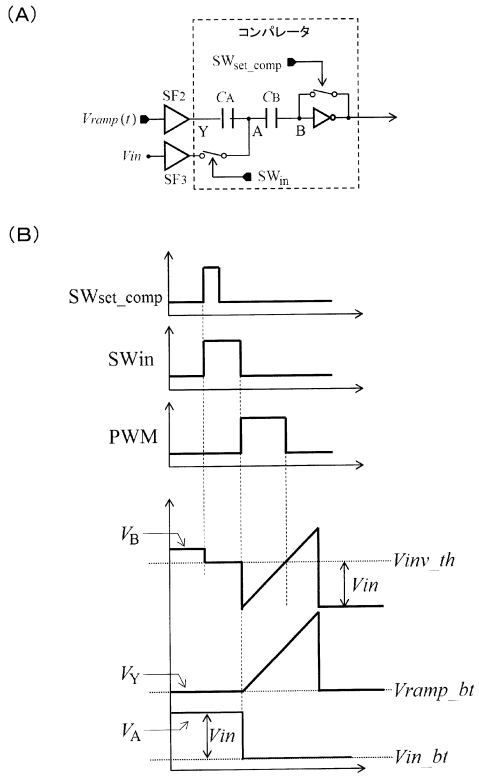

【図２】



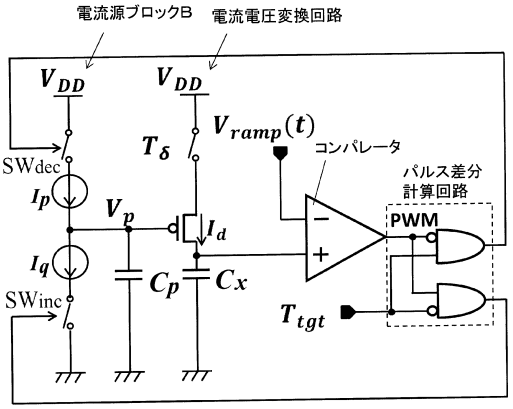

【図３】



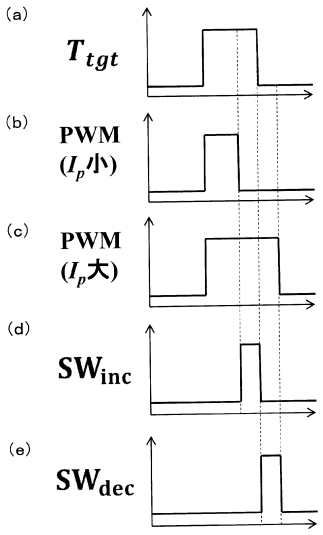
【図４】




【図５】

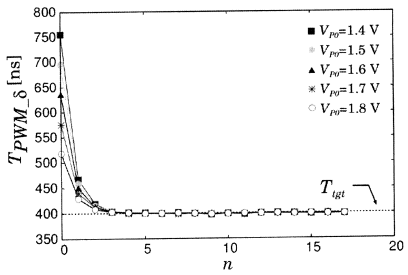



【図６】

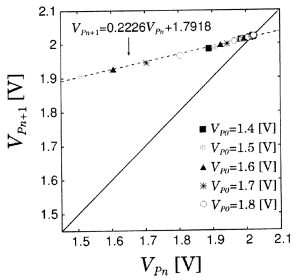



【図７】

(A)



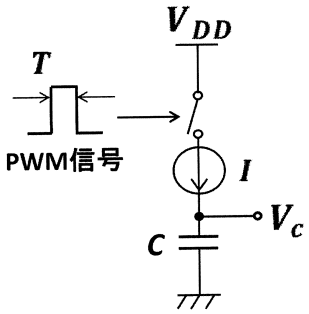

(B)



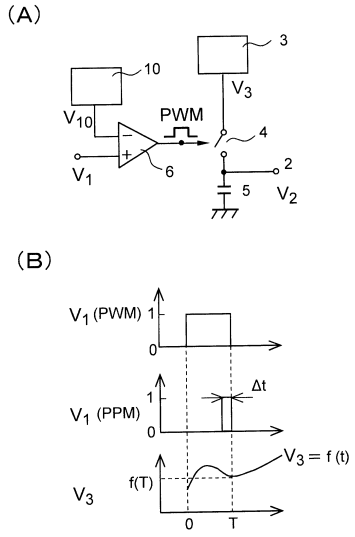

(C)

| $V_p$(V) | $n = 0$ | 1.4 | 1.5 | 1.6 | 1.7 | 1.8 |
|---|---|---|---|---|---|---|
| | $n = 17$ | 2.022 | 2.022 | 2.023 | 2.023 | 2.023 |
| $T_{PWM_\delta}$ (ns) | | 398.6 | 398.5 | 398.6 | 398.6 | 398.5 |
| $\epsilon$ (ns) | | 1.4 | 1.5 | 1.4 | 1.4 | 1.5 |

【図８】


$V_{DD}$
T
PWM信号
I
C
$V_C$

【図９】


(A)
10
3
$V_3$
$V_{10}$
PWM
4
$V_1$
6
2
5
$V_2$
(B)
$V_1$ (PWM) 1
0
1
$V_1$ (PPM)
0
Δt
$V_3 = f(t)$
f(T)
$V_3$
0
T

フロントページの続き

審査官　小林　正明

(56)参考文献　特開平０２－１８１２８４（ＪＰ，Ａ）
特開２００６－１３５３７７（ＪＰ，Ａ）
特開２００７－０６６２５８（ＪＰ，Ａ）
上ノ原　誠二他4名，NC2012-112　電圧・電流サンプリング方式によるしきい値結合ＣＭＯＳカオス回路の設計，電子情報通信学会技術研究報告，日本，一般社団法人電子情報通信学会，２０１３年　1月１７日，第112巻第390号，p.p.105-110

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０３Ｋ　　４／９４
Ｇ０５Ｆ　　１／５６