

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年3月31日(31.03.2022)



(10) 国際公開番号

WO 2022/065007 A1

(51) 国際特許分類:

H01L 23/12 (2006.01) *H01L 21/768* (2006.01)
H01L 25/00 (2006.01) *H01L 23/522* (2006.01)
H01L 25/07 (2006.01) *H01L 23/532* (2006.01)
H01L 25/18 (2006.01) *H01L 21/822* (2006.01)
H01L 21/3205 (2006.01) *H01L 27/04* (2006.01)

特願 2020-158856 2020年9月23日(23.09.2020) JP
特願 2020-158857 2020年9月23日(23.09.2020) JP
特願 2020-158858 2020年9月23日(23.09.2020) JP

(21) 国際出願番号: PCT/JP2021/032599

(22) 国際出願日: 2021年9月6日(06.09.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2020-158854 2020年9月23日(23.09.2020) JP
特願 2020-158855 2020年9月23日(23.09.2020) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 Kyoto (JP).

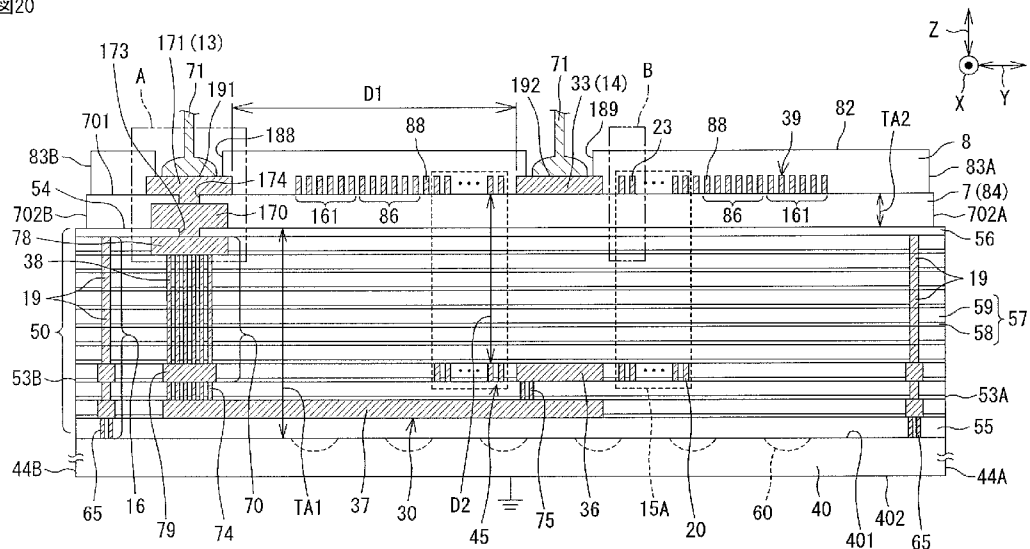
(72) 発明者: 田中文悟 (TANAKA, Bungo); 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP). 和田 恵治 (WADA, Keiji); 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 特許業務法人あい特許事務所 (AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS); 〒5410054 大阪

(54) Title: SEMICONDUCTOR DEVICE, SEMICONDUCTOR MODULE, MOTOR DRIVE DEVICE, AND VEHICLE

(54) 発明の名称: 半導体装置、半導体モジュール、モータ駆動装置および車両

図20



A1 (12)

(57) Abstract: This semiconductor device comprises: a semiconductor layer having a major surface; a first electrically conductive layer formed on the major surface of the semiconductor layer; a first insulating portion which is formed on the major surface of the semiconductor layer so as to cover the first electrically conductive layer, and which includes a first insulating layer comprising three or more layers; a second insulating portion which is formed on the first insulating portion, has a permittivity different from that of the first insulating layer, and includes a second insulating layer not included in

府大阪市中央区南本町二丁目6番12号 サン
マリオンNBFタワー21階 Osaka (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

the first insulating portion; and a second electrically conductive layer which is formed on the second insulating portion, is opposed to the first electrically conductive layer with the first insulating portion and the second insulating portion therebetween, and is connected to a potential different from that of the first electrically conductive layer.

(57) 要約: 半導体装置は、主面を有する半導体層と、前記半導体層の前記主面上に形成された第1導電層と、前記第1導電層を覆うように前記半導体層の前記主面上に形成され、少なくとも3層以上の第1絶縁層を含む第1絶縁部と、前記第1絶縁部上に形成され、前記第1絶縁層とは異なる誘電率を有し、前記第1絶縁部には含まれない第2絶縁層を含む第2絶縁部と、前記第2絶縁部上に形成され、前記第1絶縁部および前記第2絶縁部を介して前記第1導電層に対向し、前記第1導電層とは異なる電位に接続される第2導電層とを含む。

明細書

発明の名称：

半導体装置、半導体モジュール、モータ駆動装置および車両

技術分野

[0001] 本開示は、半導体装置、半導体装置を備える半導体モジュール、半導体モジュールを備えるモータ駆動装置、およびモータ駆動装置を備える車両に関する。

背景技術

[0002] たえば、特許文献１は、電源と、電源によって給電され、感温ダイオードのアノードに接続された出力端子を有する定電流源と、非反転入力端子および反転入力端子を有し、非反転入力端子には感温ダイオードのアノードの電圧が印加されており、反転入力端子にはキャリア生成回路の出力するキャリア信号（三角波信号）が印加されているPWMコンパレータと、PWMコンパレータの出力端子に接続され、高電圧システムと低電圧システムとを絶縁しつつも信号をその一方から他方へと伝達させるための絶縁手段であるフオートカプラとを備える、集積回路を開示している。

先行技術文献

特許文献

[0003] 特許文献1：特開2011-7580号公報

発明の概要

課題を解決するための手段

[0004] 本開示の一実施形態に係る半導体装置は、主面を有する半導体層と、前記半導体層の前記主面上に形成された第１導電層と、前記第１導電層を覆うように前記半導体層の前記主面上に形成され、少なくとも３層以上の第１絶縁層を含む第１絶縁部と、前記第１絶縁部に形成され、前記第１絶縁層とは異なる誘電率を有し、前記第１絶縁部には含まれない第２絶縁層を含む第２絶縁部と、前記第２絶縁部に形成され、前記第１絶縁部および前記第２絶

縁部を介して前記第 1 導電層に対向し、前記第 1 導電層とは異なる電位に接続される第 2 導電層とを含む。

図面の簡単な説明

[0005] [図1]図 1 は、本開示の一実施形態にかかる半導体モジュールを示す平面図である。

[図2]図 2 は、図 1 の半導体モジュールを示す平面図である（封止樹脂を省略）。

[図3]図 3 は、図 1 の半導体モジュールを示す左側面図である。

[図4]図 4 は、図 1 の半導体モジュールを示す右側面図である。

[図5]図 5 は、図 1 の半導体モジュールを示す正面図である。

[図6]図 6 は、図 1 の半導体モジュールを示す背面図である。

[図7]図 7 は、図 2 のVII－VII断面を示す図である。

[図8]図 8 は、図 2 のVIII－VIII断面を示す図である。

[図9]図 9 は、図 1 の半導体モジュールのリードフレームを示す平面図である。

[図10]図 10 は、本開示の一実施形態に係る車両の模式図である。

[図11]図 11 は、本開示の一実施形態に係るモータ駆動装置の一構成例を示すブロック図である。

[図12]図 12 は、トランスを介した送受信回路部分の詳細図である。

[図13]図 13 は、半導体モジュールの端子配置および封止樹脂内におけるチップ配列の一例を示す模式図である。

[図14]図 14 は、半導体モジュールの外部端子の説明テーブルの一例である。

[図15]図 15 は、半導体モジュール 1 の電気的特性テーブルの一例である。

[図16]図 16 は、信号伝達装置の第 1 実施形態を示す回路ブロック図である。

[図17]図 17 は、本開示の一実施形態に係る半導体装置の模式的な平面図である。

[図18]図18は、図17の半導体装置において低電位コイルが形成された層を示す平面図である。

[図19]図19は、図17の半導体装置において高電位コイルが形成された層を示す平面図である。

[図20]図20は、図17の半導体装置の模式的な断面図である。

[図21]図21は、図17の半導体装置の要部拡大図である。

[図22]図22は、図19の領域Aの拡大図である。

[図23]図23は、図19の領域Bの拡大図である。

[図24]図24は、図19の領域Cの拡大図である。

[図25A]図25Aは、図17の半導体装置の製造工程の一部を示す図である。

[図25B]図25Bは、図17の半導体装置の製造工程の一部を示す図である。

[図26A]図26Aは、図25Aの次の工程を示す図である。

[図26B]図26Bは、図25Bの次の工程を示す図である。

[図27A]図27Aは、図26Aの次の工程を示す図である。

[図27B]図27Bは、図26Bの次の工程を示す図である。

[図28A]図28Aは、図27Aの次の工程を示す図である。

[図28B]図28Bは、図27Bの次の工程を示す図である。

[図29A]図29Aは、図28Aの次の工程を示す図である。

[図29B]図29Bは、図28Bの次の工程を示す図である。

[図30A]図30Aは、図29Aの次の工程を示す図である。

[図30B]図30Bは、図29Bの次の工程を示す図である。

[図31A]図31Aは、図30Aの次の工程を示す図である。

[図31B]図31Bは、図30Bの次の工程を示す図である。

[図32A]図32Aは、図31Aの次の工程を示す図である。

[図32B]図32Bは、図31Bの次の工程を示す図である。

[図33]図33は、本開示の一実施形態に係る半導体装置の模式的な断面図である。

[図34]図34は、本開示の一実施形態に係る半導体装置の模式的な断面図で

ある。

[図35]図35は、本開示の一実施形態に係る半導体装置の模式的な断面図である。

[図36]図36は、本開示の一実施形態に係る半導体装置の模式的な断面図である。

[図37]図37は、本開示の一実施形態に係る半導体装置の模式的な断面図である。

[図38]図38は、本開示の一実施形態に係る半導体装置の模式的な断面図である。

[図39]図39は、本開示の一実施形態に係る半導体装置の模式的な断面図である。

[図40]図40は、本開示の一実施形態に係る半導体装置の模式的な平面図である。

[図41]図41は、図40の半導体装置において低電位コイルが形成された層を示す平面図である。

[図42]図42は、図40の半導体装置において高電位コイルが形成された層を示す平面図である。

[図43]図43は、図40の半導体装置の模式的な断面図である。

[図44]図44は、本開示の一実施形態に係る半導体装置の模式的な断面図である。

[図45]図45は、本開示の一実施形態に係る半導体装置の模式的な断面図である。

[図46]図46は、本開示の一実施形態に係る半導体装置の模式的な断面図である。

[図47]図47は、本開示の一実施形態に係る半導体装置の模式的な断面図である。

[図48]図48は、本開示の一実施形態に係る半導体装置の模式的な断面図である。

[図49]図49は、本開示の一実施形態に係る半導体装置の模式的な断面図である。

[図50]図50は、本開示の一実施形態に係る半導体装置の模式的な断面図である。

[図51]図51は、本開示の一実施形態に係る半導体装置の模式的な平面図である。

[図52]図52は、図51の半導体装置において低電位コイルが形成された層を示す平面図である。

[図53]図53は、図51の半導体装置において高電位コイルが形成された層を示す平面図である。

[図54]図54は、図51の半導体装置の模式的な断面図である。

[図55]図55は、図51の半導体装置の要部拡大図である。

[図56]図56は、本開示の一実施形態に係る半導体装置の模式的な断面図である。

[図57]図57は、本開示の一実施形態に係る半導体装置の模式的な断面図である。

[図58]図58は、本開示の一実施形態に係る半導体装置の模式的な断面図である。

[図59]図59は、本開示の一実施形態に係る半導体装置D1の模式的な平面図である。

[図60]図60は、図59の半導体装置D1において低電位コイル915が形成された層を示す平面図である。

[図61]図61は、図59の半導体装置D1において高電位コイル916が形成された層を示す平面図である。

[図62]図62は、図59の半導体装置D1の模式的な断面図である。

[図63]図63は、図59の半導体装置の効果を説明するための図である。

[図64]図64は、本開示の一実施形態に係る半導体装置D1の模式的な断面図である。

[図65]図65は、図64の半導体装置の効果を説明するための図である。

[図66]図66は、本開示の一実施形態に係る半導体装置D1の模式的な断面図である。

[図67]図67は、本開示の一実施形態に係る半導体装置E1の模式的な平面図である。

[図68]図68は、図67の半導体装置E1において低電位コイル20が形成された層を示す平面図である。

[図69]図69は、図67の半導体装置E1において高電位コイル1016が形成された層を示す平面図である。

[図70]図70は、図67の半導体装置E1の模式的な断面図である。

[図71]図71は、図70の高電位コイル1016の要部拡大図である。

[図72]図72は、図71の高電位コイル1016の形成に関連する工程を示す図である。

[図73]図73は、図72の次の工程を示す図である。

[図74]図74は、図73の次の工程を示す図である。

[図75]図75は、図74の次の工程を示す図である。

[図76]図76は、図75の次の工程を示す図である。

[図77]図77は、図76の次の工程を示す図である。

[図78]図78は、本開示の一実施形態に係る半導体装置E1の模式的な断面図である。

[図79]図79は、本開示の一実施形態に係る半導体装置E1の模式的な断面図である。

[図80]図80は、図79の高電位コイル1016の要部拡大図である。

[図81]図81は、図80の高電位コイル1016の形成に関連する工程を示す図である。

[図82]図82は、図81の次の工程を示す図である。

[図83]図83は、図82の次の工程を示す図である。

[図84]図84は、図83の次の工程を示す図である。

[図85]図 8 5 は、図 8 4 の次の工程を示す図である。

[図86]図 8 6 は、本開示の一実施形態に係る半導体装置 E 1 の模式的な断面図である。

[図87]図 8 7 は、前記実施形態の変形例を示す図である。

[図88]図 8 8 は、前記実施形態の変形例を示す図である。

[図89]図 8 9 は、前記実施形態の変形例を示す図である。

[図90]図 9 0 は、前記実施形態の変形例を示す図である。

[図91]図 9 1 は、前記実施形態の変形例を示す図である。

[図92]図 9 2 は、前記実施形態の変形例を示す図である。

[図93]図 9 3 は、前記実施形態の変形例を示す図である。

[図94]図 9 4 は、前記実施形態の変形例を示す図である。

発明を実施するための形態

[0006] 以下では、添付図面を参照して、本開示の実施形態を詳細に説明する。

[半導体モジュールの構造]

図 1 ～図 9 を参照して、半導体モジュール 1 の構造について説明する。説明の便宜上、平面図の上下方向を第 1 方向 X、第 1 方向 X に対して直角である平面図の左右方向を第 2 方向 Y とそれぞれ定義する。第 1 方向 X および第 2 方向 Y は、ともに半導体モジュール 1 の厚さ方向に対して直角である。

[0007] 図 1 は、半導体モジュール 1 を示す平面図である。図 2 は、理解の便宜上、図 1 から後述する封止樹脂 6 を省略した平面図である。図 3 は、半導体モジュール 1 を示す左側面図である。図 4 は、半導体モジュール 1 を示す右側面図である。図 5 は、半導体モジュール 1 を示す正面図である。図 6 は、半導体モジュール 1 を示す背面図である。図 7 は、図 2 の VII－VII 線（一点鎖線）に沿う断面図である。図 8 は、図 2 の VIII－VIII 線に沿う断面図である。なお、図 2 においては、封止樹脂 6 を想像線（二点鎖線）により図示している。図 7 および図 8 においては、封止樹脂 6 を省略せず図示している。

[0008] 半導体モジュール 1 は、たとえば電気自動車、またはハイブリッド自動車などのインバータ装置の回路基板に表面実装されるものであり、パッケージ

形式がS O Pである。なお、半導体モジュール1は、S O Pに限らず、Q F N (Quad For Non Lead Package)、D F P (Dual Flat Package)、D I P (Dual Inline Package)、Q F P (Quad Flat Package)、S I P (Single Inline Package)、もしくは、S O J (Small Outline J-leaded Package)、または、これらに類する種々のパッケージ形式からなってもよい。

[0009] 半導体モジュール1は、半導体素子11、絶縁素子12、導電支持部材80、封止樹脂6、ボンディングワイヤ71、内装めっき層72および外装めっき層73を備えている。この形態においては、半導体モジュール1は、平面視矩形状である。

[0010] 半導体素子11および絶縁素子12は、半導体モジュール1を機能させるための素子である。半導体素子11は、制御素子111および駆動素子112を含む。制御素子111は、たとえばE C Uから入力された制御信号をP W M制御信号に変換する回路と、前記P W M制御信号を駆動素子112へ伝送するための送信回路と、駆動素子112からの電気信号を受ける受信回路とを有する。駆動素子112は、前記P W M制御信号を受信する受信回路と、前記P W M信号に基づきI G B Tなどのパワー半導体素子のスイッチング動作を行う回路（ゲートドライバ）と、電気信号を制御素子111へ伝送するための送信回路とを有する。前記電気信号は、たとえばモータ近傍に設置された温度センサからの出力信号が挙げられる。

[0011] 絶縁素子12は、前記P W M制御信号や他の電気信号を、絶縁状態で伝送するための素子である。駆動素子112は、制御素子111よりも高い電圧を必要とするため、制御素子111と駆動素子112との間に著しい電位差が生じることから、絶縁素子12が必要となる。具体的には、たとえば電気自動車、またはハイブリッド自動車のインバータ装置においては、制御素子111に供給される電源電圧は、グランド電位基準で5 Vや3.3 Vなどである。

[0012] これに対して、駆動素子112には、制御素子111のグランド電位と比較して、たとえば600 V以上の電圧が過渡的に印加される。より具体的に

説明すると、ハイブリッド自動車などのインバータ装置におけるモータドライバ回路には、ローサイドスイッチング素子とハイサイドスイッチング素子とをトータムポール状に接続したハーフブリッジ回路が一般的に使用されている。

[0013] 絶縁ゲートドライバでは、任意の時点でオンになるスイッチは、ローサイドスイッチング素子かハイサイドスイッチング素子のどちらか一方のみである。高電圧システムにおいて、ローサイドスイッチング素子のソース、および、当該スイッチング素子を駆動する絶縁ゲートドライバの基準電位はグラウンド電位に接続されているので、ゲートソース間電圧はグラウンド電位を基準に動作する。一方、ハイサイドスイッチング素子のソース、および、当該スイッチング素子を駆動する絶縁ゲートドライバの基準電位はハーフブリッジ回路の出力ノードに接続されている。ローサイドスイッチング素子とハイサイドスイッチング素子のどちらがオンであるかに応じて、ハーフブリッジ回路の出力ノードの電位は変化するので、ハイサイドスイッチング素子を駆動する絶縁ゲートドライバの基準電位は変化する。ハイサイドスイッチング素子がオンのときには、当該基準電位は、ハイサイドスイッチング素子のドレインに印加される電圧と等価な電圧（例えば600V以上）になる。

[0014] 半導体モジュール1が、ハイサイドスイッチング素子を駆動する絶縁ゲートドライバとして用いられた場合、駆動素子112と制御素子111とは絶縁性を確保するためにグラウンド電位が分離されているので、駆動素子112には、制御素子111のグラウンド電位と比較して、600V以上の電圧が過渡的に印加される。したがって、特にハイサイド側のスイッチング素子を駆動する絶縁ゲートドライバにおいて、駆動素子112には、制御素子111のグラウンド電位と比較して、600V以上の電圧が過渡的に印加される。なお、駆動素子112のグラウンド電位は、前述の外部素子（パワートランジスタ）とは共通であってもよい。

[0015] この形態においては、絶縁素子12は、インダクタ結合型絶縁素子である。インダクタ結合型絶縁素子は、2つのインダクタ（コイル）を誘導結合さ

せることで、絶縁状態による電気信号の伝送を行う。絶縁素子12は、Siからなる基板を有する。前記基板上に、Cuからなるインダクタが形成されている。前記インダクタは、送信側インダクタおよび受信側インダクタを含み、これらのインダクタは絶縁素子12の厚さ方向において互いに積層されている。前記送信側インダクタと前記受信側インダクタとの間には、SiO₂などからなる誘電体層が介装されている。前記誘電体層により、前記送信側インダクタと前記受信側インダクタとは、電氣的に絶縁されている。なお、絶縁素子12の具体的な構造については、後述する。

[0016] 図2に示すように、第2方向Yにおいて、絶縁素子12は制御素子111と駆動素子112との間に位置している。この形態においては、制御素子111、駆動素子112および絶縁素子12の平面視形状は、いずれも第1方向Xを長辺とする長矩形である。制御素子111および絶縁素子12は、後述するダイパッド2の第1ダイパッド21上に搭載されている。また、駆動素子112は、後述するダイパッド2の第2ダイパッド22上に搭載されている。制御素子111の上面（図7に示す制御素子111の上面）には、複数のパッド111aが形成されている。同様に、駆動素子112の上面（図7に示す駆動素子112の上面）には複数のパッド112aが、絶縁素子12の上面（図7に示す絶縁素子12の上面）には複数のパッド12aが、それぞれ形成されている。

[0017] 導電支持部材80は、半導体モジュール1において、半導体素子11および絶縁素子12を搭載し、かつ半導体素子11および絶縁素子12とインバータ装置の回路基板との導電経路を構成する部材である。導電支持部材80は、たとえばCuを含む合金からなる。導電支持部材80は、後述するリードフレーム81から形成される。導電支持部材80は、ダイパッド2、複数の第1端子3、複数の第2端子4および支持端子5を含む。

[0018] ダイパッド2は、半導体素子11および絶縁素子12を搭載する部材である。ダイパッド2は、第1ダイパッド21および第2ダイパッド22を含む。図2に示すように、第2方向Yにおいて、第1ダイパッド21および第2

ダイパッド２２は互いに離間して配置されている。この形態においては、第１ダイパッド２１の面積は、第２ダイパッド２２の面積よりも広い。また、この形態においては、第１ダイパッド２１および第２ダイパッド２２の平面視形状は、いずれも第１方向Ｘを長辺とする長矩形である。図７および図８に示すように、第１ダイパッド２１および第２ダイパッド２２は、ともに平坦である。

[0019] 図７および図８に示すように、第１ダイパッド２１は、第１ダイパッド上面２１１および第１ダイパッド下面２１２を有する。第１ダイパッド上面２１１および第１ダイパッド下面２１２は、互いに反対側を向いている。この形態においては、第１ダイパッド上面２１１に内装めっき層７２が形成されている。第１ダイパッド上面２１１に形成された内装めっき層７２上に、制御素子１１１および絶縁素子１２が、接合層（図示略）を介したダイボンディングにより、それぞれ搭載されている。また、第１ダイパッド下面２１２は、全面にわたって封止樹脂６に接している。

[0020] 図７に示すように、第２ダイパッド２２は、第２ダイパッド上面２２１および第２ダイパッド下面２２２を有する。第２ダイパッド上面２２１および第２ダイパッド下面２２２は、互いに反対側を向いている。この形態においては、第２ダイパッド上面２２１に内装めっき層７２が形成されている。第２ダイパッド上面２２１に形成された内装めっき層７２上に、駆動素子１１２が、接合層（図示略）を介したダイボンディングにより搭載されている。また、第２ダイパッド下面２２２は、全面にわたって封止樹脂６に接している。

[0021] 図２および図７に示すように、第２方向Ｙにおいて、第１ダイパッド２１と第２ダイパッド２２との間に、封止樹脂６が介在している。この形態においては、後述のとおり封止樹脂６は、たとえば電気絶縁性を有する黒色のエポキシ樹脂からなる。したがって、第１ダイパッド２１と第２ダイパッド２２とは、絶縁素子１２および封止樹脂６により電氣的に絶縁されている。

[0022] 複数の第１端子３は、インバータ装置の回路基板に接合されることで、半

導体モジュール 1 と前記回路基板との導電経路を構成する部材である。図 1 および図 3 に示すように、複数の第 1 端子 3 は、第 1 方向 X に沿って配列されている。また、複数の第 1 端子 3 は、後述する封止樹脂 6 の一方の樹脂第 1 側面 6 3 から、それぞれ第 2 方向 Y に延出するように露出している。複数の第 1 端子 3 は、複数の第 1 中間端子 3 1 および一对の第 1 側端子 3 2 を含む。

[0023] 図 2 および図 3 に示すように、第 1 方向 X において、複数の第 1 中間端子 3 1 は一对の第 1 側端子 3 2 に挟まれて配列されている。複数の第 1 中間端子 3 1 はそれぞれ、リード部 3 1 1 およびパッド部 3 1 2 を有する。

[0024] リード部 3 1 1 は、第 2 方向 Y に沿って延びた長矩形状の部位で、図 5 および図 6 に示すように、前記一方の樹脂第 1 側面 6 3 から露出した部分はガルウイング状に曲げ加工が施されている。また、図 7 に示すように、該露出した部分を外装めっき層 7 3 が覆うように形成されている。リード部 3 1 1 のうち、外装めっき層 7 3 が形成されていない部分は、封止樹脂 6 に覆われている。パッド部 3 1 2 は、リード部 3 1 1 につながり、かつ第 1 方向 X においてリード部 3 1 1 よりも幅広矩形状の部位である。図 7 に示すように、この形態においては、パッド部 3 1 2 の上面に内装めっき層 7 2 が形成されている。パッド部 3 1 2 は、全面にわたって封止樹脂 6 に覆われている。また、パッド部 3 1 2 は平たんである。

[0025] 図 2 および図 3 に示すように、第 1 方向 X において、一对の第 1 側端子 3 2 は複数の第 1 中間端子 3 1 の両側に配置されている。一对の第 1 側端子 3 2 はそれぞれ、リード部 3 2 1 およびパッド部 3 2 2 を有する。

[0026] リード部 3 2 1 は、第 2 方向 Y に沿って延びた長矩形状の部位で、図 5 および図 6 に示すように、前記一方の樹脂第 1 側面 6 3 から露出した部分はガルウイング状に曲げ加工が施されている。また、第 1 中間端子 3 1 のリード部 3 1 1 と同様に、該露出した部分を外装めっき層 7 3 が覆うように形成されている。リード部 3 2 1 のうち、外装めっき層 7 3 が形成されていない部分は、封止樹脂 6 に覆われている。パッド部 3 2 2 は、リード部 3 2 1 につ

ながら、かつ第1方向Xにおいてリード部321よりも幅広の部位である。この形態においては、第1中間端子31のパッド部312と同様に、パッド部322の上面（図7において第1ダイパッド上面211が向く方向と同一方向を向く面）に内装めっき層72が形成されている。パッド部322は、全面にわたって封止樹脂6に覆われている。また、パッド部322は平坦である。

[0027] 複数の第2端子4は、複数の第1端子3と同様に、インバータ装置の回路基板に接合されることで、半導体モジュール1と前記回路基板との導電経路を構成する部材である。図1および図4に示すように、複数の第2端子4は、第1方向Xに沿って配列されている。また、図2に示すように、複数の第2端子4は、第2方向Yにおいて半導体素子11を挟んで複数の第1端子3の反対側に位置している。複数の第2端子4は、後述する封止樹脂6の他方の樹脂第1側面63から、それぞれ第2方向Yに延出するように露出している。複数の第2端子4は、複数の第2中間端子41および一对の第2側端子42を含む。

[0028] 図2および図4に示すように、第1方向Xにおいて、複数の第2中間端子41是一对の第2側端子42に挟まれて配列されている。さらに、第1方向Xにおいて、複数の第2中間端子41は後述する支持端子5の一对の第2支持端子52に挟まれて配列されている。複数の第2中間端子41はそれぞれ、リード部411およびパッド部412を有する。

[0029] リード部411は、第2方向Yに沿って延びた長矩形形状の部位で、図5および図6に示すように、前記他方の樹脂第1側面63から露出した部分はガルウィング状に曲げ加工が施されている。また、図7に示すように、該露出した部分を外装めっき層73が覆うように形成されている。リード部411のうち、外装めっき層73が形成されていない部分は、封止樹脂6に覆われている。パッド部412は、リード部411につながり、かつ第1方向Xにおいてリード部411よりも幅広矩形形状の部位である。図7に示すように、この形態においては、パッド部412の上面（図7に示すパッド部412の

上面)に内装めっき層72が形成されている。パッド部412は、全面にわたって封止樹脂6に覆われている。また、パッド部412は平たんである。なお、この形態においては、第2端子4の形状は、第1端子3の形状と同一である。

[0030] 図2および図4に示すように、第1方向Xにおいて、一对の第2側端子42は複数の第2側端子42の両側に配置されている。一对の第2側端子42はそれぞれ、リード部421およびパッド部422を有する。

[0031] リード部421は、第2方向Yに沿って延びた長矩形状の部位で、図5および図6に示すように、前記他方の樹脂第1側面63から露出した部分はガルウィング状に曲げ加工が施されている。また、第2中間端子41のリード部411と同様に、該露出した部分を外装めっき層73が覆うように形成されている。リード部421のうち、外装めっき層73が形成されていない部分は、封止樹脂6に覆われている。また、封止樹脂6に覆われているリード部421の部分の長さは、第2中間端子41のリード部411の該部分の長さよりも長い。パッド部422は、リード部421につながり、かつ第1方向Xに延出した部位である。図2に示すように、パッド部422の端部は、第2ダイパッド22から離間している。この形態においては、第2中間端子41のパッド部412と同様に、パッド部422の上面(図7において第2ダイパッド上面221が向く方向と同一方向を向く面)に内装めっき層72が形成されている。パッド部422は、全面にわたって封止樹脂6に覆われている。また、パッド部422は平たんである。

[0032] 支持端子5は、ダイパッド2に連結されている。支持端子5は、ダイパッド2を支持するとともに、複数の第1端子3および複数の第2端子4と同様に、インバータ装置の回路基板に接合されることで、半導体モジュール1と前記回路基板との導電経路を構成する部材である。支持端子5は、一对の部材から構成されたものを含み、さらに一对の第1支持端子51および一对の第2支持端子52を含む。図2に示すように、一对の第1支持端子51は、第1方向Xに離間して配置され、第1ダイパッド21の両端に連結されてい

る。また、一对の第2支持端子52は、第1方向X方向に離間して配置され、第2ダイパッド22の両端に連結されている。

[0033] 図2および図3に示すように、第1方向Xにおいて、一对の第1支持端子51は複数の第1端子3の両側に配置されている。また、一对の第1支持端子51は、複数の第1端子3が露出している前記一方の樹脂第1側面63から、それぞれ第2方向Yに延出するように露出している。一对の第1支持端子51はそれぞれ、リード部511およびパッド部512を有する。

[0034] リード部511は、第2方向Yに沿って延びた長矩形状の部位で、図5および図6に示すように、前記一方の樹脂第1側面63から露出した部分はガルウィング状に曲げ加工が施されている。また、第1中間端子31のリード部311と同様に、該露出した部分を外装めっき層73が覆うように形成されている。リード部511のうち、外装めっき層73が形成されていない部分は、封止樹脂6に覆われている。また、封止樹脂6に覆われているリード部511の部分の長さは、第1中間端子31のリード部311、または第1側端子32のリード部311の該部分の長さよりも長い。パッド部512は、リード部511につながり、かつ第1方向Xに延出した部位である。図2に示すように、パッド部512の端部が第1ダイパッド21に連結されている。図8に示すように、この形態においては、第1中間端子31のパッド部312と同様に、パッド部512の上面に内装めっき層72が形成されている。パッド部512は、全面にわたって封止樹脂6に覆われている。また、パッド部512は平たんである。

[0035] 図2および図4に示すように、第1方向Xにおいて、一对の第2支持端子52の内側に、複数の第2中間端子41が配列されている。また、第1方向Xにおいて、一对の第2支持端子52の外側に、第2側端子42がそれぞれ配置されている。したがって、一对の第2支持端子52のそれぞれの両側に、第2端子4が配置されている。一对の第2支持端子52は、複数の第2端子4が露出している前記他方の樹脂第1側面63から、それぞれ第2方向Yに延出するようにそれぞれ露出している。一对の第2支持端子52はそれぞれ

れ、リード部521、パッド部522および連結部524を有する。

[0036] リード部521は、第2方向Yに沿って延びた長矩形状の部位で、図5および図6に示すように、前記他方の樹脂第1側面63から露出した部分はガルウィング状に曲げ加工が施されている。また、第2中間端子41のリード部411と同様に、該露出した部分を外装めっき層73が覆うように形成されている。リード部521のうち、外装めっき層73が形成されていない部分は、封止樹脂6に覆われている。パッド部522は、リード部521につながり、かつ第1方向Xにおいてリード部521よりも幅広の部位である。パッド部522は、第2方向Yに延出している。この形態においては、第2中間端子41のパッド部412と同様に、パッド部522の上面（図7において第2ダイパッド上面221が向く方向と同一方向を向く面）に内装めっき層72が形成されている。パッド部522は、全面にわたって封止樹脂6に覆われている。また、パッド部522は平たんである。連結部524は、パッド部522につながり、かつ第1方向Xに延出した部位である。図2に示すように、連結部524の端部が第2ダイパッド22に連結されている。この形態においては、パッド部522と同様に、連結部524の上面（パッド部522の上面が向く方向と同一方向を向く面）に内装めっき層72が形成されている。連結部524は、全面にわたって封止樹脂6に覆われている。

[0037] 図9は、半導体モジュール1のリードフレーム81を示す平面図である。図9において、封止樹脂6が形成される領域を想像線（二点鎖線）で示す。また、内装めっき層72が形成される領域を斜線部で示す。

[0038] 先述した導電支持部材80は、リードフレーム81から形成される。半導体モジュール1の製造過程において、ダイパッド2、複数の第1端子3、複数の第2端子4および支持端子5は、いずれも同一のリードフレーム81から形成される。リードフレーム81は、たとえばCuを含む合金からなる。リードフレーム81は、外枠811、アイランド部812、複数の第1リード813、複数の第2リード814、支持リード815およびダムバー81

6を有する。このうち、外枠811およびダムバー816は、半導体モジュール1を構成しない。以下、リードフレーム81について図9に基づき説明する。

[0039] 外枠811は、アイランド部812、複数の第1リード813、複数の第2リード814、支持リード815およびダムバー816を囲むように形成された部材である。外枠811の第1方向Xに沿って、複数の第1リード813、複数の第2リード814および支持リード815がそれぞれ連結されている。また、外枠811の第2方向Yに沿って、ダムバー816が連結されている。

[0040] アイランド部812は、平面視において第1方向Xを長辺とする長矩形状の部材である。アイランド部812が、ダイパッド2に相当する。アイランド部812は、支持リード815を介して外枠811に支持されている。アイランド部812は、第1アイランド部812aおよび第2アイランド部812bを含む。第1アイランド部812aが第1ダイパッド21に、第2アイランド部812bが第2ダイパッド22にそれぞれ相当する。第1アイランド部812aおよび第2アイランド部812bは、互いに離間して配置されている。

[0041] 複数の第1リード813は、第1方向Xに沿って配列され、かつそれぞれが第2方向Yに延出した部材である。複数の第1リード813が、複数の第1端子3に相当する。それぞれの第1リード813の一端が、外枠811に連結されている。複数の第1リード813は、複数の第1中間リード813aおよび一対の第1側リード813bを含む。第1中間リード813aが第1中間端子31に、第1側リード813bが第1側端子32にそれぞれ相当する。

[0042] 複数の第2リード814は、第1方向Xに沿って配列され、かつそれぞれが第2方向Yに延出した部材である。また、複数の第2リード814は、第2方向Yにおいて、アイランド部812を挟んで反対側に位置している。複数の第2リード814が、複数の第2端子4に相当する。それぞれの第2リ

ード８１４の一端が、外枠８１１に連結されている。複数の第２リード８１４は、複数の第２中間リード８１４ aおよび一对の第２側リード８１４ bを含む。第２中間リード８１４ aが第２中間端子４１に、第２側リード８１４ bが第２側端子４２にそれぞれ相当する。

[0043] 支持リード８１５は、第２方向Ｙに延出し、かつ一端が外枠８１１に連結され、他端がアイランド部８１２に連結された部材である。支持リード８１５が、支持端子５に相当する。支持リード８１５は、一对の第１支持リード８１５ aおよび一对の第２支持リード８１５ bを含む。第１支持リード８１５ aが第１支持端子５１に、第２支持リード８１５ bが第２支持端子５２にそれぞれ相当する。一对の第１支持リード８１５ aは、第１方向Ｘに離間して配置され、かつ第１アイランド部８１２ aの両端に連結されている。また、一对の第２支持リード８１５ bは、第１方向Ｘに離間して配置され、かつ第２アイランド部８１２ bの両端に連結されている。

[0044] ダムバー８１６は、第１方向Ｘに延出し、かつ両端が外枠８１１に連結された一对の部材である。ダムバー８１６は、複数の第１リード８１３、複数の第２リード８１４および支持リード８１５をそれぞれ第１方向Ｘにおいて支持するとともに、封止樹脂６の形成過程において、溶融された合成樹脂を堰き止める機能を果たす。一方のダムバー８１６は、複数の第１中間リード８１３ a、一对の第１側リード８１３ bおよび一对の第１支持リード８１５ aに連結されている。また、他方のダムバー８１６は、複数の第２中間リード８１４ a、一对の第２側リード８１４ bおよび一对の第２支持リード８１５ bに連結されている。

[0045] 封止樹脂６は、たとえば電気絶縁性を有する黒色のエポキシ樹脂からなる。封止樹脂６は、複数の第１端子３、複数の第２端子４および支持端子５のそれぞれ一部ずつと、半導体素子１１、絶縁素子１２、ダイパッド２、ボンディングワイヤ７１および内装めっき層７２とを覆っている。封止樹脂６は、金型を用いたトランスファ成形により形成される。封止樹脂６は、樹脂上面６１、樹脂下面６２、一对の樹脂第１側面６３および一对の樹脂第２側面

64を有する。

[0046] 図3～図6に示すように、樹脂上面61は、上方を向く面である。また、樹脂下面62は、下方を向く面である。樹脂上面61および樹脂下面62は、互いに反対側を向いている。樹脂上面61および樹脂下面62は、ともに平坦である。

[0047] 図1および図2に示すように、一对の樹脂第1側面63は、第2方向Yに離間して形成されている。一对の樹脂第1側面63は、互いに反対側を向いている。この形態においては、一方の樹脂第1側面63から、複数の第1端子3および一对の第1支持端子51がそれぞれ露出している。また、他方の樹脂第1側面63から、複数の第2端子4および一对の第2支持端子52がそれぞれ露出している。

[0048] 図3～図6に示すように、一对の樹脂第1側面63はそれぞれ、樹脂第1側面上部631、樹脂第1側面中央部632および樹脂第1側面下部633を有する。樹脂第1側面上部631は、上端が樹脂上面61につながり、下端が樹脂第1側面中央部632につながっている部分である。樹脂第1側面上部631は、その上端が半導体モジュール1の内部側に位置するように傾斜している。

[0049] 図3～図6に示すように、樹脂第1側面中央部632は、上端が樹脂第1側面上部631につながり、下端が樹脂第1側面下部633につながっている部分である。樹脂第1側面中央部632は、樹脂上面61および樹脂下面62に対して垂直である。一方の樹脂第1側面中央部632から、複数の第1端子3および一对の第1支持端子51がそれぞれ露出している。他方の樹脂第1側面中央部632から、複数の第2端子4および一对の第2支持端子52がそれぞれ露出している。

[0050] 図3～図6に示すように、樹脂第1側面下部633は、上端が樹脂第1側面中央部632につながり、下端が樹脂下面62につながっている部分である。樹脂第1側面下部633は、その下端が半導体モジュール1の内部側に位置するように傾斜している。

- [0051] 図1および図2に示すように、一对の樹脂第2側面64は、第1方向Xに離間して形成されている。一对の樹脂第2側面64は、互いに反対側を向いている。図2、図5および図6に示すように、この形態においては、一对の樹脂第2側面64から導電支持部材80が露出していない。一对の樹脂第2側面64はそれぞれ、樹脂第2側面上部641、樹脂第2側面中央部642および樹脂第2側面下部643を有する。
- [0052] 図3～図6に示すように、樹脂第2側面上部641は、上端が樹脂上面61につながり、下端が樹脂第2側面中央部642につながっている部分である。樹脂第2側面上部641は、その上端が半導体モジュール1の内部側に位置するように傾斜している。
- [0053] 図3～図6に示すように、樹脂第2側面中央部642は、上端が樹脂第2側面上部641につながり、下端が樹脂第2側面下部643につながっている部分である。樹脂第2側面中央部642は、樹脂上面61および樹脂下面62に対して垂直であり、かつ樹脂第1側面中央部632と直交している。この形態においては、半導体モジュール1の厚さ方向において、樹脂第2側面中央部642の高さと、樹脂第1側面中央部632の高さとは、略同一である。
- [0054] 図3～図6に示すように、樹脂第2側面下部643は、上端が樹脂第2側面中央部642につながり、下端が樹脂下面62につながっている部分である。樹脂第2側面下部643は、その下端が半導体モジュール1の内部側に位置するように傾斜している。
- [0055] 複数のボンディングワイヤ71は、半導体モジュール1の内部において、先述した複数の第1端子3、複数の第2端子4および支持端子5とともに、半導体素子11および絶縁素子12が所定の機能を果たすための導電経路を構成している。複数のボンディングワイヤ71は、複数の第1ボンディングワイヤ711、複数の第2ボンディングワイヤ712、複数の第3ボンディングワイヤ713、複数の第4ボンディングワイヤ714を含む。
- [0056] 図2に示すように、複数の第1ボンディングワイヤ711は、制御素子1

1 1 と、複数の第 1 端子 3 および一对の第 1 支持端子 5 1 との導電経路を構成している。複数の第 1 ボンディングワイヤ 7 1 1 によって、制御素子 1 1 1 は、少なくとも一つ以上の第 1 端子 3 および第 1 支持端子 5 1 と導通している。複数の第 1 ボンディングワイヤ 7 1 1 はそれぞれ、制御素子 1 1 1 のパッド 1 1 1 a と、第 1 中間端子 3 1 のパッド部 3 1 2、第 1 側端子 3 2 のパッド部 3 2 2 または第 1 支持端子 5 1 のパッド部 5 1 2 とにボンディングされている。

[0057] 図 2 に示すように、複数の第 2 ボンディングワイヤ 7 1 2 は、絶縁素子 1 2 と制御素子 1 1 1 との導電経路を構成している。複数の第 2 ボンディングワイヤ 7 1 2 によって、絶縁素子 1 2 および制御素子 1 1 1 は互いに導通している。複数の第 2 ボンディングワイヤ 7 1 2 はそれぞれ、絶縁素子 1 2 のパッド 1 2 a および制御素子 1 1 1 のパッド 1 1 1 a にボンディングされている。この形態においては、複数の第 2 ボンディングワイヤ 7 1 2 は、第 2 方向 Y に沿って配置されている。

[0058] 図 2 に示すように、複数の第 3 ボンディングワイヤ 7 1 3 は、絶縁素子 1 2 と駆動素子 1 1 2 との導電経路を構成している。複数の第 3 ボンディングワイヤ 7 1 3 によって、絶縁素子 1 2 および駆動素子 1 1 2 は互いに導通している。複数の第 3 ボンディングワイヤ 7 1 3 はそれぞれ、絶縁素子 1 2 のパッド 1 2 a および駆動素子 1 1 2 のパッド 1 1 2 a にボンディングされている。この形態においては、複数の第 3 ボンディングワイヤ 7 1 3 は、第 2 方向 Y に沿って配置されている。

[0059] 図 2 に示すように、複数の第 4 ボンディングワイヤ 7 1 4 は、駆動素子 1 1 2 と、複数の第 2 端子 4 および一对の第 2 支持端子 5 2 との導電経路を構成している。複数の第 4 ボンディングワイヤ 7 1 4 によって、駆動素子 1 1 2 は、少なくとも一つ以上の第 2 端子 4 および第 2 支持端子 5 2 と導通している。複数の第 4 ボンディングワイヤ 7 1 4 はそれぞれ、駆動素子 1 1 2 のパッド 1 1 2 a と、第 2 中間端子 4 1 のパッド部 4 1 2、第 2 側端子 4 2 のパッド部 4 2 2 または第 2 支持端子 5 2 のパッド部 5 2 2 とにボンディング

されている。

[モータ駆動装置の動作]

次に、ハイブリッド自動車（図10に示す車両100）に搭載されるモータ駆動装置101に半導体モジュール1を適用した構成を例に挙げて詳細な説明を行う。図11は、本開示に係る半導体装置を用いたモータ駆動装置101の一構成例を示すブロック図である。

[0060] モータ駆動装置101は、ハイサイドスイッチSWHと、ローサイドスイッチSWLと、ハイサイドスイッチSWHの制御手段である半導体モジュール1（スイッチ制御装置）と、エンジンコントロールユニット102（以下では、ECU [Engine Control Unit] 102と呼ぶ）と、直流電圧源E1およびE2と、npn型バイポーラトランジスタQ1と、pnp型バイポーラトランジスタQ2と、キャパシタC1～C3と、抵抗R1～R8と、ダイオードD1とを含む。

[0061] 半導体モジュール1は、前述のように、制御素子111（第1半導体チップ）と、駆動素子112（第2半導体チップ）と、絶縁素子12とを封止樹脂6で封止することによって形成されている。

[0062] 半導体モジュール1では、たとえば、入出力間絶縁耐圧が600V以上であってもよい。また、半導体モジュール1は、UVLOを内蔵していてもよい。また、半導体モジュール1は、ウォッチドッグタイマ機能を内蔵していてもよい。また、半導体モジュール1は、過電流保護機能（自動復帰型）を内蔵していてもよい。また、半導体モジュール1は、過電流保護動作時におけるスローオフ機能を内蔵していてもよい。また、半導体モジュール1は、外部エラー検出機能（ERRIN）を内蔵していてもよい。また、半導体モジュール1は、異常状態出力機能（FLT、OCPOUT）を内蔵していてもよい。また、半導体モジュール1は、アクティブミラーランプ機能を内蔵していてもよい。また、半導体モジュール1は、ショートサーキットランプ機能を内蔵していてもよい。

[0063] 制御素子111は、直流電圧源E1から第1電源電圧VCC1（GND1

基準で5 [V] や3.3 [V] など) の供給を受けて駆動され、入力信号 I_N に基づいてスイッチ制御信号 S₁ および S₂ を生成するコントローラが集積化されたコントローラチップであってもよい。制御素子 111 の主な機能としては、スイッチ制御信号 S₁、S₂ の生成機能ないし出力機能、トランス伝達異常監視機能(入力信号 I_N の入出力論理監視機能)、エラー状態出力機能、U_VL_O機能、および、外部エラー入力信号処理機能を挙げることができる。なお、制御素子 111 の耐圧は、第1電源電圧 V_{CC1} (GND₁ 基準) を考慮して、適切な耐圧(たとえば7 [V] 耐圧) に設計すればよい。

[0064] 駆動素子 112 は、直流電圧源 E₂ から第2電源電圧 V_{CC2} (GND₂ 基準で10~30 [V]) の供給を受けて駆動され、制御素子 111 から絶縁素子 12 を介して入力されるスイッチ制御信号 S₁ および S₂ に基づいて、一端に600 [V] 以上の高電圧が印加されるハイサイドスイッチ SWH の駆動制御を行うドライバが集積化されたドライバチップであってもよい。駆動素子 112 の主な機能としては、出力信号 O_{UT} の生成機能ないし出力機能、過電流/過電圧保護機能、および、U_VL_O機能を挙げることができる。なお、駆動素子 112 の耐圧は、第2電源電圧 V_{CC2} (GND₂ 基準) を考慮して、適切な耐圧(たとえば40 [V] 耐圧) に設計すればよい。

[0065] 絶縁素子 12 は、制御素子 111 と駆動素子 112 との間を直流的に絶縁しながら、スイッチ制御信号 S₁ および S₂、ウォッチドッグ信号 S₃、および、ドライバ異常信号 S₄ の受け渡しを行うトランスが集積化されたトランスチップであってもよい。

[0066] 上記したように、半導体モジュール 1 は、コントローラが集積化される制御素子 111 やドライバが集積化される駆動素子 112 とは別に、トランスのみを搭載する絶縁素子 12 を独立に有する構成である。

[0067] このような構成とすることにより、制御素子 111、および駆動素子 112 については、いずれも一般の低耐圧プロセス(数 [V] 耐圧以上、数十 [V] 耐圧以下) で作成することができるので、専用の高耐圧プロセス(数 [

k V] 耐圧) を用いる必要がなくなり、製造コストを低減することができる。

[0068] また、制御素子 1 1 1、および駆動素子 1 1 2 については、いずれも実績のある既存プロセスで作成することが可能であり、新たに信頼性試験を行う必要がないので、開発期間の短縮や開発コストの低減に貢献することができる。

[0069] また、トランス以外の直流絶縁素子（たとえば、フォトカプラ、コンデンサ等）を用いる場合であっても、絶縁素子 1 2 のみを載せ換えることにより、容易に対応することができるので、コントローラチップやドライバチップまで開発し直す必要がなくなり、開発期間の短縮や開発コストの低減に貢献することができる。

[0070] ECU 1 0 2 は、エンジン運転およびモータ運転における電氣的な制御を総合的に行うための手段であり、半導体モジュール 1 との間で、各種信号（I N、R S T、F L T、O C P O U T）のやり取りを行うマイクロコントローラである。

[0071] ハイサイドスイッチ S W H、およびローサイドスイッチ S W L は、それぞれ、第 1 モータ駆動電圧 V D 1 の印加端とモータコイルの一端との間、および、第 2 モータ駆動電圧 V D 2 の印加端とモータコイルの一端との間に接続され、各々のオン／オフ制御に応じて、モータ駆動電流の供給制御を行う手段である。なお、モータ駆動装置 1 0 1 では、ハイサイドスイッチ S W H およびローサイドスイッチ S W L として、それぞれ、絶縁ゲートバイポーラトランジスタ（I G B T [Insulated Gate Bipolar Transistor]）を用いているが、これに限定されるものではなく、S i C [Silicon Carbide] 半導体を用いた M O S [Metal Oxide Semiconductor] 電界効果トランジスタや、S i 半導体を用いた M O S 電界効果トランジスタを採用しても構わない。特に、S i C 半導体を用いた M O S 電界効果トランジスタは、S i 半導体を用いた M O S 電界効果トランジスタよりも消費電力が小さく、耐熱温度が高いため、ハイブリッド自動車への搭載に好適である。

[0072] 次に、半導体モジュール1の内部構成について詳細に説明する。

[0073] 制御素子111は、第1送信部103と、第2送信部104と、第1受信部105と、第2受信部106と、ロジック部107と、第1低電圧ロックアウト部108（以下では第1UVLO [Under Voltage Lock Out] 部108と呼ぶ）と、外部エラー検出部（外部エラー検出用コンパレータ）109と、Nチャネル型MOS電界効果トランジスタNaおよびNbと含んでもよい。

[0074] 駆動素子112は、第3受信部121と、第4受信部122と、第3送信部123と、第4送信部124と、ロジック部125と、ドライバ部126と、第2低電圧ロックアウト部127（以下では、第2UVLO部127と呼ぶ）と、過電流検出部（過電流検出用コンパレータ）128と、OCP [Over Current Protection] タイマ129と、Pチャネル型MOS電界効果トランジスタP1およびP2と、Nチャネル型MOS電界効果トランジスタN1～N3と、SRフリップフロップFFと含んでもよい。

[0075] 絶縁素子12は、第1トランス131と、第2トランス132と、第3トランス133と、第4トランス134とを含んでもよい。

[0076] 第1送信部103は、ロジック部107から入力されるスイッチ制御信号S1を第1トランス131経由で第3受信部121に送信する手段である。第2送信部104は、ロジック部107から入力されるスイッチ制御信号S2を第2トランス132経由で第4受信部122に送信する手段である。第1受信部105は、第3送信部123から第3トランス133経由で入力されるウォッチドッグ信号S3を受信してロジック部107に伝達する手段である。第4受信部122は、第4送信部124から第4トランス134経由で入力されるドライバ異常信号S4を受信してロジック部107に伝達する手段である。

[0077] ロジック部107は、ECU102との間で、各種信号（IN、RST、FLT、OCPOUT）のやり取りを行うとともに、第1送信部103、第2送信部104、第1受信部105、および、第2受信部106を用いて、

駆動素子 112 との間で、各種信号 (S1 ~ S4) のやり取りを行う手段である。

[0078] なお、ロジック部 107 は、入力信号 IN がハイレベルであるときには、出力信号 OUT をハイレベルとするようにスイッチ制御信号 S1、S2 を生成し、逆に、入力信号 IN がローレベルであるときには、出力信号 OUT をローレベルとするようにスイッチ制御信号 S1、S2 を生成する。より具体的には、ロジック部 107 は、入力信号 IN のポジティブエッジ (ローレベルからハイレベルへの立上がりエッジ) を検出してスイッチ制御信号 S1 にパルスを立てる一方、入力信号 IN のネガティブエッジ (ハイレベルからローレベルへの立下がりエッジ) を検出してスイッチ制御信号 S2 にパルスを立てる。

[0079] また、ロジック部 107 は、リセット信号 RST がローレベルであるときには、出力信号 OUT の生成動作をディセーブルとするように、すなわち、出力信号 OUT をローレベルで固定するようにスイッチ制御信号 S1、S2 を生成し、逆に、リセット信号 RST がハイレベルであるときには、出力信号 OUT の生成動作をイネーブルとするように、すなわち、出力信号 OUT を入力信号 IN に応じた論理レベルとするようにスイッチ制御信号 S1、S2 を生成する。なお、リセット信号 RST が所定時間 (たとえば 500 [ns]) にわたってローレベルに維持された場合、ロジック部 107 は、過電流検出部 128 による保護動作を復帰させるようにスイッチ制御信号 S1、S2 を生成する。

[0080] また、ロジック部 107 は、半導体モジュール 1 の正常時には、トランジスタ Na をオフとして、第 1 状態信号 FLT をオープン (抵抗 R1 によるプルアップ状態) とし、半導体モジュール 1 の異常時 (制御素子 111 側での低電圧異常やスイッチ制御信号 S1 および S2 のトランス伝達異常、或いは、ERRIN 信号異常が検出された時) には、トランジスタ Na をオンとして、第 1 状態信号 FLT をローレベルとする。このような構成であれば、ECU102 は、第 1 状態信号 FLT を監視することにより、半導体モジュール

ル 1 の状態を把握することができる。なお、制御素子 1 1 1 側での低電圧異常については、第 1 U V L O 部 1 0 8 での検知結果に基づいて判断すればよく、また、スイッチ制御信号 S 1、S 2 のトランス伝達異常については、入力信号 I N（スイッチ制御信号 S 1、S 2）とウォッチドッグ信号 S 3 との比較結果に基づいて判断すればよい。また、E R R I N 信号異常については、外部エラー検出部 1 0 9 の出力結果に基づいて判断すればよい。

[0081] また、ロジック部 1 0 7 は、半導体モジュール 1 の正常時には、トランジスタ N b をオフとして、第 2 状態信号 O C P O U T をオープン（抵抗 R 2 によるプルアップ状態）とし、半導体モジュール 1 の異常時（駆動素子 1 1 2 側での低電圧異常やハイサイドスイッチ S W H に流れるモータ駆動電流の過電流が検出された時）には、トランジスタ N b をオンとして、第 2 状態信号 O C P O U T をローレベルとする。このような構成であれば、E C U 1 0 2 は、第 2 状態信号 O C P O U T を監視することにより、半導体モジュール 1 の状態を把握することができる。なお、駆動素子 1 1 2 側での低電圧異常やハイサイドスイッチ S W H に流れるモータ駆動電流の過電流については、ドライバ異常信号 S 4 に基づいて判断すればよい。

[0082] 第 1 U V L O 部 1 0 8 は、第 1 電源電圧 V C C 1 が低電圧状態であるか否かを監視し、その監視結果をロジック部 1 0 7 に伝達する手段である。

[0083] 外部エラー検出部 1 0 9 は、抵抗 R 3 と抵抗 R 4 の接続ノードから E R R I N 端子に入力される電圧（監視対象となるアナログ電圧を抵抗分割して得られる分圧電圧）と所定の閾値電圧とを比較し、その比較結果をロジック部 1 0 7 に伝達する手段である。

[0084] 第 3 受信部 1 2 1 は、第 1 送信部 1 0 3 から第 1 トランス 1 3 1 経由で入力されるスイッチ制御信号 S 1 を受信して S R フリップフロップ F F のセット入力端（S）に伝達する手段である。第 4 受信部 1 2 2 は、第 2 送信部 1 0 4 から第 2 トランス 1 3 2 経由で入力されるスイッチ制御信号 S 2 を受信して S R フリップフロップ F F のリセット入力端（R）に伝達する手段である。第 3 送信部 1 2 3 は、ロジック部 1 2 5 から入力されるウォッチドッグ

信号S 3を第3トランス1 3 3経由で第1受信部1 0 5に送信する手段である。第4送信部1 2 4は、ロジック部1 2 5から入力されるドライバ異常信号S 4を第4トランス1 3 4経由で第2受信部1 0 6に送信する手段である。

[0085] S RフリップフロップF Fは、セット入力端（S）に入力されるスイッチ制御信号S 1のパルスエッジをトリガとして出力信号をハイレベルにセットし、リセット入力端（R）に入力されるスイッチ制御信号S 2のパルスエッジをトリガとして出力信号をローレベルにリセットする。すなわち、上記の出力信号は、E C U 1 0 2からロジック部1 0 7に入力される入力信号I Nと同一信号となる。なお、上記の出力信号は、S RフリップフロップF Fの出力端（Q）からロジック部1 2 5に送出される。

[0086] ロジック部1 2 5は、S RフリップフロップF Fの出力信号（入力信号I Nと同一信号）に基づいて、ドライバ部1 2 6の駆動信号を生成する。

[0087] また、ロジック部1 2 5は、第2U V L O部1 2 7および過電流検出部1 2 8での検知結果に基づいて、低電圧異常や過電流が生じていると判断した場合、その旨を異常検知信号でドライバ部1 2 6に伝達するとともに、ドライバ異常信号S 4でロジック部1 0 7にも伝達する。このような構成とすることにより、駆動素子1 1 2に異常が生じた場合でも、ドライバ部1 2 6は速やかに保護動作を行うことが可能となり、ロジック部1 0 7はE C U 1 0 2への異常通知動作（第2状態信号O C P O U Tのローレベル遷移）を行うことができる。なお、ロジック部1 2 5は、過電流保護動作後、所定時間が経過した時点で過電流保護動作からの自動復帰を行う機能を有している。

[0088] また、ロジック部1 2 5は、S RフリップフロップF Fの出力信号をそのままウォッチドッグ信号S 3として第3送信部1 2 3に出力する。このように、駆動素子1 1 2から制御素子1 1 1に向けてウォッチドッグ信号S 3を返信する構成であれば、ロジック部1 0 7において、制御素子1 1 1に入力された入力信号I Nと、これに対して駆動素子1 1 2から返信されたウォッチドッグ信号S 3を比較することにより、トランス伝達異常の有無を判定す

ることができる。

[0089] ドライバ部126は、ロジック部125から入力される駆動信号に基づいて、トランジスタP1とトランジスタN1のオン／オフ制御を行い、トランジスタP1とトランジスタN1との接続ノードから出力信号OUTを出力する手段である。出力信号OUTは、トランジスタQ1およびQ2から成る駆動回路を介して、ハイスайдスイッチSWHに入力されている。上記の駆動回路は、出力信号OUTにハイスайдスイッチSWHの駆動能力を持たせるべく、出力信号OUTの立上がり／立下がり時間（スルーレート）を調整する手段である。なお、出力信号OUTがハイレベルであるときには、ハイスайдスイッチSWHがオンとされ、逆に、出力信号OUTがローレベルであるときには、ハイスайдスイッチSWHがオフとされる。

[0090] なお、ドライバ部126は、出力信号OUTの電圧レベル（GND2基準）がローレベルとなったとき、ハイスайдスイッチSWHのゲートからCLAMP端子を介して電荷（ミラー電流）を吸い込むように、トランジスタN2をオンとする機能（アクティブミラークランプ機能）を有している。このような構成とすることにより、ハイスайдスイッチSWHをオフする際には、上記の駆動回路で設定されるスルーレートに依ることなく、トランジスタN2を介してハイスайдスイッチSWHのゲート電位を速やかにローレベルへ立ち下げることができる。

[0091] また、ドライバ部126は、出力信号OUTの電圧レベル（GND2基準）がハイレベルとなったとき、CLAMP端子を介してハイスайдスイッチSWHのゲートを電源電圧VCC2にクランプするように、トランジスタP2をオンとする機能（ショートサーキットクランプ機能）を有している。このような構成とすることにより、ハイスайдスイッチSWHをオンする際、ハイスайдスイッチSWHのゲート電位が電源電圧VCC2よりも高電位まで上昇することはなくなる。

[0092] また、ドライバ部126は、ロジック部125から入力される異常検知信号に基づいて保護動作を行う必要があると判断した場合、トランジスタP1

、P2およびトランジスタN1、N2をいずれもオフとする一方、トランジスタN3をオンとする機能（スローオフ機能）を有している。このようなスイッチ制御により、保護動作時には、ハイサイドスイッチSWHのゲートから抵抗R5を介して、通常動作時よりも緩やかに電荷を引き抜くことができる。このような構成とすることにより、保護動作時にモータ電流が瞬断されることを回避できるので、モータコイルの逆起電力によって生じるサージを抑制することができる。なお、抵抗R5の抵抗値を適宜選択することにより、保護動作時の立ち下がり時間を任意に調整することができる。

[0093] 第2UVO部127は、第2電源電圧VCC2が低電圧状態であるか否かを監視し、その監視結果をロジック部125に伝達する手段である。

[0094] 過電流検出部128は、抵抗R7と抵抗R8の接続ノードからOCP/DESATIN端子に入力される電圧（ダイオードD1のアノード電圧を抵抗分割して得られる分圧電圧）と所定の閾値電圧とを比較し、その比較結果をロジック部125に伝達する手段である。なお、ハイサイドスイッチSWHに流れるモータ駆動電流が大きいほど、ハイサイドスイッチSWHとして用いられている絶縁ゲートバイポーラトランジスタのコレクタ・エミッタ間電圧が大きくなる。従って、ハイサイドスイッチSWHに流れるモータ駆動電流が大きいほど、ダイオードD1のアノード電圧が上昇し、延いては、OCP/DESATIN端子に入力される電圧が上昇する。そこで、過電流検出部128は、OCP/DESATINに入力される電圧（GND2基準）が所定の閾値（たとえば0.5[V]）に達したとき、ハイサイドスイッチSWHに流れるモータ駆動電流が過電流状態であると判定する。

[0095] なお、本構成例では、ハイサイドスイッチSWHとして用いられている絶縁ゲートバイポーラトランジスタのコレクタ・エミッタ間電圧を検出することで、モータ駆動電流の検出を行う方式（電圧検出方式）を採用した構成を例に挙げて説明を行ったが、モータ駆動電流の検出方式はこれに限定されるものではなく、たとえば、ハイサイドスイッチSWHに流れるモータ駆動電流（或いは、これと同等の挙動を示すミラー電流）をセンス抵抗に流して電

圧信号を生成し、これをOCP/DESATIN端子に入力する方式（電流検出方式）を採用しても構わない。

[0096] OCPタイマ129は、過電流保護動作後の経過時間をカウントする手段である。

[0097] 第1トランス131は、制御素子111から駆動素子112にスイッチ制御信号S1を伝達するための直流絶縁素子である。第2トランス132は、制御素子111から駆動素子112にスイッチ制御信号S2を伝達するための直流絶縁素子である。第3トランス133は、駆動素子112から制御素子111にウォッチドッグ信号S3を伝達するための直流絶縁素子である。第4トランス134は、駆動素子112から制御素子111にドライバ異常信号S4を伝達するための直流絶縁素子である。

[0098] このように、制御素子111と駆動素子112との間で、スイッチ制御信号S1およびS2だけでなく、ウォッチドッグ信号S3やドライバ異常信号S4をやり取りする構成であれば、ハイスайдスイッチSWHのオン／オフ制御だけでなく、種々の保護機能を適切に実現することができる。

[0099] 図12は、トランス131～134を介した送受信回路部分の詳細図である。図12に示すように、制御素子111側に設けられる第1送信部103、第2送信部104、第1受信部105、および、第2受信部106は、いずれもVCC1-GND1間の電源電圧で駆動されるものであり、駆動素子112側に設けられる第3受信部121、第4受信部122、第3送信部123、および、第4送信部124は、いずれもVCC2-GND2間の電源電圧で駆動されるものである。

[0100] このような構成であれば、前述のように、制御素子111、および、駆動素子112については、いずれも一般の低耐圧プロセス（数[V]耐圧以上、数十[V]耐圧以下）で作成することができるので、専用の高耐圧プロセス（数[kV]耐圧）を用いる必要がなくなり、製造コストを低減することができる。

[0101] なお、図12では、第1受信部105、第2受信部106、第3受信部1

21、および、第4受信部122のいずれについても、ヒステリシス特性を有するコンパレータを用いた構成が描写されているが、ヒステリシス特性の有無については任意である。

[0102] 次に、半導体モジュール1の諸機能の詳細について、総括的に説明する。

[U V L O 1 (コントローラ側低電圧時誤動作防止機能)]

半導体モジュール1は、コントローラ側電源電圧 ($V_{CC1} - GND1$ 間電圧) が所定の下側閾値電圧 V_{UVLO1L} 以下になると、ハイサイドスイッチ SWH をオフとし、 FLT 端子をローレベルとする。一方、半導体モジュール1は、コントローラ側電源電圧 ($V_{CC1} - GND1$ 間電圧) が所定の上側閾値電圧 V_{UVLO1H} 以上になると、通常動作を開始し、 FLT 端子をオープン (ハイレベル) とする。

[U V L O 2 (ドライバ側低電圧時誤動作防止機能)]

半導体モジュール1は、ドライバ側電源電圧 ($V_{CC2} - GND2$ 間電圧) が所定の下側閾値電圧 V_{UVLO2L} 以下になると、ハイサイドスイッチ SWH をオフとし、 OCP/OUT 端子をローレベルとする。一方、半導体モジュール1は、ドライバ側電源電圧 ($V_{CC2} - GND2$ 間電圧) が所定の上側閾値電圧 V_{UVLO2H} 以上になると通常動作を開始し、 OCP/OUT 端子をオープン (ハイレベル) とする。

[アナログエラー入力]

半導体モジュール1は、 $ERRIN$ 端子への入力電圧が所定の閾値電圧 V_{ERRDET} 以上になると、ハイサイドスイッチ SWH をオフとし、 FLT 端子をローレベルとする。このような構成とすることにより、半導体モジュール1の周辺回路に生じる異常についても、これを監視して適切な保護動作を行うことができるので、たとえば、モータ電源の過電圧保護動作に利用することが可能である。なお、上記の閾値電圧 V_{ERRDET} には、所定のヒステリシス (V_{ERRHYS}) を持たせるとよい。

[過電流保護]

半導体モジュール1は、 $OCP/DESATIN$ 端子への入力電圧が所定

の閾値電圧 V_{OCDET} （対 $GND2$ ）以上になると、ハイスサイドスイッチ SWH をオフとし、 $OCPOUT$ 端子をローレベルとする。

[過電流保護自動復帰]

半導体モジュール1は、過電流保護動作後、一定時間（ t_{OCPRLS} ）経過すると、自動復帰し、 $OCPOUT$ 端子をオープン（ハイレベル）とする。なお、復帰時間は、半導体モジュール1の内部で固定的に設定してもよいし、装置外部から調整可能としてもよい。

[ウォッチドッグタイマ]

半導体モジュール1は、 $ECU102$ から制御素子111に入力される入力信号 IN と、駆動素子112から制御素子111にフィードバックされたウォッチドッグ信号 $S3$ とを比較し、両信号の論理が不一致である場合には、ハイスサイドスイッチ SWH をオフとし、 FLT 端子をローレベルとする。

[保護動作時スローオフ]

半導体モジュール1は、過電流保護動作時、 $PROOUT$ 端子をローレベルとし、 OUT 端子をオープンとする。このような制御により、ハイスサイドスイッチ SWH をゆっくりとオフすることができる。なお、オフ時のスローレートは、外付けの抵抗 $R5$ の抵抗値を適宜選択することによって任意に調整することが可能である。

[アクティブミラークランプ]

半導体モジュール1は、ハイスサイドスイッチ SWH のゲート電位が所定の閾値電圧 V_{AMC} 以下になったとき、 $CLAMP$ 端子を L とする。このような制御により、ハイスサイドスイッチ SWH を確実にオフすることができる。

[ショートサーキットクランプ]

半導体モジュール1は、 $CLAMP$ 端子の印加電圧が $VCC2 - V_{SCC}$ 以上になると、 $CLAMP$ 端子をハイレベルとする。このような制御により、ハイスサイドスイッチ SWH のゲート電位が第2電源電圧 $VCC2$ よりも上昇してしまうことがなくなる。

[0103] 図13は、半導体モジュール1の端子配置および封止樹脂内におけるチッ

プ配列の一例を示す模式図である。

[0104] 図13に示すように、半導体モジュール1において、パッケージは、相対する2辺にそれぞれ複数のピンが配列されるものであり、前述のように、制御素子111、駆動素子112、および、絶縁素子12は、前記ピンの配列方向に対して垂直（紙面の横方向）に並べられている。

[0105] このようなチップ配列を採用することにより、制御素子111に接続されるピン11～20と駆動素子112に接続されるピン1～10を相対する2辺に分配して配列することができるので、ピン間隔を最小限に維持したまま、ピン11～20とピン1～10との短絡を防止することができる。ピン11～20が図1の第1端子3に対応し、ピン1～10が図1の第2端子4に対応していてもよい。なお、ここではパッケージ形式がSOPである場合のチップ配列を一例として取り上げたが、SOP以外のパッケージ形式を採用する場合には、チップ配列を適宜変更することができる。

[0106] また、図13で示すように、本構成例の半導体モジュール1において、制御素子111および絶縁素子12は、前述のように第1ダイパッド21上に搭載されており、駆動素子112は、前述のように第2ダイパッド22上に搭載されている。このような構成とすることにより、第1ダイパッド21を低圧側アイランド（GND1固定）、第2ダイパッド22を高圧側アイランド（VEE2固定）というように、互いに電源系を分離して用いることができる。なお、第1ダイパッド21と第2ダイパッド22は、いずれも非磁性素材（たとえば銅）から成るが、磁性素材（たとえば鉄）を用いても構わない。

[0107] 図14は、外部端子の説明テーブルの一例である。ピン1（NC）はノンコネクション端子である。ピン2（VEE2）は負電源端子（たとえば、最低：-15V）である。ピン3（GND2）はGND端子であり、半導体モジュール1の外部において絶縁ゲートバイポーラトランジスタTr1のエミッタに接続される。ピン4（OCP/DESATIN）は過電流検出端子である。ピン5（OUT）は出力端子である。ピン6（VCC2）は正電源端

子（たとえば、最高：30V）である。ピン7（CLAMP）はクランプ端子である。ピン8（PROOUT）はスローOFF出力端子である。ピン9（VEE2）は負電源端子である。ピン10（NC）はノンコネクション端子である。ピン11（GND1）はGND端子である。ピン12（IN）は制御入力端子である。ピン13（RST）はリセット入力端子である。ピン14（FLT）は第1状態信号（コントローラチップ側の異常状態検出信号）の出力端子である。ピン15（OCPOUT）は第2状態信号（ドライバチップ側の異常状態検出信号）の出力端子である。ピン16（ERRIN）はエラー検出端子である。ピン17（VCC1）は電源端子（たとえば5Vや3.3Vなど）である。ピン18（NC）およびピン19（NC）はいずれもノンコネクション端子である。ピン20（GND1）はGND端子である。

[0108] 図15は、半導体モジュール1の電気的特性テーブルの一例である。なお、本テーブル中の数値は、特に指定のない限り、 $T_a = 25^{\circ}\text{C}$ 、 $V_{CC1} = 5\text{V}$ 、 $V_{CC2} = 20\text{V}$ 、 $V_{EE2} = -8\text{V}$ とした場合の数値である。

[0109] 次に、モータ駆動装置101に含まれる信号伝達装置200の構成および動作について、より詳細に説明する。なお、信号伝達装置200が搭載されるモータ駆動装置101の全体的な構成や動作については、前述の図11～図15を参照しながら既に説明した通りであるため、以下では、重複した説明を省略し、信号伝達装置200の構成および動作について重点的な説明を行う。

<信号伝達装置200の第1実施形態>

図16は、信号伝達装置200の第1実施形態を示す回路ブロック図である。

[0110] 本実施形態の信号伝達装置200は、一次側回路の接地電圧GND1と二次側回路の接地電圧GND2とを互いに絶縁させた状態で、一次側回路から二次側回路にスイッチ制御信号S1、S2を伝達するための回路ブロックとして、ロジック部107と、第1送信部103と、第2送信部104と、第

1 トランス 1 3 1 と、第 2 トランス 1 3 2 と、第 3 受信部 1 2 1 と、第 4 受信部 1 2 2 と、S R フリップフロップ F F とを含む。これらの回路ブロックはいずれも図 1 1 や図 1 2 で先出のものであるが、信号伝達装置 2 0 0 においては、ノイズ等に起因する誤動作を回避するために、ロジック部 1 0 7、ならびに、第 3 受信部 1 2 1 および第 4 受信部 1 2 2 の構成に創意工夫が凝らしてある。以下では、その特徴的な構成部分について重点的に説明する。

[0111] ロジック部 1 0 7 は、インバータ 1 0 7 - 1 および 1 0 7 - 2 と、第 1 パルス生成部 1 0 7 - 3 と、第 2 パルス生成部 1 0 7 - 4 とを含む。

[0112] インバータ 1 0 7 - 1 の入力端は、入力信号 I N の入力端に接続されている。インバータ 1 0 7 - 1 の出力端は、インバータ 1 0 7 - 2 の入力端に接続される一方、第 2 パルス生成部 1 0 7 - 4 の入力端にも接続されている。インバータ 1 0 7 - 2 の出力端は、第 1 パルス生成部 1 0 7 - 3 の入力端に接続されている。

[0113] 第 1 パルス生成部 1 0 7 - 3 は、インバータ 1 0 7 - 2 および 1 0 7 - 3 を介して入力される入力信号 I N のポジティブエッジに応じて、第 1 トランス駆動信号 S 1 a に N 発（ただし $N \geq 2$ ）のパルスを発生させる。なお、第 1 トランス駆動信号 S 1 a は、第 1 送信部 1 0 3 を形成するバッファ 1 0 3 - 1 を介して第 1 トランス 1 3 1 の一次側巻線に出力される。

[0114] 第 2 パルス生成部 1 0 7 - 4 は、インバータ 1 0 7 - 2 から入力される反転入力信号 I N B のポジティブエッジ（すなわち、入力信号 I N のネガティブエッジ）に応じて、第 2 トランス駆動信号 S 2 a に N 発（ただし $N \geq 2$ ）のパルスを発生させる。なお、第 2 トランス駆動信号 S 2 a は、第 2 送信部 1 0 4 を形成するバッファ 1 0 4 - 1 を介して第 2 トランス 1 3 2 の一次側巻線に出力される。

[0115] このように、第 1 実施形態の信号伝達装置 2 0 0 において、ロジック部 1 0 7 は、入力信号 I N がローレベルからハイレベルに変遷するポジティブエッジに応じて第 1 トランス駆動信号 S 1 a に N 発のパルスを連続的に発生させ、入力 I N 信号がハイレベルからローレベルに変遷するネガティブエッジ

に応じて第2トランス駆動信号S 2 aにN発のパルスを連続的に発生させるトランス駆動信号生成部として機能する。

[0116] 第1トランス1 3 1は、一次側巻線に入力される第1トランス駆動信号S 1 aに応じて二次側巻線に第1誘起信号S 1 bを発生させる。

[0117] 第2トランス1 3 2は、一次側巻線に入力される第2トランス駆動信号S 2 aに応じて二次側巻線に第2誘起信号S 2 bを発生させる。

[0118] 第3受信部1 2 1は、第1誘起信号S 1 bと所定の閾値電圧とを比較して第1比較信号S 1 cを生成する第1コンパレータ1 2 1-1と、第1比較信号S 1 cにN発のパルスが連続的に発生したことを検出して第1検出信号1 dにパルスを発生させる第1パルス検出部1 2 1-2と、を有している。

[0119] 第4受信部1 2 2は、第2誘起信号S 2 bと所定の閾値電圧とを比較して第2比較信号S 2 cを生成する第2コンパレータ1 2 2-1と、第2比較信号S 2 cにN発のパルスが連続的に発生したことを検出して第2検出信号2 dにパルスを発生させる第2パルス検出部1 2 2-2と、を有している。

[0120] S RフリップフロップF Fは、セット入力端(S)に入力される第1検出信号S 1 dに発生されたパルスに応じて出力信号O U Tをローレベルからハイレベルに変遷させ、リセット入力端(R)に入力される第2検出信号S 2 dに発生されたパルスに応じて出力信号O U Tをハイレベルからローレベルに変遷させる。

[0121] すなわち、先に説明されたスイッチ制御信号S 1は、第1トランス駆動信号S 1 a、第1誘起信号S 1 b、第1比較信号S 1 c、および、第1検出信号S 1 dという種々の信号形態を取りつつ、ロジック部1 0 7からS RフリップフロップF Fに伝達される。同様に、先に説明されたスイッチ制御信号S 2は、第2トランス駆動信号S 2 a、第2誘起信号S 2 b、第2比較信号S 2 c、および、第2検出信号S 2 dという種々の信号形態を取りつつ、ロジック部1 0 7からS RフリップフロップF Fに伝達される。

[半導体装置の構造]

次に、半導体モジュール1に搭載される絶縁素子1 2の構造を、より詳細

に説明する。以下では、絶縁素子 1 2 の構造の一例として、半導体装置 A 1 ～ A 4、半導体装置 B 1 ～ B 4、半導体装置 C 1 ～ C 4、半導体装置 D 1 ～ D 2、半導体装置 E 1 ～ E 2 および半導体装置 F 1 ～ F 5 を挙げて説明するが、絶縁素子 1 2 の構造はこれらに限らない。

<半導体装置 A 1 ～ A 4 の構造>

(第 1 実施形態)

図 1 7 は、本開示の一実施形態に係る半導体装置 A 1 の模式的な平面図である。図 1 8 は、図 1 7 の半導体装置 A 1 において低電位コイル 2 0 が形成された層を示す平面図である。図 1 9 は、図 1 7 の半導体装置 A 1 において高電位コイル 2 3 が形成された層を示す平面図である。図 2 0 は、図 1 7 の半導体装置 A 1 の模式的な断面図である。図 2 1 は、図 1 7 の半導体装置 A 1 の要部拡大図である。図 2 2 は、図 1 9 の領域 A の拡大図である。図 2 3 は、図 1 9 の領域 B の拡大図である。図 2 4 は、図 1 9 の領域 C の拡大図である。

[0122] 図 1 7 ～図 2 0 を参照して、半導体装置 A 1 は、直方体形状の半導体チップ 4 0 を含む。半導体チップ 4 0 は、シリコン、ワイドバンドギャップ半導体および化合物半導体のうちの少なくとも 1 つを含む。

[0123] ワイドバンドギャップ半導体は、シリコンのバンドギャップ（約 1. 1 2 e V）を超える半導体からなる。ワイドバンドギャップ半導体のバンドギャップは、2. 0 e V 以上であることが好ましい。ワイドバンドギャップ半導体は、S i C（炭化シリコン）であってもよい。化合物半導体は、III-V 族化合物半導体であってもよい。化合物半導体は、A l N（窒化アルミニウム）、I n N（窒化インジウム）、G a N（窒化ガリウム）および G a A s（ヒ化ガリウム）のうちの少なくとも 1 つを含んでもよい。

[0124] 半導体チップ 4 0 は、この形態では、シリコン製の半導体基板を含む。半導体チップ 4 0 は、シリコン製の半導体基板およびシリコン製のエピタキシャル層を含む積層構造を有するエピタキシャル基板であってもよい。半導体基板の導電型は、n 型または p 型であってもよい。エピタキシャル層は、n

型またはp型であってもよい。また、半導体チップ40は、グランド電位に固定されていてもよい。

[0125] 半導体チップ40は、一方側の第1主面401、他方側の第2主面402、ならびに、第1主面401および第2主面402を接続するチップ側壁44A～44Dを有している。第1主面401および第2主面402は、それらの法線方向Zから見た平面視（以下、単に「平面視」という。）において四角形状（この形態では長方形状）に形成されている。

[0126] チップ側壁44A～44Dは、第1チップ側壁44A、第2チップ側壁44B、第3チップ側壁44Cおよび第4チップ側壁44Dを含む。第1チップ側壁44Aおよび第2チップ側壁44Bは、半導体チップ40の長辺を形成している。第1チップ側壁44Aおよび第2チップ側壁44Bは、第1方向Xに沿って延び、第2方向Yに対向している。第3チップ側壁44Cおよび第4チップ側壁44Dは、半導体チップ40の短辺を形成している。第3チップ側壁44Cおよび第4チップ側壁44Dは、第2方向Yに延び、第1方向Xに対向している。チップ側壁44A～44Dは、研削面からなる。

[0127] 半導体装置A1は、半導体チップ40の第1主面401の上に順に形成された、第1絶縁部50と、第2絶縁部7と、保護層8とを含む。

[0128] 第1絶縁部50は、絶縁主面54および絶縁側壁53A～53Dを有している。絶縁主面54は、平面視において第1主面401に整合する四角形状（この形態では長方形状）に形成されている。絶縁主面54は、第1主面401に対して平行に延びている。

[0129] 絶縁側壁53A～53Dは、第1絶縁側壁53A、第2絶縁側壁53B、第3絶縁側壁53Cおよび第4絶縁側壁53Dを含む。絶縁側壁53A～53Dは、絶縁主面54の周縁から半導体チップ40に向けて延び、チップ側壁44A～44Dに連なっている。絶縁側壁53A～53Dは、具体的には、チップ側壁44A～44Dに対して面一に形成されている。絶縁側壁53A～53Dは、チップ側壁44A～44Dに面一な研削面を形成している。

[0130] 第2絶縁部7は、絶縁主面54上に形成されており、絶縁主面701およ

び絶縁側壁702A～702Dを有している。絶縁主面701は、平面視において第1主面401に整合する四角形状（この形態では長方形形状）に形成されている。絶縁主面701は、第1主面401に対して平行に延びている。

[0131] 絶縁側壁702A～702Dは、第1絶縁側壁702A、第2絶縁側壁702B、第3絶縁側壁702Cおよび第4絶縁側壁702Dを含む。絶縁側壁702A～702Dは、絶縁主面701の周縁から半導体チップ40に向けて延びている。絶縁側壁702A～702Dは、具体的には、絶縁側壁53A～53Dに対して内側に形成されている。これにより、絶縁側壁702A～702Dと絶縁側壁53A～53Dとの間には、段差が形成されている。

[0132] 保護層8は、絶縁主面701上に形成されており、保護主面82および保護側壁83A～83Dを有している。保護主面82は、平面視において第1主面401に整合する四角形状（この形態では長方形形状）に形成されている。保護主面82は、第1主面401に対して平行に延びている。

[0133] 保護側壁83A～83Dは、第1保護側壁83A、第2保護側壁83B、第3保護側壁83Cおよび第4保護側壁83Dを含む。保護側壁83A～83Dは、保護主面82の周縁から半導体チップ40に向けて延びている。保護側壁83A～83Dは、具体的には、絶縁側壁702A～702Dに対して内側に形成されている。これにより、保護側壁83A～83Dと絶縁側壁702A～702Dとの間には、段差が形成されている。

[0134] 第1絶縁部50は、最下絶縁層55、最上絶縁層56および複数（この形態では10層）の層間絶縁層57を含む多層絶縁積層構造からなる。最下絶縁層55は、第1主面401を直接被覆する絶縁層である。最上絶縁層56は、絶縁主面54を形成する絶縁層である。複数の層間絶縁層57は、最下絶縁層55および最上絶縁層56の間に介在する絶縁層である。最下絶縁層55は、この形態では、酸化シリコンを含む単層構造を有している。最上絶縁層56は、この形態では、窒化シリコンを含む単層構造を有している。最

下絶縁層 55 の厚さは、 $0.5\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下（たとえば $1\ \mu\text{m}$ 程度）であってもよく、最上絶縁層 56 の厚さは、 $0.2\ \mu\text{m}$ 以上 $4\ \mu\text{m}$ 以下（たとえば $1\ \mu\text{m}$ 程度）であってもよい。

[0135] 複数の層間絶縁層 57 は、最下絶縁層 55 側の第 1 絶縁層 58 および最上絶縁層 56 側の第 2 絶縁層 59 を含む積層構造をそれぞれ有している。第 1 絶縁層 58 は、無機絶縁層からなり、たとえば窒化シリコンを含んでいてもよい。第 1 絶縁層 58 は、第 2 絶縁層 59 に対するエッチングストッパ層として形成されている。第 1 絶縁層 58 の厚さは、 $0.1\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下（たとえば $0.3\ \mu\text{m}$ 程度）であってもよい。

[0136] 第 2 絶縁層 59 は、第 1 絶縁層 58 の上に形成されている。第 1 絶縁層 58 とは異なる絶縁材料を含む。第 2 絶縁層 59 は、第 1 絶縁層 58 とは異なる無機絶縁層からなり、たとえば酸化シリコンを含んでいてもよい。第 2 絶縁層 59 の厚さは、 $1\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下（たとえば $2\ \mu\text{m}$ 程度）であってもよい。第 2 絶縁層 59 の厚さは、第 1 絶縁層 58 の厚さを超えていることが好ましい。

[0137] また、第 1 絶縁層 58 は、圧縮応力膜であり、第 2 絶縁層 59 は、引張応力膜であってもよい。つまり、層間絶縁層 57 は、圧縮応力膜および引張応力膜が繰り返し積層された構造であってもよい。これにより、層間絶縁層 57 の積層界面において応力をキャンセルしながら第 1 絶縁部 50 を形成することができる。その結果、半導体装置 A1 の製造工程において、半導体チップ 40 の母体となる半導体ウエハに大きな反り変形が生じることを防止することができる。圧縮応力膜は、たとえば、酸化シリコン膜であってもよく、引張応力膜は、たとえば、窒化シリコン膜であってもよい。

[0138] 第 1 絶縁部 50 の総厚さ T_{A1} は、 $5\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下であってもよい。第 1 絶縁部 50 の総厚さ T_{A1} や層間絶縁層 57 の積層数は任意であり、実現すべき絶縁耐圧（絶縁破壊耐量）に応じて調整される。また、最下絶縁層 55、最上絶縁層 56 および層間絶縁層 57 の絶縁材料は任意であり、特定の絶縁材料に限定されない。

[0139] 第2絶縁部7は、第1絶縁層58および第2絶縁層59とは異なる誘電率を有する絶縁材料からなり、たとえば、有機絶縁層84を含む層構造を有している。第2絶縁部7は、この形態では、有機絶縁層84の単一層からなるが、複数の有機絶縁層の積層構造であってもよい。有機絶縁層84としては、たとえば、ポリイミド膜、フェノール樹脂膜およびエポキシ樹脂膜等が挙げられる。第2絶縁部7の総厚さTA2は、 $2\mu\text{m}$ 以上 $100\mu\text{m}$ 以下であってもよい。第2絶縁部7の総厚さTA2は任意であり、実現すべき絶縁耐圧（絶縁破壊耐量）に応じて調整される。

[0140] 半導体装置A1は、第1機能デバイス45を含む。第1機能デバイス45は、1つまたは複数（この形態では複数）のトランス15（変圧器）を含む。つまり、半導体装置A1は、複数のトランス15を含むマルチチャネル型のデバイスからなる。複数のトランス15は、絶縁側壁53A～53Dから間隔を空けて第1絶縁部50および第2絶縁部7の積層構造の内方部に形成されている。複数のトランス15は、第1方向Xに間隔を空けて形成されている。

[0141] 複数のトランス15は、具体的には、平面視において絶縁側壁53C側から絶縁側壁53D側に向けてこの順に形成された第1トランス15A、第2トランス15B、第3トランス15Cおよび第4トランス15Dを含む。第1トランス15A、第2トランス15B、第3トランス15Cおよび第4トランス15Dは、それぞれ、図11の第1トランス131、第2トランス132、第3トランス133および第4トランス134に対応していてもよい。複数のトランス15A～15Dは、同様の構造をそれぞれ有している。以下では、第1トランス15Aの構造を例にとって説明する。第2トランス15B、第3トランス15Cおよび第4トランス15Dの構造の説明については、第1トランス15Aの構造の説明が準用されるものとし、省略する。

[0142] 図17～図20を参照して、第1トランス15Aは、低電位コイル20および高電位コイル23を含む。低電位コイル20は、第1絶縁部50内に形成されている。高電位コイル23は、法線方向Zに低電位コイル20と対向

するように第2絶縁部7上に形成されている。低電位コイル20は、この形態では、最下絶縁層55および最上絶縁層56に挟まれた領域（つまり複数の層間絶縁層57）に形成されている。高電位コイル23は、第2絶縁部7の絶縁主面701に形成されている。つまり、高電位コイル23は、低電位コイル20を挟んで半導体チップ40に対向している。低電位コイル20および高電位コイル23の配置箇所は任意である。また、高電位コイル23は、少なくとも3層以上の層間絶縁層57および第2絶縁部7を挟んで低電位コイル20に対向していればよい。

[0143] 低電位コイル20および高電位コイル23の間の距離D2（つまり、層間絶縁層57の積層数および第2絶縁部7の厚さ）は、低電位コイル20および高電位コイル23の間の絶縁耐圧や電界強度に応じて適宜調整される。低電位コイル20は、この形態では、最下絶縁層55側から数えて3層目の層間絶縁層57に形成されている。一方、高電位コイル23は、第2絶縁部7の絶縁主面に形成されている。したがって、低電位コイル20と高電位コイル23との間には、7層分の層間絶縁層57および第2絶縁部7が介在している。

[0144] 低電位コイル20は、層間絶縁層57において第1絶縁層58および第2絶縁層59を貫通して埋め込まれている。低電位コイル20は、図18に示すように、第1内側末端24、第1外側末端25、ならびに、第1内側末端24および第1外側末端25の間を螺旋状に引き回された第1螺旋部26を含む。第1螺旋部26は、平面視において楕円形状（長円形状）に延びる螺旋状に引き回されている。第1螺旋部26の最内周縁を形成する部分は、平面視において楕円形状の第1内側領域66を区画している。

[0145] 第1螺旋部26の巻回数は、3以上30以下であってもよい。第1螺旋部26の幅は、0.1 μm 以上10 μm 以下であってもよい。第1螺旋部26の幅は、1 μm 以上3 μm 以下であることが好ましい。第1螺旋部26の幅は、螺旋方向に直交する方向の幅によって定義される。第1螺旋部26の第1巻回ピッチは、0.1 μm 以上20 μm 以下であってもよい。第1巻回ピ

ッチは、 $1\text{ }\mu\text{m}$ 以上 $10\text{ }\mu\text{m}$ 以下であることが好ましい。第1巻回ピッチは、第1螺旋部26において螺旋方向に直交する方向に隣り合う2つの部分の間の距離によって定義される。

[0146] 第1螺旋部26の巻回形状や、第1内側領域66の平面形状は任意であり、図18等々に示される形態に限定されない。第1螺旋部26は、平面視において三角形、四角形等の多角形状、または、円形状に巻回されていてもよい。第1内側領域66は、第1螺旋部26の巻回形状に応じて、平面視において三角形、四角形等の多角形状、または、円形状に区画されていてもよい。

[0147] 低電位コイル20は、チタン、窒化チタン、銅、アルミニウムおよびタングステンのうちの少なくとも1つを含んでいてもよい。低電位コイル20は、バリア層および本体層を含む積層構造を有していてもよい。バリア層は、層間絶縁層57内においてリセス空間を区画する。本体層は、バリア層によって区画されたリセス空間に埋設される。バリア層は、チタンおよび窒化チタンのうちの少なくとも1つを含んでいてもよい。本体層は、銅、アルミニウムおよびタングステンのうちの少なくとも1つを含んでいてもよい。

[0148] 高電位コイル23は、第2絶縁部7の絶縁主面701から第1絶縁部50とは反対側に立設するように形成されている。高電位コイル23は、その頂部側から保護層8に覆われている。高電位コイル23は、図19に示すように、第2内側末端27、第2外側末端28、ならびに、第2内側末端27および第2外側末端28の間を螺旋状に引き回された第2螺旋部29を含む。第2螺旋部29は、平面視において楕円形状（長円形状）に延びる螺旋状に引き回されている。第2螺旋部29の最内周縁を形成する部分は、この形態では、平面視において楕円形状の第2内側領域67を区画している。第2螺旋部29の第2内側領域67は、法線方向Zに第1螺旋部26の第1内側領域66に対向している。

[0149] 第2螺旋部29の巻回数は、3以上30以下であってもよい。第1螺旋部26の巻回数に対する第2螺旋部29の巻回数は、昇圧すべき電圧値に応じ

て調整される。第2螺旋部29の巻回数は、第1螺旋部26の巻回数を超えていることが好ましい。むろん、第2螺旋部29の巻回数は、第1螺旋部26の巻回数未満であってもよいし、第1螺旋部26の巻回数と等しくてもよい。

[0150] 第2螺旋部29の幅は、 $0.1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であってもよい。第2螺旋部29の幅は、 $1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であることが好ましい。第2螺旋部29の幅は、螺旋方向に直交する方向の幅によって定義される。第2螺旋部29の幅は、第1螺旋部26の幅と等しいことが好ましい。

[0151] 第2螺旋部29の第2巻回ピッチは、 $0.1\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下であってもよい。第2巻回ピッチは、 $1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であることが好ましい。第2巻回ピッチは、第2螺旋部29において螺旋方向に直交する方向に隣り合う2つの部分の間の距離によって定義される。第2巻回ピッチは、第1螺旋部26の第1巻回ピッチと等しいことが好ましい。

[0152] 第2螺旋部29の巻回形状や、第2内側領域67の平面形状は任意であり、図19等示される形態に限定されない。第2螺旋部29は、平面視において三角形状、四角形状等の多角形状、または、円形状に巻回されていてもよい。第2内側領域67は、第2螺旋部29の巻回形状に応じて、平面視において三角形状、四角形状等の多角形状、または、円形状に区画されていてもよい。また、第2螺旋部29の隙間には、保護層8の一部が入り込んでい

[0153] 高電位コイル23は、チタン、窒化チタン、銅、アルミニウムおよびタングステンのうちの少なくとも1つを含んでいてもよい。高電位コイル23は、バリア層および本体層を含む積層構造を有していてもよい。バリア層は、第2絶縁部7の絶縁主面701に沿って平坦な形状で形成される。本体層は、バリア層上に積層される。バリア層は、チタンおよび窒化チタンのうちの少なくとも1つを含んでいてもよい。本体層は、銅、アルミニウムおよびタングステンのうちの少なくとも1つを含んでいてもよい。

[0154] 図17を参照して、半導体装置A1は、複数（この形態では12個）の低

電位端子 1 3 および複数（この形態では 1 2 個）の高電位端子 1 4 を含む。複数の低電位端子 1 3 は、対応するトランス 1 5 A～1 5 D の低電位コイル 2 0 にそれぞれ電氣的に接続されている。複数の高電位端子 1 4 は、対応するトランス 1 5 A～1 5 D の高電位コイル 2 3 にそれぞれ電氣的に接続されている。

[0155] 複数の低電位端子 1 3 は、第 2 絶縁部 7 の絶縁主面 7 0 1 の上に形成されている。複数の低電位端子 1 3 は、具体的には、複数のトランス 1 5 A～1 5 D から第 2 方向 Y に間隔を空けて絶縁側壁 5 3 B 側の領域に形成され、第 1 方向 X に間隔を空けて配列されている。

[0156] 複数の低電位端子 1 3 は、第 1 低電位端子 1 3 A、第 2 低電位端子 1 3 B、第 3 低電位端子 1 3 C、第 4 低電位端子 1 3 D、第 5 低電位端子 1 3 E および第 6 低電位端子 1 3 F を含む。複数の低電位端子 1 3 A～1 3 F は、この形態では、2 個ずつそれぞれ形成されている。複数の低電位端子 1 3 A～1 3 F の個数は任意である。

[0157] 第 1 低電位端子 1 3 A は、平面視において第 2 方向 Y に第 1 トランス 1 5 A に対向している。第 2 低電位端子 1 3 B は、平面視において第 2 方向 Y に第 2 トランス 1 5 B に対向している。第 3 低電位端子 1 3 C は、平面視において第 2 方向 Y に第 3 トランス 1 5 C に対向している。第 4 低電位端子 1 3 D は、平面視において第 2 方向 Y に第 4 トランス 1 5 D に対向している。第 5 低電位端子 1 3 E は、平面視において第 1 低電位端子 1 3 A および第 2 低電位端子 1 3 B の間の領域に形成されている。第 6 低電位端子 1 3 F は、平面視において第 3 低電位端子 1 3 C および第 4 低電位端子 1 3 D の間の領域に形成されている。

[0158] 第 1 低電位端子 1 3 A は、第 1 トランス 1 5 A（低電位コイル 2 0）の第 1 内側末端 2 4 に電氣的に接続されている。第 2 低電位端子 1 3 B は、第 2 トランス 1 5 B（低電位コイル 2 0）の第 1 内側末端 2 4 に電氣的に接続されている。第 3 低電位端子 1 3 C は、第 3 トランス 1 5 C（低電位コイル 2 0）の第 1 内側末端 2 4 に電氣的に接続されている。第 4 低電位端子 1 3 D

は、第4トランス15D（低電位コイル20）の第1内側末端24に電氣的に接続されている。

[0159] 第5低電位端子13Eは、第1トランス15A（低電位コイル20）の第1外側末端25および第2トランス15B（低電位コイル20）の第1外側末端25に電氣的に接続されている。第6低電位端子13Fは、第3トランス15C（低電位コイル20）の第1外側末端25および第4トランス15D（低電位コイル20）の第1外側末端25に電氣的に接続されている。

[0160] つまり、各トランス15A～15Dの第1内側末端24に接続される低電位端子13A～13Dは、各トランス15A～15Dの第1外側末端25に接続される低電位端子13E、13Fよりも、各トランス15A～15Dの近くに配置されている。たとえば、第1トランス15Aの第1内側末端24に接続された第1低電位端子13Aは、第1トランス15Aの第1外側末端25に接続された第5低電位端子13Eよりも、第1トランス15Aの近くに配置されている。第2トランス15Bに対する第2低電位端子13Bおよび第5低電位端子13Eの配置関係、第3トランス15Cに対する第3低電位端子13Cおよび第6低電位端子13Fの配置関係、および第4トランス15Dに対する第4低電位端子13Dおよび第6低電位端子13Fの配置関係も同様である。

[0161] 複数の高電位端子14は、複数の低電位端子13から間隔を空けて第2絶縁部7の絶縁主面701の上に形成されている。複数の高電位端子14は、具体的には、複数の低電位端子13から第2方向Yに間隔を空けて絶縁側壁53A側の領域に形成され、第1方向Xに間隔を空けて配列されている。

[0162] 複数の高電位端子14は、平面視において対応するトランス15A～15Dに近接する領域にそれぞれ形成されている。高電位端子14がトランス15A～15Dに近接するとは、平面視において高電位端子14およびトランス15の間の距離が、低電位端子13および高電位端子14の間の距離未満であることを意味する。

[0163] 複数の高電位端子14は、具体的には、平面視において第1方向Xに沿っ

て複数のトランス 15 A～15 Dと対向するように第 1 方向 X に沿って間隔を空けて形成されている。複数の高電位端子 14 は、さらに具体的には、平面視において高電位コイル 23 の第 2 内側領域 67 および隣り合う高電位コイル 23 の間の領域に位置するように第 1 方向 X に沿って間隔を空けて形成されている。これにより、複数の高電位端子 14 は、平面視において第 1 方向 X に複数のトランス 15 A～15 D と一列に並んで配列されている。

[0164] 複数の高電位端子 14 は、第 1 高電位端子 14 A、第 2 高電位端子 14 B、第 3 高電位端子 14 C、第 4 高電位端子 14 D、第 5 高電位端子 14 E および第 6 高電位端子 14 F を含む。複数の高電位端子 14 A～14 F は、この形態では、2 個ずつそれぞれ形成されている。複数の高電位端子 14 A～14 F の個数は任意である。

[0165] 第 1 高電位端子 14 A は、平面視において第 1 トランス 15 A（高電位コイル 23）の第 2 内側領域 67 に形成されている。第 2 高電位端子 14 B は、平面視において第 2 トランス 15 B（高電位コイル 23）の第 2 内側領域 67 に形成されている。第 3 高電位端子 14 C は、平面視において第 3 トランス 15 C（高電位コイル 23）の第 2 内側領域 67 に形成されている。第 4 高電位端子 14 D は、平面視において第 4 トランス 15 D（高電位コイル 23）の第 2 内側領域 67 に形成されている。第 5 高電位端子 14 E は、平面視において第 1 トランス 15 A および第 2 トランス 15 B の間の領域に形成されている。第 6 高電位端子 14 F は、平面視において第 3 トランス 15 C および第 4 トランス 15 D の間の領域に形成されている。

[0166] 第 1 高電位端子 14 A は、第 1 トランス 15 A（高電位コイル 23）の第 2 内側末端 27 に電氣的に接続されている。第 2 高電位端子 14 B は、第 2 トランス 15 B（高電位コイル 23）の第 2 内側末端 27 に電氣的に接続されている。第 3 高電位端子 14 C は、第 3 トランス 15 C（高電位コイル 23）の第 2 内側末端 27 に電氣的に接続されている。第 4 高電位端子 14 D は、第 4 トランス 15 D（高電位コイル 23）の第 2 内側末端 27 に電氣的に接続されている。

- [0167] 第5高電位端子14Eは、第1トランス15A（高電位コイル23）の第2外側末端28および第2トランス15B（高電位コイル23）の第2外側末端28に電氣的に接続されている。第6高電位端子14Fは、第3トランス15C（高電位コイル23）の第2外側末端28および第4トランス15D（高電位コイル23）の第2外側末端28に電氣的に接続されている。
- [0168] 図18および図19を参照して、半導体装置A1は、第1低電位配線30、第2低電位配線35、第1高電位配線33および第2高電位配線34を含む。この形態では、複数の第1低電位配線30、複数の第2低電位配線35、複数の第1高電位配線33および複数の第2高電位配線34が形成されている。
- [0169] 第1低電位配線30および第2低電位配線35は、第1トランス15Aの低電位コイル20および第2トランス15Bの低電位コイル20を同電位に固定している。また、第1低電位配線30および第2低電位配線35は、第3トランス15Cの低電位コイル20および第4トランス15Dの低電位コイル20を同電位に固定している。第1低電位配線30および第2低電位配線35は、この形態では、トランス15A～15Dの全ての低電位コイル20を同電位に固定している。
- [0170] 第1高電位配線33および第2高電位配線34は、第1トランス15Aの高電位コイル23および第2トランス15Bの高電位コイル23を同電位に固定している。また、第1高電位配線33および第2高電位配線34は、第3トランス15Cの高電位コイル23および第4トランス15Dの高電位コイル23を同電位に固定している。第1高電位配線33および第2高電位配線34は、この形態では、トランス15A～15Dの全ての高電位コイル23を同電位に固定している。
- [0171] 複数の第1低電位配線30は、対応する低電位端子13A～13Dおよび対応するトランス15A～15D（低電位コイル20）の第1内側末端24にそれぞれ電氣的に接続されている。複数の第1低電位配線30は、同様の構造を有している。以下では、第1低電位端子13Aおよび第1トランス1

5 Aに接続された第1低電位配線30の構造を例にとって説明する。他の第1低電位配線30の構造の説明については、第1トランス15Aに接続された第1低電位配線30の構造の説明が準用されるものとし、省略する。

[0172] 第1低電位配線30は、貫通配線70、低電位接続配線36、引き出し配線37、第1接続プラグ電極74、および第2接続プラグ電極75を含む。これら通電部材は、第1絶縁部50内に形成されている。つまり、第1絶縁部50と第2絶縁部7との境界部よりも第1絶縁部50側に形成されている。また、第1低電位配線30は、第1低電位パッド配線170および第2低電位パッド配線171を含む。第1低電位パッド配線170および第2低電位パッド配線171は、第1絶縁部50と第2絶縁部7との境界部よりも第2絶縁部7側に形成されている。

[0173] 貫通配線70、低電位接続配線36、引き出し配線37、第1接続プラグ電極74、および第2接続プラグ電極75は、低電位コイル20等と同一の導電材料によってそれぞれ形成されていることが好ましい。つまり、貫通配線70、低電位接続配線36、引き出し配線37、第1接続プラグ電極74、および第2接続プラグ電極75は、低電位コイル20等と同様に、バリア層および本体層をそれぞれ含むことが好ましい。

[0174] 一方、第1低電位パッド配線170および第2低電位パッド配線171は、高電位コイル23と同一の導電材料によってそれぞれ形成されていることが好ましい。つまり、第1低電位パッド配線170および第2低電位パッド配線171は、高電位コイル23等と同様に、バリア層および本体層をそれぞれ含むことが好ましい。

[0175] 貫通配線70は、第1絶縁部50において複数の層間絶縁層57を貫通し、法線方向Zに沿って延びる柱状に形成されている。貫通配線70は、この形態では、第1絶縁部50において最下絶縁層55および最上絶縁層56の間の領域に形成されている。貫通配線70は、最上絶縁層56側の上端部、および、最下絶縁層55側の下端部を有している。貫通配線70の上端部は、最上絶縁層56によって被覆されており、最上絶縁層56に形成された貫

通孔 173 から部分的に露出している。貫通配線 70 の下端部は、低電位コイル 20 と同一の層間絶縁層 57 に形成されている。

[0176] 貫通配線 70 は、この形態では、第 1 電極層 78、第 2 電極層 79、および、複数の配線プラグ電極 38 を含む。貫通配線 70 では、第 1 電極層 78、第 2 電極層 79 および配線プラグ電極 38 が低電位コイル 20 等と同一の導電材料によってそれぞれ形成されている。つまり、第 1 電極層 78、第 2 電極層 79 および配線プラグ電極 38 は、低電位コイル 20 等と同様に、バリア層および本体層をそれぞれ含む。

[0177] 第 1 電極層 78 は、貫通配線 70 の上端部を形成している。第 2 電極層 79 は、貫通配線 70 の下端部を形成している。第 1 電極層 78 は、アイランド状に形成され、法線方向 Z に低電位端子 13（第 1 低電位端子 13A）に対向している。第 2 電極層 79 は、アイランド状に形成され、法線方向 Z に第 1 電極層 78 に対向している。

[0178] 複数の配線プラグ電極 38 は、第 1 電極層 78 および第 2 電極層 79 の間の領域に位置する複数の層間絶縁層 57 にそれぞれ埋設されている。複数の配線プラグ電極 38 は、互いに電氣的に接続されるように最下絶縁層 55 から最上絶縁層 56 に向けて積層され、かつ、第 1 電極層 78 および第 2 電極層 79 を電氣的に接続している。複数の配線プラグ電極 38 は、第 1 電極層 78 の平面積および第 2 電極層 79 の平面積未満の平面積をそれぞれ有している。

[0179] 複数の配線プラグ電極 38 の積層数は、複数の層間絶縁層 57 の積層数に一致している。この形態では、6 個の配線プラグ電極 38 が各層間絶縁層 57 内に埋設されているが、各層間絶縁層 57 内に埋設される配線プラグ電極 38 の個数は任意である。むしろ、複数の層間絶縁層 57 を貫通する 1 つまたは複数の配線プラグ電極 38 が形成されていてもよい。

[0180] 低電位接続配線 36 は、低電位コイル 20 と同一の層間絶縁層 57 内において第 1 トランス 15A（低電位コイル 20）の第 1 内側領域 66 に形成されている。低電位接続配線 36 は、アイランド状に形成され、法線方向 Z に

高電位端子 1 4（第 1 高電位端子 1 4 A）に対向している。低電位接続配線 3 6 は、配線プラグ電極 3 8 の平面積を超える平面積を有していることが好ましい。低電位接続配線 3 6 は、低電位コイル 2 0 の第 1 内側末端 2 4 に電氣的に接続されている。

[0181] 引き出し配線 3 7 は、層間絶縁層 5 7 内において半導体チップ 4 0 および貫通配線 7 0 の間の領域に形成されている。引き出し配線 3 7 は、この形態では、最下絶縁層 5 5 から数えて 1 層目の層間絶縁層 5 7 内に形成されている。引き出し配線 3 7 は、一方側の第 1 端部、他方側の第 2 端部、ならびに、第 1 端部および第 2 端部を接続する配線部を含む。引き出し配線 3 7 の第 1 端部は、半導体チップ 4 0 および貫通配線 7 0 の下端部の間の領域に位置している。引き出し配線 3 7 の第 2 端部は、半導体チップ 4 0 および低電位接続配線 3 6 の間の領域に位置している。配線部は、半導体チップ 4 0 の第 1 主面 4 0 1 に沿って延び、第 1 端部および第 2 端部の間の領域を帯状に延びている。

[0182] 第 1 接続プラグ電極 7 4 は、層間絶縁層 5 7 内において貫通配線 7 0 および引き出し配線 3 7 の間の領域に形成され、貫通配線 7 0 および引き出し配線 3 7 の第 1 端部に電氣的に接続されている。第 2 接続プラグ電極 7 5 は、層間絶縁層 5 7 内において低電位接続配線 3 6 および引き出し配線 3 7 の間の領域に形成され、低電位接続配線 3 6 および引き出し配線 3 7 の第 2 端部に電氣的に接続されている。

[0183] 第 1 低電位パッド配線 1 7 0 は、第 1 絶縁部 5 0 の絶縁主面 5 4 上に形成されている。図 2 1 に示すように、第 1 低電位パッド配線 1 7 0 は、第 1 絶縁部 5 0 上にアイランド状に形成されている。第 1 低電位パッド配線 1 7 0 は、一部が貫通孔 1 7 3 を介して貫通配線 7 0 に接続されており、貫通孔 1 7 3 を取り囲む周縁部が、法線方向 Z において、最上絶縁層 5 6 を挟んで第 1 電極層 7 8 に対向している。また、第 1 低電位パッド配線 1 7 0 は、第 2 絶縁部 7 で覆われることによって、第 2 絶縁部 7 内に形成されている。また、第 1 低電位パッド配線 1 7 0 は、アイランド状に形成されているから、第

1 低電位パッド電極層と称してもよい。

[0184] 第2低電位パッド配線171は、第2絶縁部7の絶縁主面701上に形成されている。つまり、この形態では、第2低電位パッド配線171は、高電位コイル23と同一層に形成されている。第2低電位パッド配線171は、前述の低電位端子13を形成していてもよい。第2低電位パッド配線171は、第2絶縁部7に形成された貫通孔174を介して第1低電位パッド配線170に接続されている。図21に示すように、第2低電位パッド配線171は、第1低電位パッド配線170よりも広い幅を有している。また、第2低電位パッド配線171は、図21に示すように、貫通孔174から貫通孔174に重ならない領域に引き出された引き出し部175を有している。第2低電位パッド配線171は、保護層8で覆われることによって、保護層8内に形成されている。

[0185] なお、第1低電位パッド配線170および第2低電位パッド配線171は、総称して、低電位コイル20に電氣的に接続され、第2絶縁部7を厚さ方向に貫通するように延びる低電位配線としてもよい。

[0186] 複数の第2低電位配線35は、図18に示すように、対応する低電位端子13E、13Fおよび対応するトランス15A～15Dの低電位コイル20の第1外側末端25にそれぞれ電氣的に接続されている。複数の第2低電位配線35は、それぞれ、第1低電位配線30と同様の構造を有している。

[0187] 図19を参照して、複数の第1高電位配線33は、対応する高電位端子14A～14Dおよび対応するトランス15A～15D（高電位コイル23）の第2内側末端27にそれぞれ電氣的に接続されている。複数の第1高電位配線33は、同様の構造をそれぞれ有している。第1高電位配線33は、前述の高電位端子14を形成していてもよい。以下では、第1高電位端子14Aおよび第1トランス15Aに接続された第1高電位配線33の構造を例にとって説明する。他の第1高電位配線33の構造の説明については、第1トランス15Aに接続された第1高電位配線33の構造の説明が準用されるものとし、省略する。

[0188] 第1高電位配線33は、高電位コイル23と同一の導電材料によって形成されていることが好ましい。つまり、第1高電位配線33は、高電位コイル23等と同様に、バリア層および本体層をそれぞれ含むことが好ましい。第1高電位配線33は、第2絶縁部7上において高電位コイル23の第2内側領域67に形成されている。第1高電位配線33は、アイランド状に形成され、高電位コイル23の第2内側末端27に電氣的に接続されている。第1高電位配線33は、法線方向Zにおいて、第2絶縁部7および複数の層間絶縁層57を挟んで低電位接続配線36に対向している。また、第1高電位配線33は、アイランド状に形成されているから、第1高電位パッド電極層と称してもよい。

[0189] 複数の第2高電位配線34は、対応する高電位端子14E、14Fおよび対応するトランス15A～15D（高電位コイル23）の第2外側末端28にそれぞれ電氣的に接続されている。複数の第2高電位配線34は、同様の構造をそれぞれ有している。第2高電位配線34は、前述の高電位端子14を形成していてもよい。以下では、第5高電位端子14Eおよび第1トランス15A（第2トランス15B）に接続された第2高電位配線34の構造を例にとって説明する。他の第2高電位配線34の構造の説明については、第1トランス15A（第2トランス15B）に接続された第2高電位配線34の構造の説明が準用されるものとし、省略する。

[0190] 第2高電位配線34は、第1トランス15A（高電位コイル23）の第2外側末端28および第2トランス15B（高電位コイル23）の第2外側末端28に電氣的に接続されている点を除いて、第1高電位配線33と同様の構造を有している。つまり、第2高電位配線34は、アイランド状に形成されている。第2高電位配線34は、アイランド状に形成されているから、第2高電位パッド電極層と称してもよい。

[0191] 第2高電位配線34は、第2絶縁部7上において高電位コイル23の周囲に形成されている。第2高電位配線34は、平面視において隣り合う2つの高電位コイル23の間の領域に形成され、法線方向Zに高電位端子14（第

5 高電位端子 14 E) に対向している。第 2 高電位配線 34 は、法線方向 Z において、第 2 絶縁部 7 および複数の層間絶縁層 57 を挟んで低電位接続配線 36 に対向している。

[0192] 図 20 を参照して、低電位端子 13 および高電位端子 14 の間の距離 $D1$ は、低電位コイル 20 および高電位コイル 23 の間の距離 $D2$ を超えていることが好ましい ($D2 < D1$)。距離 $D1$ は、第 1 絶縁部 50 の総厚さ $TA1$ と第 2 絶縁部 7 の総厚さ $TA2$ との和を超えていることが好ましい ($TA1 + TA2 < D1$)。距離 $D1$ に対する距離 $D2$ の比 $D2/D1$ は、0.005 以上 0.5 以下であってもよい。距離 $D1$ は、 $100\mu m$ 以上 $1000\mu m$ 以下であることが好ましい。距離 $D2$ は、 $2\mu m$ 以上 $120\mu m$ 以下であってもよい。距離 $D2$ は、 $5\mu m$ 以上 $50\mu m$ 以下であることが好ましい。距離 $D1$ および距離 $D2$ の値は任意であり、実現すべき絶縁耐圧に応じて適宜調整される。

[0193] 図 19、図 20 および図 22～図 24 を参照して、半導体装置 A1 は、平面視においてトランス 15A～15D の周囲に位置するように第 2 絶縁部 7 上に形成されたダミーパターン 39 を含む。図 22～図 24 では、ダミーパターン 39 がハッチングによって示されている。ダミーパターン 39 は、導電体を含む。ダミーパターン 39 は、高電位コイル 23 と同一の導電材料によって形成されていることが好ましい。つまり、ダミーパターン 39 は、高電位コイル 23 等と同様に、バリア層および本体層をそれぞれ含むことが好ましい。

[0194] ダミーパターン 39 は、高電位コイル 23 および低電位コイル 20 とは異なるパターン（不連続なパターン）で形成されており、トランス 15A～15D から独立している。つまり、ダミーパターン 39 は、トランス 15A～15D としては機能しない。ダミーパターン 39 は、トランス 15A～15D において低電位コイル 20 および高電位コイル 23 の間の電界を遮蔽し、高電位コイル 23 に対する電界集中を抑制するシールド導体層として形成されている。

- [0195] ダミーパターン39は、この形態では、平面視において1つまたは複数の高電位コイル23の周囲の領域を部分的に被覆し、かつ、部分的に露出させるように密なライン状に引き回されている。ダミーパターン39は、この形態では、単位面積当たりにおいて高電位コイル23のライン密度と等しいライン密度で引き回されている。ダミーパターン39のライン密度が高電位コイル23のライン密度と等しいとは、ダミーパターン39のライン密度が高電位コイル23のライン密度の $\pm 20\%$ の範囲内に収まることを意味する。
- [0196] ダミーパターン39は、平面視において低電位端子13に対して高電位コイル23に近接する領域に形成されていることが好ましい。平面視においてダミーパターン39が高電位コイル23に近接するとは、ダミーパターン39および高電位コイル23の間の距離が、ダミーパターン39および低電位端子13の間の距離未満であることを意味する。
- [0197] 法線方向Zにおけるダミーパターン39の位置は任意であり、緩和すべき電界強度に応じて調整される。たとえば、ダミーパターン39は、第1絶縁部50内に位置していてもよいし、第2絶縁部7上に位置していてもよい。ダミーパターン39は、法線方向Zに関して低電位コイル20に対して高電位コイル23に近接する領域に形成されていることが好ましい。法線方向Zに関してダミーパターン39が高電位コイル23に近接するとは、法線方向Zに関して、ダミーパターン39および高電位コイル23の間の距離が、ダミーパターン39および低電位コイル20の間の距離未満であることを意味する。
- [0198] この場合、高電位コイル23に対する電界集中を適切に抑制できる。法線方向Zに関して、ダミーパターン39および高電位コイル23の間の距離を小さくするほど、高電位コイル23に対する電界集中を抑制できる。ダミーパターン39は、高電位コイル23と同一の第2絶縁部7上に形成されていることが好ましい。この場合、高電位コイル23に対する電界集中をさらに適切に抑制できる。
- [0199] ダミーパターン39は、平面視において隣り合う複数の高電位コイル23

の間の領域に介在するように複数の高電位コイル 23 の周囲に形成されていることが好ましい。この場合、隣り合う複数の高電位コイル 23 の間の領域を利用して、複数の高電位コイル 23 に対する不所望な電界集中を抑制できる。

[0200] ダミーパターン 39 は、平面視において低電位端子 13 および高電位コイル 23 の間の領域に介在していることが好ましい。この場合、高電位コイル 23 の電界集中に起因する低電位端子 13 および高電位コイル 23 の間の不所望な導通を抑制できる。ダミーパターン 39 は、平面視において低電位端子 13 および高電位端子 14 の間の領域に介在していることが好ましい。この場合、高電位コイル 23 の電界集中に起因する低電位端子 13 および高電位端子 14 の間の不所望な導通を抑制できる。

[0201] ダミーパターン 39 は、この形態では、平面視において複数の高電位コイル 23 に沿って形成され、隣り合う複数の高電位コイル 23 の間の領域に介在している。また、ダミーパターン 39 は、平面視において複数の高電位コイル 23 および複数の高電位端子 14 を含む領域を一括して取り囲んでいる。また、ダミーパターン 39 は、平面視において複数の低電位端子 13 A ~ 13 F および複数の高電位コイル 23 の間の領域に介在している。また、ダミーパターン 39 は、平面視において複数の低電位端子 13 A ~ 13 F および複数の高電位端子 14 A ~ 14 F の間の領域に介在している。

[0202] ダミーパターン 39 は、電気的狀態が異なる複数のダミーパターンを含む。ダミーパターン 39 は、高電位ダミーパターン 86 を含む。高電位ダミーパターン 86 は、平面視においてトランス 15 A ~ 15 D の周囲に位置するように第 2 絶縁部 7 上に形成されている。高電位ダミーパターン 86 は、高電位コイル 23 および低電位コイル 20 とは異なるパターン（不連続なパターン）で形成されており、トランス 15 A ~ 15 D から独立している。つまり、高電位ダミーパターン 86 は、トランス 15 A ~ 15 D としては機能しない。

[0203] 高電位ダミーパターン 86 は、この形態では、平面視において高電位コイ

ル 2 3 の周囲の領域を部分的に被覆し、かつ、部分的に露出させるように密なライン状に引き回されている。高電位ダミーパターン 8 6 は、この形態では、単位面積当たりにおいて高電位コイル 2 3 のライン密度と等しいライン密度で引き回されている。高電位ダミーパターン 8 6 のライン密度が高電位コイル 2 3 のライン密度と等しいとは、高電位ダミーパターン 8 6 のライン密度が高電位コイル 2 3 のライン密度の $\pm 20\%$ の範囲内に収まることを意味する。

[0204] 高電位ダミーパターン 8 6 は、トランス 1 5 A ~ 1 5 D において低電位コイル 2 0 および高電位コイル 2 3 の間の電界を遮蔽し、高電位コイル 2 3 に対する電界集中を抑制する。高電位ダミーパターン 8 6 は、具体的には、低電位コイル 2 0 および高電位コイル 2 3 の間の電界を遮蔽することによって、高電位コイル 2 3 の上側に漏れ出す電界を高電位コイル 2 3 から遠ざける。これにより、高電位コイル 2 3 の上側に漏れ出す電界を起因とする高電位コイル 2 3 の電界集中が、抑制される。

[0205] 高電位ダミーパターン 8 6 には、低電位コイル 2 0 に印加される電圧を超える電圧が印加される。これにより、高電位コイル 2 3 および高電位ダミーパターン 8 6 の間の電圧降下を抑制できるから、高電位コイル 2 3 に対する電界集中を抑制できる。高電位ダミーパターン 8 6 には、高電位コイル 2 3 に印加される電圧が印加されることが好ましい。つまり、高電位ダミーパターン 8 6 は、高電位コイル 2 3 と同電位に固定されていることが好ましい。これにより、高電位コイル 2 3 および高電位ダミーパターン 8 6 の間の電圧降下を確実に抑制できるから、高電位コイル 2 3 に対する電界集中を適切に抑制できる。

[0206] 法線方向 Z における高電位ダミーパターン 8 6 の位置は任意であり、緩和すべき電界強度に応じて調整される。たとえば、高電位ダミーパターン 8 6 は、第 1 絶縁部 5 0 内に位置していてもよいし、第 2 絶縁部 7 上に位置していてもよい。高電位ダミーパターン 8 6 は、法線方向 Z に関して低電位コイル 2 0 に対して高電位コイル 2 3 に近接する領域に形成されていることが好

ましい。法線方向Zに関して高電位ダミーパターン86が高電位コイル23に近接するとは、法線方向Zに関して、高電位ダミーパターン86および高電位コイル23の間の距離が、高電位ダミーパターン86および低電位コイル20の間の距離未満であることを意味する。

[0207] この場合、高電位コイル23に対する電界集中を適切に抑制できる。法線方向Zに関して、高電位ダミーパターン86および高電位コイル23の間の距離を小さくするほど、高電位コイル23に対する電界集中を抑制できる。高電位ダミーパターン86は、高電位コイル23と同一の第2絶縁部7上に形成されていることが好ましい。この場合、高電位コイル23に対する電界集中をさらに適切に抑制できる。

[0208] 高電位ダミーパターン86は、平面視において低電位端子13に対して高電位コイル23に近接する領域に形成されていることが好ましい。平面視において高電位ダミーパターン86が高電位コイル23に近接するとは、高電位ダミーパターン86および高電位コイル23の間の距離が、高電位ダミーパターン86および低電位端子13の間の距離未満であることを意味する。

[0209] 高電位ダミーパターン86は、平面視において隣り合う複数の高電位コイル23の間の領域に介在するように複数の高電位コイル23の周囲に形成されていることが好ましい。この場合、隣り合う複数の高電位コイル23の間の領域を利用して、複数の高電位コイル23に対する不所望な電界集中を抑制できる。

[0210] 高電位ダミーパターン86は、平面視において低電位端子13および高電位コイル23の間の領域に介在していることが好ましい。この場合、高電位コイル23の電界集中に起因する低電位端子13および高電位コイル23の間の不所望な導通を抑制できる。高電位ダミーパターン86は、平面視において低電位端子13および高電位端子14の間の領域に介在していることが好ましい。この場合、高電位コイル23の電界集中に起因する低電位端子13および高電位端子14の間の不所望な導通を抑制できる。

[0211] 高電位ダミーパターン86は、この形態では、平面視において複数の高電

位コイル 2 3 に沿って形成され、隣り合う複数の高電位コイル 2 3 の間の領域に介在している。また、高電位ダミーパターン 8 6 は、平面視において複数の高電位コイル 2 3 および複数の高電位端子 1 4 を含む領域を一括して取り囲んでいる。また、高電位ダミーパターン 8 6 は、平面視において複数の低電位端子 1 3 A ~ 1 3 F および複数の高電位コイル 2 3 の間の領域に介在している。また、高電位ダミーパターン 8 6 は、平面視において複数の低電位端子 1 3 A ~ 1 3 F および複数の高電位端子 1 4 A ~ 1 4 F の間の領域に介在している。

[0212] 高電位ダミーパターン 8 6 は、平面視において隣り合う複数の高電位コイル 2 3 の間の領域において、高電位端子 1 4 E、1 4 F を露出させるように、高電位端子 1 4 E、1 4 F の周囲に引き回されている。

[0213] 高電位ダミーパターン 8 6 は、有端状に形成されていることが好ましい。この場合、電流のループ回路（閉回路）が高電位ダミーパターン 8 6 に形成されることを抑制できる。これにより、高電位ダミーパターン 8 6 を流れる電流に起因するノイズが抑制される。その結果、ノイズに起因する不所望な電界集中を抑制できると同時に、トランス 1 5 A ~ 1 5 D の電気的特性の変動を抑制できる。

[0214] 高電位ダミーパターン 8 6 は、具体的には、第 1 高電位ダミーパターン 8 7 および第 2 高電位ダミーパターン 8 8 を含む。第 1 高電位ダミーパターン 8 7 は、平面視において隣り合う複数のトランス 1 5 A ~ 1 5 D（複数の高電位コイル 2 3）の間の領域に形成されている。第 2 高電位ダミーパターン 8 8 は、平面視において隣り合う複数のトランス 1 5 A ~ 1 5 D（複数の高電位コイル 2 3）の間の領域外の領域に形成されている。

[0215] 以下では、隣り合う第 1 トランス 1 5 A（高電位コイル 2 3）および第 2 トランス 1 5 B（高電位コイル 2 3）の間の領域が、第 1 領域 8 9 と称される（図 2 2 参照）。また、第 2 トランス 1 5 B（高電位コイル 2 3）および第 3 トランス 1 5 C（高電位コイル 2 3）の間の領域が、第 2 領域 9 0 と称される（図 2 3 参照）。また、第 3 トランス 1 5 C（高電位コイル 2 3）お

よび第4トランス15D（高電位コイル23）の間の領域が、第3領域91と称される（図24参照）。

[0216] 第1高電位ダミーパターン87は、この形態では、第2高電位配線34（第5高電位端子14E）に電氣的に接続されている。第1高電位ダミーパターン87は、具体的には、第2高電位配線34に接続された第1接続部92を含む。第1接続部92の位置は任意である。これにより、第1高電位ダミーパターン87は、複数の高電位コイル23と同電位に固定される。

[0217] 第1高電位ダミーパターン87は、具体的には、第1領域89に形成された第1パターン93、第2領域90に形成された第2パターン94、および、第3領域91に形成された第3パターン95を含む。これにより、第1高電位ダミーパターン87は、第1領域89、第2領域90および第3領域91において、高電位コイル23の上側に漏れ出す電界を抑制し、隣り合う複数の高電位コイル23に対する電界集中を抑制する。

[0218] 第1パターン93、第2パターン94および第3パターン95は、この形態では、一体的に形成され、同電位に固定されている。第1パターン93、第2パターン94および第3パターン95は、同電位に固定されているのであれば分離されていてもよい。

[0219] 図19および図22を参照して、第1パターン93は、第1接続部92を介して第2高電位配線34に接続されている。第1パターン93は、平面視において第1領域89の一部の領域を覆い隠すように密なライン状に引き回されている。第1パターン93は、平面視において高電位端子14（第5高電位端子14E）から間隔を空けて第1領域89に形成されている。また、第1パターン93は、平面視において低電位接続配線36から間隔を空けて形成され、法線方向Zに低電位接続配線36に対向していない。これにより、第1パターン93および低電位接続配線36の間の絶縁距離が増加し、第1絶縁部50の絶縁耐圧が高められている。

[0220] 第1パターン93は、第1外周ライン96、第2外周ライン97および複数の第1中間ライン98を含む。第1外周ライン96は、第1トランス15

Aの高電位コイル23の周囲に沿って帯状に延びている。第1外周ライン96は、この形態では、平面視において第1領域89に開放端を有するリング形状に形成されている。第1外周ライン96の開放端の幅は、高電位コイル23の第2方向Yに沿う幅未満である。

[0221] 第1外周ライン96の幅は、 $0.1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第1外周ライン96の幅は、 $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であることが好ましい。第1外周ライン96の幅は、第1外周ライン96が延びる方向に直交する方向の幅によって定義される。第1外周ライン96の幅は、高電位コイル23の幅と等しいことが好ましい。第1外周ライン96の幅が高電位コイル23の幅と等しいとは、第1外周ライン96の幅が高電位コイル23の幅の $\pm 20\%$ 以内の範囲に収まることを意味する。

[0222] 第1外周ライン96および高電位コイル23（第1トランス15A）の間の第1ピッチは、 $0.1\mu\text{m}$ 以上 $20\mu\text{m}$ 以下であってもよい。第1ピッチは、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることが好ましい。第1ピッチは、高電位コイル23の第2巻回ピッチと等しいことが好ましい。第1ピッチが第1巻回ピッチと等しいとは、第1ピッチが第1巻回ピッチの $\pm 20\%$ 以内の範囲に収まることを意味する。

[0223] 第2外周ライン97は、第2トランス15Bの高電位コイル23の周囲に沿って帯状に延びている。第2外周ライン97は、この形態では、平面視において第1領域89に開放端を有するリング形状に形成されている。第2外周ライン97の開放端の幅は、高電位コイル23の第2方向Yに沿う幅未満である。第2外周ライン97の開放端は、第1方向Xに沿って第1外周ライン96の開放端と対向している。

[0224] 第2外周ライン97の幅は、 $0.1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第2外周ライン97の幅は、 $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であることが好ましい。第2外周ライン97の幅は、第2外周ライン97が延びる方向に直交する方向の幅によって定義される。第2外周ライン97の幅は、高電位コイル23の幅と等しいことが好ましい。第2外周ライン97の幅が高電位コイル2

3の幅と等しいとは、第2外周ライン97の幅が高電位コイル23の幅の±20%以内の範囲に収まることを意味する。

[0225] 第2外周ライン97および高電位コイル23（第2トランス15B）の間の第2ピッチは、 $0.1\mu\text{m}$ 以上 $20\mu\text{m}$ 以下であってもよい。第2ピッチは、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることが好ましい。第2ピッチは、高電位コイル23の第2巻回ピッチと等しいことが好ましい。第2ピッチが第2巻回ピッチと等しいとは、第2ピッチが第2巻回ピッチの±20%以内の範囲に収まることを意味する。

[0226] 複数の第1中間ライン98は、第1領域89において第1外周ライン96および第2外周ライン97の間の領域を帯状に延びている。複数の第1中間ライン98は、第1外周ライン96および第2外周ライン97を電氣的に接続する少なくとも1つ（この形態では1つ）の第1接続ライン99を含む。

[0227] 電流のループ回路の形成を防止する観点から、複数の第1中間ライン98は、第1接続ライン99を1つだけ含むことが好ましい。第1接続ライン99の位置は任意である。複数の第1中間ライン98のうちの少なくとも1つには、電流のループ回路を遮断するスリット140が形成されている。スリット140の位置は、複数の第1中間ライン98のデザインによって適宜調整される。

[0228] 複数の第1中間ライン98は、複数の高電位コイル23の対向方向に沿って延びる帯状に形成されていることが好ましい。複数の第1中間ライン98は、この形態では、第1方向Xに延びる帯状にそれぞれ形成され、第2方向Yに間隔を空けて形成されている。複数の第1中間ライン98は、平面視において全体として第1方向Xに延びるストライプ状に形成されている。

[0229] 複数の第1中間ライン98は、具体的には、複数の第1引き出し部141および複数の第2引き出し部142を含む。複数の第1引き出し部141は、第1外周ライン96から第2外周ライン97に向けてストライプ状に引き出されている。複数の第1引き出し部141の先端部は、第1外周ライン96から第2外周ライン97側に間隔を空けて形成されている。

[0230] 複数の第2引き出し部142は、第2外周ライン97から第1外周ライン96に向けてストライプ状に引き出されている。複数の第2引き出し部142の先端部は、第2外周ライン97から第1外周ライン96側に間隔を空けて形成されている。複数の第2引き出し部142は、この形態では、1つの第1引き出し部141を挟み込む態様で、第2方向Yに複数の第1引き出し部141と交互に間隔を空けて形成されている。

[0231] 複数の第2引き出し部142は、複数の第1引き出し部141を挟み込んでいてもよい。また、複数の第2引き出し部142を含む群が、複数の第1引き出し部141を含む群と隣り合うように形成されていてもよい。スリット140、複数の第1引き出し部141および複数の第2引き出し部142は、第1パターン93における電流のループ回路の形成を抑制する。

[0232] 第2方向Yに関して第1中間ライン98の幅は、 $0.1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第1中間ライン98の幅は、 $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であることが好ましい。第1中間ライン98の幅は、高電位コイル23の幅と等しいことが好ましい。第1中間ライン98の幅が高電位コイル23の幅と等しいとは、第1中間ライン98の幅が高電位コイル23の幅の $\pm 20\%$ 以内の範囲に収まることを意味する。

[0233] 隣り合う2つの第1中間ライン98の第3ピッチは、 $0.1\mu\text{m}$ 以上 $20\mu\text{m}$ 以下であってもよい。第3ピッチは、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることが好ましい。第3ピッチは、第2方向Yに関して、隣り合う複数の第1中間ライン98の間の距離によって定義される。第3ピッチは、互いに等しいことが好ましい。第3ピッチが互いに等しいとは、第3ピッチが当該第3ピッチの $\pm 20\%$ 以内の範囲に収まることを意味する。第3ピッチは、高電位コイル23の第2巻回ピッチと等しいことが好ましい。第3ピッチが第2巻回ピッチと等しいとは、第3ピッチが第2巻回ピッチの $\pm 20\%$ 以内の範囲に収まることを意味する。

[0234] 図19および図23を参照して、第2パターン94は、第2高電位配線34（高電位端子14）に電氣的に接続されている。第2パターン94は、こ

の形態では、第1パターン93の第2外周ライン97を介して第2高電位配線34（第5高電位端子14E）に電氣的に接続されている。第2パターン94は、第2領域90を覆い隠すように密なライン状に引き回されている。

[0235] 第2パターン94は、前述の第2外周ライン97、第3外周ライン143および複数の第2中間ライン144を含む。第3外周ライン143は、第3トランス15Cの高電位コイル23の周囲に沿って帯状に延びている。第3外周ライン143は、この形態では、平面視において第3領域91に開放端を有するリング形状に形成されている（図24参照）。第3外周ライン143の開放端の幅は、第3トランス15Cの高電位コイル23の第2方向Yに沿う幅未満である。

[0236] 第3外周ライン143の幅は、 $0.1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第3外周ライン143の幅は、 $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であることが好ましい。第3外周ライン143の幅は、第3外周ライン143が延びる方向に直交する方向の幅によって定義される。第3外周ライン143の幅は、高電位コイル23の幅と等しいことが好ましい。第3外周ライン143の幅が高電位コイル23の幅と等しいとは、第3外周ライン143の幅が高電位コイル23の幅の $\pm 20\%$ 以内の範囲に収まることを意味する。

[0237] 第3外周ライン143および高電位コイル23（第3トランス15C）の間の第4ピッチは、 $0.1\mu\text{m}$ 以上 $20\mu\text{m}$ 以下であってもよい。第4ピッチは、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることが好ましい。第4ピッチは、高電位コイル23の第2巻回ピッチと等しいことが好ましい。第4ピッチが第2巻回ピッチと等しいとは、第4ピッチが第2巻回ピッチの $\pm 20\%$ 以内の範囲に収まることを意味する。

[0238] 複数の第2中間ライン144は、第2領域90において第2外周ライン97および第3外周ライン143の間の領域を帯状に延びている。複数の第2中間ライン144は、第2外周ライン97および第3外周ライン143を電氣的に接続する少なくとも1つ（この形態では1つ）の第2接続ライン145を含む。

- [0239] 電流のループ回路の形成を防止する観点から、複数の第2中間ライン144は、第2接続ライン145を1つだけ含むことが好ましい。第2接続ライン145は、他の第2中間ライン144の幅を超える幅を有していてもよい。第2接続ライン145の位置は任意である。複数の第2中間ライン144のうちの少なくとも1つには、電流のループ回路を遮断するスリット146が形成されている。スリット146の位置は、複数の第2中間ライン144のデザインによって適宜調整される。
- [0240] 複数の第2中間ライン144は、複数の高電位コイル23の対向方向に沿って延びる帯状に形成されていることが好ましい。複数の第2中間ライン144は、この形態では、第1方向Xに延びる帯状にそれぞれ形成され、第2方向Yに間隔を空けて形成されている。複数の第2中間ライン144は、平面視において全体として第1方向Xに延びるストライプ状に形成されている。
- [0241] 複数の第2中間ライン144は、具体的には、複数の第3引き出し部147および複数の第4引き出し部148を含む。複数の第3引き出し部147は、第2外周ライン97から第3外周ライン143に向けてストライプ状に引き出されている。複数の第3引き出し部147の先端部は、第3外周ライン143から第2外周ライン97側に間隔を空けて形成されている。
- [0242] 複数の第4引き出し部148は、第3外周ライン143から第2外周ライン97に向けてストライプ状に引き出されている。複数の第4引き出し部148の先端部は、第2外周ライン97から第3外周ライン143側に間隔を空けて形成されている。複数の第4引き出し部148は、この形態では、1つの第3引き出し部147を挟み込む態様で、第2方向Yに複数の第3引き出し部147と交互に間隔を空けて形成されている。
- [0243] 複数の第4引き出し部148は、複数の第3引き出し部147を挟み込んでいてもよい。また、複数の第4引き出し部148を含む群が、複数の第3引き出し部147を含む群と隣り合うように形成されていてもよい。スリット146、複数の第3引き出し部147および複数の第4引き出し部148

は、第2パターン94における電流のループ回路の形成を抑制する。

[0244] 第2方向Yに関して第2中間ライン144の幅は、 $0.1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であってもよい。第2中間ライン144の幅は、 $1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であることが好ましい。第2中間ライン144の幅は、高電位コイル23の幅と等しいことが好ましい。第2中間ライン144の幅が高電位コイル23の幅と等しいとは、第2中間ライン144の幅が高電位コイル23の幅の $\pm 20\%$ 以内の範囲に収まることを意味する。

[0245] 隣り合う2つの第2中間ライン144の第5ピッチは、 $0.1\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下であってもよい。第5ピッチは、 $1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であることが好ましい。第5ピッチは、第2方向Yに関して、隣り合う複数の第2中間ライン144の間の距離によって定義される。第5ピッチは、互いに等しいことが好ましい。第5ピッチが互いに等しいとは、第5ピッチが当該第5ピッチの $\pm 20\%$ 以内の範囲に収まることを意味する。第5ピッチは、高電位コイル23の第2巻回ピッチと等しいことが好ましい。第5ピッチが第2巻回ピッチと等しいとは、第5ピッチが第2巻回ピッチの $\pm 20\%$ 以内の範囲に収まることを意味する。

[0246] 図19および図24を参照して、第3パターン95は、第2高電位配線34に電氣的に接続されている。第3パターン95は、この形態では、第2パターン94および第1パターン93を介して第2高電位配線34に電氣的に接続されている。第3パターン95は、第3領域91の一部の領域を覆い隠すように密なライン状に引き回されている。第3パターン95は、平面視において高電位端子14（第6高電位端子14F）から間隔を空けて第3領域91に形成され、法線方向Zに高電位端子14に対向していない。

[0247] 第3パターン95は、平面視において低電位接続配線36から間隔を空けて形成され、法線方向Zに低電位接続配線36に対向していない。これにより、法線方向Zに関して、第3パターン95および低電位接続配線36の間の絶縁距離が増加し、第1絶縁部50の絶縁耐圧が高められている。

[0248] 第3パターン95は、前述の第3外周ライン143、第4外周ライン14

9 および複数の第3中間ライン150を含む。第4外周ライン149は、第4トランス15Dの高電位コイル23の周囲に沿って帯状に延びている。第4外周ライン149は、この形態では、平面視において第3領域91に開放端を有するリング形状に形成されている。第4外周ライン149の開放端の幅は、第4トランス15Dの高電位コイル23の第2方向Yに沿う幅未満である。第4外周ライン149の開放端は、第1方向Xに沿って第3外周ライン143の開放端と対向している。

[0249] 第4外周ライン149の幅は、 $0.1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第4外周ライン149の幅は、 $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であることが好ましい。第4外周ライン149の幅は、第4外周ライン149が延びる方向に直交する方向の幅によって定義される。第4外周ライン149の幅は、高電位コイル23の幅と等しいことが好ましい。第4外周ライン149の幅が高電位コイル23の幅と等しいとは、第4外周ライン149の幅が高電位コイル23の幅の $\pm 20\%$ 以内の範囲に収まることを意味する。

[0250] 第4外周ライン149および高電位コイル23（第4トランス15D）の間の第6ピッチは、 $0.1\mu\text{m}$ 以上 $20\mu\text{m}$ 以下であってもよい。第6ピッチは、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることが好ましい。第6ピッチは、高電位コイル23の第2巻回ピッチと等しいことを意味する。第6ピッチが第2巻回ピッチと等しいとは、第6ピッチが第2巻回ピッチの $\pm 20\%$ 以内の範囲に収まることを意味する。

[0251] 複数の第3中間ライン150は、第3領域91において第3外周ライン143および第4外周ライン149の間の領域を帯状に延びている。複数の第3中間ライン150は、第3外周ライン143および第4外周ライン149を電氣的に接続する少なくとも1つ（この形態では1つ）の第3接続ライン151を含む。

[0252] 電流のループ回路の形成を防止する観点から、複数の第3中間ライン150は、第3接続ライン151を1つだけ含むことが好ましい。第3接続ライン151の位置は任意である。複数の第3中間ライン150のうちの少なく

とも1つには、電流のループ回路を遮断するスリット152が形成されている。スリット152の位置は、複数の第3中間ライン150のデザインによって適宜調整される。

[0253] 複数の第3中間ライン150は、複数の高電位コイル23の対向方向に沿って延びる帯状に形成されていることが好ましい。複数の第3中間ライン150は、この形態では、第1方向Xに延びる帯状にそれぞれ形成され、第2方向Yに間隔を空けて形成されている。複数の第3中間ライン150は、平面視において全体としてストライプ状に形成されている。

[0254] 複数の第3中間ライン150は、この形態では、複数の第5引き出し部153および複数の第6引き出し部154を含む。複数の第5引き出し部153は、第3外周ライン143から第4外周ライン149に向けてストライプ状に引き出されている。複数の第5引き出し部153の先端部は、第4外周ライン149から第3外周ライン143側に間隔を空けて形成されている。

[0255] 複数の第6引き出し部154は、第4外周ライン149から第3外周ライン143に向けてストライプ状に引き出されている。複数の第6引き出し部154の先端部は、第3外周ライン143から第4外周ライン149側に間隔を空けて形成されている。複数の第6引き出し部154は、この形態では、1つの第5引き出し部153を挟み込む態様で、第2方向Yに複数の第5引き出し部153と交互に間隔を空けて形成されている。

[0256] 複数の第6引き出し部154は、複数の第5引き出し部153を挟み込んでいてもよい。また、複数の第6引き出し部154を含む群が、複数の第5引き出し部153を含む群と隣り合うように形成されていてもよい。スリット152、複数の第5引き出し部153および複数の第6引き出し部154は、第3パターン95における電流のループ回路の形成を抑制する。

[0257] 第2方向Yに関して第3中間ライン150の幅は、0.1 μm 以上10 μm 以下であってもよい。第3中間ライン150の幅は、1 μm 以上5 μm 以下であることが好ましい。第3中間ライン150の幅は、高電位コイル23の幅と等しいことが好ましい。第3中間ライン150の幅が高電位コイル2

3の幅と等しいとは、第3中間ライン150の幅が高電位コイル23の幅の±20%以内の範囲に収まることを意味する。

[0258] 隣り合う2つの第3中間ライン150の第7ピッチは、 $0.1\mu\text{m}$ 以上 $20\mu\text{m}$ 以下であってもよい。第7ピッチは、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることが好ましい。第7ピッチは、第2方向Yに関して、隣り合う複数の第3中間ライン150の間の距離によって定義される。第7ピッチは、互いに等しいことが好ましい。第7ピッチが互いに等しいとは、第7ピッチが当該第7ピッチの±20%以内の範囲に収まることを意味する。第7ピッチは、高電位コイル23の第2巻回ピッチと等しいことが好ましい。第7ピッチが第2巻回ピッチと等しいとは、第7ピッチが第2巻回ピッチの±20%以内の範囲に収まることを意味する。

[0259] 図19、図20および図22～図24を参照して、第2高電位ダミーパターン88は、この形態では、第1高電位ダミーパターン87を介して高電位端子14に電氣的に接続されている。第2高電位ダミーパターン88は、具体的には、第1高電位ダミーパターン87に接続された第2接続部155を含む(図22参照)。第2接続部155の位置は任意である。これにより、第2高電位ダミーパターン88は、複数の高電位コイル23と同電位に固定されている。

[0260] 第2高電位ダミーパターン88は、第1領域89、第2領域90および第3領域91外の領域において、高電位コイル23の上側に漏れ出す電界を抑制し、複数の高電位コイル23に対する電界集中を抑制する。第2高電位ダミーパターン88は、この形態では、平面視において複数の高電位コイル23および複数の高電位端子14A～14Fを含む領域を一括して取り囲んでいる。第2高電位ダミーパターン88は、この形態では、平面視において長円環状(楕円環状)に形成されている。

[0261] これにより、第2高電位ダミーパターン88は、平面視において複数の低電位端子13A～13Fおよび複数の高電位コイル23の間の領域に介在している。また、第2高電位ダミーパターン88は、平面視において複数の低

電位端子 1 3 A ~ 1 3 F および複数の高電位端子 1 4 A ~ 1 4 F の間の領域に介在している。

[0262] 第 2 高電位ダミーパターン 8 8 は、複数（この形態では 6 個）の高電位ライン 1 5 6 A、1 5 6 B、1 5 6 C、1 5 6 D、1 5 6 E、1 5 6 F を含む。高電位ラインの個数は、緩和すべき電界に応じて調整される。複数の高電位ライン 1 5 6 A ~ 1 5 6 F は、複数の高電位コイル 2 3 から離れる方向にこの順に間隔を空けて形成されている。

[0263] 複数の高電位ライン 1 5 6 A ~ 1 5 6 F は、平面視において複数の高電位コイル 2 3 を一括して取り囲んでいる。複数の高電位ライン 1 5 6 A ~ 1 5 6 F は、具体的には、平面視において複数の高電位コイル 2 3 および複数の高電位端子 1 4 A ~ 1 4 F を含む領域を一括して取り囲んでいる。複数の高電位ライン 1 5 6 A ~ 1 5 6 F は、この形態では、平面視において長円環状（楕円環状）に形成されている。

[0264] 複数の高電位ライン 1 5 6 A ~ 1 5 6 F は、図 2 2 に示すように、電流のループ回路を遮断するスリット 1 5 7 をそれぞれ含む。スリット 1 5 7 の位置は、複数の高電位ライン 1 5 6 A ~ 1 5 6 F のデザインによって適宜調整される。

[0265] 高電位ライン 1 5 6 A ~ 1 5 6 F の幅は、0.1 μm 以上 10 μm 以下であってもよい。高電位ライン 1 5 6 A ~ 1 5 6 F の幅は、1 μm 以上 5 μm 以下であることが好ましい。高電位ライン 1 5 6 A ~ 1 5 6 F の幅は、高電位ライン 1 5 6 A ~ 1 5 6 F が延びる方向に直交する方向の幅によって定義される。高電位ライン 1 5 6 A ~ 1 5 6 F の幅は、高電位コイル 2 3 の幅と等しいことが好ましい。高電位ライン 1 5 6 A ~ 1 5 6 F の幅が高電位コイル 2 3 の幅と等しいとは、高電位ライン 1 5 6 A ~ 1 5 6 F の幅が高電位コイル 2 3 の幅の $\pm 20\%$ 以内の範囲に収まることを意味する。

[0266] 隣り合う 2 つの高電位ライン 1 5 6 A ~ 1 5 6 F の第 8 ピッチは、0.1 μm 以上 20 μm 以下であってもよい。第 8 ピッチは、1 μm 以上 10 μm 以下であることが好ましい。第 8 ピッチは、互いに等しいことが好ましい。

第8ピッチが互いに等しいとは、第8ピッチが当該第8ピッチの $\pm 20\%$ 以内の範囲に収まることを意味する。

[0267] 隣り合う第1高電位ダミーパターン87および第2高電位ダミーパターン88の間の第9ピッチは、 $0.1\mu\text{m}$ 以上 $20\mu\text{m}$ 以下であってもよい。第9ピッチは、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることが好ましい。第9ピッチは、高電位コイル23の第2巻回ピッチと等しいことが好ましい。第9ピッチが第2巻回ピッチと等しいとは、第9ピッチが第2巻回ピッチの $\pm 20\%$ 以内の範囲に収まることを意味する。複数の高電位ライン156A~156Fの個数、幅、ピッチ等は任意であり、緩和すべき電界に応じて調整される。

[0268] 図19、図20および図22~図24を参照して、ダミーパターン39は、平面視においてトランス15A~15Dの周囲に位置するように、電氣的に浮遊状態に形成された浮遊ダミーパターン161を含む。浮遊ダミーパターン161は、高電位コイル23および低電位コイル20とは異なるパターン（不連続なパターン）で形成されており、トランス15A~15Dから独立している。つまり、浮遊ダミーパターン161は、トランス15A~15Dとしては機能しない。

[0269] 浮遊ダミーパターン161は、この形態では、平面視において高電位コイル23の周囲の領域を部分的に被覆し、かつ、部分的に露出させるように密なライン状に引き回されている。浮遊ダミーパターン161は、有端状に形成されていてもよいし、無端状に形成されていてもよい。

[0270] 浮遊ダミーパターン161は、単位面積当たりにおいて高電位コイル23のライン密度と等しいライン密度で引き回されている。浮遊ダミーパターン161のライン密度が高電位コイル23のライン密度と等しいとは、浮遊ダミーパターン161のライン密度が高電位コイル23のライン密度の $\pm 20\%$ の範囲内に収まることを意味する。

[0271] また、浮遊ダミーパターン161は、単位面積当たりにおいて高電位ダミーパターン86のライン密度と等しいライン密度で引き回されている。浮遊ダミーパターン161のライン密度が高電位ダミーパターン86のライン密

度と等しいとは、浮遊ダミーパターン１６１のライン密度が高電位ダミーパターン８６のライン密度の±２０％の範囲内に収まることを意味する。

[0272] 浮遊ダミーパターン１６１は、トランス１５Ａ～１５Ｄにおいて低電位コイル２０および高電位コイル２３の間の電界を遮蔽し、高電位コイル２３に対する電界集中を抑制する。浮遊ダミーパターン１６１は、具体的には、高電位コイル２３の上側に漏れ出す電界を高電位コイル２３から離れる方向に分散させる。これにより、高電位コイル２３に対する電界集中を抑制できる。

[0273] また、浮遊ダミーパターン１６１は、高電位ダミーパターン８６の周囲において高電位ダミーパターン８６の上側に漏れ出す電界を高電位コイル２３および高電位ダミーパターン８６から離れる方向に分散させる。これにより、高電位ダミーパターン８６に対する電界集中を抑制できると同時に、高電位コイル２３に対する電界集中を適切に抑制できる。

[0274] 法線方向Ｚにおける浮遊ダミーパターン１６１の位置は任意であり、緩和すべき電界強度に応じて調整される。たとえば、浮遊ダミーパターン１６１は、第１絶縁部５０内に位置していてもよいし、第２絶縁部７上に位置していてもよい。浮遊ダミーパターン１６１は、法線方向Ｚに関して低電位コイル２０に対して高電位コイル２３に近接する領域に形成されていることが好ましい。法線方向Ｚに関して浮遊ダミーパターン１６１が高電位コイル２３に近接するとは、法線方向Ｚに関して、浮遊ダミーパターン１６１および高電位コイル２３の間の距離が、浮遊ダミーパターン１６１および低電位コイル２０の間の距離未満であることを意味する。

[0275] この場合、高電位コイル２３に対する電界集中を適切に抑制できる。法線方向Ｚに関して、浮遊ダミーパターン１６１および高電位コイル２３の間の距離を小さくするほど、高電位コイル２３に対する電界集中を抑制できる。浮遊ダミーパターン１６１は、高電位コイル２３と同一の第２絶縁部７上に形成されていることが好ましい。この場合、高電位コイル２３に対する電界集中をさらに適切に抑制できる。

- [0276] 浮遊ダミーパターン161は、平面視において低電位端子13および高電位コイル23の間の領域に介在していることが好ましい。この場合、高電位コイル23の電界集中に起因する低電位端子13および高電位コイル23の間の不所望な導通を抑制できる。浮遊ダミーパターン161は、平面視において低電位端子13および高電位端子14の間の領域に介在していることが好ましい。この場合、高電位コイル23の電界集中に起因する低電位端子13および高電位端子14の間の不所望な導通を抑制できる。
- [0277] 浮遊ダミーパターン161は、この形態では、平面視において複数の高電位コイル23に沿って形成されている。浮遊ダミーパターン161は、具体的には、平面視において複数の高電位コイル23および複数の高電位端子14を含む領域を一括して取り囲んでいる。浮遊ダミーパターン161は、この形態では、平面視において高電位ダミーパターン86（第2高電位ダミーパターン88）を挟んで複数の高電位コイル23および複数の高電位端子14を含む領域を一括して取り囲んでいる。
- [0278] これにより、浮遊ダミーパターン161は、平面視において複数の低電位端子13A～13Fおよび複数の高電位コイル23の間の領域に介在している。また、浮遊ダミーパターン161は、平面視において複数の低電位端子13A～13Fおよび複数の高電位端子14A～14Fの間の領域に介在している。
- [0279] 浮遊ラインの個数は任意であり、緩和すべき電界に応じて調整される。浮遊ダミーパターン161は、この形態では、複数（この形態では6個）の浮遊ライン162A、162B、162C、162D、162E、162Fを含む。複数の浮遊ライン162A～162Fは、複数の高電位コイル23から離れる方向にこの順に間隔を空けて形成されている。
- [0280] 複数の浮遊ライン162A～162Fは、平面視において複数の高電位コイル23を一括して取り囲んでいる。複数の浮遊ライン162A～162Fは、具体的には、平面視において高電位ダミーパターン86を挟んで複数の高電位コイル23および複数の高電位端子14A～14Fを含む領域を一括

して取り囲んでいる。複数の浮遊ライン162A～162Fは、この形態では、平面視において長円環状（楕円環状）に形成されている。

[0281] 浮遊ライン162A～162Fの幅は、0.1 μm 以上10 μm 以下であってもよい。浮遊ライン162A～162Fの幅は、1 μm 以上5 μm 以下であることが好ましい。浮遊ライン162A～162Fの幅は、浮遊ライン162A～162Fが延びる方向に直交する方向の幅によって定義される。

[0282] 隣り合う2つの浮遊ライン162A～162Fの間の第10ピッチは、0.1 μm 以上20 μm 以下であってもよい。第10ピッチは、1 μm 以上10 μm 以下であることが好ましい。浮遊ライン162A～162Fの幅は、高電位コイル23の幅と等しいことが好ましい。浮遊ライン162A～162Fの幅が高電位コイル23の幅と等しいとは、浮遊ライン162A～162Fの幅が高電位コイル23の幅の $\pm 20\%$ 以内の範囲に収まることを意味する。

[0283] 浮遊ダミーパターン161および高電位ダミーパターン86（第2高電位ダミーパターン88）の間の第11ピッチは、0.1 μm 以上20 μm 以下であってもよい。第11ピッチは、1 μm 以上10 μm 以下であることが好ましい。第11ピッチは、互いに等しいことが好ましい。第11ピッチが互いに等しいとは、第11ピッチが当該第11ピッチの $\pm 20\%$ 以内の範囲に収まることを意味する。

[0284] 第11ピッチは、高電位コイル23の第2巻回ピッチと等しいことが好ましい。浮遊ライン162A～162Fの間の第11ピッチが第2巻回ピッチと等しいとは、第11ピッチが第2巻回ピッチの $\pm 20\%$ 以内の範囲に収まることを意味する。図22～図24では、明瞭化のため、第11ピッチが第2巻回ピッチを超えている例が示されている。

[0285] 浮遊ダミーパターン161および高電位ダミーパターン86の間の第12ピッチは、第2巻回ピッチと等しいことが好ましい。第12ピッチが第2巻回ピッチと等しいとは、第12ピッチが第2巻回ピッチの $\pm 20\%$ 以内の範囲に収まることを意味する。複数の浮遊ライン162A～162Fの個数、

幅、ピッチ等は、緩和すべき電界に応じて調整されるものであり、特定の値に限定されない。

[0286] なお、図示はしないが、ダミーパターン39は、高電位ダミーパターン86および浮遊ダミーパターン161の他、高電位コイル23に印加される電圧未満の電圧（たとえば、低電位コイル20に印加される電圧）が印加される低電位ダミーパターン、グラウンド電位に固定されたグラウンド電位ダミーパターンを含んでいてもよい。たとえば、高電位ダミーパターン86および浮遊ダミーパターン161が、それぞれ、低電位ダミーパターンおよびグラウンド電位ダミーパターンに置き換えられてもよい。

[0287] 図20を参照して、半導体装置A1は、デバイス領域17において半導体チップ40の第1主面401に形成された第2機能デバイス60を含む。第2機能デバイス60は、半導体チップ40の第1主面401の表層部、および／または、半導体チップ40の第1主面401の上の領域を利用して形成され、第1絶縁部50（最下絶縁層55）によって被覆されている。図20では、第2機能デバイス60が第1主面401の表層部に示された破線によって簡略化して示されている。

[0288] 第2機能デバイス60は、低電位配線を介して低電位端子13に電氣的に接続され、高電位配線を介して高電位端子14に電氣的に接続されている。第2機能デバイス60は、受動デバイス、半導体整流デバイスおよび半導体スイッチングデバイスのうちの少なくとも1つを含んでいてもよい。受動デバイスは、第2機能デバイス60は、受動デバイス、半導体整流デバイスおよび半導体スイッチングデバイスのうちの任意の2種以上のデバイスが選択的に組み合わされた回路網を含んでいてもよい。回路網は、集積回路の一部または全部を形成していてもよい。

[0289] 受動デバイスは、半導体受動デバイスを含んでいてもよい。受動デバイスは、抵抗およびコンデンサのいずれか一方または双方を含んでいてもよい。半導体整流デバイスは、pn接合ダイオード、PINダイオード、ツェナーダイオード、ショットキーバリアダイオードおよびファーストリカバリーダ

イオードのうちの少なくとも1つを含んでいてもよい。半導体スイッチングデバイスは、BJT (Bipolar Junction Transistor)、MISFET (Metal Insulator Field Effect Transistor)、IGBT (Insulated Gate Bipolar Junction Transistor) およびJFET (Junction Field Effect Transistor) のうちの少なくとも1つを含んでいてもよい。

[0290] 図20を参照して、半導体装置A1は、第1絶縁部50内に埋設されたシール導体16をさらに含む。シール導体16は、平面視において絶縁側壁53A～53Dから間隔を空けて第1絶縁部50内に壁状に埋設され、第1絶縁部50をデバイス領域17および外側領域18に区画している。シール導体16は、外側領域18からデバイス領域17への水分の進入やクラックの進入を抑制する。

[0291] デバイス領域17は、第1機能デバイス45（複数のトランス15）、第2機能デバイス60、複数の低電位端子13、複数の高電位端子14、第1低電位配線30、第2低電位配線35、第1高電位配線33、第2高電位配線34およびダミーパターン39を含む領域である。外側領域18は、デバイス領域17外の領域である。

[0292] シール導体16は、デバイス領域17から電氣的に切り離されている。シール導体16は、具体的には、第1機能デバイス45（複数のトランス15）、第2機能デバイス60、複数の低電位端子13、複数の高電位端子14、第1低電位配線30、第2低電位配線35、第1高電位配線33、第2高電位配線34およびダミーパターン39から電氣的に切り離されている。シール導体16は、さらに具体的には、電氣的に浮遊状態に固定されている。シール導体16は、デバイス領域17に繋がる電流経路を形成しない。

[0293] シール導体16は、平面視において絶縁側壁53～53Dに沿う帯状に形成されている。シール導体16は、この形態では、平面視において四角環状（具体的には長方形環状）に形成されている。これにより、シール導体16は、平面視において四角形状（具体的には長方形形状）のデバイス領域17を区画している。また、シール導体16は、平面視においてデバイス領域17

を取り囲む四角環状（具体的には長方形環状）の外側領域 18 を区画している。

[0294] シール導体 16 は、具体的には、絶縁主面 54 側の上端部、半導体チップ 40 側の下端部、ならびに、上端部および下端部の間を壁状に延びる壁部を有している。シール導体 16 の上端部は、この形態では、絶縁主面 54 から半導体チップ 40 側に間隔を空けて形成され、第 1 絶縁部 50 内に位置している。シール導体 16 の上端部は、この形態では、最上絶縁層 56 によって被覆されている。シール導体 16 の上端部は、1 つまたは複数の層間絶縁層 57 によって被覆されていてもよい。シール導体 16 の上端部は、最上絶縁層 56 から露出しているてもよい。シール導体 16 の下端部は、半導体チップ 40 から上端部側に間隔を空けて形成されている。

[0295] このように、シール導体 16 は、この形態では、複数の低電位端子 13 および複数の高電位端子 14 に対して半導体チップ 40 側に位置するように第 1 絶縁部 50 内に埋設されている。また、シール導体 16 は、第 1 絶縁部 50 内において第 1 機能デバイス 45（複数のトランス 15）、第 1 低電位配線 30、第 2 低電位配線 35、第 1 高電位配線 33、第 2 高電位配線 34 およびダミーパターン 39 に絶縁主面 54 に平行な方向に対向している。シール導体 16 は、第 1 絶縁部 50 内において、第 2 機能デバイス 60 の一部に絶縁主面 54 に平行な方向に対向しているてもよい。

[0296] シール導体 16 は、複数のシールプラグ導体 19、および、1 つまたは複数（この形態では複数）のシールビア導体 65 を含む。シールビア導体 65 の個数は任意である。複数のシールプラグ導体 19 のうちの最上のシールプラグ導体 19 は、シール導体 16 の上端部を形成している。複数のシールビア導体 65 は、シール導体 16 の下端部をそれぞれ形成している。シールプラグ導体 19 およびシールビア導体 65 は、低電位コイル 20 と同一の導電材料によって形成されていることが好ましい。つまり、シールプラグ導体 19 およびシールビア導体 65 は、低電位コイル 20 等と同様に、バリア層および本体層を含むことが好ましい。

- [0297] 複数のシールプラグ導体 19 は、複数の層間絶縁層 57 にそれぞれ埋め込まれ、平面視においてデバイス領域 17 を取り囲む四角環状（具体的には長方形環状）にそれぞれ形成されている。複数のシールプラグ導体 19 は、互いに接続されるように最下絶縁層 55 から最上絶縁層 56 に向かって積層されている。複数のシールプラグ導体 19 の積層数は、複数の層間絶縁層 57 の積層数に一致している。むろん、複数の層間絶縁層 57 を貫通する 1 つまたは複数のシールプラグ導体 19 が形成されていてもよい。
- [0298] 複数のシールプラグ導体 19 の集合体によって 1 つの環状のシール導体 16 が形成されるのであれば、複数のシールプラグ導体 19 の全てが環状に形成される必要はない。たとえば、複数のシールプラグ導体 19 の少なくとも 1 つが有端状に形成されていてもよい。また、複数のシールプラグ導体 19 の少なくとも 1 つが複数の有端帯状部分に分割されていてもよい。ただし、デバイス領域 17 への水分やクラックの進入のリスクを鑑みると、複数のシールプラグ導体 19 は、無端状（環状）に形成されていることが好ましい。
- [0299] 複数のシールビア導体 65 は、最下絶縁層 55 において半導体チップ 40 およびシールプラグ導体 19 の間の領域にそれぞれ形成されている。複数のシールビア導体 65 は、半導体チップ 40 に接続され、かつシールプラグ導体 19 に接続されている。これにより、シール導体 16 は、シールビア導体 65 を介して、グランド電位に固定されていてもよい。複数のシールビア導体 65 は、シールプラグ導体 19 の平面積未満の平面積を有している。単一のシールビア導体 65 が形成されている場合、単一のシールビア導体 65 は、シールプラグ導体 19 の平面積以上の平面積を有していてもよい。
- [0300] シール導体 16 の幅は、 $0.1\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下であってもよい。シール導体 16 の幅は、 $1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であることが好ましい。シール導体 16 の幅は、シール導体 16 が延びる方向に直交する方向の幅によって定義される。
- [0301] 図 20 を参照して、保護層 8 は、高電位コイル 23、低電位端子 13、高電位端子 14、ダミーパターン 39 およびシール導体 16 を被覆するように

第2絶縁部7の絶縁主面701の上に形成されている。保護層8は、パッシベーション層と称されてもよい。保護層8は、絶縁主面701の上から第2絶縁部7、第1絶縁部50および半導体チップ40を保護する。保護層8は、有機絶縁層からなっているとしてもよく、感光性樹脂を含んでいるとしてもよい。保護層8は、ポリイミド、ポリアミドおよびポリベンゾオキサゾールのうちの少なくとも1つを含んでいるとしてもよい。保護層8は、この形態では、ポリイミドを含む。保護層8の厚さは、 $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下であってもよい。

[0302] 保護層8の厚さは、低電位コイル20および高電位コイル23の間の距離D2以上であることが好ましい。この場合、保護層8の厚さは $5\mu\text{m}$ 以上 $50\mu\text{m}$ 以下であることが好ましい。これらの構造によれば、保護層8の厚化を抑制できると同時に、保護層8によって高電位コイル23上の絶縁耐圧を適切に高めることができる。

[0303] 保護層8は、複数の低電位端子13をそれぞれ露出させる複数の低電位端子開口188を有している。低電位端子開口188から露出する低電位端子13は、低電位パッド191と称してもよい。低電位パッド191の表面には、パラジウムおよびニッケルのうちの少なくとも1つを含む被覆層が形成されているとしてもよい。低電位端子開口188は、図21に示すように、第2低電位パッド配線171の引き出し部175を露出させている。つまり、低電位端子開口188は、平面視において、貫通孔174に対向しておらず、貫通孔174からずれた位置に形成されている。これにより、低電位端子13に対するボンディングワイヤ71の接続不良を抑制することができる。たとえば、貫通孔174に第2低電位パッド配線171の導電材料を埋め込む際、貫通孔174の径の大きさによっては、埋め込み後の第2低電位パッド配線171の上面が貫通孔174に重なる位置で凹む場合がある。しかしながら、この形態では、第2低電位パッド配線171の一部を第2絶縁部7の平坦な絶縁主面701上に引き出して引き出し部175を形成し、この引き出し部175を低電位端子開口188から露出させている。その結果、低電位端子開口188からの第2低電位パッド配線171の露出部分が平坦となる

ので、ボンディングワイヤ 71 を良好に接続することができる。

[0304] また、保護層 8 は、複数の高電位端子 14 をそれぞれ露出させる複数の高電位端子開口 189 を有している。高電位端子開口 189 から露出する高電位端子 14 は、高電位パッド 192 と称してもよい。高電位パッド 192 の表面には、パラジウムおよびニッケルのうちの少なくとも 1 つを含む被覆層が形成されていてもよい。

[0305] 次に、図 25 A, 25 B ~ 図 32 A, 32 B を参照して、半導体装置 A1 の製造工程の一部を説明する。より具体的には、図 25 A, 25 B ~ 図 32 A, 32 B のうち、図番の最後に「A」が付された図は、図 20 の領域 A の製造工程を示し、図番の最後に「B」が付された図は、図 20 の領域 B の製造工程を示している。

[0306] 半導体装置 A1 の製造工程では、たとえば CVD 法によって、半導体チップ 40 上に最下絶縁層 55 が形成される。次に、第 1 絶縁層 58 および第 2 絶縁層 59 を繰り返し積層することによって、層間絶縁層 57 が形成される。層間絶縁層 57 の形成工程では、CVD 装置のチャンバー内に、第 1 絶縁層 58 用の原料ガスおよび第 2 絶縁層 59 用の原料ガスを交互に切り替えながら供給することによって、互いに異なる 2 種の無機絶縁層 58, 59 が形成される。また、最下絶縁層 55 の形成工程と層間絶縁層 57 の形成工程との間、および各層間絶縁層 57 の形成工程の後には、絶縁層 55, 57 を選択的にエッチングし、エッチングによって形成された貫通孔に導電材料を埋め込むことによって、低電位コイル 20、第 1 低電位配線 30、第 2 低電位配線 35、シール導体 16 が形成される。

[0307] 最上層の層間絶縁層 57 の形成後、図 25 A および図 25 B に示すように、層間絶縁層 57 を覆うように最上絶縁層 56 が形成される。次に、最上絶縁層 56 が選択的にエッチングされることによって、貫通配線 70 を露出させる貫通孔 173 が形成される。

[0308] 次に、図 26 A および図 26 B に示すように、最上絶縁層 56 上に、たとえばスパッタ法によって、シード層 9 が形成される。シード層 9 は、第 1 低

電位パッド配線 170 をめっき成長させるためのベース導電層であり、最上絶縁層 56 の上面（絶縁主面 54）および貫通孔 173 に露出する貫通配線 70 上にも形成される。たとえば、シード層 9 は、Cu/Ti、Cu/TiW 等であってもよい。シード層 9 の厚さは、たとえば、 $0.05\text{ }\mu\text{m}$ 以上 $2\text{ }\mu\text{m}$ 以下であってもよい。次に、シード層 9 上にレジスト膜 10 が形成される。次に、レジスト膜 10 を選択的に露光・現像することによって、シード層 9 の第 1 低電位パッド配線 170 を形成すべき部分を露出させる開口 43 が形成される。

[0309] 次に、図 27A および図 27B に示すように、開口 43 から露出するシード層 9 から、第 1 低電位パッド配線 170 用の導電材料を、めっき成長させる。この形態では、シード層 9 から Cu をめっき成長させる。これにより、開口 43 内に第 1 低電位パッド配線 170 が形成される。

[0310] 次に、図 28A および図 28B に示すように、レジスト膜 10 が除去される。レジスト膜 10 の除去後、シード層 9 のレジスト膜 10 で覆われていた部分（第 1 低電位パッド配線 170 から露出する部分）が除去される。

[0311] 次に、図 29A および図 29B に示すように、第 1 低電位パッド配線 170 を覆うように、最上絶縁層 56 上に第 2 絶縁部 7（有機絶縁層 84）が形成される。第 2 絶縁部 7 の形成は、公知の樹脂膜の形成方法を適用することができる。たとえば、スピコート法によって第 2 絶縁部 7 を形成してもよい。次に、たとえばフォトリソグラフィ技術によって、第 2 絶縁部 7 を選択的に除去することによって、第 1 低電位パッド配線 170 を露出させる貫通孔 174 が形成される。次に、第 2 絶縁部 7 上に、たとえばスパッタ法によって、シード層 46 が形成される。シード層 46 は、第 2 低電位パッド配線 171 および高電位コイル 23 をめっき成長させるためのベース導電層であり、第 2 絶縁部 7 の絶縁主面 701 および貫通孔 174 に露出する第 1 低電位パッド配線 170 上にも形成される。たとえば、シード層 46 は、Cu/Ti、Cu/TiW 等であってもよい。シード層 46 の厚さは、たとえば、 $0.05\text{ }\mu\text{m}$ 以上 $2\text{ }\mu\text{m}$ 以下であってもよい。

- [0312] 次に、図30Aおよび図30Bに示すように、シード層46上にレジスト膜47が形成される。次に、レジスト膜47を選択的に露光・現像することによって、シード層46の第2低電位パッド配線171を形成すべき部分を露出させる開口48、およびシード層46の高電位コイル23を形成すべき部分を露出させる開口49が形成される。次に、開口48、49から露出するシード層46から、第2低電位パッド配線171および高電位コイル23用の導電材料を、めっき成長させる。この形態では、シード層46からCuをめっき成長させる。これにより、開口48内に第2低電位パッド配線171が形成され、開口49内に高電位コイル23が形成される。
- [0313] なお、図30Aおよび図30Bでは示されていないが、第1高電位配線33、第2高電位配線34およびダミーパターン39も、第2低電位パッド配線171および高電位コイル23と同一工程で形成されてもよい。
- [0314] 次に、図31Aおよび図31Bに示すように、レジスト膜47が除去される。レジスト膜47の除去後、シード層46のレジスト膜47で覆われていた部分（第2低電位パッド配線171および高電位コイル23から露出する部分）が除去される。
- [0315] 次に、図32Aおよび図32Bに示すように、第2低電位パッド配線171および高電位コイル23を覆うように、第2絶縁部7の絶縁主面701上に保護層8が形成される。保護層8の形成は、公知の樹脂膜の形成方法を適用することができる。たとえば、スピンコート法によって保護層8を形成してもよい。次に、たとえばフォトリソグラフィ技術によって、保護層8を選択的に除去することによって、第2低電位パッド配線171の一部を低電位パッド191として露出させる低電位端子開口188が形成される。以上の工程を経て、半導体装置A1を製造することができる。
- [0316] 以上、この半導体装置A1によれば、低電位コイル20と高電位コイル23との間に、無機絶縁層58、59の積層構造からなる第1絶縁部50に加え、有機絶縁層84からなる第2絶縁部7が形成されている。そのため、低電位コイル20と高電位コイル23との間の絶縁耐圧を、第2絶縁部7の厚

膜化によって達成することができる。有機絶縁層 84 であれば、無機絶縁層 58, 59 のように互いに異なる複数種の絶縁材料からなる積層構造としなくても、1 種の有機絶縁材料（樹脂材料）だけで、第 2 絶縁部 7 を厚く形成することができる。たとえば、図 29A および図 29B に示したように、スピコート法によって簡単に厚膜化することができる。その結果、第 1 絶縁部 50 を厚く形成する場合に比べてリードタイムを短縮でき、コストを低減することができる。

[0317] なお、前述の説明では、シール導体 16 は、シールビア導体 65 を介して半導体チップ 40 に接続され、グランド電位に固定されていた。一方、図 33 に示すように、シールビア導体 65 を省略することによって、シール導体 16 は、グランド電位に固定されていなくてもよい。

[0318] また、第 2 絶縁部 7 の絶縁主面 701 と絶縁側壁 702A~702D とが交差することによって形成される第 2 絶縁部 7 の上部角部は、図 20 および図 33 に示すように、一定の角度を有していてもよいし、断面視曲線形状になるようにラウンド形状であってもよい。また、絶縁主面 701 の全体が、半導体チップ 40 の反対側に膨らむ曲面形状であってもよい。

[0319] また、第 2 絶縁部 7 は、複数の有機絶縁層の積層構造を有していてもよい。この場合、複数の有機絶縁層は、互いに同一の有機絶縁材料からなっているもよいし、互いに異なる有機絶縁材料からなっているもよい。

（第 2 実施形態）

図 34 は、本開示の一実施形態に係る半導体装置 A2 の模式的な断面図である。以下では、前述の半導体装置 A1 に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

[0320] 半導体装置 A2 では、第 1 低電位配線 30 の一部が、半導体装置 A2 の低電位端子 13 として機能する。より具体的には、貫通配線 70（第 1 電極層 78）が、低電位パッド 191 として露出している。低電位パッド 191 を露出させる低電位端子開口 190 は、保護層 8 および第 2 絶縁部 7 を貫通して形成されている。低電位端子開口 190 は、第 2 絶縁部 7 に形成された第

１部分１９３と、保護層８に形成された第２部分１９４とを含んでいてもよい。第２部分１９４は、第１部分１９３よりも大きな幅で形成されている。これにより、第１部分１９３と第２部分１９４との間に、段差が形成されている。また、第１部分１９３は、低電位パッド１９１に向かって幅が狭まる断面視テーパ状に形成されていてもよい。一方、第２部分１９４は、低電位パッド１９１に向かって幅がほぼ一定であってもよい。

[0321] また、低電位端子開口１９０の第１部分１９３は、最上絶縁層５６の貫通孔１７３よりも大きな幅で形成されている。これにより、低電位端子開口１９０の第１部分１９３と貫通孔１７３との間に、段差が形成されていてもよい。

[0322] 以上、この半導体装置Ａ２によれば、半導体装置Ａ１と同様に、低電位コイル２０と高電位コイル２３との間に、無機絶縁層５８，５９の積層構造からなる第１絶縁部５０に加え、有機絶縁層８４からなる第２絶縁部７が形成されている。そのため、低電位コイル２０と高電位コイル２３との間の絶縁耐圧を、第２絶縁部７の厚膜化によって達成することができる。その結果、第１絶縁部５０を厚く形成する場合に比べてリードタイムを短縮でき、コストを低減することができる。

[0323] さらに、第１低電位パッド配線１７０および第２低電位パッド配線１７１が形成されておらず、ボンディングワイヤ７１が第１低電位配線３０に直接接続されている。そのため、第１低電位パッド配線１７０および第２低電位パッド配線１７１の形成工程（図２６Ａ，２６Ｂ～図３１Ａ，３１Ｂ）を省略できるので、リードタイムをさらに短縮することができる。

[0324] なお、前述の説明では、シール導体１６は、シールビア導体６５を介して半導体チップ４０に接続され、グランド電位に固定されていた。一方、図３５に示すように、シールビア導体６５を省略することによって、シール導体１６は、グランド電位に固定されていなくてもよい。

（第３実施形態）

図３６は、本開示の一実施形態に係る半導体装置Ａ３の模式的な断面図で

ある。以下では、前述の半導体装置 A 1 に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

[0325] 半導体装置 A 3 では、保護層 8 は、第 1 保護層 6 8 と、第 2 保護層 6 9 とを含む。第 1 保護層 6 8 は、高電位コイル 2 3、第 2 低電位パッド配線 1 7 1、第 1 高電位配線 3 3、ダミーパターン 3 9 およびシール導体 1 6 を覆うように第 2 絶縁部 7 の絶縁主面 7 0 1 の上に形成されている。第 2 保護層 6 9 は、第 1 保護層 6 8 上に積層されている。

[0326] 第 1 保護層 6 8 および第 2 保護層 6 9 は、互いに同じ有機絶縁層からなっているてもよいし、異なる種類の有機絶縁層からなっているてもよい。たとえば、第 1 保護層 6 8 は、ポリイミド、ポリアミドおよびポリベンゾオキサゾールのうちの少なくとも 1 つを含んでいてもよく、第 2 保護層 6 9 は、上記例示した有機絶縁材料のうち、第 1 保護層 6 8 と同じ有機絶縁材料、もしくは第 1 保護層 6 8 と異なる種類の有機絶縁材料からなっているてもよい。

[0327] また、第 1 保護層 6 8 および第 2 保護層 6 9 の厚さは、互いに同じであってもよいし、互いの異なっているてもよい。この形態では、第 2 保護層 6 9 の厚さが、第 1 保護層 6 8 の厚さよりも大きいことが好ましい。第 2 保護層 6 9 を厚くすることによって、後述する凹部 1 7 9 を深くすることできるので、高電位端子 1 4 および低電位端子 1 3 の間の沿面距離をさらに増加させることができる。たとえば、第 1 保護層 6 8 の厚さは、 $1\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下であり、第 2 保護層 6 9 の厚さは、 $1\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下であってもよい。

[0328] 第 1 保護層 6 8 の主面には、第 3 低電位パッド配線 1 7 6 および高電位パッド配線 1 7 7 が形成されている。第 3 低電位パッド配線 1 7 6 および高電位パッド配線 1 7 7 は、高電位コイル 2 3 と同一の導電材料によってそれぞれ形成されていることが好ましい。つまり、第 3 低電位パッド配線 1 7 6 および高電位パッド配線 1 7 7 は、高電位コイル 2 3 等と同様に、バリア層および本体層をそれぞれ含むことが好ましい。

[0329] 第 3 低電位パッド配線 1 7 6 は、第 1 保護層 6 8 の主面に形成されている

。つまり、この形態では、第3低電位パッド配線176は、高電位コイル23よりも上層に形成されている。また、第3低電位パッド配線176は、第2保護層69で覆われることによって、第2保護層69内に形成されている。第3低電位パッド配線176は、前述の低電位端子13を形成していてもよい。第3低電位パッド配線176は、第1保護層68に形成された貫通孔76を介して第2低電位パッド配線171に接続されている。

[0330] 高電位パッド配線177は、第1保護層68の主面に形成されている。つまり、この形態では、高電位パッド配線177は、高電位コイル23よりも上層に形成されている。また、高電位パッド配線177は、第2保護層69で覆われることによって、第2保護層69内に形成されている。高電位パッド配線177は、前述の高電位端子14を形成していてもよい。高電位パッド配線177は、第1保護層68に形成された貫通孔85を介して第1高電位配線33に接続されている。

[0331] 第3低電位パッド配線176および高電位パッド配線177は、それぞれ、アイランド状に形成されていてもよいし、図21に示した第2低電位パッド配線171と同様に、貫通孔76および貫通孔85から、貫通孔76および貫通孔85に重ならない領域に引き出された引き出し部（図示せず）を有していてもよい。

[0332] 保護層8は、複数の第3低電位パッド配線176（低電位端子13）をそれぞれ露出させる複数の低電位端子開口188を有している。低電位端子開口188から露出する低電位端子13は、低電位パッド191と称してもよい。

[0333] また、保護層8は、複数の高電位パッド配線177（高電位端子14）をそれぞれ露出させる複数の高電位端子開口189を有している。高電位端子開口189から露出する高電位端子14は、高電位パッド192と称してもよい。

[0334] また、保護層8は、低電位端子開口188と高電位端子開口189との間の領域に凹凸構造178を有している。凹凸構造178は、保護層8の保護

主面 8 2 から第 2 絶縁部 7 に向かって窪んだ複数の凹部 1 7 9 を含む。凹凸構造 1 7 8 は、保護層 8 の保護主面 8 2 に沿う沿面距離を増加させている。したがって、凹凸構造 1 7 8 は、保護層 8 の保護主面 8 2 に沿う沿面放電の発生を抑制している。複数の凹部 1 7 9 は、この形態では、第 2 保護層 6 9 を貫通し、かつ第 1 保護層 6 8 の主面を露出させており、上端から下端まで第 2 保護層 6 9 で形成された側面と、第 1 保護層 6 8 で形成された底面とを有している。一方、複数の凹部 1 7 9 は、第 2 保護層 6 9 を貫通し、その底部が第 1 保護層 6 8 の厚さ方向途中に達していてもよい。この場合、複数の凹部 1 7 9 の側面は、第 2 保護層 6 9 で形成された上部と、第 1 保護層 6 8 で形成された下部とを有していてもよい。また、図示はしないが、凹凸構造 1 7 8 は、平面視で高電位コイル 2 3 を取り囲むように形成されていてもよい。

[0335] 以上、この半導体装置 A 3 によれば、半導体装置 A 1 と同様に、低電位コイル 2 0 と高電位コイル 2 3 との間に、無機絶縁層 5 8, 5 9 の積層構造からなる第 1 絶縁部 5 0 に加え、有機絶縁層 8 4 からなる第 2 絶縁部 7 が形成されている。そのため、低電位コイル 2 0 と高電位コイル 2 3 との間の絶縁耐圧を、第 2 絶縁部 7 の厚膜化によって達成することができる。その結果、第 1 絶縁部 5 0 を厚く形成する場合に比べてリードタイムを短縮でき、コストを低減することができる。

[0336] また、保護層 8 に凹凸構造 1 7 8 が形成されている。これにより、高電位端子 1 4 および低電位端子 1 3 の間の保護層 8 の保護主面 8 2 に沿う沿面距離を増加させることができ、かつ、高電位端子 1 4 および低電位端子 1 3 の間の絶縁距離を増加させることができる。よって、高電位端子 1 4 および低電位端子 1 3 の間の領域において沿面放電の発生を抑制できるから、これら高電位端子 1 4 および低電位端子 1 3 の間の保護層 8 の破壊や劣化を抑制することができる。その結果、高電位端子 1 4 および低電位端子 1 3 が短絡することを抑制できるから、当該短絡の発生による保護層 8 の更なる破壊や劣化を抑制することができる。

[0337] なお、前述の説明では、シール導体 16 は、シールビア導体 65 を介して半導体チップ 40 に接続され、グランド電位に固定されていた。一方、図 37 に示すように、シールビア導体 65 を省略することによって、シール導体 16 は、グランド電位に固定されていなくてもよい。

(第 4 実施形態)

図 38 は、本開示の一実施形態に係る半導体装置 A4 の模式的な断面図である。以下では、前述の半導体装置 A2 および半導体装置 A3 に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

[0338] 半導体装置 A4 では、半導体装置 A2 の保護層 8 が、前述の半導体装置 A3 と同様に、第 1 保護層 68 と、第 2 保護層 69 とを含む。また、保護層 8 が、低電位端子開口 190 と高電位端子開口 189 との間の領域に凹凸構造 178 を有している。

[0339] 以上、この半導体装置 A4 によれば、半導体装置 A1 と同様に、低電位コイル 20 と高電位コイル 23 との間に、無機絶縁層 58, 59 の積層構造からなる第 1 絶縁部 50 に加え、有機絶縁層 84 からなる第 2 絶縁部 7 が形成されている。そのため、低電位コイル 20 と高電位コイル 23 との間の絶縁耐圧を、第 2 絶縁部 7 の厚膜化によって達成することができる。その結果、第 1 絶縁部 50 を厚く形成する場合に比べてリードタイムを短縮でき、コストを低減することができる。

[0340] さらに、第 1 低電位パッド配線 170 および第 2 低電位パッド配線 171 が形成されておらず、ボンディングワイヤ 71 が第 1 低電位配線 30 に直接接続されている。そのため、第 1 低電位パッド配線 170 および第 2 低電位パッド配線 171 の形成工程（図 26A, 26B～図 31A, 31B）を省略できるので、リードタイムをさらに短縮することができる。

[0341] また、保護層 8 に凹凸構造 178 が形成されている。これにより、高電位端子 14 および低電位端子 13 の間の保護層 8 の保護主面 82 に沿う沿面距離を増加させることができ、かつ、高電位端子 14 および低電位端子 13 の間の絶縁距離を増加させることができる。よって、高電位端子 14 および低

電位端子 1 3 の間の領域において沿面放電の発生を抑制できるから、これら高電位端子 1 4 および低電位端子 1 3 の間の保護層 8 の破壊や劣化を抑制することができる。その結果、高電位端子 1 4 および低電位端子 1 3 が短絡することを抑制できるから、当該短絡の発生による保護層 8 の更なる破壊や劣化を抑制することができる。

[0342] なお、前述の説明では、シール導体 1 6 は、シールビア導体 6 5 を介して半導体チップ 4 0 に接続され、グランド電位に固定されていた。一方、図 3 9 に示すように、シールビア導体 6 5 を省略することによって、シール導体 1 6 は、グランド電位に固定されていなくてもよい。

<半導体装置 B 1 ～ B 4 の構造>

(第 1 実施形態)

図 4 0 は、本開示の一実施形態に係る半導体装置 B 1 の模式的な平面図である。図 4 1 は、図 4 0 の半導体装置 B 1 において低電位コイル 5 2 0 が形成された層を示す平面図である。図 4 2 は、図 4 0 の半導体装置 B 1 において高電位コイル 5 2 3 が形成された層を示す平面図である。図 4 3 は、図 4 0 の半導体装置 B 1 の模式的な断面図である。

[0343] 図 4 0 ～図 4 3 を参照して、半導体装置 B 1 は、直方体形状の半導体チップ 5 4 0 を含む。半導体チップ 5 4 0 は、シリコン、ワイドバンドギャップ半導体および化合物半導体のうちの少なくとも 1 つを含む。

[0344] ワイドバンドギャップ半導体は、シリコンのバンドギャップ（約 1. 1 2 e V）を超える半導体からなる。ワイドバンドギャップ半導体のバンドギャップは、2. 0 e V 以上であることが好ましい。ワイドバンドギャップ半導体は、S i C（炭化シリコン）であってもよい。化合物半導体は、III-V 族化合物半導体であってもよい。化合物半導体は、A l N（窒化アルミニウム）、I n N（窒化インジウム）、G a N（窒化ガリウム）および G a A s（ヒ化ガリウム）のうちの少なくとも 1 つを含んでいてもよい。

[0345] 半導体チップ 5 4 0 は、この形態では、シリコン製の半導体基板を含む。半導体チップ 5 4 0 は、シリコン製の半導体基板およびシリコン製のエピタ

キシャル層を含む積層構造を有するエピタキシャル基板であってもよい。半導体基板の導電型は、n型またはp型であってもよい。エピタキシャル層は、n型またはp型であってもよい。また、半導体チップ540は、グラウンド電位に固定されていてもよい。

[0346] 半導体チップ540は、一方側の第1主面541、他方側の第2主面542、ならびに、第1主面541および第2主面542を接続するチップ側壁544A～544Dを有している。第1主面541および第2主面542は、それらの法線方向Zから見た平面視（以下、単に「平面視」という。）において四角形状（この形態では長方形形状）に形成されている。

[0347] チップ側壁544A～544Dは、第1チップ側壁544A、第2チップ側壁544B、第3チップ側壁544Cおよび第4チップ側壁544Dを含む。第1チップ側壁544Aおよび第2チップ側壁544Bは、半導体チップ540の長辺を形成している。第1チップ側壁544Aおよび第2チップ側壁544Bは、第1方向Xに沿って延び、第2方向Yに対向している。第3チップ側壁544Cおよび第4チップ側壁544Dは、半導体チップ540の短辺を形成している。第3チップ側壁544Cおよび第4チップ側壁544Dは、第2方向Yに延び、第1方向Xに対向している。チップ側壁544A～544Dは、研削面からなる。

[0348] 半導体装置B1は、半導体チップ540の第1主面541の上に順に形成された、第1絶縁部550と、第2絶縁部507と、保護層508とを含む。

[0349] 第1絶縁部550は、絶縁主面554および絶縁側壁553A～553Dを有している。絶縁主面554は、平面視において第1主面541に整合する四角形状（この形態では長方形形状）に形成されている。絶縁主面554は、第1主面541に対して平行に延びている。

[0350] 絶縁側壁553A～553Dは、第1絶縁側壁553A、第2絶縁側壁553B、第3絶縁側壁553Cおよび第4絶縁側壁553Dを含む。絶縁側壁553A～553Dは、絶縁主面554の周縁から半導体チップ540に

向けて延び、チップ側壁 544A～544D に連なっている。絶縁側壁 553A～553D は、具体的には、チップ側壁 544A～544D に対して面一に形成されている。絶縁側壁 553A～553D は、チップ側壁 544A～544D に面一な研削面を形成している。

[0351] 第2絶縁部 507 は、絶縁主面 554 上に形成されており、絶縁主面 501 および絶縁側壁 502A～502D を有している。絶縁主面 501 は、平面視において第1主面 541 に整合する四角形状（この形態では長方形状）に形成されている。絶縁主面 501 は、第1主面 541 に対して平行に延びている。

[0352] 絶縁側壁 502A～502D は、第1絶縁側壁 502A、第2絶縁側壁 502B、第3絶縁側壁 502C および第4絶縁側壁 502D を含む。絶縁側壁 502A～502D は、絶縁主面 501 の周縁から半導体チップ 540 に向けて延びている。絶縁側壁 502A～502D は、具体的には、絶縁側壁 553A～553D に対して内側に形成されている。これにより、絶縁側壁 502A～502D と絶縁側壁 553A～553D との間には、段差が形成されている。

[0353] 保護層 508 は、絶縁主面 501 上に形成されており、保護主面 582 および保護側壁 583A～583D を有している。保護主面 582 は、平面視において第1主面 541 に整合する四角形状（この形態では長方形状）に形成されている。保護主面 582 は、第1主面 541 に対して平行に延びている。

[0354] 保護側壁 583A～583D は、第1保護側壁 583A、第2保護側壁 583B、第3保護側壁 583C および第4保護側壁 583D を含む。保護側壁 583A～583D は、保護主面 582 の周縁から半導体チップ 540 に向けて延びている。保護側壁 583A～583D は、具体的には、絶縁側壁 502A～502D に対して内側に形成されている。これにより、保護側壁 583A～583D と絶縁側壁 502A～502D との間には、段差が形成されている。

- [0355] 第1絶縁部550は、最下絶縁層555、最上絶縁層556および複数（この形態では10層）の層間絶縁層557を含む多層絶縁積層構造からなる。最下絶縁層555は、第1主面541を直接被覆する絶縁層である。最上絶縁層556は、絶縁主面554を形成する絶縁層である。複数の層間絶縁層557は、最下絶縁層555および最上絶縁層556の間に介在する絶縁層である。最下絶縁層555は、この形態では、酸化シリコンを含む単層構造を有している。最上絶縁層556は、この形態では、窒化シリコンを含む単層構造を有している。最下絶縁層555の厚さおよび最上絶縁層556の厚さは、それぞれ1 μm 以上3 μm 以下（たとえば2 μm 程度）であってもよい。
- [0356] 複数の層間絶縁層557は、最下絶縁層555側の第1絶縁層558および最上絶縁層556側の第2絶縁層559を含む積層構造をそれぞれ有している。第1絶縁層558は、無機絶縁層からなり、たとえば窒化シリコンを含んでいてもよい。第1絶縁層558は、第2絶縁層559に対するエッチングストッパ層として形成されている。第1絶縁層558の厚さは、0.1 μm 以上1 μm 以下（たとえば0.3 μm 程度）であってもよい。
- [0357] 第2絶縁層559は、第1絶縁層558の上に形成されている。第1絶縁層558とは異なる絶縁材料を含む。第2絶縁層559は、第1絶縁層558とは異なる無機絶縁層からなり、たとえば酸化シリコンを含んでいてもよい。第2絶縁層559の厚さは、1 μm 以上3 μm 以下（たとえば2 μm 程度）であってもよい。第2絶縁層559の厚さは、第1絶縁層558の厚さを超えていることが好ましい。
- [0358] また、第1絶縁層558は、圧縮応力膜であり、第2絶縁層559は、引張応力膜であってもよい。つまり、層間絶縁層557は、圧縮応力膜および引張応力膜が繰り返し積層された構造であってもよい。これにより、層間絶縁層557の積層界面において応力をキャンセルしながら第1絶縁部550を形成することができる。その結果、半導体装置B1の製造工程において、半導体チップ540の母体となる半導体ウエハに大きな反り変形が生じるこ

とを防止することができる。圧縮応力膜は、たとえば、酸化シリコン膜であってよく、引張応力膜は、たとえば、窒化シリコン膜であってもよい。

[0359] 第1絶縁部550の総厚さTB1は、 $1\mu\text{m}$ 以上 $20\mu\text{m}$ 以下であってもよい。第1絶縁部550の総厚さTB1や層間絶縁層557の積層数は任意であり、実現すべき絶縁耐圧（絶縁破壊耐量）に応じて調整される。また、最下絶縁層555、最上絶縁層556および層間絶縁層557の絶縁材料は任意であり、特定の絶縁材料に限定されない。

[0360] 第2絶縁部507は、第1絶縁層558および第2絶縁層559とは異なる誘電率を有する絶縁材料からなり、たとえば、有機絶縁層584を含む層構造を有している。第2絶縁部507は、この形態では、有機絶縁層584の単一層からなるが、複数の有機絶縁層の積層構造であってもよい。有機絶縁層584としては、たとえば、ポリイミド膜、フェノール樹脂膜およびエポキシ樹脂膜等が挙げられる。第2絶縁部507の総厚さTB2は、 $2\mu\text{m}$ 以上 $100\mu\text{m}$ 以下であってもよい。第2絶縁部507の総厚さTB2は任意であり、実現すべき絶縁耐圧（絶縁破壊耐量）に応じて調整される。

[0361] 半導体装置B1は、第1機能デバイス545を含む。第1機能デバイス545は、1つまたは複数（この形態では複数）のトランス515（変圧器）を含む。つまり、半導体装置B1は、複数のトランス515を含むマルチチャネル型のデバイスからなる。複数のトランス515は、絶縁側壁553A～553Dから間隔を空けて第1絶縁部550および第2絶縁部507の積層構造の内方部に形成されている。複数のトランス515は、第1方向Xに間隔を空けて形成されている。

[0362] 複数のトランス515は、具体的には、平面視において絶縁側壁553C側から絶縁側壁553D側に向けてこの順に形成された第1トランス515A、第2トランス515B、第3トランス515Cおよび第4トランス515Dを含む。第1トランス515A、第2トランス515B、第3トランス515Cおよび第4トランス515Dは、それぞれ、図11の第1トランス131、第2トランス132、第3トランス133および第4トランス13

4に対応していてもよい。複数のトランス515A～515Dは、同様の構造をそれぞれ有している。以下では、第1トランス515Aの構造を例にとって説明する。第2トランス515B、第3トランス515Cおよび第4トランス515Dの構造の説明については、第1トランス515Aの構造の説明が準用されるものとし、省略する。

[0363] 図40～図43を参照して、第1トランス515Aは、低電位コイル520および高電位コイル523を含む。低電位コイル520は、第1絶縁部550内に形成されている。高電位コイル523は、法線方向Zに低電位コイル520と対向するように第2絶縁部507上に形成されている。低電位コイル520は、この形態では、最下絶縁層555および最上絶縁層556に挟まれた領域（つまり複数の層間絶縁層557）に形成されている。より具体的には、低電位コイル520は、最上絶縁層556に接する層間絶縁層557内に形成されており、その上面が最上絶縁層556に接している。

[0364] 高電位コイル523は、第2絶縁部507の絶縁主面501に形成されている。つまり、高電位コイル523は、低電位コイル520を挟んで半導体チップ540に対向している。低電位コイル520および高電位コイル523の配置箇所は任意である。また、高電位コイル523は、第2絶縁部507を挟んで低電位コイル520に対向していればよい。

[0365] 低電位コイル520および高電位コイル523の間の距離D2（つまり、最上絶縁層556および第2絶縁部507の厚さ）は、低電位コイル520および高電位コイル523の間の絶縁耐圧や電界強度に応じて適宜調整される。低電位コイル520は、この形態では、最下絶縁層555側から数えて最も上層の層間絶縁層557に形成されている。一方、高電位コイル523は、第2絶縁部507の絶縁主面501に形成されている。したがって、低電位コイル520と高電位コイル523との間には、最上絶縁層556および第2絶縁部507が介在している。

[0366] 低電位コイル520は、層間絶縁層557において第1絶縁層558および第2絶縁層559を貫通して埋め込まれている。低電位コイル520は、

図41に示すように、第1内側末端503、第1外側末端525、ならびに、第1内側末端503および第1外側末端525の間を螺旋状に引き回された第1螺旋部526を含む。第1螺旋部526は、平面視において楕円形状（長円形状）に延びる螺旋状に引き回されている。第1螺旋部526の最内周縁を形成する部分は、平面視において楕円形状の第1内側領域566を区画している。

[0367] 第1螺旋部526の巻回数は、5以上30以下であってもよい。第1螺旋部526の幅は、 $0.1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であってもよい。第1螺旋部526の幅は、 $1\mu\text{m}$ 以上 $3\mu\text{m}$ 以下であることが好ましい。第1螺旋部526の幅は、螺旋方向に直交する方向の幅によって定義される。第1螺旋部526の第1巻回ピッチは、 $0.1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であってもよい。第1巻回ピッチは、 $1\mu\text{m}$ 以上 $3\mu\text{m}$ 以下であることが好ましい。第1巻回ピッチは、第1螺旋部526において螺旋方向に直交する方向に隣り合う2つの部分の間の距離によって定義される。

[0368] 第1螺旋部526の巻回形状や、第1内側領域566の平面形状は任意であり、図41等に表示される形態に限定されない。第1螺旋部526は、平面視において三角形状、四角形状等の多角形状、または、円形状に巻回されていてもよい。第1内側領域566は、第1螺旋部526の巻回形状に応じて、平面視において三角形状、四角形状等の多角形状、または、円形状に区画されていてもよい。

[0369] 低電位コイル520は、チタン、窒化チタン、銅、アルミニウムおよびタングステンのうちの少なくとも1つを含んでいてもよい。低電位コイル520は、バリア層および本体層を含む積層構造を有していてもよい。バリア層は、層間絶縁層557内においてリセス空間を区画する。本体層は、バリア層によって区画されたリセス空間に埋設される。バリア層は、チタンおよび窒化チタンのうちの少なくとも1つを含んでいてもよい。本体層は、銅、アルミニウムおよびタングステンのうちの少なくとも1つを含んでいてもよい。

- [0370] 高電位コイル523は、第2絶縁部507の絶縁主面501から第1絶縁部550とは反対側に立設するように形成されている。高電位コイル523は、その頂部側から保護層508に覆われている。高電位コイル523は、図42に示すように、第2内側末端527、第2外側末端528、ならびに、第2内側末端527および第2外側末端528の間を螺旋状に引き回された第2螺旋部529を含む。第2螺旋部529は、平面視において楕円形状（長円形状）に延びる螺旋状に引き回されている。第2螺旋部529の最内周縁を形成する部分は、この形態では、平面視において楕円形状の第2内側領域567を区画している。第2螺旋部529の第2内側領域567は、法線方向Zに第1螺旋部526の第1内側領域566に対向している。
- [0371] 第2螺旋部529の巻回数は、5以上30以下であってもよい。第1螺旋部526の巻回数に対する第2螺旋部529の巻回数は、昇圧すべき電圧値に応じて調整される。第2螺旋部529の巻回数は、第1螺旋部526の巻回数を超えていることが好ましい。むろん、第2螺旋部529の巻回数は、第1螺旋部526の巻回数未満であってもよいし、第1螺旋部526の巻回数と等しくてもよい。
- [0372] 第2螺旋部529の幅は、0.1 μm 以上10 μm 以下であってもよい。第2螺旋部529の幅は、1 μm 以上5 μm 以下であることが好ましい。第2螺旋部529の幅は、螺旋方向に直交する方向の幅によって定義される。第2螺旋部529の幅は、第1螺旋部526の幅と等しいことが好ましい。
- [0373] 第2螺旋部529の第2巻回ピッチは、0.1 μm 以上20 μm 以下であってもよい。第2巻回ピッチは、1 μm 以上10 μm 以下であることが好ましい。第2巻回ピッチは、第2螺旋部529において螺旋方向に直交する方向に隣り合う2つの部分の間の距離によって定義される。第2巻回ピッチは、第1螺旋部526の第1巻回ピッチと等しいことが好ましい。
- [0374] 第2螺旋部529の巻回形状や、第2内側領域567の平面形状は任意であり、図42等に表示される形態に限定されない。第2螺旋部529は、平面視において三角形状、四角形状等の多角形状、または、円形状に巻回されて

いてもよい。第2内側領域567は、第2螺旋部529の巻回形状に応じて、平面視において三角形状、四角形状等の多角形状、または、円形状に区画されていてもよい。また、第2螺旋部529の隙間には、保護層508の一部が入り込んでいる。

[0375] 高電位コイル523は、チタン、窒化チタン、銅、アルミニウムおよびタングステンのうちの少なくとも1つを含んでいてもよい。高電位コイル523は、バリア層および本体層を含む積層構造を有していてもよい。バリア層は、第2絶縁部507の絶縁主面501に沿って平坦な形状で形成される。本体層は、バリア層上に積層される。バリア層は、チタンおよび窒化チタンのうちの少なくとも1つを含んでいてもよい。本体層は、銅、アルミニウムおよびタングステンのうちの少なくとも1つを含んでいてもよい。

[0376] 図40を参照して、半導体装置B1は、複数（この形態では12個）の低電位端子513および複数（この形態では12個）の高電位端子514を含む。複数の低電位端子513は、対応するトランス515A～515Dの低電位コイル520にそれぞれ電氣的に接続されている。複数の高電位端子514は、対応するトランス515A～515Dの高電位コイル523にそれぞれ電氣的に接続されている。

[0377] 複数の低電位端子513は、第2絶縁部507の絶縁主面501の上に形成されている。複数の低電位端子513は、具体的には、複数のトランス515A～515Dから第2方向Yに間隔を空けて絶縁側壁553B側の領域に形成され、第1方向Xに間隔を空けて配列されている。

[0378] 複数の低電位端子513は、第1低電位端子513A、第2低電位端子513B、第3低電位端子513C、第4低電位端子513D、第5低電位端子513Eおよび第6低電位端子513Fを含む。複数の低電位端子513A～513Fは、この形態では、2個ずつそれぞれ形成されている。複数の低電位端子513A～513Fの個数は任意である。

[0379] 第1低電位端子513Aは、平面視において第2方向Yに第1トランス515Aに対向している。第2低電位端子513Bは、平面視において第2方

向Yに第2トランス515Bに対向している。第3低電位端子513Cは、平面視において第2方向Yに第3トランス515Cに対向している。第4低電位端子513Dは、平面視において第2方向Yに第4トランス515Dに対向している。第5低電位端子513Eは、平面視において第1低電位端子513Aおよび第2低電位端子513Bの間の領域に形成されている。第6低電位端子513Fは、平面視において第3低電位端子513Cおよび第4低電位端子513Dの間の領域に形成されている。

[0380] 第1低電位端子513Aは、第1トランス515A（低電位コイル520）の第1内側末端503に電氣的に接続されている。第2低電位端子513Bは、第2トランス515B（低電位コイル520）の第1内側末端503に電氣的に接続されている。第3低電位端子513Cは、第3トランス515C（低電位コイル520）の第1内側末端503に電氣的に接続されている。第4低電位端子513Dは、第4トランス515D（低電位コイル520）の第1内側末端503に電氣的に接続されている。

[0381] 第5低電位端子513Eは、第1トランス515A（低電位コイル520）の第1外側末端525および第2トランス515B（低電位コイル520）の第1外側末端525に電氣的に接続されている。第6低電位端子513Fは、第3トランス515C（低電位コイル520）の第1外側末端525および第4トランス515D（低電位コイル520）の第1外側末端525に電氣的に接続されている。

[0382] つまり、各トランス515A～515Dの第1内側末端503に接続される低電位端子513A～513Dは、各トランス515A～515Dの第1外側末端525に接続される低電位端子513E、513Fよりも、各トランス515A～515Dの近くに配置されている。たとえば、第1トランス515Aの第1内側末端503に接続された第1低電位端子513Aは、第1トランス515Aの第1外側末端525に接続された第5低電位端子513Eよりも、第1トランス515Aの近くに配置されている。第2トランス515Bに対する第2低電位端子513Bおよび第5低電位端子513Eの

配置関係、第3トランス515Cに対する第3低電位端子513Cおよび第6低電位端子513Fの配置関係、および第4トランス515Dに対する第4低電位端子513Dおよび第6低電位端子513Fの配置関係も同様である。

[0383] 複数の高電位端子514は、複数の低電位端子513から間隔を空けて第2絶縁部507の絶縁主面501の上に形成されている。複数の高電位端子514は、具体的には、複数の低電位端子513から第2方向Yに間隔を空けて絶縁側壁553A側の領域に形成され、第1方向Xに間隔を空けて配列されている。

[0384] 複数の高電位端子514は、平面視において対応するトランス515A～515Dに近接する領域にそれぞれ形成されている。高電位端子514がトランス515A～515Dに近接するとは、平面視において高電位端子514およびトランス515の間の距離が、低電位端子513および高電位端子514の間の距離未満であることを意味する。

[0385] 複数の高電位端子514は、具体的には、平面視において第1方向Xに沿って複数のトランス515A～515Dと対向するように第1方向Xに沿って間隔を空けて形成されている。複数の高電位端子514は、さらに具体的には、平面視において高電位コイル523の第2内側領域567および隣り合う高電位コイル523の間の領域に位置するように第1方向Xに沿って間隔を空けて形成されている。これにより、複数の高電位端子514は、平面視において第1方向Xに複数のトランス515A～515Dと一列に並んで配列されている。

[0386] 複数の高電位端子514は、第1高電位端子514A、第2高電位端子514B、第3高電位端子514C、第4高電位端子514D、第5高電位端子514Eおよび第6高電位端子514Fを含む。複数の高電位端子514A～514Fは、この形態では、2個ずつそれぞれ形成されている。複数の高電位端子514A～514Fの個数は任意である。

[0387] 第1高電位端子514Aは、平面視において第1トランス515A（高電

位コイル5 2 3)の第2内側領域5 6 7に形成されている。第2高電位端子5 1 4 Bは、平面視において第2トランス5 1 5 B(高電位コイル5 2 3)の第2内側領域5 6 7に形成されている。第3高電位端子5 1 4 Cは、平面視において第3トランス5 1 5 C(高電位コイル5 2 3)の第2内側領域5 6 7に形成されている。第4高電位端子5 1 4 Dは、平面視において第4トランス5 1 5 D(高電位コイル5 2 3)の第2内側領域5 6 7に形成されている。第5高電位端子5 1 4 Eは、平面視において第1トランス5 1 5 Aおよび第2トランス5 1 5 Bの間の領域に形成されている。第6高電位端子5 1 4 Fは、平面視において第3トランス5 1 5 Cおよび第4トランス5 1 5 Dの間の領域に形成されている。

[0388] 第1高電位端子5 1 4 Aは、第1トランス5 1 5 A(高電位コイル5 2 3)の第2内側末端5 2 7に電氣的に接続されている。第2高電位端子5 1 4 Bは、第2トランス5 1 5 B(高電位コイル5 2 3)の第2内側末端5 2 7に電氣的に接続されている。第3高電位端子5 1 4 Cは、第3トランス5 1 5 C(高電位コイル5 2 3)の第2内側末端5 2 7に電氣的に接続されている。第4高電位端子5 1 4 Dは、第4トランス5 1 5 D(高電位コイル5 2 3)の第2内側末端5 2 7に電氣的に接続されている。

[0389] 第5高電位端子5 1 4 Eは、第1トランス5 1 5 A(高電位コイル5 2 3)の第2外側末端5 2 8および第2トランス5 1 5 B(高電位コイル5 2 3)の第2外側末端5 2 8に電氣的に接続されている。第6高電位端子5 1 4 Fは、第3トランス5 1 5 C(高電位コイル5 2 3)の第2外側末端5 2 8および第4トランス5 1 5 D(高電位コイル5 2 3)の第2外側末端5 2 8に電氣的に接続されている。

[0390] 図4 1および図4 2を参照して、半導体装置B 1は、第1低電位配線5 3 0、第2低電位配線5 3 5、第1高電位配線5 3 3および第2高電位配線5 3 4を含む。この形態では、複数の第1低電位配線5 3 0、複数の第2低電位配線5 3 5、複数の第1高電位配線5 3 3および複数の第2高電位配線5 3 4が形成されている。

- [0391] 第1低電位配線530および第2低電位配線535は、第1トランス515Aの低電位コイル520および第2トランス515Bの低電位コイル520を同電位に固定している。また、第1低電位配線530および第2低電位配線535は、第3トランス515Cの低電位コイル520および第4トランス515Dの低電位コイル520を同電位に固定している。第1低電位配線530および第2低電位配線535は、この形態では、トランス515A～515Dの全ての低電位コイル520を同電位に固定している。
- [0392] 第1高電位配線533および第2高電位配線534は、第1トランス515Aの高電位コイル523および第2トランス515Bの高電位コイル523を同電位に固定している。また、第1高電位配線533および第2高電位配線534は、第3トランス515Cの高電位コイル523および第4トランス515Dの高電位コイル523を同電位に固定している。第1高電位配線533および第2高電位配線534は、この形態では、トランス515A～515Dの全ての高電位コイル523を同電位に固定している。
- [0393] 複数の第1低電位配線530は、対応する低電位端子513A～513Dおよび対応するトランス515A～515D（低電位コイル520）の第1内側末端503にそれぞれ電氣的に接続されている。複数の第1低電位配線530は、同様の構造を有している。以下では、第1低電位端子513Aおよび第1トランス515Aに接続された第1低電位配線530の構造を例にとって説明する。他の第1低電位配線530の構造の説明については、第1トランス515Aに接続された第1低電位配線530の構造の説明が準用されるものとし、省略する。
- [0394] 第1低電位配線530は、第1絶縁部550と第2絶縁部507との境界部よりも第1絶縁部550側に形成された第1配線579と、第1絶縁部550と第2絶縁部507との境界部よりも第2絶縁部507側に形成された第2配線570とを含む。第1配線579は第1絶縁部550内に形成され、第2配線570は第2絶縁部507内に形成されている。第1配線579および第2配線570は、第1絶縁部550と第2絶縁部507との境界部

において互いに接続されている。

[0395] 第1配線579は、低電位接続配線536、引き出し配線537、中継パッド電極層578、第1接続プラグ電極574、および第2接続プラグ電極575を含む。低電位接続配線536、引き出し配線537、中継パッド電極層578、第1接続プラグ電極574、および第2接続プラグ電極575は、低電位コイル520等と同一の導電材料によってそれぞれ形成されていることが好ましい。つまり、低電位接続配線536、引き出し配線537、中継パッド電極層578、第1接続プラグ電極574、および第2接続プラグ電極575は、低電位コイル520等と同様に、バリア層および本体層をそれぞれ含むことが好ましい。

[0396] 低電位接続配線536は、低電位コイル520と同一の層間絶縁層557内において第1トランス515A（低電位コイル520）の第1内側領域566に形成されている。低電位接続配線536は、アイランド状に形成され、法線方向Zに高電位端子514（第1高電位端子514A）に対向している。低電位接続配線536は、低電位コイル520の第1内側末端503に電氣的に接続されている。

[0397] 引き出し配線537は、層間絶縁層557内において半導体チップ540および第2配線570の間の領域に形成されている。引き出し配線537は、この形態では、最下絶縁層555から数えて1層目の層間絶縁層557内に形成されている。引き出し配線537は、一方側の第1端部、他方側の第2端部、ならびに、第1端部および第2端部を接続する配線部を含む。引き出し配線537の第1端部は、半導体チップ540および第2配線570の下端部の間の領域に位置している。引き出し配線537の第2端部は、半導体チップ540および低電位接続配線536の間の領域に位置している。配線部は、半導体チップ540の第1主面541に沿って延び、第1端部および第2端部の間の領域を帯状に延びている。

[0398] 中継パッド電極層578は、第1配線579において第2配線570に接続される部分である。中継パッド電極層578は、低電位コイル520と同

一の層間絶縁層 557 に形成されている。中継パッド電極層 578 は、最上絶縁層 556 に形成された貫通孔 504 から部分的に露出している。中継パッド電極層 578 は、アイランド状に形成され、法線方向 Z において、層間絶縁層 557 を挟んで引き出し配線 537 の第 1 端部に対向している。

[0399] 第 1 接続プラグ電極 574 は、層間絶縁層 557 内において中継パッド電極層 578 および引き出し配線 537 の間の領域に形成され、中継パッド電極層 578 および引き出し配線 537 の第 1 端部に電氣的に接続されている。第 2 接続プラグ電極 575 は、層間絶縁層 557 内において低電位接続配線 536 および引き出し配線 537 の間の領域に形成され、低電位接続配線 536 および引き出し配線 537 の第 2 端部に電氣的に接続されている。

[0400] 第 2 配線 570 は、柱状配線 538 と、第 1 低電位パッド配線 532 とを含む。柱状配線 538 および第 1 低電位パッド配線 532 は、高電位コイル 523 と同一の導電材料によってそれぞれ形成されていることが好ましい。つまり、柱状配線 538 および第 1 低電位パッド配線 532 は、高電位コイル 523 等と同様に、バリア層および本体層をそれぞれ含むことが好ましい。

[0401] 柱状配線 538 は、第 1 絶縁部 550 の絶縁主面 554 に形成されている。柱状配線 538 は、絶縁主面 554 から第 2 絶縁部 507 の絶縁主面 501 に向かって延び、第 2 絶縁部 507 を厚さ方向に貫通している。この形態では、柱状配線 538 は、法線方向 Z に沿って延びる柱状に形成されているが、第 2 絶縁部 507 を貫通する観点から、貫通配線と称してもよい。柱状配線 538 の下端部は、最上絶縁層 556 に形成された貫通孔 504 に入り込み、貫通孔 504 内で中継パッド電極層 578 に接続されている。柱状配線 538 は、貫通孔 504 の開口幅よりも広い幅を有している。これにより、柱状配線 538 は、貫通孔 504 の周囲の最上絶縁層 556 にオーバーラップする周縁部 505 を有している。柱状配線 538 の周縁部 505 は、最上絶縁層 556 を挟んで、中継パッド電極層 578 に対向している。また、柱状配線 538 は、中継パッド電極層 578 に直接接しており、中継パッド電

極層 5 7 8 の直上の領域に形成されている。

[0402] また、柱状配線 5 3 8 の上端部は、第 2 絶縁部 5 0 7 の絶縁主面 5 0 1 に形成された貫通孔 5 0 6 から露出している。貫通孔 5 0 6 は、第 2 絶縁部 5 0 7 の絶縁主面 5 0 1 から第 1 絶縁部 5 5 0 に向かって一定の深さを有している。これにより、柱状配線 5 3 8 の頂面 5 5 1 は、絶縁主面 5 0 1 に対して第 1 絶縁部 5 5 0 側に形成されており、頂面 5 5 1 と絶縁主面 5 0 1 との間に段差が形成されている。

[0403] 第 1 低電位パッド配線 5 3 2 は、第 2 絶縁部 5 0 7 の絶縁主面 5 0 1 上に形成されている。つまり、この形態では、第 1 低電位パッド配線 5 3 2 は、高電位コイル 5 2 3 と同一層に形成されている。第 1 低電位パッド配線 5 3 2 は、前述の低電位端子 5 1 3 を形成していてもよい。第 1 低電位パッド配線 5 3 2 は、第 2 絶縁部 5 0 7 に形成された貫通孔 5 0 6 を介して柱状配線 5 3 8 に接続されている。第 1 低電位パッド配線 5 3 2 は、柱状配線 5 3 8 よりも広い幅を有している。また、第 1 低電位パッド配線 5 3 2 は、図 2 1 に示す第 2 低電位パッド配線 1 7 1 と同様の平面形状を有していてもよい。つまり、貫通孔 5 0 6 から貫通孔 5 0 6 に重ならない領域に引き出された引き出し部 5 5 2（図示せず）を有していてもよい。この引き出し部 5 5 2 は、図 2 1 の引き出し部 1 7 5 に対応する形状であってもよい。第 1 低電位パッド配線 5 3 2 は、保護層 5 0 8 で覆われることによって、保護層 5 0 8 内に形成されている。

[0404] 複数の第 2 低電位配線 5 3 5 は、図 4 1 に示すように、対応する低電位端子 5 1 3 E、5 1 3 F および対応するトランス 5 1 5 A～5 1 5 D の低電位コイル 5 2 0 の第 1 外側末端 5 2 5 にそれぞれ電氣的に接続されている。複数の第 2 低電位配線 5 3 5 は、それぞれ、第 1 低電位配線 5 3 0 と同様の構造を有している。

[0405] 図 4 2 を参照して、複数の第 1 高電位配線 5 3 3 は、対応する高電位端子 5 1 4 A～1 2 D および対応するトランス 5 1 5 A～5 1 5 D（高電位コイル 5 2 3）の第 2 内側末端 5 2 7 にそれぞれ電氣的に接続されている。複数

の第1高電位配線533は、同様の構造をそれぞれ有している。第1高電位配線533は、前述の高電位端子514を形成していてもよい。以下では、第1高電位端子514Aおよび第1トランス515Aに接続された第1高電位配線533の構造を例にとって説明する。他の第1高電位配線533の構造の説明については、第1トランス515Aに接続された第1高電位配線533の構造の説明が準用されるものとし、省略する。

[0406] 第1高電位配線533は、高電位コイル523と同一の導電材料によって形成されていることが好ましい。つまり、第1高電位配線533は、高電位コイル523等と同様に、バリア層および本体層をそれぞれ含むことが好ましい。第1高電位配線533は、第2絶縁部507上において高電位コイル523の第2内側領域567に形成されている。第1高電位配線533は、アイランド状に形成され、高電位コイル523の第2内側末端527に電氣的に接続されている。第1高電位配線533は、法線方向Zにおいて、第2絶縁部507および最上絶縁層556を挟んで低電位接続配線536に対向している。また、第1高電位配線533は、アイランド状に形成されているから、第1高電位パッド電極層と称してもよい。

[0407] 複数の第2高電位配線534は、対応する高電位端子514E、514Fおよび対応するトランス515A～515D（高電位コイル523）の第2外側末端528にそれぞれ電氣的に接続されている。複数の第2高電位配線534は、同様の構造をそれぞれ有している。以下では、第5高電位端子514Eおよび第1トランス515A（第2トランス515B）に接続された第2高電位配線534の構造を例にとって説明する。他の第2高電位配線534の構造の説明については、第1トランス515A（第2トランス515B）に接続された第2高電位配線534の構造の説明が準用されるものとし、省略する。

[0408] 第2高電位配線534は、第1トランス515A（高電位コイル523）の第2外側末端528および第2トランス515B（高電位コイル523）の第2外側末端528に電氣的に接続されている点を除いて、第1高電位配

線533と同様の構造を有している。つまり、第2高電位配線534は、アイランド状に形成されている。第2高電位配線534は、アイランド状に形成されているから、第2高電位パッド電極層と称してもよい。

[0409] 第2高電位配線534は、第2絶縁部507上において高電位コイル523の周囲に形成されている。第2高電位配線534は、平面視において隣り合う2つの高電位コイル523の間の領域に形成され、法線方向Zに高電位端子514（第5高電位端子514E）に対向している。第2高電位配線534は、法線方向Zにおいて、第2絶縁部507および最上絶縁層556を挟んで低電位接続配線536に対向している。

[0410] 図43を参照して、低電位端子513および高電位端子514の間の距離D1は、低電位コイル520および高電位コイル523の間の距離D2を超えていることが好ましい（ $D2 < D1$ ）。距離D1は、第1絶縁部550の総厚さTB1と第2絶縁部507の総厚さTB2との和を超えていることが好ましい（ $TB1 + TB2 < D1$ ）。距離D1に対する距離D2の比 $D2/D1$ は、0.005以上0.5以下であってもよい。距離D1は、 $100\mu\text{m}$ 以上 $1000\mu\text{m}$ 以下であることが好ましい。距離D2は、 $2\mu\text{m}$ 以上 $120\mu\text{m}$ 以下であってもよい。距離D2は、 $5\mu\text{m}$ 以上 $50\mu\text{m}$ 以下であることが好ましい。距離D1および距離D2の値は任意であり、実現すべき絶縁耐圧に応じて適宜調整される。

[0411] 図42および図43を参照して、半導体装置B1は、平面視においてトランス515A～515Dの周囲に位置するように第2絶縁部507上に形成されたダミーパターン539を含む。

[0412] ダミーパターン539は、半導体装置A1のダミーパターン39と同様の形状を有していてもよい。たとえば、ダミーパターン539は、高電位ダミーパターン86に対応する形状の高電位ダミーパターン586と、第1高電位ダミーパターン87に対応する形状の第1高電位ダミーパターン587と、第2高電位ダミーパターン88に対応する形状の第2高電位ダミーパターン588と、浮遊ダミーパターン161に対応する形状の浮遊ダミーパター

ン 6 6 1 とを含んでいてもよい。なお、図 5 5 では、高電位ダミーパターン 5 8 6 と、第 2 高電位ダミーパターン 5 8 8 と、浮遊ダミーパターン 6 6 1 とが示されている。

[0413] 図 4 3 を参照して、半導体装置 B 1 は、デバイス領域 5 1 7 において半導体チップ 5 4 0 の第 1 主面 5 4 1 に形成された第 2 機能デバイス 5 6 0 を含む。第 2 機能デバイス 5 6 0 は、半導体チップ 5 4 0 の第 1 主面 5 4 1 の表層部、および／または、半導体チップ 5 4 0 の第 1 主面 5 4 1 の上の領域を利用して形成され、第 1 絶縁部 5 5 0（最下絶縁層 5 5 5）によって被覆されている。図 4 3 では、第 2 機能デバイス 5 6 0 が第 1 主面 5 4 1 の表層部に示された破線によって簡略化して示されている。

[0414] 第 2 機能デバイス 5 6 0 は、低電位配線を介して低電位端子 5 1 3 に電氣的に接続され、高電位配線を介して高電位端子 5 1 4 に電氣的に接続されている。第 2 機能デバイス 5 6 0 は、受動デバイス、半導体整流デバイスおよび半導体スイッチングデバイスのうちの少なくとも 1 つを含んでいてもよい。受動デバイスは、第 2 機能デバイス 5 6 0 は、受動デバイス、半導体整流デバイスおよび半導体スイッチングデバイスのうちの任意の 2 種以上のデバイスが選択的に組み合わされた回路網を含んでいてもよい。回路網は、集積回路の一部または全部を形成していてもよい。

[0415] 受動デバイスは、半導体受動デバイスを含んでいてもよい。受動デバイスは、抵抗およびコンデンサのいずれか一方または双方を含んでいてもよい。半導体整流デバイスは、p n 接合ダイオード、P I N ダイオード、ツェナーダイオード、ショットキーバリアダイオードおよびファーストリカバリーダイオードのうちの少なくとも 1 つを含んでいてもよい。半導体スイッチングデバイスは、B J T（Bipolar Junction Transistor）、M I S F E T（Metal Insulator Field Effect Transistor）、I G B T（Insulated Gate Bipolar Junction Transistor）および J F E T（Junction Field Effect Transistor）のうちの少なくとも 1 つを含んでいてもよい。

[0416] 図 4 3 を参照して、半導体装置 B 1 は、第 1 絶縁部 5 5 0 内に埋設された

シール導体 5 1 6 をさらに含む。シール導体 5 1 6 は、平面視において絶縁側壁 5 5 3 A～5 5 3 D から間隔を空けて第 1 絶縁部 5 5 0 内に壁状に埋設され、第 1 絶縁部 5 5 0 をデバイス領域 5 1 7 および外側領域 5 1 8 に区画している。シール導体 5 1 6 は、外側領域 5 1 8 からデバイス領域 5 1 7 への水分の進入やクラックの進入を抑制する。

[0417] デバイス領域 5 1 7 は、第 1 機能デバイス 5 4 5（複数のトランス 5 1 5）、第 2 機能デバイス 5 6 0、複数の低電位端子 5 1 3、複数の高電位端子 5 1 4、第 1 低電位配線 5 3 0、第 2 低電位配線 5 3 5、第 1 高電位配線 5 3 3、第 2 高電位配線 5 3 4 およびダミーパターン 5 3 9 を含む領域である。外側領域 5 1 8 は、デバイス領域 5 1 7 外の領域である。

[0418] シール導体 5 1 6 は、デバイス領域 5 1 7 から電氣的に切り離されている。シール導体 5 1 6 は、具体的には、第 1 機能デバイス 5 4 5（複数のトランス 5 1 5）、第 2 機能デバイス 5 6 0、複数の低電位端子 5 1 3、複数の高電位端子 5 1 4、第 1 低電位配線 5 3 0、第 2 低電位配線 5 3 5、第 1 高電位配線 5 3 3、第 2 高電位配線 5 3 4 およびダミーパターン 5 3 9 から電氣的に切り離されている。シール導体 5 1 6 は、さらに具体的には、電氣的に浮遊状態に固定されている。シール導体 5 1 6 は、デバイス領域 5 1 7 に繋がる電流経路を形成しない。

[0419] シール導体 5 1 6 は、平面視において絶縁側壁 5 5 3～5 5 3 D に沿う帯状に形成されている。シール導体 5 1 6 は、この形態では、平面視において四角環状（具体的には長方形環状）に形成されている。これにより、シール導体 5 1 6 は、平面視において四角形状（具体的には長方形形状）のデバイス領域 5 1 7 を区画している。また、シール導体 5 1 6 は、平面視においてデバイス領域 5 1 7 を取り囲む四角環状（具体的には長方形環状）の外側領域 5 1 8 を区画している。

[0420] シール導体 5 1 6 は、具体的には、絶縁主面 5 5 4 側の上端部、半導体チップ 5 4 0 側の下端部、ならびに、上端部および下端部の間を壁状に延びる壁部を有している。シール導体 5 1 6 の上端部は、この形態では、絶縁主面

554から半導体チップ540側に間隔を空けて形成され、第1絶縁部550内に位置している。シール導体516の上端部は、この形態では、最上絶縁層556によって被覆されている。シール導体516の上端部は、1つまたは複数の層間絶縁層557によって被覆されていてもよい。シール導体516の上端部は、最上絶縁層556から露出していてもよい。シール導体516の下端部は、半導体チップ540から上端部側に間隔を空けて形成されている。

[0421] このように、シール導体516は、この形態では、複数の低電位端子513および複数の高電位端子514に対して半導体チップ540側に位置するように第1絶縁部550内に埋設されている。また、シール導体516は、第1絶縁部550内において第1機能デバイス545（複数のトランス515）、第1低電位配線530、第2低電位配線535、第1高電位配線533、第2高電位配線534およびダミーパターン539に絶縁主面554に平行な方向に対向している。シール導体516は、第1絶縁部550内において、第2機能デバイス560の一部に絶縁主面554に平行な方向に対向していてもよい。

[0422] シール導体516は、複数のシールプラグ導体519、および、1つまたは複数（この形態では複数）のシールビア導体565を含む。シールビア導体565の個数は任意である。複数のシールプラグ導体519のうちの最上のシールプラグ導体519は、シール導体516の上端部を形成している。複数のシールビア導体565は、シール導体516の下端部をそれぞれ形成している。シールプラグ導体519およびシールビア導体565は、低電位コイル520と同一の導電材料によって形成されていることが好ましい。つまり、シールプラグ導体519およびシールビア導体565は、低電位コイル520等と同様に、バリア層および本体層を含むことが好ましい。

[0423] 複数のシールプラグ導体519は、複数の層間絶縁層557にそれぞれ埋め込まれ、平面視においてデバイス領域517を取り囲む四角環状（具体的には長方形環状）にそれぞれ形成されている。複数のシールプラグ導体51

9は、互いに接続されるように最下絶縁層555から最上絶縁層556に向かって積層されている。複数のシールプラグ導体519の積層数は、複数の層間絶縁層557の積層数に一致している。むろん、複数の層間絶縁層557を貫通する1つまたは複数のシールプラグ導体519が形成されていてもよい。

[0424] 複数のシールプラグ導体519の集合体によって1つの環状のシール導体516が形成されるのであれば、複数のシールプラグ導体519の全てが環状に形成される必要はない。たとえば、複数のシールプラグ導体519の少なくとも1つが有端状に形成されていてもよい。また、複数のシールプラグ導体519の少なくとも1つが複数の有端帯状部分に分割されていてもよい。ただし、デバイス領域517への水分やクラックの進入のリスクを鑑みると、複数のシールプラグ導体519は、無端状（環状）に形成されていることが好ましい。

[0425] 複数のシールビア導体565は、最下絶縁層555において半導体チップ540およびシールプラグ導体519の間の領域にそれぞれ形成されている。複数のシールビア導体565は、半導体チップ540に接続され、かつシールプラグ導体519に接続されている。これにより、シール導体516は、シールビア導体565を介して、グランド電位に固定されていてもよい。複数のシールビア導体565は、シールプラグ導体519の平面積未満の平面積を有している。単一のシールビア導体565が形成されている場合、単一のシールビア導体565は、シールプラグ導体519の平面積以上の平面積を有していてもよい。

[0426] シール導体516の幅は、 $0.1\mu\text{m}$ 以上 $20\mu\text{m}$ 以下であってもよい。シール導体516の幅は、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることが好ましい。シール導体516の幅は、シール導体516が延びる方向に直交する方向の幅によって定義される。

[0427] 図43を参照して、保護層508は、高電位コイル523、低電位端子513、高電位端子514およびダミーパターン539を被覆するように第2

絶縁部507の絶縁主面501の上に形成されている。保護層508は、パッシベーション層と称されてもよい。保護層508は、絶縁主面501の上から第2絶縁部507、第1絶縁部550および半導体チップ540を保護する。保護層508は、有機絶縁層からなってもよく、感光性樹脂を含んでいてもよい。保護層508は、ポリイミド、ポリアミドおよびポリベンゾオキサゾールのうちの少なくとも1つを含んでいてもよい。保護層508は、この形態では、ポリイミドを含む。保護層508の厚さは、 $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下であってもよい。

[0428] 保護層508の厚さは、低電位コイル520および高電位コイル523の間の距離D2以上であることが好ましい。この場合、保護層508の厚さは $5\mu\text{m}$ 以上 $50\mu\text{m}$ 以下であることが好ましい。これらの構造によれば、保護層508の厚化を抑制できると同時に、保護層508によって高電位コイル523上の絶縁耐圧を適切に高めることができる。

[0429] 保護層508は、複数の低電位端子513をそれぞれ露出させる複数の低電位端子開口688を有している。低電位端子開口688から露出する低電位端子513は、低電位パッド691と称してもよい。低電位パッド691の表面には、パラジウムおよびニッケルのうちの少なくとも1つを含む被覆層が形成されていてもよい。低電位端子開口688は、第1低電位パッド配線532の引き出し部552を露出させている。つまり、低電位端子開口688は、平面視において、貫通孔506に対向しておらず、貫通孔506からずれた位置に形成されている。これにより、低電位端子513に対するボンディングワイヤ71の接続不良を抑制することができる。たとえば、貫通孔506に第1低電位パッド配線532の導電材料を埋め込む際、貫通孔506の径の大きさによっては、埋め込み後の第1低電位パッド配線532の上面が貫通孔506に重なる位置で凹む場合がある。しかしながら、この形態では、第1低電位パッド配線532の一部を第2絶縁部507の平坦な絶縁主面501上に引き出して引き出し部552を形成し、この引き出し部552を低電位端子開口688から露出させている。その結果、低電位端子開

□ 6 8 8 からの第 1 低電位パッド配線 5 3 2 の露出部分が平坦となるので、ボンディングワイヤ 7 1 を良好に接続することができる。

[0430] また、保護層 5 0 8 は、複数の高電位端子 5 1 4 をそれぞれ露出させる複数の高電位端子開口 6 8 9 を有している。高電位端子開口 6 8 9 から露出する高電位端子 5 1 4 は、高電位パッド 6 9 2 と称してもよい。

[0431] 以上、この半導体装置 B 1 によれば、低電位コイル 5 2 0 と高電位コイル 5 2 3 との間に、有機絶縁層 5 8 4 からなる第 2 絶縁部 5 0 7 が形成されている。そのため、低電位コイル 5 2 0 と高電位コイル 5 2 3 との間の絶縁耐圧を、第 2 絶縁部 5 0 7 の厚膜化によって達成することができる。有機絶縁層 5 8 4 であれば、無機絶縁層 5 5 8, 5 5 9 のように互いに異なる複数種の絶縁材料からなる積層構造としなくても、1 種の有機絶縁材料（樹脂材料）だけで、第 2 絶縁部 5 0 7 を厚く形成することができる。たとえば、スピコート法によって簡単に厚膜化することができる。その結果、第 1 絶縁部 5 5 0 を厚く形成する場合に比べてリードタイムを短縮でき、コストを低減することができる。

[0432] さらに、第 2 絶縁部 5 0 7 が単層の有機絶縁層 5 8 4 からなるため、第 2 絶縁部 5 0 7 を貫通する配線（柱状配線 5 3 8）を、1 回のめっき成長によって簡単に形成することができる。これに対し、第 2 絶縁部 7 0 7 が第 1 絶縁部 5 5 0 のように複数の無機絶縁層を含む多層配線構造であると、各無機絶縁層を積層する都度、当該無機絶縁層に導体（たとえば、シール導体 5 1 6 と同様に）を埋め込む工程が必要となり、第 2 絶縁部 5 0 7 を貫通する配線を形成するために、多層配線構造の層の数と同等の工程が必要となる。そのため、この半導体装置 B 1 では、第 2 絶縁部 5 0 7 を貫通する配線の形成工程のリードタイムも短縮することができる。

[0433] 一方、低電位コイル 5 2 0 と半導体チップ 5 4 0 との間は、層間絶縁層 5 5 7 を含む多層絶縁積層構造からなる第 1 絶縁部 5 5 0 である。これにより、第 1 機能デバイス 5 4 5（トランス 5 1 5）と第 2 機能デバイス 5 6 0 とが混載される場合において、第 1 絶縁部 5 5 0 を第 2 機能デバイス 5 6 0 に

接続される多層配線を引き回すスペースとして使用することができる。また、無機絶縁層からなる第1絶縁部550は、有機絶縁層からなる第2絶縁部507に比べて平坦性がよいので、半導体チップ540上の多層配線構造の平坦性を良好に確保することもできる。

[0434] なお、前述の説明では、シール導体516は、シールビア導体565を介して半導体チップ540に接続され、グランド電位に固定されていた。一方、図44に示すように、シールビア導体565を省略することによって、シール導体516は、グランド電位に固定されていなくてもよい。

[0435] また、第2絶縁部507の絶縁主面501と絶縁側壁502A～502Dとが交差することによって形成される第2絶縁部507の上部角部は、図43および図44に示すように、一定の角度を有していてもよいし、断面視曲線形状になるようにラウンド形状であってもよい。また、絶縁主面501の全体が、半導体チップ540の反対側に膨らむ曲面形状であってもよい。

[0436] また、第2絶縁部507は、複数の有機絶縁層の積層構造を有していてもよい。この場合、複数の有機絶縁層は、互いに同一の有機絶縁材料からなっているとしてもよいし、互いに異なる有機絶縁材料からなっているとしてもよい。

(第2実施形態)

図45は、本開示の一実施形態に係る半導体装置B2の模式的な断面図である。以下では、前述の半導体装置B1に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

[0437] 半導体装置B2では、第1低電位配線530の一部が、半導体装置B2の低電位端子513として機能する。より具体的には、第1配線579（中継パッド電極層578）が、低電位パッド691として露出している。この場合、中継パッド電極層578は、半導体装置B1とは異なり、柱状配線538と第1低電位配線530と間で電流を中継する部材ではないため、たとえば、パッド電極層と称してもよい。

[0438] 低電位パッド691を露出させる低電位端子開口690は、保護層508および第2絶縁部507を貫通して形成されている。低電位端子開口690

は、第2絶縁部507に形成された第1部分693と、保護層508に形成された第2部分694とを含んでいてもよい。第2部分694は、第1部分693よりも大きな幅で形成されている。これにより、第1部分693と第2部分694との間に、段差が形成されている。また、第1部分693は、低電位パッド691に向かって幅が狭まる断面視テーパ状に形成されていてもよい。一方、第2部分694は、低電位パッド691に向かって幅がほぼ一定であってもよい。

[0439] また、低電位端子開口690の第1部分693は、最上絶縁層556の貫通孔504よりも大きな幅で形成されている。これにより、低電位端子開口690の第1部分693と貫通孔504との間に、段差が形成されていてもよい。

[0440] 以上、この半導体装置B2によれば、半導体装置B1と同様に、低電位コイル520と高電位コイル523との間に、有機絶縁層584からなる第2絶縁部507が形成されている。そのため、低電位コイル520と高電位コイル523との間の絶縁耐圧を、第2絶縁部507の厚膜化によって達成することができる。その結果、第1絶縁部550を厚く形成する場合に比べてリードタイムを短縮でき、コストを低減することができる。

[0441] また、低電位コイル520と半導体チップ540との間は、層間絶縁層557を含む多層絶縁積層構造からなる第1絶縁部550である。これにより、第1機能デバイス545（トランス515）と第2機能デバイス560とが混載される場合において、第1絶縁部550を第2機能デバイス560に接続される多層配線を引き回すスペースとして使用することができる。また、無機絶縁層からなる第1絶縁部550は、有機絶縁層からなる第2絶縁部507に比べて平坦性がよいので、半導体チップ540上の多層配線構造の平坦性を良好に確保することもできる。

[0442] さらに、柱状配線538および第1低電位パッド配線532が形成されておらず、ボンディングワイヤ71が第1配線579（第1低電位配線530）に直接接続されている。そのため、柱状配線538および第1低電位パッド

ド配線 5 3 2 の形成工程を省略できるので、リードタイムをさらに短縮することができる。

[0443] なお、前述の説明では、シール導体 5 1 6 は、シールビア導体 5 6 5 を介して半導体チップ 5 4 0 に接続され、グランド電位に固定されていた。一方、図 4 6 に示すように、シールビア導体 5 6 5 を省略することによって、シール導体 5 1 6 は、グランド電位に固定されていなくてもよい。

(第 3 実施形態)

図 4 7 は、本開示の一実施形態に係る半導体装置 B 3 の模式的な断面図である。以下では、前述の半導体装置 B 1 に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

[0444] 半導体装置 B 3 では、保護層 5 0 8 は、第 1 保護層 5 6 8 と、第 2 保護層 5 6 9 とを含む。第 1 保護層 5 6 8 は、高電位コイル 5 2 3、第 1 低電位パッド配線 5 3 2、第 1 高電位配線 5 3 3 およびダミーパターン 5 3 9 を覆うように第 2 絶縁部 5 0 7 の絶縁主面 5 0 1 の上に形成されている。第 2 保護層 5 6 9 は、第 1 保護層 5 6 8 上に積層されている。

[0445] 第 1 保護層 5 6 8 および第 2 保護層 5 6 9 は、互いに同じ有機絶縁層からなってもよいし、異なる種類の有機絶縁層からなってもよい。たとえば、第 1 保護層 5 6 8 は、ポリイミド、ポリアミドおよびポリベンゾオキサゾールのうちの少なくとも 1 つを含んでいてもよく、第 2 保護層 5 6 9 は、上記例示した有機絶縁材料のうち、第 1 保護層 5 6 8 と同じ有機絶縁材料、もしくは第 1 保護層 5 6 8 と異なる種類の有機絶縁材料からなってもよい。

[0446] また、第 1 保護層 5 6 8 および第 2 保護層 5 6 9 の厚さは、互いに同じであってもよいし、互いの異なってもよい。この形態では、第 2 保護層 5 6 9 の厚さが、第 1 保護層 5 6 8 の厚さよりも大きいことが好ましい。第 2 保護層 5 6 9 を厚くすることによって、後述する凹部 6 7 9 を深くすることができるので、高電位端子 5 1 4 および低電位端子 5 1 3 の間の沿面距離をさらに増加させることができる。たとえば、第 1 保護層 5 6 8 の厚さは、 $1\ \mu$

m以上100 μ m以下であり、第2保護層569の厚さは、1 μ m以上100 μ m以下であってもよい。

[0447] 第1保護層568の主面には、第2低電位パッド配線676および高電位パッド配線677が形成されている。第2低電位パッド配線676および高電位パッド配線677は、高電位コイル523と同一の導電材料によってそれぞれ形成されていることが好ましい。つまり、第2低電位パッド配線676および高電位パッド配線677は、高電位コイル523等と同様に、バリア層および本体層をそれぞれ含むことが好ましい。

[0448] 第2低電位パッド配線676は、第1保護層568の主面に形成されている。つまり、この形態では、第2低電位パッド配線676は、高電位コイル523よりも上層に形成されている。また、第2低電位パッド配線676は、第2保護層569で覆われることによって、第2保護層569内に形成されている。第2低電位パッド配線676は、前述の低電位端子513を形成していてもよい。第2低電位パッド配線676は、第1保護層568に形成された貫通孔576を介して第1低電位パッド配線532に接続されている。

[0449] 高電位パッド配線677は、第1保護層568の主面に形成されている。つまり、この形態では、高電位パッド配線677は、高電位コイル523よりも上層に形成されている。また、高電位パッド配線677は、第2保護層569で覆われることによって、第2保護層569内に形成されている。高電位パッド配線677は、前述の高電位端子514を形成していてもよい。高電位パッド配線677は、第1保護層568に形成された貫通孔585を介して第1高電位配線533に接続されている。

[0450] 第2低電位パッド配線676および高電位パッド配線677は、それぞれ、アイランド状に形成されていてもよいし、第1低電位パッド配線532と同様に、貫通孔576および貫通孔585から、貫通孔576および貫通孔585に重ならない領域に引き出された引き出し部（図示せず）を有していてもよい。

- [0451] 保護層508は、複数の第2低電位パッド配線676（低電位端子513）をそれぞれ露出させる複数の低電位端子開口688を有している。低電位端子開口688から露出する低電位端子513は、低電位パッド691と称してもよい。
- [0452] また、保護層508は、複数の高電位パッド配線677（高電位端子514）をそれぞれ露出させる複数の高電位端子開口689を有している。高電位端子開口689から露出する高電位端子514は、高電位パッド692と称してもよい。高電位パッド692の表面には、パラジウムおよびニッケルのうちの少なくとも1つを含む被覆層が形成されていてもよい。
- [0453] また、保護層508は、低電位端子開口688と高電位端子開口689との間の領域に凹凸構造678を有している。凹凸構造678は、保護層508の保護主面582から第2絶縁部507に向かって窪んだ複数の凹部679を含む。凹凸構造678は、保護層508の保護主面582に沿う沿面距離を増加させている。したがって、凹凸構造678は、保護層508の保護主面582に沿う沿面放電の発生を抑制している。複数の凹部679は、この形態では、第2保護層569を貫通し、かつ第1保護層568の主面を露出させており、上端から下端まで第2保護層569で形成された側面と、第1保護層568で形成された底面とを有している。一方、複数の凹部679は、第2保護層569を貫通し、その底部が第1保護層568の厚さ方向途中に達していてもよい。この場合、複数の凹部679の側面は、第2保護層569で形成された上部と、第1保護層568で形成された下部とを有していてもよい。また、図示はしないが、凹凸構造678は、平面視で高電位コイル523を取り囲むように形成されていてもよい。
- [0454] 以上、この半導体装置B3によれば、半導体装置B1と同様に、低電位コイル520と高電位コイル523との間に、有機絶縁層584からなる第2絶縁部507が形成されている。そのため、低電位コイル520と高電位コイル523との間の絶縁耐圧を、第2絶縁部507の厚膜化によって達成することができる。その結果、第1絶縁部550を厚く形成する場合に比べて

リードタイムを短縮でき、コストを低減することができる。

[0455] また、半導体装置B 1と同様に、低電位コイル5 2 0と半導体チップ5 4 0との間には、層間絶縁層5 5 7を含む多層絶縁積層構造からなる第1絶縁部5 5 0である。これにより、第1機能デバイス5 4 5（トランス5 1 5）と第2機能デバイス5 6 0とが混載される場合において、第1絶縁部5 5 0を第2機能デバイス5 6 0に接続される多層配線を引き回すスペースとして使用することができる。また、無機絶縁層からなる第1絶縁部5 5 0は、有機絶縁層からなる第2絶縁部5 0 7に比べて平坦性がよいので、半導体チップ5 4 0上の多層配線構造の平坦性を良好に確保することもできる。

[0456] また、保護層5 0 8に凹凸構造6 7 8が形成されている。これにより、高電位端子5 1 4および低電位端子5 1 3の間の保護層5 0 8の保護主面5 8 2に沿う沿面距離を増加させることができ、かつ、高電位端子5 1 4および低電位端子5 1 3の間の絶縁距離を増加させることができる。よって、高電位端子5 1 4および低電位端子5 1 3の間の領域において沿面放電の発生を抑制できるから、これら高電位端子5 1 4および低電位端子5 1 3の間の保護層5 0 8の破壊や劣化を抑制することができる。その結果、高電位端子5 1 4および低電位端子5 1 3が短絡することを抑制できるから、当該短絡の発生による保護層5 0 8の更なる破壊や劣化を抑制することができる。

[0457] なお、前述の説明では、シール導体5 1 6は、シールビア導体5 6 5を介して半導体チップ5 4 0に接続され、グラウンド電位に固定されていた。一方、図4 8に示すように、シールビア導体5 6 5を省略することによって、シール導体5 1 6は、グラウンド電位に固定されていなくてもよい。

（第4実施形態）

図4 9は、本開示の一実施形態に係る半導体装置B 4の模式的な断面図である。以下では、前述の半導体装置B 2および半導体装置B 3に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

[0458] 半導体装置B 4では、半導体装置B 2の保護層5 0 8が、前述の半導体装置B 3と同様に、第1保護層5 6 8と、第2保護層5 6 9とを含む。また、

保護層 508 が、低電位端子開口 690 と高電位端子開口 689 との間の領域に凹凸構造 678 を有している。

[0459] 以上、この半導体装置 B4 によれば、半導体装置 B1 と同様に、低電位コイル 520 と高電位コイル 523 との間に、有機絶縁層 584 からなる第 2 絶縁部 507 が形成されている。そのため、低電位コイル 520 と高電位コイル 523 との間の絶縁耐圧を、第 2 絶縁部 507 の厚膜化によって達成することができる。その結果、第 1 絶縁部 550 を厚く形成する場合に比べてリードタイムを短縮でき、コストを低減することができる。

[0460] また、半導体装置 B1 と同様に、低電位コイル 520 と半導体チップ 540 との間は、層間絶縁層 557 を含む多層絶縁積層構造からなる第 1 絶縁部 550 である。これにより、第 1 機能デバイス 545 (トランス 515) と第 2 機能デバイス 560 とが混載される場合において、第 1 絶縁部 550 を第 2 機能デバイス 560 に接続される多層配線を引き回すスペースとして使用することができる。また、無機絶縁層からなる第 1 絶縁部 550 は、有機絶縁層からなる第 2 絶縁部 507 に比べて平坦性がよいので、半導体チップ 540 上の多層配線構造の平坦性を良好に確保することもできる。

[0461] さらに、半導体装置 B2 と同様に、柱状配線 538 および第 1 低電位パッド配線 532 が形成されておらず、ボンディングワイヤ 71 が第 1 配線 579 (第 1 低電位配線 530) に直接接続されている。そのため、柱状配線 538 および第 1 低電位パッド配線 532 の形成工程を省略できるので、リードタイムをさらに短縮することができる。

[0462] また、半導体装置 B3 と同様に、保護層 508 に凹凸構造 678 が形成されている。これにより、高電位端子 514 および低電位端子 513 の間の保護層 508 の保護主面 582 に沿う沿面距離を増加させることができ、かつ、高電位端子 514 および低電位端子 513 の間の絶縁距離を増加させることができる。よって、高電位端子 514 および低電位端子 513 の間の領域において沿面放電の発生を抑制できるから、これら高電位端子 514 および低電位端子 513 の間の保護層 508 の破壊や劣化を抑制することができる。

。その結果、高電位端子514および低電位端子513が短絡することを抑制できるから、当該短絡の発生による保護層508の更なる破壊や劣化を抑制することができる。

[0463] なお、前述の説明では、シール導体516は、シールビア導体565を介して半導体チップ540に接続され、グランド電位に固定されていた。一方、図50に示すように、シールビア導体565を省略することによって、シール導体516は、グランド電位に固定されていなくてもよい。

<半導体装置C1～C4の構造>

(第1実施形態)

図51は、本開示の一実施形態に係る半導体装置C1の模式的な平面図である。図52は、図51の半導体装置C1において低電位コイル720が形成された層を示す平面図である。図53は、図51の半導体装置C1において高電位コイル723が形成された層を示す平面図である。図54は、図51の半導体装置C1の模式的な断面図である。図55は、図51の半導体装置C1の要部拡大図である。

[0464] 図51～図54を参照して、半導体装置C1は、直方体形状の半導体チップ740を含む。半導体チップ740は、シリコン、ワイドバンドギャップ半導体および化合物半導体のうちの少なくとも1つを含む。

[0465] ワイドバンドギャップ半導体は、シリコンのバンドギャップ（約1.12 eV）を超える半導体からなる。ワイドバンドギャップ半導体のバンドギャップは、2.0 eV以上であることが好ましい。ワイドバンドギャップ半導体は、SiC（炭化シリコン）であってもよい。化合物半導体は、III-V族化合物半導体であってもよい。化合物半導体は、AlN（窒化アルミニウム）、InN（窒化インジウム）、GaN（窒化ガリウム）およびGaAs（ヒ化ガリウム）のうちの少なくとも1つを含んでいてもよい。

[0466] 半導体チップ740は、この形態では、シリコン製の半導体基板を含む。半導体チップ740は、シリコン製の半導体基板およびシリコン製のエピタキシャル層を含む積層構造を有するエピタキシャル基板であってもよい。半

導体基板の導電型は、n型またはp型であってもよい。エピタキシャル層は、n型またはp型であってもよい。また、半導体チップ740は、グラウンド電位に固定されていてもよい。

[0467] 半導体チップ740は、一方側の第1主面741、他方側の第2主面742、ならびに、第1主面741および第2主面742を接続するチップ側壁744A～744Dを有している。第1主面741および第2主面742は、それらの法線方向Zから見た平面視（以下、単に「平面視」という。）において四角形状（この形態では長方形形状）に形成されている。

[0468] チップ側壁744A～744Dは、第1チップ側壁744A、第2チップ側壁744B、第3チップ側壁744Cおよび第4チップ側壁744Dを含む。第1チップ側壁744Aおよび第2チップ側壁744Bは、半導体チップ740の長辺を形成している。第1チップ側壁744Aおよび第2チップ側壁744Bは、第1方向Xに沿って延び、第2方向Yに対向している。第3チップ側壁744Cおよび第4チップ側壁744Dは、半導体チップ740の短辺を形成している。第3チップ側壁744Cおよび第4チップ側壁744Dは、第2方向Yに延び、第1方向Xに対向している。チップ側壁744A～744Dは、研削面からなる。

[0469] 半導体装置C1は、半導体チップ740の第1主面741の上に順に形成された、第1絶縁部750と、第2絶縁部707と、保護層708とを含む。

[0470] 第1絶縁部750は、絶縁主面754および絶縁側壁753A～753Dを有している。絶縁主面754は、平面視において第1主面741に整合する四角形状（この形態では長方形形状）に形成されている。絶縁主面754は、第1主面741に対して平行に延びている。

[0471] 絶縁側壁753A～753Dは、第1絶縁側壁753A、第2絶縁側壁753B、第3絶縁側壁753Cおよび第4絶縁側壁753Dを含む。絶縁側壁753A～753Dは、絶縁主面754の周縁から半導体チップ740に向けて延び、チップ側壁744A～744Dに連なっている。絶縁側壁75

3 A～7 5 3 Dは、具体的には、チップ側壁7 4 4 A～7 4 4 Dに対して面に形成されている。絶縁側壁7 5 3 A～7 5 3 Dは、チップ側壁7 4 4 A～7 4 4 Dに面一な研削面を形成している。

[0472] 第2絶縁部7 0 7は、絶縁主面7 5 4上に形成されており、絶縁主面7 0 4および絶縁側壁7 0 5 A～7 0 5 Dを有している。絶縁主面7 0 4は、平面視において第1主面7 4 1に整合する四角形状（この形態では長方形形状）に形成されている。絶縁主面7 0 4は、第1主面7 4 1に対して平行に延びている。

[0473] 絶縁側壁7 0 5 A～7 0 5 Dは、第1絶縁側壁7 0 5 A、第2絶縁側壁7 0 5 B、第3絶縁側壁7 0 5 Cおよび第4絶縁側壁7 0 5 Dを含む。絶縁側壁7 0 5 A～7 0 5 Dは、絶縁主面7 0 4の周縁から半導体チップ7 4 0に向けて延びている。絶縁側壁7 0 5 A～7 0 5 Dは、具体的には、絶縁側壁7 5 3 A～7 5 3 Dに対して内側に形成されている。これにより、絶縁側壁7 0 5 A～7 0 5 Dと絶縁側壁7 5 3 A～7 5 3 Dの間には、段差が形成されている。

[0474] 保護層7 0 8は、絶縁主面7 0 4上に形成されており、保護主面7 8 2および保護側壁7 8 3 A～7 8 3 Dを有している。保護主面7 8 2は、平面視において第1主面7 4 1に整合する四角形状（この形態では長方形形状）に形成されている。保護主面7 8 2は、第1主面7 4 1に対して平行に延びている。

[0475] 保護側壁7 8 3 A～7 8 3 Dは、第1保護側壁7 8 3 A、第2保護側壁7 8 3 B、第3保護側壁7 8 3 Cおよび第4保護側壁7 8 3 Dを含む。保護側壁7 8 3 A～7 8 3 Dは、保護主面7 8 2の周縁から半導体チップ7 4 0に向けて延びている。保護側壁7 8 3 A～7 8 3 Dは、具体的には、絶縁側壁7 0 5 A～7 0 5 Dに対して内側に形成されている。これにより、保護側壁7 8 3 A～7 8 3 Dと絶縁側壁7 0 5 A～7 0 5 Dの間には、段差が形成されている。

[0476] 第1絶縁部7 5 0は、複数の有機絶縁層を含む多層絶縁積層構造からなる

。この形態では、第1絶縁部750は、第1有機絶縁層755および第2有機絶縁層756を含む。第2有機絶縁層756は、絶縁主面754を形成する層であり、最上有機絶縁層と称してもよい。一方、第1有機絶縁層755は、半導体チップ740の第1主面741に接する層であり、最下有機絶縁層と称してもよい。また、第1有機絶縁層755（最下有機絶縁層）と第2有機絶縁層756（最上有機絶縁層）との間に、1層以上の有機絶縁層が存在していてもよい。

[0477] 第1有機絶縁層755および第2有機絶縁層756は、互いに同じ有機絶縁層からなってもよいし、異なる種類の有機絶縁層からなってもよい。たとえば、第1有機絶縁層755は、ポリイミド、ポリアミドおよびポリベンゾオキサゾールのうちの少なくとも1つを含んでいてもよく、第2有機絶縁層756は、上記例示した有機絶縁材料のうち、第1有機絶縁層755と同じ有機絶縁材料、もしくは第1有機絶縁層755と異なる種類の有機絶縁材料からなってもよい。

[0478] また、第1有機絶縁層755および第2有機絶縁層756の厚さは、互いに同じであってもよいし、互いの異なってもよい。この形態では、第2有機絶縁層756の厚さが、第1有機絶縁層755の厚さよりも大きいことが好ましい。たとえば、第1有機絶縁層755の厚さは、 $0.5\mu\text{m}$ 以上 $30\mu\text{m}$ 以下であり、第2有機絶縁層756の厚さは、 $0.5\mu\text{m}$ 以上 $30\mu\text{m}$ 以下であってもよい。第1絶縁部750の総厚さTC1は、 $1\mu\text{m}$ 以上 $60\mu\text{m}$ 以下であってもよい。第1絶縁部750の総厚さTC1は任意であり、実現すべき絶縁耐圧（絶縁破壊耐量）に応じて調整される。

[0479] 第2絶縁部707は、有機絶縁層784を含む層構造を有している。第2絶縁部707は、この形態では、有機絶縁層784の単一層からなるが、複数の有機絶縁層の積層構造であってもよい。有機絶縁層784としては、たとえば、ポリイミド膜、フェノール樹脂膜およびエポキシ樹脂膜等が挙げられる。第2絶縁部707の総厚さTC2は、 $2\mu\text{m}$ 以上 $100\mu\text{m}$ 以下であってもよい。第2絶縁部707の総厚さTC2は任意であり、実現すべき絶

縁耐圧（絶縁破壊耐量）に応じて調整される。

[0480] 保護層 708 は、絶縁主面 704 の上から第 2 絶縁部 707、第 1 絶縁部 750 および半導体チップ 740 を保護する。保護層 708 は、有機絶縁層からなっているとしてもよく、感光性樹脂を含んでいてもよい。保護層 708 は、ポリイミド、ポリアミドおよびポリベンゾオキサゾールのうちの少なくとも 1 つを含んでいてもよい。保護層 708 は、この形態では、ポリイミドを含む。

[0481] 第 1 絶縁部 750 の一部は、パッド領域 757 として保護層 708 および第 2 絶縁部 707 から露出している。この形態では、第 2 絶縁部 707 の絶縁側壁 705 B および保護層 708 の保護側壁 783 B と第 1 絶縁部 750 の絶縁側壁 753 B との間に、半導体チップ 740 のチップ側壁 744 B 側に向かって開放した空間部 758 が形成されている。空間部 758 は、絶縁主面 754、絶縁側壁 705 B および保護側壁 783 B によって区画された領域であり、この空間部 758 を形成する絶縁主面 754 がパッド領域 757 を形成する。また、絶縁側壁 705 B は、半導体チップ 740 の第 1 主面 741 に対して傾斜するように形成されていてもよい。一方、保護側壁 783 B は、半導体チップ 740 の第 1 主面 741 に対して垂直に形成されていてもよい。つまり、空間部 758 を形成する側壁 705 B、783 B は、半導体チップ 740 の第 1 主面 741 の法線方向 Z に対して一部が傾斜し、その他の部分が当該傾斜部分に対して傾斜していてもよい。

[0482] 半導体装置 C1 は、第 1 機能デバイス 745 を含む。第 1 機能デバイス 745 は、1 つまたは複数（この形態では複数）のトランス 715（変圧器）を含む。つまり、半導体装置 C1 は、複数のトランス 715 を含むマルチチャンネル型のデバイスからなる。複数のトランス 715 は、絶縁側壁 753 A ～ 753 D から間隔を空けて第 1 絶縁部 750 および第 2 絶縁部 707 の積層構造の内方部に形成されている。複数のトランス 715 は、第 1 方向 X に間隔を空けて形成されている。

[0483] 複数のトランス 715 は、具体的には、平面視において絶縁側壁 753 C

側から絶縁側壁 7 5 3 D 側に向けてこの順に形成された第 1 トランス 7 1 5 A、第 2 トランス 7 1 5 B、第 3 トランス 7 1 5 C および第 4 トランス 7 1 5 D を含む。第 1 トランス 7 1 5 A、第 2 トランス 7 1 5 B、第 3 トランス 7 1 5 C および第 4 トランス 7 1 5 D は、それぞれ、図 1 1 の第 1 トランス 1 3 1、第 2 トランス 1 3 2、第 3 トランス 1 3 3 および第 4 トランス 1 3 4 に対応していてもよい。複数のトランス 7 1 5 A ~ 7 1 5 D は、同様の構造をそれぞれ有している。以下では、第 1 トランス 7 1 5 A の構造を例にとって説明する。第 2 トランス 7 1 5 B、第 3 トランス 7 1 5 C および第 4 トランス 7 1 5 D の構造の説明については、第 1 トランス 7 1 5 A の構造の説明が準用されるものとし、省略する。

[0484] 図 5 1 ~ 図 5 4 を参照して、第 1 トランス 7 1 5 A は、低電位コイル 7 2 0 および高電位コイル 7 2 3 を含む。低電位コイル 7 2 0 は、第 1 絶縁部 7 5 0 上に形成されている。高電位コイル 7 2 3 は、法線方向 Z に低電位コイル 7 2 0 と対向するように第 2 絶縁部 7 0 7 上に形成されている。低電位コイル 7 2 0 は、第 1 絶縁部 7 5 0 の絶縁主面 7 5 4 に形成されている。高電位コイル 7 2 3 は、第 2 絶縁部 7 0 7 の絶縁主面 7 0 4 に形成されている。つまり、高電位コイル 7 2 3 は、低電位コイル 7 2 0 を挟んで半導体チップ 7 4 0 に対向している。低電位コイル 7 2 0 および高電位コイル 7 2 3 の配置箇所は任意である。また、高電位コイル 7 2 3 は、第 2 絶縁部 7 0 7 を挟んで低電位コイル 7 2 0 に対向していればよい。

[0485] 低電位コイル 7 2 0 および高電位コイル 7 2 3 の間の距離 D 2 (つまり、第 2 絶縁部 7 0 7 の厚さ) は、低電位コイル 7 2 0 および高電位コイル 7 2 3 の間の絶縁耐圧や電界強度に応じて適宜調整される。低電位コイル 7 2 0 は、この形態では、第 1 絶縁部 7 5 0 の絶縁主面 7 5 4 に形成されている。一方、高電位コイル 7 2 3 は、第 2 絶縁部 7 0 7 の絶縁主面 7 0 4 に形成されている。したがって、低電位コイル 7 2 0 と高電位コイル 7 2 3 との間には、第 2 絶縁部 7 0 7 が介在している。

[0486] 低電位コイル 7 2 0 は、第 1 絶縁部 7 5 0 の絶縁主面 7 5 4 から半導体チ

ップ740とは反対側に立設するように形成されている。低電位コイル720は、その頂部側から第2絶縁部707に覆われている。低電位コイル720は、図52に示すように、第1内側末端703、第1外側末端725、ならびに、第1内側末端703および第1外側末端725の間を螺旋状に引き回された第1螺旋部726を含む。第1螺旋部726は、平面視において楕円形状（長円形状）に延びる螺旋状に引き回されている。第1螺旋部726の最内周縁を形成する部分は、平面視において楕円形状の第1内側領域766を区画している。

[0487] 第1螺旋部726の巻回数は、3以上30以下であってもよい。第1螺旋部726の幅は、 $0.1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第1螺旋部726の幅は、 $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であることが好ましい。第1螺旋部726の幅は、螺旋方向に直交する方向の幅によって定義される。第1螺旋部726の第1巻回ピッチは、 $0.1\mu\text{m}$ 以上 $20\mu\text{m}$ 以下であってもよい。第1巻回ピッチは、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることが好ましい。第1巻回ピッチは、第1螺旋部726において螺旋方向に直交する方向に隣り合う2つの部分の間の距離によって定義される。

[0488] 第1螺旋部726の巻回形状や、第1内側領域766の平面形状は任意であり、図52等に表示される形態に限定されない。第1螺旋部726は、平面視において三角形状、四角形状等の多角形状、または、円形状に巻回されていてもよい。第1内側領域766は、第1螺旋部726の巻回形状に応じて、平面視において三角形状、四角形状等の多角形状、または、円形状に区画されていてもよい。また、第1螺旋部726の隙間には、第2絶縁部707の一部が入り込んでいる。

[0489] 低電位コイル720は、チタン、窒化チタン、銅、アルミニウムおよびタングステンのうちの少なくとも1つを含んでいてもよい。低電位コイル720は、バリア層および本体層を含む積層構造を有していてもよい。バリア層は、第1絶縁部750の絶縁主面754に沿って平坦な形状で形成される。本体層は、バリア層上に積層される。バリア層は、チタンおよび窒化チタン

のうちの少なくとも1つを含んでいてもよい。本体層は、銅、アルミニウムおよびタングステンのうちの少なくとも1つを含んでいてもよい。

[0490] 高電位コイル723は、第2絶縁部707の絶縁主面704から第1絶縁部750とは反対側に立設するように形成されている。高電位コイル723は、その頂部側から保護層708に覆われている。高電位コイル723は、図53に示すように、第2内側末端727、第2外側末端728、ならびに、第2内側末端727および第2外側末端728の間を螺旋状に引き回された第2螺旋部729を含む。第2螺旋部729は、平面視において楕円形状（長円形状）に延びる螺旋状に引き回されている。第2螺旋部729の最内周縁を形成する部分は、この形態では、平面視において楕円形状の第2内側領域767を区画している。第2螺旋部729の第2内側領域767は、法線方向Zに第1螺旋部726の第1内側領域766に対向している。

[0491] 第2螺旋部729の巻回数は、5以上30以下であってもよい。第1螺旋部726の巻回数に対する第2螺旋部729の巻回数は、昇圧すべき電圧値に応じて調整される。第2螺旋部729の巻回数は、第1螺旋部726の巻回数を超えていることが好ましい。むしろ、第2螺旋部729の巻回数は、第1螺旋部726の巻回数未満であってもよいし、第1螺旋部726の巻回数と等しくてもよい。

[0492] 第2螺旋部729の幅は、 $0.1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第2螺旋部729の幅は、 $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であることが好ましい。第2螺旋部729の幅は、螺旋方向に直交する方向の幅によって定義される。第2螺旋部729の幅は、第1螺旋部726の幅と等しいことが好ましい。

[0493] 第2螺旋部729の第2巻回ピッチは、 $0.1\mu\text{m}$ 以上 $20\mu\text{m}$ 以下であってもよい。第2巻回ピッチは、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることが好ましい。第2巻回ピッチは、第2螺旋部729において螺旋方向に直交する方向に隣り合う2つの部分の間の距離によって定義される。第2巻回ピッチは、第1螺旋部726の第1巻回ピッチと等しいことが好ましい。

[0494] 第2螺旋部729の巻回形状や、第2内側領域767の平面形状は任意で

あり、図53等に示される形態に限定されない。第2螺旋部729は、平面視において三角形状、四角形状等の多角形状、または、円形状に巻回されていてもよい。第2内側領域767は、第2螺旋部729の巻回形状に応じて、平面視において三角形状、四角形状等の多角形状、または、円形状に区画されていてもよい。また、第2螺旋部729の隙間には、保護層708の一部が入り込んでいる。

[0495] 高電位コイル723は、チタン、窒化チタン、銅、アルミニウムおよびタングステンのうちの少なくとも1つを含んでいてもよい。高電位コイル723は、バリア層および本体層を含む積層構造を有していてもよい。バリア層は、第2絶縁部707の絶縁主面704に沿って平坦な形状で形成される。本体層は、バリア層上に積層される。バリア層は、チタンおよび窒化チタンのうちの少なくとも1つを含んでいてもよい。本体層は、銅、アルミニウムおよびタングステンのうちの少なくとも1つを含んでいてもよい。

[0496] 図51を参照して、半導体装置C1は、複数（この形態では12個）の低電位端子716および複数（この形態では12個）の高電位端子717を含む。複数の低電位端子716は、対応するトランス715A～715Dの低電位コイル720にそれぞれ電氣的に接続されている。複数の高電位端子717は、対応するトランス715A～715Dの高電位コイル723にそれぞれ電氣的に接続されている。

[0497] 複数の低電位端子716は、第1絶縁部750のパッド領域757に形成されている。複数の低電位端子716は、具体的には、複数のトランス715A～715Dから第2方向Yに間隔を空けて絶縁側壁753B側の領域に形成され、第1方向Xに間隔を空けて配列されている。

[0498] 複数の低電位端子716は、第1低電位端子716A、第2低電位端子716B、第3低電位端子716C、第4低電位端子716D、第5低電位端子716Eおよび第6低電位端子716Fを含む。複数の低電位端子716A～716Fは、この形態では、2個ずつそれぞれ形成されている。複数の低電位端子716A～716Fの個数は任意である。

[0499] 第1低電位端子716Aは、平面視において第2方向Yに第1トランス715Aに対向している。第2低電位端子716Bは、平面視において第2方向Yに第2トランス715Bに対向している。第3低電位端子716Cは、平面視において第2方向Yに第3トランス715Cに対向している。第4低電位端子716Dは、平面視において第2方向Yに第4トランス715Dに対向している。第5低電位端子716Eは、平面視において第1低電位端子716Aおよび第2低電位端子716Bの間の領域に形成されている。第6低電位端子716Fは、平面視において第3低電位端子716Cおよび第4低電位端子716Dの間の領域に形成されている。

[0500] 第1低電位端子716Aは、第1トランス715A（低電位コイル720）の第1内側末端703に電氣的に接続されている。第2低電位端子716Bは、第2トランス715B（低電位コイル720）の第1内側末端703に電氣的に接続されている。第3低電位端子716Cは、第3トランス715C（低電位コイル720）の第1内側末端703に電氣的に接続されている。第4低電位端子716Dは、第4トランス715D（低電位コイル720）の第1内側末端703に電氣的に接続されている。

[0501] 第5低電位端子716Eは、第1トランス715A（低電位コイル720）の第1外側末端725および第2トランス715B（低電位コイル720）の第1外側末端725に電氣的に接続されている。第6低電位端子716Fは、第3トランス715C（低電位コイル720）の第1外側末端725および第4トランス715D（低電位コイル720）の第1外側末端725に電氣的に接続されている。

[0502] つまり、各トランス715A～715Dの第1内側末端703に接続される低電位端子716A～716Dは、各トランス715A～715Dの第1外側末端725に接続される低電位端子716E、716Fよりも、各トランス715A～715Dの近くに配置されている。たとえば、第1トランス715Aの第1内側末端703に接続された第1低電位端子716Aは、第1トランス715Aの第1外側末端725に接続された第5低電位端子71

6 E よりも、第 1 トランス 7 1 5 A の近くに配置されている。第 2 トランス 7 1 5 B に対する第 2 低電位端子 7 1 6 B および第 5 低電位端子 7 1 6 E の配置関係、第 3 トランス 7 1 5 C に対する第 3 低電位端子 7 1 6 C および第 6 低電位端子 7 1 6 F の配置関係、および第 4 トランス 7 1 5 D に対する第 4 低電位端子 7 1 6 D および第 6 低電位端子 7 1 6 F の配置関係も同様である。

[0503] 複数の高電位端子 7 1 7 は、複数の低電位端子 7 1 6 から間隔を空けて第 2 絶縁部 7 0 7 の絶縁主面 7 0 4 の上に形成されている。複数の高電位端子 7 1 7 は、具体的には、複数の低電位端子 7 1 6 から第 2 方向 Y に間隔を空けて絶縁側壁 7 5 3 A 側の領域に形成され、第 1 方向 X に間隔を空けて配列されている。

[0504] 複数の高電位端子 7 1 7 は、平面視において対応するトランス 7 1 5 A ~ 7 1 5 D に近接する領域にそれぞれ形成されている。高電位端子 7 1 7 がトランス 7 1 5 A ~ 7 1 5 D に近接するとは、平面視において高電位端子 7 1 7 およびトランス 7 1 5 の間の距離が、低電位端子 7 1 6 および高電位端子 7 1 7 の間の距離未満であることを意味する。

[0505] 複数の高電位端子 7 1 7 は、具体的には、平面視において第 1 方向 X に沿って複数のトランス 7 1 5 A ~ 7 1 5 D と対向するように第 1 方向 X に沿って間隔を空けて形成されている。複数の高電位端子 7 1 7 は、さらに具体的には、平面視において高電位コイル 7 2 3 の第 2 内側領域 7 6 7 および隣り合う高電位コイル 7 2 3 の間の領域に位置するように第 1 方向 X に沿って間隔を空けて形成されている。これにより、複数の高電位端子 7 1 7 は、平面視において第 1 方向 X に複数のトランス 7 1 5 A ~ 7 1 5 D と一列に並んで配列されている。

[0506] 複数の高電位端子 7 1 7 は、第 1 高電位端子 7 1 7 A、第 2 高電位端子 7 1 7 B、第 3 高電位端子 7 1 7 C、第 4 高電位端子 7 1 7 D、第 5 高電位端子 7 1 7 E および第 6 高電位端子 7 1 7 F を含む。複数の高電位端子 7 1 7 A ~ 7 1 7 F は、この形態では、2 個ずつそれぞれ形成されている。複数の

高電位端子 7 1 7 A ~ 7 1 7 F の個数は任意である。

[0507] 第 1 高電位端子 7 1 7 A は、平面視において第 1 トランス 7 1 5 A（高電位コイル 7 2 3）の第 2 内側領域 7 6 7 に形成されている。第 2 高電位端子 7 1 7 B は、平面視において第 2 トランス 7 1 5 B（高電位コイル 7 2 3）の第 2 内側領域 7 6 7 に形成されている。第 3 高電位端子 7 1 7 C は、平面視において第 3 トランス 7 1 5 C（高電位コイル 7 2 3）の第 2 内側領域 7 6 7 に形成されている。第 4 高電位端子 7 1 7 D は、平面視において第 4 トランス 7 1 5 D（高電位コイル 7 2 3）の第 2 内側領域 7 6 7 に形成されている。第 5 高電位端子 7 1 7 E は、平面視において第 1 トランス 7 1 5 A および第 2 トランス 7 1 5 B の間の領域に形成されている。第 6 高電位端子 7 1 7 F は、平面視において第 3 トランス 7 1 5 C および第 4 トランス 7 1 5 D の間の領域に形成されている。

[0508] 第 1 高電位端子 7 1 7 A は、第 1 トランス 7 1 5 A（高電位コイル 7 2 3）の第 2 内側末端 7 2 7 に電氣的に接続されている。第 2 高電位端子 7 1 7 B は、第 2 トランス 7 1 5 B（高電位コイル 7 2 3）の第 2 内側末端 7 2 7 に電氣的に接続されている。第 3 高電位端子 7 1 7 C は、第 3 トランス 7 1 5 C（高電位コイル 7 2 3）の第 2 内側末端 7 2 7 に電氣的に接続されている。第 4 高電位端子 7 1 7 D は、第 4 トランス 7 1 5 D（高電位コイル 7 2 3）の第 2 内側末端 7 2 7 に電氣的に接続されている。

[0509] 第 5 高電位端子 7 1 7 E は、第 1 トランス 7 1 5 A（高電位コイル 7 2 3）の第 2 外側末端 7 2 8 および第 2 トランス 7 1 5 B（高電位コイル 7 2 3）の第 2 外側末端 7 2 8 に電氣的に接続されている。第 6 高電位端子 7 1 7 F は、第 3 トランス 7 1 5 C（高電位コイル 7 2 3）の第 2 外側末端 7 2 8 および第 4 トランス 7 1 5 D（高電位コイル 7 2 3）の第 2 外側末端 7 2 8 に電氣的に接続されている。

[0510] 図 5 2 および図 5 3 を参照して、半導体装置 C 1 は、第 1 低電位配線 7 3 0、第 2 低電位配線 7 3 5、第 1 高電位配線 7 3 3 および第 2 高電位配線 7 3 4 を含む。この形態では、複数の第 1 低電位配線 7 3 0、複数の第 2 低電

位配線 7 3 5、複数の第 1 高電位配線 7 3 3 および複数の第 2 高電位配線 7 3 4 が形成されている。

[0511] 第 1 低電位配線 7 3 0 および第 2 低電位配線 7 3 5 は、第 1 トランス 7 1 5 A の低電位コイル 7 2 0 および第 2 トランス 7 1 5 B の低電位コイル 7 2 0 を同電位に固定している。また、第 1 低電位配線 7 3 0 および第 2 低電位配線 7 3 5 は、第 3 トランス 7 1 5 C の低電位コイル 7 2 0 および第 4 トランス 7 1 5 D の低電位コイル 7 2 0 を同電位に固定している。第 1 低電位配線 7 3 0 および第 2 低電位配線 7 3 5 は、この形態では、トランス 7 1 5 A ～ 7 1 5 D の全ての低電位コイル 7 2 0 を同電位に固定している。

[0512] 第 1 高電位配線 7 3 3 および第 2 高電位配線 7 3 4 は、第 1 トランス 7 1 5 A の高電位コイル 7 2 3 および第 2 トランス 7 1 5 B の高電位コイル 7 2 3 を同電位に固定している。また、第 1 高電位配線 7 3 3 および第 2 高電位配線 7 3 4 は、第 3 トランス 7 1 5 C の高電位コイル 7 2 3 および第 4 トランス 7 1 5 D の高電位コイル 7 2 3 を同電位に固定している。第 1 高電位配線 7 3 3 および第 2 高電位配線 7 3 4 は、この形態では、トランス 7 1 5 A ～ 7 1 5 D の全ての高電位コイル 7 2 3 を同電位に固定している。

[0513] 複数の第 1 低電位配線 7 3 0 は、対応する低電位端子 7 1 6 A ～ 7 1 6 D および対応するトランス 7 1 5 A ～ 7 1 5 D（低電位コイル 7 2 0）の第 1 内側末端 7 0 3 にそれぞれ電氣的に接続されている。複数の第 1 低電位配線 7 3 0 は、同様の構造を有している。以下では、第 1 低電位端子 7 1 6 A および第 1 トランス 7 1 5 A に接続された第 1 低電位配線 7 3 0 の構造を例にとって説明する。他の第 1 低電位配線 7 3 0 の構造の説明については、第 1 トランス 7 1 5 A に接続された第 1 低電位配線 7 3 0 の構造の説明が準用されるものとし、省略する。

[0514] 第 1 低電位配線 7 3 0 は、低電位コイル 7 2 0 に接続されている。第 1 低電位配線 7 3 0 は、第 1 絶縁部 7 5 0 内において低電位コイル 7 2 0 の下方を通して延び、第 1 絶縁部 7 5 0 の絶縁主面 7 5 4（第 1 絶縁部 7 5 0 と第 2 絶縁部 7 0 7 との境界部）に至っている。

- [0515] 第1低電位配線730は、低電位接続配線736、引き出し配線737および第1低電位パッド配線778を含む。低電位接続配線736、引き出し配線737、第1低電位パッド配線778は、低電位コイル720等と同一の導電材料によってそれぞれ形成されていることが好ましい。つまり、低電位接続配線736、引き出し配線737、第1低電位パッド配線778は、低電位コイル720等と同様に、バリア層および本体層をそれぞれ含むことが好ましい。
- [0516] 低電位接続配線736は、低電位コイル720と同一層（つまり、第1絶縁部750の絶縁主面754）において第1トランス715A（低電位コイル720）の第1内側領域766に形成されている。低電位接続配線736は、アイランド状に形成され、法線方向Zに高電位端子717（第1高電位端子717A）に対向している。低電位接続配線736は、低電位コイル720の第1内側末端703に電氣的に接続されている。低電位接続配線736の一部は、プラグ部775として第1絶縁部750に埋め込まれており、このプラグ部775が引き出し配線737に接続されている。
- [0517] 引き出し配線737は、第1絶縁部750内において絶縁主面754と半導体チップ740との間の領域に形成されている。引き出し配線737は、この形態では、第1有機絶縁層755上に形成され、第2有機絶縁層756に覆われている。引き出し配線737は、一方側の第1端部、他方側の第2端部、ならびに、第1端部および第2端部を接続する配線部を含む。引き出し配線737の第1端部は、半導体チップ740および第1低電位パッド配線778の間の領域に位置している。引き出し配線737の第2端部は、半導体チップ740および低電位接続配線736の間の領域に位置している。配線部は、半導体チップ740の第1主面741に沿って延び、第1端部および第2端部の間の領域を帯状に延びている。
- [0518] 第1低電位パッド配線778は、低電位パッド891（低電位端子716）として露出している。低電位パッド891の表面には、パラジウムおよびニッケルのうちの少なくとも1つを含む被覆層が形成されていてもよい。第

1 低電位パッド配線 778 は、低電位コイル 720 と同一層（つまり、第 1 絶縁部 750 の絶縁主面 754）においてパッド領域 757 に形成されている。第 1 低電位パッド配線 778 は、図 55 に示すように、第 2 有機絶縁層 756 に形成された貫通孔 718 に埋め込まれたプラグ部 774 と、プラグ部 774 から貫通孔 718 に重ならない領域に引き出された引き出し部 752 を有している。引き出し部 752 は、プラグ部 774 よりも広い幅を有している。

[0519] これにより、低電位端子 716 に対するボンディングワイヤ 71 の接続不良を抑制することができる。たとえば、貫通孔 718 に第 1 低電位パッド配線 778 の導電材料を埋め込む際、貫通孔 718 の径の大きさによっては、埋め込み後の第 1 低電位パッド配線 778 の上面が貫通孔 718 に重なる位置で凹む場合がある。しかしながら、この形態では、第 1 低電位パッド配線 778 の一部を第 1 絶縁部 750 の平坦な絶縁主面 754 上に引き出して引き出し部 752 を形成し、この引き出し部 752 にボンディングワイヤ 71 が接続されている。その結果、低電位端子 716 に対してボンディングワイヤ 71 を良好に接続することができる。

[0520] 複数の第 2 低電位配線 735 は、図 52 に示すように、対応する低電位端子 716 E、716 F および対応するトランス 715 A～715 D の低電位コイル 720 の第 1 外側末端 725 にそれぞれ電氣的に接続されている。複数の第 2 低電位配線 735 は、それぞれ、第 1 低電位配線 730 と同様の構造を有している。

[0521] 図 53 を参照して、複数の第 1 高電位配線 733 は、対応する高電位端子 717 A～717 D および対応するトランス 715 A～715 D（高電位コイル 723）の第 2 内側末端 727 にそれぞれ電氣的に接続されている。複数の第 1 高電位配線 733 は、同様の構造をそれぞれ有している。第 1 高電位配線 733 は、前述の高電位端子 717 を形成していてもよい。以下では、第 1 高電位端子 717 A および第 1 トランス 715 A に接続された第 1 高電位配線 733 の構造を例にとって説明する。他の第 1 高電位配線 733 の

構造の説明については、第1トランス715Aに接続された第1高電位配線733の構造の説明が準用されるものとし、省略する。

[0522] 第1高電位配線733は、高電位コイル723と同一の導電材料によって形成されていることが好ましい。つまり、第1高電位配線733は、高電位コイル723等と同様に、バリア層および本体層をそれぞれ含むことが好ましい。第1高電位配線733は、第2絶縁部707上において高電位コイル723の第2内側領域767に形成されている。第1高電位配線733は、アイランド状に形成され、高電位コイル723の第2内側末端727に電氣的に接続されている。第1高電位配線733は、法線方向Zにおいて、第2絶縁部707を挟んで低電位接続配線736に対向している。また、第1高電位配線733は、アイランド状に形成されているから、第1高電位パッド電極層と称してもよい。

[0523] 複数の第2高電位配線734は、対応する高電位端子717E、717Fおよび対応するトランス715A～715D（高電位コイル723）の第2外側末端728にそれぞれ電氣的に接続されている。複数の第2高電位配線734は、同様の構造をそれぞれ有している。以下では、第5高電位端子717Eおよび第1トランス715A（第2トランス715B）に接続された第2高電位配線734の構造を例にとって説明する。他の第2高電位配線734の構造の説明については、第1トランス715A（第2トランス715B）に接続された第2高電位配線734の構造の説明が準用されるものとし、省略する。

[0524] 第2高電位配線734は、第1トランス715A（高電位コイル723）の第2外側末端728および第2トランス715B（高電位コイル723）の第2外側末端728に電氣的に接続されている点を除いて、第1高電位配線733と同様の構造を有している。つまり、第2高電位配線734は、アイランド状に形成されている。第2高電位配線734は、アイランド状に形成されているから、第2高電位パッド電極層と称してもよい。

[0525] 第2高電位配線734は、第2絶縁部707上において高電位コイル72

3の周囲に形成されている。第2高電位配線734は、平面視において隣り合う2つの高電位コイル723の間の領域に形成され、法線方向Zに高電位端子717（第5高電位端子717E）に対向している。第2高電位配線734は、法線方向Zにおいて、第2絶縁部707を挟んで低電位接続配線736に対向している。

[0526] 図54を参照して、低電位端子716および高電位端子717の間の距離D1は、低電位コイル720および高電位コイル723の間の距離D2を超えていることが好ましい（ $D2 < D1$ ）。距離D1は、第1絶縁部750の総厚さTC1と第2絶縁部707の総厚さTC2との和を超えていることが好ましい（ $TC1 + TC2 < D1$ ）。距離D1に対する距離D2の比 $D2/D1$ は、0.005以上0.5以下であってもよい。距離D1は、 $100\mu\text{m}$ 以上 $1000\mu\text{m}$ 以下であることが好ましい。距離D2は、 $2\mu\text{m}$ 以上 $120\mu\text{m}$ 以下であってもよい。距離D2は、 $5\mu\text{m}$ 以上 $50\mu\text{m}$ 以下であることが好ましい。距離D1および距離D2の値は任意であり、実現すべき絶縁耐圧に応じて適宜調整される。

[0527] 図53および図54を参照して、半導体装置C1は、平面視においてトランス715A～715Dの周囲に位置するように第2絶縁部707上に形成されたダミーパターン739を含む。

[0528] ダミーパターン739は、半導体装置A1のダミーパターン39と同様の形状を有していてもよい。たとえば、ダミーパターン739は、高電位ダミーパターン86に対応する形状の高電位ダミーパターン786と、第1高電位ダミーパターン87に対応する形状の第1高電位ダミーパターン787と、第2高電位ダミーパターン88に対応する形状の第2高電位ダミーパターン788と、浮遊ダミーパターン161に対応する形状の浮遊ダミーパターン861とを含んでいてもよい。なお、図54では、高電位ダミーパターン786と、第2高電位ダミーパターン788と、浮遊ダミーパターン861とが示されている。

[0529] 図54を参照して、半導体装置C1は、半導体チップ740の第1主面7

41に形成された第2機能デバイス760を含む。第2機能デバイス760は、半導体チップ740の第1主面741の表層部、および／または、半導体チップ740の第1主面741の上の領域を利用して形成され、第1絶縁部750（第1有機絶縁層755）によって被覆されている。図54では、第2機能デバイス760が第1主面741の表層部に示された破線によって簡略化して示されている。

[0530] 第2機能デバイス760は、低電位配線を介して低電位端子716に電氣的に接続され、高電位配線を介して高電位端子717に電氣的に接続されている。第2機能デバイス760は、受動デバイス、半導体整流デバイスおよび半導体スイッチングデバイスのうちの少なくとも1つを含んでもよい。受動デバイスは、第2機能デバイス760は、受動デバイス、半導体整流デバイスおよび半導体スイッチングデバイスのうちの任意の2種以上のデバイスが選択的に組み合わされた回路網を含んでもよい。回路網は、集積回路の一部または全部を形成していてもよい。

[0531] 受動デバイスは、半導体受動デバイスを含んでもよい。受動デバイスは、抵抗およびコンデンサのいずれか一方または双方を含んでもよい。半導体整流デバイスは、pn接合ダイオード、PINダイオード、ツェナーダイオード、ショットキーバリアダイオードおよびファーストリカバリーダイオードのうちの少なくとも1つを含んでもよい。半導体スイッチングデバイスは、BJT (Bipolar Junction Transistor)、MISFET (Metal Insulator Field Effect Transistor)、IGBT (Insulated Gate Bipolar Junction Transistor) およびJFET (Junction Field Effect Transistor) のうちの少なくとも1つを含んでもよい。

[0532] 図54を参照して、保護層708は、高電位コイル723、高電位端子717およびダミーパターン739を被覆するように第2絶縁部707の絶縁主面704の上に形成されている。保護層708は、パッシベーション層と称されてもよい。

[0533] 保護層708の厚さは、1 μm 以上100 μm 以下であってもよい。保護

層 708 の厚さは、低電位コイル 720 および高電位コイル 723 の間の距離 D2 以上であることが好ましい。この場合、保護層 708 の厚さは $5\text{ }\mu\text{m}$ 以上 $50\text{ }\mu\text{m}$ 以下であることが好ましい。これらの構造によれば、保護層 708 の厚化を抑制できると同時に、保護層 708 によって高電位コイル 723 上の絶縁耐圧を適切に高めることができる。

[0534] 保護層 708 は、複数の高電位端子 717 をそれぞれ露出させる複数の高電位端子開口 889 を有している。高電位端子開口 889 から露出する高電位端子 717 は、高電位パッド 892 と称してもよい。高電位パッド 892 の表面には、パラジウムおよびニッケルのうちの少なくとも 1 つを含む被覆層が形成されていてもよい。

[0535] 以上、この半導体装置 C1 によれば、低電位コイル 720 と高電位コイル 723 との間に、有機絶縁層 784 からなる第 2 絶縁部 707 が形成されている。そのため、低電位コイル 720 と高電位コイル 723 との間の絶縁耐圧を、第 2 絶縁部 707 の厚膜化によって達成することができる。有機絶縁層 784 であれば、無機絶縁層のように互いに異なる複数種の絶縁材料からなる積層構造としなくても、1 種の有機絶縁材料（樹脂材料）だけで、第 2 絶縁部 707 を厚く形成することができる。たとえば、スピンコート法によって簡単に厚膜化することができる。その結果、リードタイムを短縮でき、コストを低減することができる。

[0536] さらに、この半導体装置 C1 では、低電位コイル 720 と半導体チップ 740 との間も、有機絶縁層 755, 756 からなる第 1 絶縁部 750 が介在している。そのため、低電位コイル 720 と半導体チップ 740 との間を絶縁する構造を形成するときのリードタイムも短縮することができる。

[0537] また、低電位端子 716 が、半導体チップ 740 の端面（チップ側壁 744B）側に開放したパッド領域 757 に形成されている。これにより、低電位端子 716 に対するボンディングワイヤ 71 の接続角度（低電位パッド 891 とボンディングワイヤ 71 との間に形成される角度）の自由度を広げることができる。

[0538] さらに、低電位パッド891が、第1絶縁部750の絶縁主面754に形成されたパッド領域757に形成されているため、第2絶縁部707内に、低電位コイル720と電氣的に接続される配線を形成しなくてよい。これにより、リードタイムをさらに短縮することができる。

[0539] また、第2絶縁部707の絶縁主面704と絶縁側壁705A～705Dとが交差することによって形成される第2絶縁部707の上部角部は、図54に示すように、一定の角度を有していてもよいし、断面視曲線形状になるようにラウンド形状であってもよい。また、絶縁主面704の全体が、半導体チップ740の反対側に膨らむ曲面形状であってもよい。

[0540] また、第2絶縁部707は、複数の有機絶縁層の積層構造を有していてもよい。この場合、複数の有機絶縁層は、互いに同一の有機絶縁材料からなっているてもよいし、互いに異なる有機絶縁材料からなっているてもよい。

(第2実施形態)

図56は、本開示の一実施形態に係る半導体装置C2の模式的な断面図である。以下では、前述の半導体装置C1に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

[0541] 半導体装置C2では、第1低電位配線730は、第1絶縁部750と第2絶縁部707との境界部よりも第1絶縁部750側に形成された第1配線779と、第1絶縁部750と第2絶縁部707との境界部よりも第2絶縁部707側に形成された第2配線770とを含む。つまり、第1配線779は第1絶縁部750内に形成され、第2配線770は第2絶縁部707内に形成されている。第1配線779および第2配線770は、第1絶縁部750と第2絶縁部707との境界部において互いに接続されている。

[0542] 第1配線779は、前述の低電位接続配線736、引き出し配線737および第1低電位パッド配線778を含む。第1配線779は、第1絶縁部750に含まれる第3有機絶縁層722に覆われている。より具体的には、第3有機絶縁層722は、第2有機絶縁層756上に形成されており、低電位コイル720、低電位接続配線736および低電位パッド配線778を覆っ

ている。

[0543] 第3有機絶縁層722は、第1有機絶縁層755および第2有機絶縁層756と互いに同じ有機絶縁層からなっているいてもよいし、異なる種類の有機絶縁層からなっているいてもよい。たとえば、第3有機絶縁層722は、ポリイミド、ポリアミドおよびポリベンゾオキサゾールのうちの少なくとも1つを含んでいてもよい。また、第3有機絶縁層722の厚さは、第1有機絶縁層755および第2有機絶縁層756と互いに同じであってもよいし、互いの異なっているいてもよい。この形態では、第3有機絶縁層722の厚さが、第1有機絶縁層755および第2有機絶縁層756の厚さよりも大きいことが好ましい。第3有機絶縁層722を厚膜化することによって、低電位コイル720および高電位コイル723の間の絶縁耐圧を容易に確保することができる。たとえば、第3有機絶縁層722の厚さは、 $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下であってもよい。

[0544] 第2配線770は、柱状配線738と、第2低電位パッド配線732とを含む。柱状配線738および第2低電位パッド配線732は、高電位コイル723と同一の導電材料によってそれぞれ形成されていることが好ましい。つまり、柱状配線738および第2低電位パッド配線732は、高電位コイル723等と同様に、バリア層および本体層をそれぞれ含むことが好ましい。

[0545] 柱状配線738は、第1絶縁部750の絶縁主面754に形成されている。柱状配線738は、絶縁主面754から第2絶縁部707の絶縁主面704に向かって延び、第2絶縁部707を厚さ方向に貫通している。この形態では、柱状配線738は、法線方向Zに沿って延びる柱状に形成されているが、第2絶縁部707を貫通する観点から、貫通配線と称してもよい。柱状配線738の下端部は、第3有機絶縁層722（最上有機絶縁層）に形成された貫通孔801に入り込み、貫通孔801内で第1低電位パッド配線778に接続されている。柱状配線738は、貫通孔801の開口幅よりも広い幅を有している。これにより、柱状配線738は、貫通孔801の周囲の第

3有機絶縁層722にオーバーラップする周縁部802を有している。柱状配線738の周縁部802は、第3有機絶縁層722を挟んで、第1低電位パッド配線778に対向している。また、柱状配線738は、第1低電位パッド配線778に直接接しており、第1低電位パッド配線778の直上の領域に形成されている。

[0546] また、柱状配線738の上端部は、第2絶縁部707の絶縁主面704に形成された貫通孔803から露出している。貫通孔803は、第2絶縁部707の絶縁主面704から第1絶縁部750に向かって一定の深さを有している。これにより、柱状配線738の頂面751は、絶縁主面704に対して第1絶縁部750側に形成されており、頂面751と絶縁主面704との間に段差が形成されている。

[0547] 第2低電位パッド配線732は、第2絶縁部707の絶縁主面704上に形成されている。つまり、この形態では、第2低電位パッド配線732は、高電位コイル723と同一層に形成されている。第2低電位パッド配線732は、前述の低電位端子716を形成していてもよい。第2低電位パッド配線732は、第2絶縁部707に形成された貫通孔803を介して柱状配線738に接続されている。第2低電位パッド配線732は、柱状配線738よりも広い幅を有している。また、第2低電位パッド配線732は、図21に示す第2低電位パッド配線171と同様の平面形状を有していてもよい。つまり、貫通孔803から貫通孔803に重ならない領域に引き出された引き出し部804（図示せず）を有していてもよい。この引き出し部804は、図21の引き出し部175に対応する形状であってもよい。第2低電位パッド配線732は、保護層708で覆われることによって、保護層708内に形成されている。

[0548] 保護層708は、複数の低電位端子716をそれぞれ露出させる複数の低電位端子開口888を有している。低電位端子開口888から露出する低電位端子716は、低電位パッド891と称してもよい。低電位端子開口888は、第2低電位パッド配線732の引き出し部804を露出させている。

つまり、低電位端子開口 888 は、平面視において、貫通孔 803 に対向しておらず、貫通孔 803 からずれた位置に形成されている。これにより、低電位端子 716 に対するボンディングワイヤ 71 の接続不良を抑制することができる。たとえば、貫通孔 803 に第 2 低電位パッド配線 732 の導電材料を埋め込む際、貫通孔 803 の径の大きさによっては、埋め込み後の第 2 低電位パッド配線 732 の上面が貫通孔 803 に重なる位置で凹む場合がある。しかしながら、この形態では、第 2 低電位パッド配線 732 の一部を第 2 絶縁部 707 の平坦な絶縁主面 704 上に引き出して引き出し部 804 を形成し、この引き出し部 804 を低電位端子開口 888 から露出させている。その結果、低電位端子開口 888 からの第 2 低電位パッド配線 732 の露出部分が平坦となるので、ボンディングワイヤ 71 を良好に接続することができる。

[0549] 以上、この半導体装置 C2 によれば、半導体装置 C1 と同様に、低電位コイル 720 と高電位コイル 723 との間に、有機絶縁層 784 からなる第 2 絶縁部 707 が形成されている。そのため、低電位コイル 720 と高電位コイル 723 との間の絶縁耐圧を、第 2 絶縁部 707 の厚膜化によって達成することができる。その結果、リードタイムを短縮でき、コストを低減することができる。また、低電位コイル 720 と半導体チップ 740 との間も、有機絶縁層 755, 756 を含む第 1 絶縁部 750 が介在している。そのため、低電位コイル 720 と半導体チップ 740 との間を絶縁する構造を形成するときのリードタイムも短縮することができる。

[0550] さらに、第 2 絶縁部 707 が単層の有機絶縁層 784 からなるため、第 2 絶縁部 707 を貫通する配線（柱状配線 738）を、1 回のめっき成長によって簡単に形成することができる。これに対し、第 2 絶縁部 707 が複数の無機絶縁層を含む多層配線構造であると、各無機絶縁層を積層する都度、当該無機絶縁層に導体を埋め込む工程が必要となり、第 2 絶縁部 707 を貫通する配線を形成するために、多層配線構造の層の数と同等の工程が必要となる。そのため、この半導体装置 C2 では、第 2 絶縁部 707 を貫通する配線

の形成工程のリードタイムも短縮することができる。

(第3実施形態)

図57は、本開示の一実施形態に係る半導体装置C3の模式的な断面図である。以下では、前述の半導体装置C1に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

[0551] 半導体装置C3では、保護層708は、第1保護層768と、第2保護層769とを含む。第1保護層768は、高電位コイル723、第2低電位パッド配線732、第1高電位配線733およびダミーパターン739を覆うように第2絶縁部707の絶縁主面704の上に形成されている。第2保護層769は、第1保護層768上に積層されている。

[0552] 第1保護層768および第2保護層769は、互いに同じ有機絶縁層からなってもよいし、異なる種類の有機絶縁層からなってもよい。たとえば、第1保護層768は、ポリイミド、ポリアミドおよびポリベンゾオキサゾールのうちの少なくとも1つを含んでいてもよく、第2保護層769は、上記例示した有機絶縁材料のうち、第1保護層768と同じ有機絶縁材料、もしくは第1保護層768と異なる種類の有機絶縁材料からなってもよい。

[0553] また、第1保護層768および第2保護層769の厚さは、互いに同じであってもよいし、互いの異なってもよい。この形態では、第2保護層769の厚さが、第1保護層768の厚さよりも大きいことが好ましい。第2保護層769を厚くすることによって、後述する凹部879を深くすることができるので、高電位端子717および低電位端子716の間の沿面距離をさらに増加させることができる。たとえば、第1保護層768の厚さは、 $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下であり、第2保護層769の厚さは、 $1\mu\text{m}$ 以上 $100\mu\text{m}$ 以下であってもよい。

[0554] 第1保護層768の主面には、高電位パッド配線877が形成されている。高電位パッド配線877は、高電位コイル723と同一の導電材料によってそれぞれ形成されていることが好ましい。つまり、高電位パッド配線87

7は、高電位コイル723等と同様に、バリア層および本体層をそれぞれ含むことが好ましい。

[0555] 高電位パッド配線877は、第1保護層768の主面に形成されている。つまり、この形態では、高電位パッド配線877は、高電位コイル723よりも上層に形成されている。また、高電位パッド配線877は、第2保護層769で覆われることによって、第2保護層769内に形成されている。高電位パッド配線877は、前述の高電位端子717を形成していてもよい。高電位パッド配線877は、第1保護層768に形成された貫通孔785を介して第1高電位配線733に接続されている。

[0556] 高電位パッド配線877は、アイランド状に形成されていてもよいし、第2低電位パッド配線732と同様に、貫通孔785から、貫通孔785に重ならない領域に引き出された引き出し部（図示せず）を有していてもよい。

[0557] 保護層708は、複数の高電位パッド配線877（高電位端子717）をそれぞれ露出させる複数の高電位端子開口889を有している。高電位端子開口889から露出する高電位端子717は、高電位パッド892と称してもよい。

[0558] また、保護層708は、空間部758と高電位端子開口889との間の領域に凹凸構造878を有している。凹凸構造878は、保護層708の保護主面782から第2絶縁部707に向かって窪んだ複数の凹部879を含む。凹凸構造878は、保護層708の保護主面782に沿う沿面距離を増加させている。したがって、凹凸構造878は、保護層708の保護主面782に沿う沿面放電の発生を抑制している。複数の凹部879は、この形態では、第2保護層769を貫通し、かつ第1保護層768の主面を露出させており、上端から下端まで第2保護層769で形成された側面と、第1保護層768で形成された底面とを有している。一方、複数の凹部879は、第2保護層769を貫通し、その底部が第1保護層768の厚さ方向途中に達していてもよい。この場合、複数の凹部879の側面は、第2保護層769で形成された上部と、第1保護層768で形成された下部とを有していてもよい。

い。また、図示はしないが、凹凸構造 878 は、平面視で高電位コイル 723 を取り囲むように形成されていてもよい。

[0559] 以上、この半導体装置 C3 によれば、半導体装置 C1 と同様に、低電位コイル 720 と高電位コイル 723 との間に、有機絶縁層 784 からなる第 2 絶縁部 707 が形成されている。そのため、低電位コイル 720 と高電位コイル 723 との間の絶縁耐圧を、第 2 絶縁部 707 の厚膜化によって達成することができる。その結果、リードタイムを短縮でき、コストを低減することができる。また、低電位コイル 720 と半導体チップ 740 との間も、有機絶縁層 755, 756 を含む第 1 絶縁部 750 が介在している。そのため、低電位コイル 720 と半導体チップ 740 との間を絶縁する構造を形成するときのリードタイムも短縮することができる。

[0560] また、保護層 708 に凹凸構造 878 が形成されている。これにより、高電位端子 717 および低電位端子 716 の間の保護層 708 の保護主面 782 に沿う沿面距離を増加させることができ、かつ、高電位端子 717 および低電位端子 716 の間の絶縁距離を増加させることができる。よって、高電位端子 717 および低電位端子 716 の間の領域において沿面放電の発生を抑制できるから、これら高電位端子 717 および低電位端子 716 の間の保護層 708 の破壊や劣化を抑制することができる。その結果、高電位端子 717 および低電位端子 716 が短絡することを抑制できるから、当該短絡の発生による保護層 708 の更なる破壊や劣化を抑制することができる。

(第 4 実施形態)

図 58 は、本開示の一実施形態に係る半導体装置 C4 の模式的な断面図である。以下では、前述の半導体装置 C2 および半導体装置 C3 に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

[0561] 半導体装置 C4 では、半導体装置 C2 の保護層 708 が、前述の半導体装置 C3 と同様に、第 1 保護層 768 と、第 2 保護層 769 とを含む。また、保護層 708 が、低電位端子開口 888 と高電位端子開口 889 との間の領域に凹凸構造 878 を有している。低電位端子開口 888 は、半導体チップ

740のチップ側壁744B側に向かって開放した空間部であってもよい。

[0562] 以上、この半導体装置C4によれば、半導体装置C1と同様に、低電位コイル720と高電位コイル723との間に、有機絶縁層784からなる第2絶縁部707が形成されている。そのため、低電位コイル720と高電位コイル723との間の絶縁耐圧を、第2絶縁部707の厚膜化によって達成することができる。その結果、リードタイムを短縮でき、コストを低減することができる。また、低電位コイル720と半導体チップ740との間も、有機絶縁層755, 756を含む第1絶縁部750が介在している。そのため、低電位コイル720と半導体チップ740との間を絶縁する構造を形成するときのリードタイムも短縮することができる。

[0563] また、半導体装置C3と同様に、保護層708に凹凸構造878が形成されている。これにより、高電位端子717および低電位端子716の間の保護層708の保護主面782に沿う沿面距離を増加させることができ、かつ、高電位端子717および低電位端子716の間の絶縁距離を増加させることができる。よって、高電位端子717および低電位端子716の間の領域において沿面放電の発生を抑制できるから、これら高電位端子717および低電位端子716の間の保護層708の破壊や劣化を抑制することができる。その結果、高電位端子717および低電位端子716が短絡することを抑制できるから、当該短絡の発生による保護層708の更なる破壊や劣化を抑制することができる。

<半導体装置D1～D2の構造>

(第1実施形態)

図59は、本開示の一実施形態に係る半導体装置D1の模式的な平面図である。図60は、図59の半導体装置D1において低電位コイル915が形成された層を示す平面図である。図61は、図59の半導体装置D1において高電位コイル916が形成された層を示す平面図である。図62は、図59の半導体装置D1の模式的な断面図である。

[0564] 図59～図62を参照して、半導体装置D1は、直方体形状の半導体チッ

プ901を含む。半導体チップ901は、シリコン、ワイドバンドギャップ半導体および化合物半導体のうちの少なくとも1つを含む。

[0565] ワイドバンドギャップ半導体は、シリコンのバンドギャップ（約1.12 eV）を超える半導体からなる。ワイドバンドギャップ半導体のバンドギャップは、2.0 eV以上であることが好ましい。ワイドバンドギャップ半導体は、SiC（炭化シリコン）であってもよい。化合物半導体は、III-V族化合物半導体であってもよい。化合物半導体は、AlN（窒化アルミニウム）、InN（窒化インジウム）、GaN（窒化ガリウム）およびGaAs（ヒ化ガリウム）のうちの少なくとも1つを含んでいてもよい。

[0566] 半導体チップ901は、この形態では、シリコン製の半導体基板を含む。半導体チップ901は、シリコン製の半導体基板およびシリコン製のエピタキシャル層を含む積層構造を有するエピタキシャル基板であってもよい。半導体基板の導電型は、n型またはp型であってもよい。エピタキシャル層は、n型またはp型であってもよい。また、半導体チップ901は、グランド電位に固定されていてもよい。

[0567] 半導体チップ901は、一方側の第1主面902、他方側の第2主面903、ならびに、第1主面902および第2主面903を接続するチップ側壁904A～904Dを有している。第1主面902および第2主面903は、それらの法線方向Zから見た平面視（以下、単に「平面視」という。）において四角形状（この形態では長方形）に形成されている。

[0568] チップ側壁904A～904Dは、第1チップ側壁904A、第2チップ側壁904B、第3チップ側壁904Cおよび第4チップ側壁904Dを含む。第1チップ側壁904Aおよび第2チップ側壁904Bは、半導体チップ901の長辺を形成している。第1チップ側壁904Aおよび第2チップ側壁904Bは、第1方向Xに沿って延び、第2方向Yに対向している。第3チップ側壁904Cおよび第4チップ側壁904Dは、半導体チップ901の短辺を形成している。第3チップ側壁904Cおよび第4チップ側壁904Dは、第2方向Yに延び、第1方向Xに対向している。チップ側壁90

4 A～904 Dは、研削面からなる。

[0569] 半導体装置D1は、半導体チップ901の第1主面902の上に順に形成された、第1絶縁部905を含む。第1絶縁部905は、絶縁主面906および絶縁側壁907A～907Dを有している。絶縁主面906は、平面視において第1主面902に整合する四角形状（この形態では長方形形状）に形成されている。絶縁主面906は、第1主面902に対して平行に延びている。

[0570] 絶縁側壁907A～907Dは、第1絶縁側壁907A、第2絶縁側壁907B、第3絶縁側壁907Cおよび第4絶縁側壁907Dを含む。絶縁側壁907A～907Dは、絶縁主面906の周縁から半導体チップ901に向けて延び、チップ側壁904A～904Dに連なっている。絶縁側壁907A～907Dは、具体的には、チップ側壁904A～904Dに対して面一に形成されている。絶縁側壁907A～907Dは、チップ側壁904A～904Dに面一な研削面を形成している。

[0571] 第1絶縁部905は、最下絶縁層908、最上絶縁層909および複数（この形態では11層）の層間絶縁層910を含む多層絶縁積層構造からなる。最下絶縁層908は、第1主面902を直接被覆する絶縁層である。最上絶縁層909は、絶縁主面906を形成する絶縁層である。複数の層間絶縁層910は、最下絶縁層908および最上絶縁層909の間に介在する絶縁層である。最下絶縁層908は、この形態では、酸化シリコンを含む単層構造を有している。最上絶縁層909は、この形態では、窒化シリコンを含む単層構造を有している。最下絶縁層908の厚さは、0.5 μm 以上3 μm 以下（たとえば1 μm 程度）であってもよく、最上絶縁層909の厚さは、0.2 μm 以上4 μm 以下（たとえば1 μm 程度）であってもよい。

[0572] 複数の層間絶縁層910は、最下絶縁層908側の第1絶縁層911および最上絶縁層909側の第2絶縁層912を含む積層構造をそれぞれ有している。第1絶縁層911は、無機絶縁層からなり、たとえば窒化シリコンを含んでいてもよい。第1絶縁層911は、第2絶縁層912に対するエッチ

ングストッパ層として形成されている。第1絶縁層911の厚さは、0.1 μm 以上1 μm 以下（たとえば0.3 μm 程度）であってもよい。

[0573] 第2絶縁層912は、第1絶縁層911の上に形成されている。第1絶縁層911とは異なる絶縁材料を含む。第2絶縁層912は、第1絶縁層911とは異なる無機絶縁層からなり、たとえば酸化シリコンを含んでいてもよい。第2絶縁層912の厚さは、1 μm 以上3 μm 以下（たとえば2 μm 程度）であってもよい。第2絶縁層912の厚さは、第1絶縁層911の厚さを超えていることが好ましい。

[0574] また、第1絶縁層911は、圧縮応力膜であり、第2絶縁層912は、引張応力膜であってもよい。つまり、層間絶縁層910は、圧縮応力膜および引張応力膜が繰り返し積層された構造であってもよい。これにより、層間絶縁層910の積層界面において応力をキャンセルしながら第1絶縁部905を形成することができる。その結果、半導体装置D1の製造工程において、半導体チップ901の母体となる半導体ウエハに大きな反り変形が生じることを防止することができる。圧縮応力膜は、たとえば、酸化シリコン膜であってもよく、引張応力膜は、たとえば、窒化シリコン膜であってもよい。

[0575] 第1絶縁部905の総厚さTD1は、2 μm 以上120 μm 以下であってもよい。第1絶縁部905の総厚さTD1や層間絶縁層910の積層数は任意であり、実現すべき絶縁耐圧（絶縁破壊耐量）に応じて調整される。また、最下絶縁層908、最上絶縁層909および層間絶縁層910の絶縁材料は任意であり、特定の絶縁材料に限定されない。

[0576] 半導体装置D1は、第1絶縁部905に形成された第1機能デバイス913を含む。第1機能デバイス913は、1つまたは複数（この形態では複数）のトランス914（変圧器）を含む。つまり、半導体装置D1は、複数のトランス914を含むマルチチャネル型のデバイスからなる。複数のトランス914は、絶縁側壁907A～907Dから間隔を空けて第1絶縁部905の積層構造の内方部に形成されている。複数のトランス914は、第1方向Xに間隔を空けて形成されている。

[0577] 複数のトランス 914 は、具体的には、平面視において絶縁側壁 907C 側から絶縁側壁 907D 側に向けてこの順に形成された第 1 トランス 914A、第 2 トランス 914B、第 3 トランス 914C および第 4 トランス 914D を含む。第 1 トランス 914A、第 2 トランス 914B、第 3 トランス 914C および第 4 トランス 914D は、それぞれ、図 11 の第 1 トランス 131、第 2 トランス 132、第 3 トランス 133 および第 4 トランス 134 に対応していてもよい。複数のトランス 914A~914D は、同様の構造をそれぞれ有している。以下では、第 1 トランス 914A の構造を例にとって説明する。第 2 トランス 914B、第 3 トランス 914C および第 4 トランス 914D の構造の説明については、第 1 トランス 914A の構造の説明が準用されるものとし、省略する。

[0578] 図 59~図 62 を参照して、第 1 トランス 914A は、低電位コイル 915 および高電位コイル 916 を含む。低電位コイル 915 は、第 1 絶縁部 905 内において最下絶縁層 908（半導体チップ 901）側に形成されている。高電位コイル 916 は、第 1 絶縁部 905 内において低電位コイル 915 に対して最上絶縁層 909（絶縁主面 906）側に形成されている。つまり、高電位コイル 916 は、低電位コイル 915 を挟んで半導体チップ 901 に対向している。低電位コイル 915 および高電位コイル 916 の配置箇所は任意である。また、高電位コイル 916 は、1 層以上の層間絶縁層 910 を挟んで低電位コイル 915 に対向していればよい。

[0579] 低電位コイル 915 および高電位コイル 916 の間の距離 D2（つまり、層間絶縁層 910 の積層数）は、低電位コイル 915 および高電位コイル 916 の間の絶縁耐圧や電界強度に応じて適宜調整される。低電位コイル 915 は、この形態では、最下絶縁層 908 側から数えて 3 層目の層間絶縁層 910 に形成されている。一方、高電位コイル 916 は、この形態では、最上絶縁層 909 側から数えて 1 層目の層間絶縁層 910 に形成されている。したがって、低電位コイル 915 と高電位コイル 916 との間には、7 層分の層間絶縁層 910 が介在している。

[0580] 低電位コイル915は、層間絶縁層910において第1絶縁層911および第2絶縁層912を貫通して埋め込まれている。低電位コイル915は、図60に示すように、第1内側末端917、第1外側末端918、ならびに、第1内側末端917および第1外側末端918の間を螺旋状に引き回された第1螺旋部919を含む。第1螺旋部919は、平面視において楕円形状（長円形状）に延びる螺旋状に引き回されている。第1螺旋部919の最内周縁を形成する部分は、平面視において楕円形状の第1内側領域920を区画している。

[0581] 第1螺旋部919の巻回数は、3以上30以下であってもよい。第1螺旋部919の幅は、0.1 μm 以上10 μm 以下であってもよい。第1螺旋部919の幅は、1 μm 以上5 μm 以下であることが好ましい。第1螺旋部919の幅は、螺旋方向に直交する方向の幅によって定義される。第1螺旋部919の第1巻回ピッチは、0.1 μm 以上20 μm 以下であってもよい。第1巻回ピッチは、1 μm 以上10 μm 以下であることが好ましい。第1巻回ピッチは、第1螺旋部919において螺旋方向に直交する方向に隣り合う2つの部分の間の距離によって定義される。

[0582] 第1螺旋部919の巻回形状や、第1内側領域920の平面形状は任意であり、図60等に表示される形態に限定されない。第1螺旋部919は、平面視において三角形状、四角形状等の多角形状、または、円形状に巻回されていてもよい。第1内側領域920は、第1螺旋部919の巻回形状に応じて、平面視において三角形状、四角形状等の多角形状、または、円形状に区画されていてもよい。

[0583] 低電位コイル915は、チタン、窒化チタン、銅、アルミニウムおよびタングステンのうちの少なくとも1つを含んでいてもよい。低電位コイル915は、バリア層および本体層を含む積層構造を有していてもよい。バリア層は、層間絶縁層910内においてリセス空間を区画する。本体層は、バリア層によって区画されたリセス空間に埋設される。バリア層は、チタンおよび窒化チタンのうちの少なくとも1つを含んでいてもよい。本体層は、銅、ア

ルミニウムおよびタングステンのうちの少なくとも1つを含んでいてもよい。

- [0584] 高電位コイル916は、層間絶縁層910において第1絶縁層911および第2絶縁層912を貫通して埋め込まれている。高電位コイル916は、図61に示すように、第2内側末端921、第2外側末端922、ならびに、第2内側末端921および第2外側末端922の間を螺旋状に引き回された第2螺旋部923を含む。第2螺旋部923は、平面視において楕円形状（長円形状）に延びる螺旋状に引き回されている。第2螺旋部923の最内周縁を形成する部分は、この形態では、平面視において楕円形状の第2内側領域924を区画している。第2螺旋部923の第2内側領域924は、法線方向Zに第1螺旋部919の第1内側領域920に対向している。
- [0585] 第2螺旋部923の巻回数は、3以上30以下であってもよい。第1螺旋部919の巻回数に対する第2螺旋部923の巻回数は、昇圧すべき電圧値に応じて調整される。第2螺旋部923の巻回数は、第1螺旋部919の巻回数を超えていることが好ましい。むしろ、第2螺旋部923の巻回数は、第1螺旋部919の巻回数未満であってもよいし、第1螺旋部919の巻回数と等しくてもよい。
- [0586] 第2螺旋部923の幅は、 $0.1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第2螺旋部923の幅は、 $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であることが好ましい。第2螺旋部923の幅は、螺旋方向に直交する方向の幅によって定義される。第2螺旋部923の幅は、第1螺旋部919の幅と等しいことが好ましい。
- [0587] 第2螺旋部923の第2巻回ピッチは、 $0.1\mu\text{m}$ 以上 $20\mu\text{m}$ 以下であってもよい。第2巻回ピッチは、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることが好ましい。第2巻回ピッチは、第2螺旋部923において螺旋方向に直交する方向に隣り合う2つの部分の間の距離によって定義される。第2巻回ピッチは、第1螺旋部919の第1巻回ピッチと等しいことが好ましい。
- [0588] 第2螺旋部923の巻回形状や、第2内側領域924の平面形状は任意であり、図61等に表示される形態に限定されない。第2螺旋部923は、平面

視において三角形状、四角形状等の多角形状、または、円形状に巻回されていてもよい。第2内側領域924は、第2螺旋部923の巻回形状に応じて、平面視において三角形状、四角形状等の多角形状、または、円形状に区画されていてもよい。また、第2螺旋部923の隙間には、保護層8の一部が入り込んでいる。

[0589] 高電位コイル916は、低電位コイル915と同一の導電材料によって形成されていることが好ましい。つまり、高電位コイル916は、低電位コイル915と同様に、バリア層および本体層を含むことが好ましい。

[0590] 図59を参照して、半導体装置D1は、複数（この形態では12個）の低電位端子925および複数（この形態では12個）の高電位端子926を含む。複数の低電位端子925は、対応するトランス914A～914Dの低電位コイル915にそれぞれ電氣的に接続されている。複数の高電位端子926は、対応するトランス914A～914Dの高電位コイル916にそれぞれ電氣的に接続されている。

[0591] 複数の低電位端子925は、低電位コイル915と同一層に形成されている。つまり、低電位コイル915が埋め込まれた層間絶縁層910において第1絶縁層911および第2絶縁層912を貫通して埋め込まれている。複数の低電位端子925は、具体的には、複数のトランス914A～914Dから第2方向Yに間隔を空けて絶縁側壁907B側の領域に形成され、第1方向Xに間隔を空けて配列されている。

[0592] 複数の低電位端子925は、第1低電位端子925A、第2低電位端子925B、第3低電位端子925C、第4低電位端子925D、第5低電位端子925Eおよび第6低電位端子925Fを含む。複数の低電位端子925A～925Fは、この形態では、2個ずつそれぞれ形成されている。複数の低電位端子925A～925Fの個数は任意である。

[0593] 第1低電位端子925Aは、平面視において第2方向Yに第1トランス914Aに対向している。第2低電位端子925Bは、平面視において第2方向Yに第2トランス914Bに対向している。第3低電位端子925Cは、

平面視において第2方向Yに第3トランス914Cに対向している。第4低電位端子925Dは、平面視において第2方向Yに第4トランス914Dに対向している。第5低電位端子925Eは、平面視において第1低電位端子925Aおよび第2低電位端子925Bの間の領域に形成されている。第6低電位端子925Fは、平面視において第3低電位端子925Cおよび第4低電位端子925Dの間の領域に形成されている。

[0594] 第1低電位端子925Aは、第1トランス914A（低電位コイル915）の第1内側末端917に電氣的に接続されている。第2低電位端子925Bは、第2トランス914B（低電位コイル915）の第1内側末端917に電氣的に接続されている。第3低電位端子925Cは、第3トランス914C（低電位コイル915）の第1内側末端917に電氣的に接続されている。第4低電位端子925Dは、第4トランス914D（低電位コイル915）の第1内側末端917に電氣的に接続されている。

[0595] 第5低電位端子925Eは、第1トランス914A（低電位コイル915）の第1外側末端918および第2トランス914B（低電位コイル915）の第1外側末端918に電氣的に接続されている。第6低電位端子925Fは、第3トランス914C（低電位コイル915）の第1外側末端918および第4トランス914D（低電位コイル915）の第1外側末端918に電氣的に接続されている。

[0596] つまり、各トランス914A～914Dの第1内側末端917に接続される低電位端子925A～925Dは、各トランス914A～914Dの第1外側末端918に接続される低電位端子925E、925Fよりも、各トランス914A～914Dの近くに配置されている。たとえば、第1トランス914Aの第1内側末端917に接続された第1低電位端子925Aは、第1トランス914Aの第1外側末端918に接続された第5低電位端子925Eよりも、第1トランス914Aの近くに配置されている。第2トランス914Bに対する第2低電位端子925Bおよび第5低電位端子925Eの配置関係、第3トランス914Cに対する第3低電位端子925Cおよび第

6 低電位端子 9 2 5 F の配置関係、および第 4 トランス 9 1 4 D に対する第 4 低電位端子 9 2 5 D および第 6 低電位端子 9 2 5 F の配置関係も同様である。

[0597] 複数の高電位端子 9 2 6 は、複数の低電位端子 9 2 5 から間隔を空けて第 1 絶縁部 9 0 5 の絶縁主面 9 0 6 の上に形成されている。複数の高電位端子 9 2 6 は、具体的には、複数の低電位端子 9 2 5 から第 2 方向 Y に間隔を空けて絶縁側壁 9 0 7 A 側の領域に形成され、第 1 方向 X に間隔を空けて配列されている。

[0598] 複数の高電位端子 9 2 6 は、平面視において対応するトランス 9 1 4 A ～ 9 1 4 D に近接する領域にそれぞれ形成されている。高電位端子 9 2 6 がトランス 9 1 4 A ～ 9 1 4 D に近接するとは、平面視において高電位端子 9 2 6 およびトランス 9 1 4 の間の距離が、低電位端子 9 2 5 および高電位端子 9 2 6 の間の距離未満であることを意味する。

[0599] 複数の高電位端子 9 2 6 は、具体的には、平面視において第 1 方向 X に沿って複数のトランス 9 1 4 A ～ 9 1 4 D と対向するように第 1 方向 X に沿って間隔を空けて形成されている。複数の高電位端子 9 2 6 は、さらに具体的には、平面視において高電位コイル 9 1 6 の第 2 内側領域 9 2 4 および隣り合う高電位コイル 9 1 6 の間の領域に位置するように第 1 方向 X に沿って間隔を空けて形成されている。これにより、複数の高電位端子 9 2 6 は、平面視において第 1 方向 X に複数のトランス 9 1 4 A ～ 9 1 4 D と一列に並んで配列されている。

[0600] 複数の高電位端子 9 2 6 は、第 1 高電位端子 9 2 6 A、第 2 高電位端子 9 2 6 B、第 3 高電位端子 9 2 6 C、第 4 高電位端子 9 2 6 D、第 5 高電位端子 9 2 6 E および第 6 高電位端子 9 2 6 F を含む。複数の高電位端子 9 2 6 A ～ 9 2 6 F は、この形態では、2 個ずつそれぞれ形成されている。複数の高電位端子 9 2 6 A ～ 9 2 6 F の個数は任意である。

[0601] 第 1 高電位端子 9 2 6 A は、平面視において第 1 トランス 9 1 4 A（高電位コイル 9 1 6）の第 2 内側領域 9 2 4 に形成されている。第 2 高電位端子

926Bは、平面視において第2トランス914B（高電位コイル916）の第2内側領域924に形成されている。第3高電位端子926Cは、平面視において第3トランス914C（高電位コイル916）の第2内側領域924に形成されている。第4高電位端子926Dは、平面視において第4トランス914D（高電位コイル916）の第2内側領域924に形成されている。第5高電位端子926Eは、平面視において第1トランス914Aおよび第2トランス914Bの間の領域に形成されている。第6高電位端子926Fは、平面視において第3トランス914Cおよび第4トランス914Dの間の領域に形成されている。

[0602] 第1高電位端子926Aは、第1トランス914A（高電位コイル916）の第2内側末端921に電氣的に接続されている。第2高電位端子926Bは、第2トランス914B（高電位コイル916）の第2内側末端921に電氣的に接続されている。第3高電位端子926Cは、第3トランス914C（高電位コイル916）の第2内側末端921に電氣的に接続されている。第4高電位端子926Dは、第4トランス914D（高電位コイル916）の第2内側末端921に電氣的に接続されている。

[0603] 第5高電位端子926Eは、第1トランス914A（高電位コイル916）の第2外側末端922および第2トランス914B（高電位コイル916）の第2外側末端922に電氣的に接続されている。第6高電位端子926Fは、第3トランス914C（高電位コイル916）の第2外側末端922および第4トランス914D（高電位コイル916）の第2外側末端922に電氣的に接続されている。

[0604] 図60および図61を参照して、半導体装置D1は、第1絶縁部905内にそれぞれ形成された第1低電位配線927、第2低電位配線928、第1高電位配線929および第2高電位配線930を含む。この形態では、複数の第1低電位配線927、複数の第2低電位配線928、複数の第1高電位配線929および複数の第2高電位配線930が形成されている。

[0605] 第1低電位配線927および第2低電位配線928は、第1トランス91

4 Aの低電位コイル9 1 5および第2トランス9 1 4 Bの低電位コイル9 1 5を同電位に固定している。また、第1低電位配線9 2 7および第2低電位配線9 2 8は、第3トランス9 1 4 Cの低電位コイル9 1 5および第4トランス9 1 4 Dの低電位コイル9 1 5を同電位に固定している。第1低電位配線9 2 7および第2低電位配線9 2 8は、この形態では、トランス9 1 4 A～9 1 4 Dの全ての低電位コイル9 1 5を同電位に固定している。

[0606] 第1高電位配線9 2 9および第2高電位配線9 3 0は、第1トランス9 1 4 Aの高電位コイル9 1 6および第2トランス9 1 4 Bの高電位コイル9 1 6を同電位に固定している。また、第1高電位配線9 2 9および第2高電位配線9 3 0は、第3トランス9 1 4 Cの高電位コイル9 1 6および第4トランス9 1 4 Dの高電位コイル9 1 6を同電位に固定している。第1高電位配線9 2 9および第2高電位配線9 3 0は、この形態では、トランス9 1 4 A～9 1 4 Dの全ての高電位コイル9 1 6を同電位に固定している。

[0607] 複数の第1低電位配線9 2 7は、対応する低電位端子9 2 5 A～9 2 5 Dおよび対応するトランス9 1 4 A～9 1 4 D（低電位コイル9 1 5）の第1内側末端9 1 7にそれぞれ電氣的に接続されている。複数の第1低電位配線9 2 7は、同様の構造を有している。以下では、第1低電位端子9 2 5 Aおよび第1トランス9 1 4 Aに接続された第1低電位配線9 2 7の構造を例にとって説明する。他の第1低電位配線9 2 7の構造の説明については、第1トランス9 1 4 Aに接続された第1低電位配線9 2 7の構造の説明が準用されるものとし、省略する。

[0608] 第1低電位配線9 2 7は、第1低電位パッド電極層9 3 1、低電位接続配線9 3 2、引き出し配線9 3 3、第1接続プラグ電極9 3 4、および第2接続プラグ電極9 3 5を含む。これら通電部材は、第1絶縁部9 0 5内に形成されている。

[0609] 第1低電位パッド電極層9 3 1、低電位接続配線9 3 2、引き出し配線9 3 3、第1接続プラグ電極9 3 4、および第2接続プラグ電極9 3 5は、低電位コイル9 1 5等と同一の導電材料によってそれぞれ形成されていること

が好ましい。つまり、第1低電位パッド電極層931、低電位接続配線932、引き出し配線933、第1接続プラグ電極934、および第2接続プラグ電極935は、低電位コイル915等と同様に、バリア層および本体層をそれぞれ含むことが好ましい。

[0610] 第1低電位パッド電極層931は、低電位コイル915と同一の層間絶縁層910に形成されている。第1低電位パッド電極層931は、アイランド状に形成され、法線方向Zにおいて、層間絶縁層910を挟んで引き出し配線933の第1端部に対向している。第1低電位パッド電極層931は、低電位端子925を形成している。

[0611] 低電位接続配線932は、低電位コイル915と同一の層間絶縁層910内において第1トランス914A（低電位コイル915）の第1内側領域920に形成されている。低電位接続配線932は、アイランド状に形成され、法線方向Zに高電位端子926（第1高電位端子926A）に対向している。低電位接続配線932は、配線プラグ電極38の平面積を超える平面積を有していることが好ましい。低電位接続配線932は、低電位コイル915の第1内側末端917に電氣的に接続されている。

[0612] 引き出し配線933は、層間絶縁層910内において半導体チップ901および第1低電位パッド電極層931の間の領域に形成されている。引き出し配線933は、この形態では、最下絶縁層908から数えて1層目の層間絶縁層910内に形成されている。引き出し配線933は、一方側の第1端部、他方側の第2端部、ならびに、第1端部および第2端部を接続する配線部を含む。引き出し配線933の第1端部は、半導体チップ901および第1低電位パッド電極層931の間の領域に位置している。引き出し配線933の第2端部は、半導体チップ901および低電位接続配線932の間の領域に位置している。配線部は、半導体チップ901の第1主面902に沿って延び、第1端部および第2端部の間の領域を帯状に延びている。

[0613] 第1接続プラグ電極934は、層間絶縁層910内において第1低電位パッド電極層931および引き出し配線933の間の領域に形成され、第1低

電位パッド電極層 931 および引き出し配線 933 の第 1 端部に電氣的に接続されている。第 2 接続プラグ電極 935 は、層間絶縁層 910 内において低電位接続配線 932 および引き出し配線 933 の間の領域に形成され、低電位接続配線 932 および引き出し配線 933 の第 2 端部に電氣的に接続されている。

[0614] 複数の第 2 低電位配線 928 は、図 60 に示すように、対応するトランス 914A～914D の低電位コイル 915 の第 1 外側末端 918 にそれぞれ電氣的に接続されている。複数の第 2 低電位配線 928 は、それぞれ、第 1 低電位配線 927 と同様の構造を有している。

[0615] 図 61 を参照して、複数の第 1 高電位配線 929 は、対応する高電位端子 926A～12D および対応するトランス 914A～914D（高電位コイル 916）の第 2 内側末端 921 にそれぞれ電氣的に接続されている。複数の第 1 高電位配線 929 は、同様の構造をそれぞれ有している。第 1 高電位配線 929 は、前述の高電位端子 926 を形成していてもよい。以下では、第 1 高電位端子 926A および第 1 トランス 914A に接続された第 1 高電位配線 929 の構造を例にとって説明する。他の第 1 高電位配線 929 の構造の説明については、第 1 トランス 914A に接続された第 1 高電位配線 929 の構造の説明が準用されるものとし、省略する。

[0616] 第 1 高電位配線 929 は、高電位接続配線 937、および、1 つまたは複数（この形態では複数）のパッドプラグ電極 938 を含む。高電位接続配線 937 およびパッドプラグ電極 938 は、低電位コイル 915 等と同一の導電材料によって形成されていることが好ましい。つまり、高電位接続配線 937 およびパッドプラグ電極 938 は、低電位コイル 915 等と同様に、バリア層および本体層を含むことが好ましい。

[0617] 高電位接続配線 937 は、高電位コイル 916 と同一の層間絶縁層 910 内において高電位コイル 916 の第 2 内側領域 924 に形成されている。高電位接続配線 937 は、アイランド状に形成され、法線方向 Z に高電位端子 926（第 1 高電位端子 926A）に対向している。高電位接続配線 937

は、高電位コイル 9 1 6 の第 2 内側末端 9 2 1 に電氣的に接続されている。高電位接続配線 9 3 7 は、平面視において低電位接続配線 9 3 2 から間隔を空けて形成され、法線方向 Z に低電位接続配線 9 3 2 には対向していない。これにより、低電位接続配線 9 3 2 および高電位接続配線 9 3 7 の間の絶縁距離が増加し、第 1 絶縁部 9 0 5 の絶縁耐圧が高められている。

[0618] 複数のパッドプラグ電極 9 3 8 は、最上絶縁層 9 0 9 内において高電位端子 9 2 6 (第 1 高電位端子 9 2 6 A) および高電位接続配線 9 3 7 の間の領域に形成され、高電位端子 9 2 6 および高電位接続配線 9 3 7 にそれぞれ電氣的に接続されている。複数のパッドプラグ電極 9 3 8 は、平面視において高電位接続配線 9 3 7 の平面積未満の平面積をそれぞれ有している。

[0619] 複数の第 2 高電位配線 9 3 0 は、対応する高電位端子 9 2 6 E, 9 2 6 F および対応するトランス 9 1 4 A ~ 9 1 4 D (高電位コイル 9 1 6) の第 2 外側末端 9 2 2 にそれぞれ電氣的に接続されている。複数の第 2 高電位配線 9 3 0 は、同様の構造をそれぞれ有している。以下では、第 5 高電位端子 9 2 6 E および第 1 トランス 9 1 4 A (第 2 トランス 9 1 4 B) に接続された第 2 高電位配線 9 3 0 の構造を例にとって説明する。他の第 2 高電位配線 9 3 0 の構造の説明については、第 1 トランス 9 1 4 A (第 2 トランス 9 1 4 B) に接続された第 2 高電位配線 9 3 0 の構造の説明が準用されるものとし、省略する。

[0620] 第 2 高電位配線 9 3 0 は、第 1 トランス 9 1 4 A (高電位コイル 9 1 6) の第 2 外側末端 9 2 2 および第 2 トランス 9 1 4 B (高電位コイル 9 1 6) の第 2 外側末端 9 2 2 に電氣的に接続されている点を除いて、第 1 高電位配線 9 2 9 と同様の構造を有している。

[0621] 第 2 高電位配線 9 3 0 は、高電位コイル 9 1 6 の周囲に形成されている。第 2 高電位配線 9 3 0 は、平面視において隣り合う 2 つの高電位コイル 9 1 6 の間の領域に形成され、法線方向 Z に高電位端子 9 2 6 (第 5 高電位端子 9 2 6 E) に対向している。第 2 高電位配線 9 3 0 は、平面視において低電位接続配線 9 3 2 から間隔を空けて形成され、法線方向 Z に低電位接続配線

932には対向していない。これにより、低電位接続配線932および第2高電位配線930の間の絶縁距離が増加し、第1絶縁部905の絶縁耐圧が高められている。

[0622] 図62を参照して、低電位端子925および高電位端子926の間の距離D1は、低電位コイル915および高電位コイル916の間の距離D2を超えていることが好ましい ($D2 < D1$)。距離D1は、第1絶縁部905の総厚さTD1を超えていることが好ましい ($TD1 < D1$)。距離D1に対する距離D2の比 $D2/D1$ は、0.005以上0.5以下であってもよい。距離D1は、 $100\mu\text{m}$ 以上 $1000\mu\text{m}$ 以下であることが好ましい。距離D2は、 $2\mu\text{m}$ 以上 $120\mu\text{m}$ 以下であってもよい。距離D2は、 $5\mu\text{m}$ 以上 $50\mu\text{m}$ 以下であることが好ましい。距離D1および距離D2の値は任意であり、実現すべき絶縁耐圧に応じて適宜調整される。

[0623] 図61～図62を参照して、半導体装置D1は、平面視においてトランス914A～914Dの周囲に位置するように第1絶縁部905内に埋設されたダミーパターン939を含む。

[0624] ダミーパターン939は、半導体装置A1のダミーパターン39と同様の形状を有していてもよい。たとえば、ダミーパターン939は、高電位ダミーパターン86に対応する形状の高電位ダミーパターン940と、第1高電位ダミーパターン87に対応する形状の第1高電位ダミーパターン941と、第2高電位ダミーパターン88に対応する形状の第2高電位ダミーパターン942と、浮遊ダミーパターン161に対応する形状の浮遊ダミーパターン972とを含んでいてもよい。なお、図62では、高電位ダミーパターン940と、第2高電位ダミーパターン942と、浮遊ダミーパターン972とが示されている。

[0625] 図62を参照して、半導体装置D1は、半導体チップ901の第1主面902に形成された第2機能デバイス974を含む。第2機能デバイス974は、半導体チップ901の第1主面902の表層部、および／または、半導体チップ901の第1主面902の上の領域を利用して形成され、第1絶縁

部 905（最下絶縁層 908）によって被覆されている。図 62 では、第 2 機能デバイス 974 が第 1 主面 902 の表層部に示された破線によって簡略化して示されている。

[0626] 第 2 機能デバイス 974 は、低電位配線を介して低電位端子 925 に電氣的に接続され、高電位配線を介して高電位端子 926 に電氣的に接続されている。第 2 機能デバイス 974 は、受動デバイス、半導体整流デバイスおよび半導体スイッチングデバイスのうちの少なくとも 1 つを含んでもよい。受動デバイスは、第 2 機能デバイス 974 は、受動デバイス、半導体整流デバイスおよび半導体スイッチングデバイスのうちの任意の 2 種以上のデバイスが選択的に組み合わされた回路網を含んでもよい。回路網は、集積回路の一部または全部を形成していてもよい。

[0627] 受動デバイスは、半導体受動デバイスを含んでもよい。受動デバイスは、抵抗およびコンデンサのいずれか一方または双方を含んでもよい。半導体整流デバイスは、pn 接合ダイオード、PIN ダイオード、ツェナーダイオード、ショットキーバリアダイオードおよびファーストリカバリーダイオードのうちの少なくとも 1 つを含んでもよい。半導体スイッチングデバイスは、BJT (Bipolar Junction Transistor)、MISFET (Metal Insulator Field Effect Transistor)、IGBT (Insulated Gate Bipolar Junction Transistor) および JFET (Junction Field Effect Transistor) のうちの少なくとも 1 つを含んでもよい。

[0628] 図 62 を参照して、半導体装置 D1 は、第 1 絶縁部 905 の絶縁主面 906 の上に形成された第 2 絶縁部 975 をさらに含む。第 2 絶縁部 975 は、パッシベーション層と称されてもよい。第 2 絶縁部 975 は、絶縁主面 906 の上から第 1 絶縁部 905 や半導体チップ 40 を保護する。

[0629] 第 2 絶縁部 975 は、この形態では、第 1 無機絶縁層 976 および第 2 無機絶縁層 977 を含む、無機絶縁層の積層構造を有している。第 1 無機絶縁層 976 は、酸化シリコンを含んでもよい。第 1 無機絶縁層 976 は、不純物無添加の酸化シリコンである USG (undoped silicate glass) を含

むことが好ましい。第1無機絶縁層976の厚さは、50nm以上5000nm以下であってもよい。第2無機絶縁層977は、窒化シリコンを含んでもよい。第2無機絶縁層977の厚さは、500nm以上5000nm以下であってもよい。第2絶縁部975の総厚さを大きくすることにより、高電位コイル916上の絶縁耐圧を高めることができる。

[0630] 第1無機絶縁層976がUSGからなり、第2無機絶縁層977が窒化シリコンからなる場合、USGの絶縁破壊電圧(V/cm)は窒化シリコンの絶縁破壊電圧(V/cm)を超える。したがって、第2絶縁部975を厚化する場合、第2無機絶縁層977よりも厚い第1無機絶縁層976が形成されることが好ましい。

[0631] 第1無機絶縁層976は、酸化シリコンの一例としてのBPSG (boron doped phosphor silicate glass) およびPSG (phosphorus silicate glass) のうちの少なくとも一方を含んでもよい。ただし、この場合、酸化シリコン内に不純物(ホウ素やリン)が含まれるため、高電位コイル916上の絶縁耐圧を高める上では、USGからなる第1無機絶縁層976が形成されることが特に好ましい。むろん、第2絶縁部975は、第1無機絶縁層976および第2無機絶縁層977のいずれか一方からなる単層構造を有していてもよい。

[0632] 第2絶縁部975は、複数の低電位パッド開口978および複数の高電位パッド開口979を有している。この形態では、第1絶縁部905において、低電位端子925上の領域の絶縁層が除去されている。つまり、絶縁主面906から低電位端子925(第1低電位パッド電極層931)に向かって、複数の絶縁層(この形態では、最上絶縁層909および複数の層間絶縁層910)を貫通する貫通孔980が形成されている。貫通孔980は、層間絶縁層910によって囲まれて区画された横方向に閉じた空間部である。

[0633] 複数の低電位パッド開口978は、この貫通孔980を介して、複数の低電位端子925をそれぞれ露出させている。複数の高電位パッド開口979は、複数の高電位端子926をそれぞれ露出させている。第2絶縁部975

は、高電位端子 9 2 6 の周縁部に乗り上げたオーバラップ部を有していてもよい。低電位パッド開口 9 7 8 から露出する低電位端子 9 2 5 は、低電位パッド 9 9 6 と称してもよく、高電位パッド開口 9 7 9 から露出する高電位端子 9 2 6 は、高電位パッド 9 9 7 と称してもよい。低電位パッド 9 9 6 および高電位パッド 9 9 7 の表面には、パラジウムおよびニッケルのうちの少なくとも 1 つを含む被覆層が形成されていてもよい。

[0634] 半導体装置 D 1 は、第 2 絶縁部 9 7 5 の上に形成された保護層 9 8 1 をさらに含む。保護層 9 8 1 は、有機絶縁層を含んでいてもよく、感光性樹脂を含んでいてもよい。保護層 9 8 1 は、ポリイミド、ポリアミドおよびポリベンゾオキサゾールのうちの少なくとも 1 つを含んでいてもよい。保護層 9 8 1 は、この形態では、ポリイミドを含む。保護層 9 8 1 の厚さは、 $1\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下であってもよい。

[0635] 保護層 9 8 1 の厚さは、第 2 絶縁部 9 7 5 の総厚さを超えていることが好ましい。さらに、第 2 絶縁部 9 7 5 および保護層 9 8 1 の総厚さは、低電位コイル 2 0 および高電位コイル 9 1 6 の間の距離 D 2 以上であることが好ましい。この場合、第 2 絶縁部 9 7 5 の総厚さは $2\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であることが好ましい。また、保護層 9 8 1 の厚さは $5\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下であることが好ましい。これらの構造によれば、第 2 絶縁部 9 7 5 および保護層 9 8 1 の厚化を抑制できると同時に、第 2 絶縁部 9 7 5 および保護層 9 8 1 の積層膜によって高電位コイル 9 1 6 上の絶縁耐圧を適切に高めることができる。

[0636] 保護層 9 8 1 は、低電位側の領域を被覆する第 1 部分 9 8 2 および高電位側の領域を被覆する第 2 部分 9 8 3 を含む。第 1 部分 9 8 2 は、複数の低電位端子 9 2 5（低電位パッド開口 9 7 8）をそれぞれ露出させる複数の低電位端子開口 9 8 4 を有している。

[0637] 第 2 部分 9 8 3 は、第 1 部分 9 8 2 から間隔を空けて形成され、第 1 部分 9 8 2 との間から第 2 絶縁部 9 7 5 を露出させている。第 2 部分 9 8 3 は、複数の高電位端子 9 2 6（高電位パッド開口 9 7 9）をそれぞれ露出させる

複数の高電位端子開口 985 を有している。第 2 部分 983 は、トランス 914A～914D およびダミーパターン 939 を一括して被覆している。第 2 部分 983 は、具体的には、複数の高電位コイル 916、複数の高電位端子 926、第 1 高電位ダミーパターン 941、第 2 高電位ダミーパターン 942 および浮遊ダミーパターン 972 を一括して被覆している。

[0638] 保護層 981 において、第 1 部分 982 および第 2 部分 983 の間のスリットは、封止樹脂 6 に対するアンカー部として機能する。封止樹脂 6 の一部は、第 1 部分 982 および第 2 部分 983 の間のスリットに入り込み、第 2 絶縁部 975 に接続される。これにより、半導体装置 D1 に対する封止樹脂 6 の密着力が高められる。むろん、第 1 部分 982 および第 2 部分 983 は一体的に形成されていてもよい。また、保護層 981 は、第 1 部分 982 および第 2 部分 983 のいずれか一方だけを含んでいてもよい。

[0639] 以上、この半導体装置 D1 によれば、低電位端子 925（低電位パッド）が、低電位コイル 915 と同一層に形成されている。そのため、第 1 低電位パッド電極層 731 よりも高電位コイル 916 側の層間絶縁層 910 および最上絶縁層 909 に、低電位コイル 720 と電氣的に接続される配線を形成しなくてよい。たとえば、高電位端子 926 と同一層に低電位端子 925 を形成するには、第 1 絶縁部 905 の各無機絶縁層を積層する都度、当該無機絶縁層に導体を埋め込むことによってビアを形成する工程が必要となり、リードタイムが長くなる。

[0640] これに対し、この半導体装置 D1 によれば、図 63 に示すように、CVD 法等によって半導体チップ 901 上に第 1 絶縁部 905 および第 2 絶縁部 975 の積層構造を形成した後、選択的に開口 986 を有するマスク 987 を介したエッチングによって貫通孔 980 を形成すればよい。つまり、無機絶縁層を積層するための装置、無機絶縁層にビアホールを形成する装置、ビアホールにビアを埋め込む装置などの複数の装置間に半導体ウエハを移動させる手間を省略でき、1つのエッチング装置で貫通孔 980 を形成することによって、低電位端子 925 を露出させることができる。その結果、リードタ

イムを短縮でき、コストを低減することができる。

[0641] なお、マスク 987 としては、レジスト膜、無機絶縁膜、金属膜など、各種マスク材料を使用することができる。より具体的には、厚膜レジスト、SiC などの無機絶縁膜、Ti、TiN、Ta、Ta₂N₅、W、Al などの金属膜を使用してもよい。

(第2実施形態)

図64は、本開示の一実施形態に係る半導体装置D2の模式的な断面図である。以下では、前述の半導体装置D1に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

[0642] 半導体装置D2では、半導体装置D1の貫通孔980がチップ側壁904B側に開放するように形成されることによって、空間部988とされている。これにより、第1絶縁部905の絶縁主面906は、第1絶縁主面906Aと第2絶縁主面906Bとを含んでいる。第1絶縁主面906Aは、最上絶縁層909の上面によって形成されており、第2絶縁主面906Bは、低電位コイル915および低電位端子925が埋め込まれた層間絶縁層910の上面によって形成されている。第1絶縁主面906Aと第2絶縁主面906Bとの間には、法線方向Zにおいて段差が形成されており、この段差部分に空間部988が形成されている。空間部988は、第2絶縁主面906Bと、第2絶縁主面906Bよりも高電位コイル916側の絶縁側壁907Bによって区画された領域であってもよい。低電位端子925は、空間部988に露出している。

[0643] また、半導体装置D2は、第1絶縁部905内に埋設されたシール導体991をさらに含む。シール導体991は、平面視において絶縁側壁907A～907Dから間隔を空けて第1絶縁部905内に壁状に埋設され、第1絶縁部905をデバイス領域992および外側領域993に区画している。シール導体991は、外側領域993からデバイス領域992への水分の進入やクラックの進入を抑制する。

[0644] デバイス領域992は、第1機能デバイス913（複数のトランス914

）、第2機能デバイス974、複数の低電位端子925、複数の高電位端子926、第1低電位配線927、第2低電位配線928、第1高電位配線929、第2高電位配線930およびダミーパターン939を含む領域である。外側領域993は、デバイス領域992外の領域である。

[0645] シール導体991は、デバイス領域992から電氣的に切り離されている。シール導体991は、具体的には、第1機能デバイス913（複数のトランス914）、第2機能デバイス974、複数の低電位端子925、複数の高電位端子926、第1低電位配線927、第2低電位配線928、第1高電位配線929、第2高電位配線930およびダミーパターン939から電氣的に切り離されている。シール導体991は、さらに具体的には、電氣的に浮遊状態に固定されている。シール導体991は、デバイス領域992に繋がる電流経路を形成しない。

[0646] シール導体991は、平面視において絶縁側壁907～907Dに沿う帯状に形成されている。シール導体991は、この形態では、平面視において四角環状（具体的には長方形環状）に形成されている。これにより、シール導体991は、平面視において四角形状（具体的には長方形形状）のデバイス領域992を区画している。また、シール導体991は、平面視においてデバイス領域992を取り囲む四角環状（具体的には長方形環状）の外側領域993を区画している。

[0647] シール導体991は、具体的には、第2絶縁主面906B側の上端部、半導体チップ901側の下端部、ならびに、上端部および下端部の間を壁状に延びる壁部を有している。シール導体991の上端部は、この形態では、第2絶縁主面906Bから露出するように形成され、第1絶縁部905内に位置している。シール導体991の下端部は、半導体チップ901から上端部側に間隔を空けて形成されている。

[0648] このように、シール導体991は、この形態では、複数の低電位端子925および複数の高電位端子926に対して半導体チップ901側に位置するように第1絶縁部905内に埋設されている。また、シール導体991は、

第1絶縁部905内において第1機能デバイス913（複数のトランス914）、第1低電位配線927、第2低電位配線928、第1高電位配線929、第2高電位配線930およびダミーパターン939に絶縁主面906に平行な方向に対向している。シール導体991は、第1絶縁部905内において、第2機能デバイス974の一部に絶縁主面906に平行な方向に対向していてもよい。

[0649] シール導体991は、複数のシールプラグ導体994、および、1つまたは複数（この形態では複数）のシールビア導体995を含む。シールビア導体995の個数は任意である。複数のシールプラグ導体994のうちの最上のシールプラグ導体994は、シール導体991の上端部を形成している。複数のシールビア導体995は、シール導体991の下端部をそれぞれ形成している。シールプラグ導体994およびシールビア導体995は、低電位コイル915と同一の導電材料によって形成されていることが好ましい。つまり、シールプラグ導体994およびシールビア導体995は、低電位コイル915等と同様に、バリア層および本体層を含むことが好ましい。

[0650] 複数のシールプラグ導体994は、複数の層間絶縁層910にそれぞれ埋め込まれ、平面視においてデバイス領域992を取り囲む四角環状（具体的には長方形環状）にそれぞれ形成されている。複数のシールプラグ導体994は、互いに接続されるように最下絶縁層908から最上絶縁層909に向かって積層されている。複数のシールプラグ導体994の積層数は、第2絶縁主面906Bまでの複数の層間絶縁層910の積層数に一致している。むしろ、複数の層間絶縁層910を貫通する1つまたは複数のシールプラグ導体994が形成されていてもよい。

[0651] 複数のシールプラグ導体994の集合体によって1つの環状のシール導体991が形成されるのであれば、複数のシールプラグ導体994の全てが環状に形成される必要はない。たとえば、複数のシールプラグ導体994の少なくとも1つが有端状に形成されていてもよい。また、複数のシールプラグ導体994の少なくとも1つが複数の有端帯状部分に分割されていてもよい。

。ただし、デバイス領域 992 への水分やクラックの進入のリスクを鑑みると、複数のシールプラグ導体 994 は、無端状（環状）に形成されていることが好ましい。

[0652] 複数のシールビア導体 995 は、最下絶縁層 908 において半導体チップ 901 およびシールプラグ導体 994 の間の領域にそれぞれ形成されている。複数のシールビア導体 995 は、半導体チップ 901 に接続され、かつシールプラグ導体 994 に接続されている。これにより、シール導体 991 は、シールビア導体 995 を介して、グランド電位に固定されていてもよい。複数のシールビア導体 995 は、シールプラグ導体 994 の平面積未満の平面積を有している。単一のシールビア導体 995 が形成されている場合、単一のシールビア導体 995 は、シールプラグ導体 994 の平面積以上の平面積を有していてもよい。

[0653] シール導体 991 の幅は、 $0.1\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下であってもよい。シール導体 991 の幅は、 $1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であることが好ましい。シール導体 991 の幅は、シール導体 991 が延びる方向に直交する方向の幅によって定義される。

[0654] 以上、この半導体装置 D2 によれば、低電位端子 925（低電位パッド）が、低電位コイル 915 と同一層に形成されている。そのため、第 1 低電位パッド電極層 731 よりも高電位コイル 916 側の層間絶縁層 910 および最上絶縁層 909 に、低電位コイル 720 と電氣的に接続される配線を形成しなくてよい。たとえば、高電位端子 926 と同一層に低電位端子 925 を形成するには、第 1 絶縁部 905 の各無機絶縁層を積層する都度、当該無機絶縁層に導体を埋め込むことによってビアを形成する工程が必要となり、リードタイムが長くなる。

[0655] これに対し、この半導体装置 D2 によれば、図 65 に示すように、CVD 法等によって半導体チップ 901 上に第 1 絶縁部 905 および第 2 絶縁部 975 の積層構造を形成した後、選択的に開口 989 を有するマスク 990 を介したエッチングによって空間部 988 を形成すればよい。つまり、無機絶

縁層を積層するための装置、無機絶縁層にビアホールを形成する装置、ビアホールにビアを埋め込む装置などの複数の装置間に半導体ウエハを移動させる手間を省略でき、1つのエッチング装置で空間部988を形成することによって、低電位端子925を露出させることができる。その結果、リードタイムを短縮でき、コストを低減することができる。

[0656] なお、マスク990としては、レジスト膜、無機絶縁膜、金属膜など、各種マスク材料を使用することができる。より具体的には、厚膜レジスト、SiCなどの無機絶縁膜、Ti、TiN、Ta、Ta₂N₅、W、Alなどの金属膜を使用してもよい。

[0657] 前述の説明では、シール導体991は、シールビア導体995を介して半導体チップ901に接続され、グランド電位に固定されていた。一方、図66に示すように、シールビア導体995を省略することによって、シール導体991は、グランド電位に固定されていなくてもよい。また、シール導体991全体が省略されてもよい。

<半導体装置E1～E2の構造>

(第1実施形態)

図67は、本開示の一実施形態に係る半導体装置E1の模式的な平面図である。図68は、図67の半導体装置E1において低電位コイル20が形成された層を示す平面図である。図69は、図67の半導体装置E1において高電位コイル1016が形成された層を示す平面図である。図70は、図67の半導体装置E1の模式的な断面図である。

[0658] 図67～図69を参照して、半導体装置E1は、直方体形状の半導体チップ1001を含む。半導体チップ1001は、シリコン、ワイドバンドギャップ半導体および化合物半導体のうちの少なくとも1つを含む。

[0659] ワイドバンドギャップ半導体は、シリコンのバンドギャップ(約1.12 eV)を超える半導体からなる。ワイドバンドギャップ半導体のバンドギャップは、2.0 eV以上であることが好ましい。ワイドバンドギャップ半導体は、SiC(炭化シリコン)であってもよい。化合物半導体は、III-V族化

合物半導体であってもよい。化合物半導体は、 AlN （窒化アルミニウム）、 InN （窒化インジウム）、 GaN （窒化ガリウム）および GaAs （ヒ化ガリウム）のうちの少なくとも1つを含んでいてもよい。

[0660] 半導体チップ1001は、この形態では、シリコン製の半導体基板を含む。半導体チップ1001は、シリコン製の半導体基板およびシリコン製のエピタキシャル層を含む積層構造を有するエピタキシャル基板であってもよい。半導体基板の導電型は、 n 型または p 型であってもよい。エピタキシャル層は、 n 型または p 型であってもよい。

[0661] 半導体チップ1001は、一方側の第1主面1002、他方側の第2主面1003、ならびに、第1主面1002および第2主面1003を接続するチップ側壁1004A～1004Dを有している。第1主面1002および第2主面1003は、それらの法線方向 Z から見た平面視（以下、単に「平面視」という。）において四角形状（この形態では長方形状）に形成されている。

[0662] チップ側壁1004A～1004Dは、第1チップ側壁1004A、第2チップ側壁1004B、第3チップ側壁1004Cおよび第4チップ側壁1004Dを含む。第1チップ側壁1004Aおよび第2チップ側壁1004Bは、半導体チップ1001の長辺を形成している。第1チップ側壁1004Aおよび第2チップ側壁1004Bは、第1方向 X に沿って延び、第2方向 Y に対向している。第3チップ側壁1004Cおよび第4チップ側壁1004Dは、半導体チップ1001の短辺を形成している。第3チップ側壁1004Cおよび第4チップ側壁1004Dは、第2方向 Y に延び、第1方向 X に対向している。チップ側壁1004A～1004Dは、研削面からなる。

[0663] 半導体装置E1は、半導体チップ1001の第1主面1002の上に形成された第1絶縁部1005をさらに含む。第1絶縁部1005は、絶縁主面1006および絶縁側壁1007A～1007Dを有している。絶縁主面1006は、平面視において第1主面1002に整合する四角形状（この形態

では長方形形状)に形成されている。絶縁主面1006は、第1主面1002に対して平行に延びている。

[0664] 絶縁側壁1007A~1007Dは、第1絶縁側壁1007A、第2絶縁側壁1007B、第3絶縁側壁1007Cおよび第4絶縁側壁1007Dを含む。絶縁側壁1007A~1007Dは、絶縁主面1006の周縁から半導体チップ1001に向けて延び、チップ側壁1004A~1004Dに連なっている。絶縁側壁1007A~1007Dは、具体的には、チップ側壁1004A~1004Dに対して面一に形成されている。絶縁側壁1007A~1007Dは、チップ側壁1004A~1004Dに面一な研削面を形成している。

[0665] 第1絶縁部1005は、最下絶縁層1008、最上絶縁層1009および複数の(この形態では11層)の層間絶縁層1010を含む多層絶縁積層構造からなる。最下絶縁層1008は、第1主面1002を直接被覆する絶縁層である。最上絶縁層1009は、絶縁主面1006を形成する絶縁層である。複数の層間絶縁層1010は、最下絶縁層1008および最上絶縁層1009の間に介在する絶縁層である。最下絶縁層1008は、この形態では、酸化シリコンを含む単層構造を有している。最上絶縁層1009は、この形態では、酸化シリコンを含む単層構造を有している。最下絶縁層1008の厚さは、0.2 μm 以上4 μm 以下(たとえば1 μm 程度)であってもよく、最上絶縁層1009の厚さは、0.5 μm 以上3 μm 以下(たとえば1 μm 程度)であってもよい。

[0666] 複数の層間絶縁層1010は、最下絶縁層1008側の第1絶縁層1011および最上絶縁層1009側の第2絶縁層1012を含む積層構造をそれぞれ有している。第1絶縁層1011は、窒化シリコンを含んでいてもよい。第1絶縁層1011は、第2絶縁層1012に対するエッチングストップ層として形成されている。第1絶縁層1011の厚さは、0.1 μm 以上1 μm 以下(たとえば0.3 μm 程度)であってもよい。

[0667] 第2絶縁層1012は、第1絶縁層1011の上に形成されている。第1

絶縁層 1011 とは異なる絶縁材料を含む。第 2 絶縁層 1012 は、酸化シリコンを含んでいてもよい。第 2 絶縁層 1012 の厚さは、 $1\text{ }\mu\text{m}$ 以上 $3\text{ }\mu\text{m}$ 以下（たとえば $2\text{ }\mu\text{m}$ 程度）であってもよい。第 2 絶縁層 1012 の厚さは、第 1 絶縁層 1011 の厚さを超えていることが好ましい。

[0668] また、第 1 絶縁層 1011 は、圧縮応力膜であり、第 2 絶縁層 1012 は、引張応力膜であってもよい。つまり、層間絶縁層 1010 は、圧縮応力膜および引張応力膜が繰り返し積層された構造であってもよい。これにより、層間絶縁層 1010 の積層界面において応力をキャンセルしながら第 1 絶縁部 50 を形成することができる。その結果、半導体装置 E1 の製造工程において、半導体チップ 1001 の母体となる半導体ウエハに大きな反り変形が生じることを防止することができる。圧縮応力膜は、たとえば、酸化シリコン膜であってよく、引張応力膜は、たとえば、窒化シリコン膜であってもよい。

[0669] 第 1 絶縁部 1005 の総厚さ TE1 は、 $2\text{ }\mu\text{m}$ 以上 $120\text{ }\mu\text{m}$ 以下であってもよい。第 1 絶縁部 1005 の総厚さ TE1 や層間絶縁層 1010 の積層数は任意であり、実現すべき絶縁耐圧（絶縁破壊耐量）に応じて調整される。また、最下絶縁層 1008、最上絶縁層 1009 および層間絶縁層 1010 の絶縁材料は任意であり、特定の絶縁材料に限定されない。

[0670] 半導体装置 E1 は、第 1 絶縁部 1005 に形成された第 1 機能デバイス 1013 を含む。第 1 機能デバイス 1013 は、1 つまたは複数（この形態では複数）のトランス 1014 を含む。つまり、半導体装置 E1 は、複数のトランス 1014 を含むマルチチャネル型のデバイスからなる。複数のトランス 1014 は、絶縁側壁 1007A ~ 1007D から間隔を空けて第 1 絶縁部 1005 の内方部に形成されている。複数のトランス 1014 は、第 1 方向 X に間隔を空けて形成されている。

[0671] 複数のトランス 1014 は、具体的には、平面視において絶縁側壁 1007C 側から絶縁側壁 1007D 側に向けてこの順に形成された第 1 トランス 1014A、第 2 トランス 1014B、第 3 トランス 1014C および第 4

トランス１０１４Ｄを含む。第１トランス１０１４Ａ、第２トランス１０１４Ｂ、第３トランス１０１４Ｃおよび第４トランス１０１４Ｄは、それぞれ、図１１の第１トランス１３１、第２トランス１３２、第３トランス１３３および第４トランス１３４に対応していてもよい。複数のトランス１０１４Ａ～１０１４Ｄは、同様の構造をそれぞれ有している。以下では、第１トランス１０１４Ａの構造を例にとって説明する。第２トランス１０１４Ｂ、第３トランス１０１４Ｃおよび第４トランス１０１４Ｄの構造の説明については、第１トランス１０１４Ａの構造の説明が準用されるものとし、省略する。

[0672] 図６８～図７０を参照して、第１トランス１０１４Ａは、低電位コイル１０１５および高電位コイル１０１６を含む。低電位コイル１０１５は、第１絶縁部１００５内に形成されている。高電位コイル１０１６は、法線方向Ｚに低電位コイル１０１５と対向するように第１絶縁部１００５内に成されている。低電位コイル１０１５および高電位コイル１０１６は、この形態では、最下絶縁層１００８および最上絶縁層１００９に挟まれた領域（つまり複数の層間絶縁層１０１０）に形成されている。

[0673] 低電位コイル１０１５は、第１絶縁部１００５内において最下絶縁層１００８（半導体チップ１００１）側に形成されており、高電位コイル１０１６は、第１絶縁部１００５内において低電位コイル１０１５に対して最上絶縁層１００９（絶縁主面１００６）側に形成されている。つまり、高電位コイル１０１６は、低電位コイル１０１５を挟んで半導体チップ１００１に対向している。低電位コイル１０１５および高電位コイル１０１６の配置箇所は任意である。また、高電位コイル１０１６は、１層以上の層間絶縁層１０１０を挟んで低電位コイル１０１５に対向していればよい。

[0674] 低電位コイル１０１５および高電位コイル１０１６の間の距離（つまり層間絶縁層１０１０の積層数）は、低電位コイル１０１５および高電位コイル１０１６の間の絶縁耐圧や電界強度に応じて適宜調整される。低電位コイル１０１５は、この形態では、最下絶縁層１００８側から数えて３層目の層間

絶縁層 1010 に形成されている。高電位コイル 1016 は、この形態では、最上絶縁層 1009 側から数えて 1 層目の層間絶縁層 1010 に形成されている。

[0675] 低電位コイル 1015 は、層間絶縁層 1010 において第 1 絶縁層 1011 および第 2 絶縁層 1012 を貫通して埋め込まれている。低電位コイル 1015 は、第 1 内側末端 1017、第 1 外側末端 1018、ならびに、第 1 内側末端 1017 および第 1 外側末端 1018 の間を螺旋状に引き回された第 1 螺旋部 1019 を含む。第 1 螺旋部 1019 は、平面視において楕円形状（長円形状）に延びる螺旋状に引き回されている。第 1 螺旋部 1019 の最内周縁を形成する部分は、平面視において楕円形状の第 1 内側領域 1020 を区画している。

[0676] 第 1 螺旋部 1019 の巻回数は、3 以上 30 以下であってもよい。第 1 螺旋部 1019 の幅は、 $0.1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であってもよい。第 1 螺旋部 1019 の幅は、 $1\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であることが好ましい。第 1 螺旋部 1019 の幅は、螺旋方向に直交する方向の幅によって定義される。第 1 螺旋部 1019 の第 1 巻回ピッチは、 $0.1\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下であってもよい。第 1 巻回ピッチは、 $1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であることが好ましい。第 1 巻回ピッチは、第 1 螺旋部 1019 において螺旋方向に直交する方向に隣り合う 2 つの部分の間の距離によって定義される。

[0677] 第 1 螺旋部 1019 の巻回形状や、第 1 内側領域 1020 の平面形状は任意であり、図 68 等 to 示される形態に限定されない。第 1 螺旋部 1019 は、平面視において三角形状、四角形状等の多角形状、または、円形状に巻回されていてもよい。第 1 内側領域 1020 は、第 1 螺旋部 1019 の巻回形状に応じて、平面視において三角形状、四角形状等の多角形状、または、円形状に区画されていてもよい。

[0678] 低電位コイル 1015 は、チタン、窒化チタン、銅、アルミニウムおよびタングステンのうちの少なくとも 1 つを含んでいてもよい。低電位コイル 1015 は、バリア層および本体層を含む積層構造を有していてもよい。バリ

ア層は、層間絶縁層 1010 においてリセス空間を区画する。本体層は、バリア層によって区画されたりセス空間に埋設される。バリア層は、チタンおよび窒化チタンのうちの少なくとも 1 つを含んでいてもよい。本体層は、銅、アルミニウムおよびタングステンのうちの少なくとも 1 つを含んでいてもよい。

[0679] 高電位コイル 1016 は、層間絶縁層 1010 において第 1 絶縁層 1011 および第 2 絶縁層 1012 を貫通して埋め込まれている。高電位コイル 1016 は、第 2 内側末端 1021、第 2 外側末端 1022、ならびに、第 2 内側末端 1021 および第 2 外側末端 1022 の間を螺旋状に引き回された第 2 螺旋部 1023 を含む。第 2 螺旋部 1023 は、平面視において楕円形状（長円形状）に延びる螺旋状に引き回されている。第 2 螺旋部 1023 の最内周縁を形成する部分は、この形態では、平面視において楕円形状の第 2 内側領域 1024 を区画している。第 2 螺旋部 1023 の第 2 内側領域 1024 は、法線方向 Z に第 1 螺旋部 1019 の第 1 内側領域 1020 に対向している。

[0680] 第 2 螺旋部 1023 の巻回数は、3 以上 30 以下であってもよい。第 1 螺旋部 1019 の巻回数に対する第 2 螺旋部 1023 の巻回数は、昇圧すべき電圧値に応じて調整される。第 2 螺旋部 1023 の巻回数は、第 1 螺旋部 1019 の巻回数を超えていることが好ましい。むしろ、第 2 螺旋部 1023 の巻回数は、第 1 螺旋部 1019 の巻回数未満であってもよいし、第 1 螺旋部 1019 の巻回数と等しくてもよい。

[0681] 第 2 螺旋部 1023 の幅は、0.1 μm 以上 10 μm 以下であってもよい。第 2 螺旋部 1023 の幅は、1 μm 以上 5 μm 以下であることが好ましい。第 2 螺旋部 1023 の幅は、螺旋方向に直交する方向の幅によって定義される。第 2 螺旋部 1023 の幅は、第 1 螺旋部 1019 の幅と等しいことが好ましい。

[0682] 第 2 螺旋部 1023 の第 2 巻回ピッチは、0.1 μm 以上 20 μm 以下であってもよい。第 2 巻回ピッチは、1 μm 以上 10 μm 以下であることが好

ましい。第2巻回ピッチは、第2螺旋部1023において螺旋方向に直交する方向に隣り合う2つの部分の間の距離によって定義される。第2巻回ピッチは、第1螺旋部1019の第1巻回ピッチと等しいことが好ましい。

[0683] 第2螺旋部1023の巻回形状や、第2内側領域1024の平面形状は任意であり、図69等々に示される形態に限定されない。第2螺旋部1023は、平面視において三角形状、四角形状等の多角形状、または、円形状に巻回されていてもよい。第2内側領域1024は、第2螺旋部1023の巻回形状に応じて、平面視において三角形状、四角形状等の多角形状、または、円形状に区画されていてもよい。

[0684] 高電位コイル1016は、低電位コイル1015と同一の導電材料によって形成されていることが好ましい。つまり、高電位コイル1016は、低電位コイル1015と同様に、バリア層および本体層を含むことが好ましい。

[0685] 図67を参照して、半導体装置E1は、複数（この形態では12個）の低電位端子1025および複数（この形態では12個）の高電位端子1026を含む。複数の低電位端子1025は、対応するトランス1014A～1014Dの低電位コイル1015にそれぞれ電氣的に接続されている。複数の高電位端子1026は、対応するトランス1014A～1014Dの高電位コイル1016にそれぞれ電氣的に接続されている。

[0686] 複数の低電位端子1025は、第1絶縁部1005の絶縁主面1006の上に形成されている。複数の低電位端子1025は、具体的には、複数のトランス1014A～1014Dから第2方向Yに間隔を空けて絶縁側壁1007B側の領域に形成され、第1方向Xに間隔を空けて配列されている。

[0687] 複数の低電位端子1025は、第1低電位端子1025A、第2低電位端子1025B、第3低電位端子1025C、第4低電位端子1025D、第5低電位端子1025Eおよび第6低電位端子1025Fを含む。複数の低電位端子1025A～1025Fは、この形態では、2個ずつそれぞれ形成されている。複数の低電位端子1025A～1025Fの個数は任意である。

[0688] 第1低電位端子1025Aは、平面視において第2方向Yに第1トランス1014Aに対向している。第2低電位端子1025Bは、平面視において第2方向Yに第2トランス1014Bに対向している。第3低電位端子1025Cは、平面視において第2方向Yに第3トランス1014Cに対向している。第4低電位端子1025Dは、平面視において第2方向Yに第4トランス1014Dに対向している。第5低電位端子1025Eは、平面視において第1低電位端子1025Aおよび第2低電位端子1025Bの間の領域に形成されている。第6低電位端子1025Fは、平面視において第3低電位端子1025Cおよび第4低電位端子1025Dの間の領域に形成されている。

[0689] このように、低電位端子1025A～1025Fが配列された絶縁側壁1007Bに沿う領域を第1領域1135（低電位領域）と称してもよい。

[0690] 第1低電位端子1025Aは、第1トランス1014A（低電位コイル1015）の第1内側末端1017に電氣的に接続されている。第2低電位端子1025Bは、第2トランス1014B（低電位コイル1015）の第1内側末端1017に電氣的に接続されている。第3低電位端子1025Cは、第3トランス1014C（低電位コイル1015）の第1内側末端1017に電氣的に接続されている。第4低電位端子1025Dは、第4トランス1014D（低電位コイル1015）の第1内側末端1017に電氣的に接続されている。

[0691] 第5低電位端子1025Eは、第1トランス1014A（低電位コイル1015）の第1外側末端1018および第2トランス1014B（低電位コイル1015）の第1外側末端1018に電氣的に接続されている。第6低電位端子1025Fは、第3トランス1014C（低電位コイル1015）の第1外側末端1018および第4トランス1014D（低電位コイル1015）の第1外側末端1018に電氣的に接続されている。

[0692] 複数の高電位端子1026は、複数の低電位端子1025から間隔を空けて第1絶縁部1005の絶縁主面1006の上に形成されている。複数の高

電位端子 1026 は、具体的には、複数の低電位端子 1025 から第 2 方向 Y に間隔を空けて絶縁側壁 1007 A 側の領域に形成され、第 1 方向 X に間隔を空けて配列されている。このように、高電位端子 1026 A ~ 1026 F が配列された、低電位端子 1025 A ~ 1025 F に対して絶縁側壁 1007 A 側の領域を第 2 領域 1136（高電位領域）と称してもよい。

[0693] 複数の高電位端子 1026 は、平面視において対応するトランス 1014 A ~ 1014 D に近接する領域にそれぞれ形成されている。高電位端子 1026 がトランス 1014 A ~ 1014 D に近接するとは、平面視において高電位端子 1026 およびトランス 1014 の間の距離が、低電位端子 1025 および高電位端子 1026 の間の距離未満であることを意味する。

[0694] 複数の高電位端子 1026 は、具体的には、平面視において第 1 方向 X に沿って複数のトランス 1014 A ~ 1014 D と対向するように第 1 方向 X に沿って間隔を空けて形成されている。複数の高電位端子 1026 は、さらに具体的には、平面視において高電位コイル 1016 の第 2 内側領域 1024 および隣り合う高電位コイル 1016 の間の領域に位置するように第 1 方向 X に沿って間隔を空けて形成されている。これにより、複数の高電位端子 1026 は、平面視において第 1 方向 X に複数のトランス 1014 A ~ 1014 D と一列に並んで配列されている。

[0695] 複数の高電位端子 1026 は、第 1 高電位端子 1026 A、第 2 高電位端子 1026 B、第 3 高電位端子 1026 C、第 4 高電位端子 1026 D、第 5 高電位端子 1026 E および第 6 高電位端子 1026 F を含む。複数の高電位端子 1026 A ~ 1026 F は、この形態では、2 個ずつそれぞれ形成されている。複数の高電位端子 1026 A ~ 1026 F の個数は任意である。

[0696] 第 1 高電位端子 1026 A は、平面視において第 1 トランス 1014 A（高電位コイル 1016）の第 2 内側領域 1024 に形成されている。第 2 高電位端子 1026 B は、平面視において第 2 トランス 1014 B（高電位コイル 1016）の第 2 内側領域 1024 に形成されている。第 3 高電位端子

1026Cは、平面視において第3トランス1014C（高電位コイル1016）の第2内側領域1024に形成されている。第4高電位端子1026Dは、平面視において第4トランス1014D（高電位コイル1016）の第2内側領域1024に形成されている。第5高電位端子1026Eは、平面視において第1トランス1014Aおよび第2トランス1014Bの間の領域に形成されている。第6高電位端子1026Fは、平面視において第3トランス1014Cおよび第4トランス1014Dの間の領域に形成されている。

[0697] 第1高電位端子1026Aは、第1トランス1014A（高電位コイル1016）の第2内側末端1021に電氣的に接続されている。第2高電位端子1026Bは、第2トランス1014B（高電位コイル1016）の第2内側末端1021に電氣的に接続されている。第3高電位端子1026Cは、第3トランス1014C（高電位コイル1016）の第2内側末端1021に電氣的に接続されている。第4高電位端子1026Dは、第4トランス1014D（高電位コイル1016）の第2内側末端1021に電氣的に接続されている。

[0698] 第5高電位端子1026Eは、第1トランス1014A（高電位コイル1016）の第2外側末端1022および第2トランス1014B（高電位コイル1016）の第2外側末端1022に電氣的に接続されている。第6高電位端子1026Fは、第3トランス1014C（高電位コイル1016）の第2外側末端1022および第4トランス1014D（高電位コイル1016）の第2外側末端1022に電氣的に接続されている。

[0699] 図68～図70を参照して、半導体装置E1は、第1絶縁部1005内にそれぞれ形成された第1低電位配線1027、第2低電位配線1028、第1高電位配線1029および第2高電位配線1030を含む。この形態では、複数の第1低電位配線1027、複数の第2低電位配線1028、複数の第1高電位配線1029および複数の第2高電位配線1030が形成されている。

[0700] 第1低電位配線1027および第2低電位配線1028は、第1トランス1014Aの低電位コイル1015および第2トランス1014Bの低電位コイル1015を同電位に固定している。また、第1低電位配線1027および第2低電位配線1028は、第3トランス1014Cの低電位コイル1015および第4トランス1014Dの低電位コイル1015を同電位に固定している。第1低電位配線1027および第2低電位配線1028は、この形態では、トランス1014A～1014Dの全ての低電位コイル1015を同電位に固定している。

[0701] 第1高電位配線1029および第2高電位配線1030は、第1トランス1014Aの高電位コイル1016および第2トランス1014Bの高電位コイル1016を同電位に固定している。また、第1高電位配線1029および第2高電位配線1030は、第3トランス1014Cの高電位コイル1016および第4トランス1014Dの高電位コイル1016を同電位に固定している。第1高電位配線1029および第2高電位配線1030は、この形態では、トランス1014A～1014Dの全ての高電位コイル1016を同電位に固定している。

[0702] 複数の第1低電位配線1027は、対応する低電位端子1025A～1025Dおよび対応するトランス1014A～1014D（低電位コイル1015）の第1内側末端1017にそれぞれ電氣的に接続されている。複数の第1低電位配線1027は、同様の構造を有している。以下では、第1低電位端子1025Aおよび第1トランス1014Aに接続された第1低電位配線1027の構造を例にとって説明する。他の第1低電位配線1027の構造の説明については、第1トランス1014Aに接続された第1低電位配線1027の構造の説明が準用されるものとし、省略する。

[0703] 第1低電位配線1027は、貫通配線1031、低電位接続配線1032、引き出し配線1033、第1接続プラグ電極1034、第2接続プラグ電極1035、および1つまたは複数（この形態では複数）のパッドプラグ電極1036を含む。

[0704] 貫通配線 1031、低電位接続配線 1032、引き出し配線 1033、第 1 接続プラグ電極 1034、第 2 接続プラグ電極 1035、およびパッドプラグ電極 1036 は、低電位コイル 1015 等と同一の導電材料によってそれぞれ形成されていることが好ましい。つまり、貫通配線 1031、低電位接続配線 1032、引き出し配線 1033、第 1 接続プラグ電極 1034、第 2 接続プラグ電極 1035、およびパッドプラグ電極 1036 は、低電位コイル 1015 等と同様に、バリア層および本体層をそれぞれ含むことが好ましい。

[0705] 貫通配線 1031 は、第 1 絶縁部 1005 において複数の層間絶縁層 1010 を貫通し、法線方向 Z に沿って延びる柱状に延びている。貫通配線 1031 は、この形態では、第 1 絶縁部 1005 において最下絶縁層 1008 および最上絶縁層 1009 の間の領域に形成されている。貫通配線 1031 は、最上絶縁層 1009 側の上端部、および、最下絶縁層 1008 側の下端部を有している。貫通配線 1031 の上端部は、高電位コイル 1016 と同一の層間絶縁層 1010 に形成され、最上絶縁層 1009 によって被覆されている。貫通配線 1031 の下端部は、低電位コイル 1015 と同一の層間絶縁層 1010 に形成されている。

[0706] 貫通配線 1031 は、この形態では、第 1 電極層 1038、第 2 電極層 1039、および、複数の配線プラグ電極 1040 を含む。貫通配線 1031 では、第 1 電極層 1038、第 2 電極層 1039 および配線プラグ電極 1040 が低電位コイル 1015 等と同一の導電材料によってそれぞれ形成されている。つまり、第 1 電極層 1038、第 2 電極層 1039 および配線プラグ電極 1040 は、低電位コイル 1015 等と同様に、バリア層および本体層をそれぞれ含む。

[0707] 第 1 電極層 1038 は、貫通配線 1031 の上端部を形成している。第 2 電極層 1039 は、貫通配線 1031 の下端部を形成している。第 1 電極層 1038 は、アイランド状に形成され、法線方向 Z に低電位端子 1025（第 1 低電位端子 1025A）に対向している。第 2 電極層 1039 は、アイ

ランド状に形成され、法線方向Zに第1電極層1038に対向している。

[0708] 複数の配線プラグ電極1040は、第1電極層1038および第2電極層1039の間の領域に位置する複数の層間絶縁層1010にそれぞれ埋設されている。複数の配線プラグ電極1040は、互いに電氣的に接続されるように最下絶縁層1008から最上絶縁層1009に向けて積層され、かつ、第1電極層1038および第2電極層1039を電氣的に接続している。複数の配線プラグ電極1040は、第1電極層1038の平面積および第2電極層1039の平面積未満の平面積をそれぞれ有している。

[0709] 複数の配線プラグ電極1040の積層数は、複数の層間絶縁層1010の積層数に一致している。この形態では、6個の配線プラグ電極1040が各層間絶縁層1010内に埋設されているが、各層間絶縁層1010内に埋設される配線プラグ電極1040の個数は任意である。むしろ、複数の層間絶縁層1010を貫通する1つまたは複数の配線プラグ電極1040が形成されていてもよい。

[0710] 低電位接続配線1032は、低電位コイル1015と同一の層間絶縁層1010内において第1トランス1014A（低電位コイル1015）の第1内側領域1020に形成されている。低電位接続配線1032は、アイランド状に形成され、法線方向Zに高電位端子1026（第1高電位端子1026A）に対向している。低電位接続配線1032は、配線プラグ電極1040の平面積を超える平面積を有していることが好ましい。低電位接続配線1032は、低電位コイル1015の第1内側末端1017に電氣的に接続されている。

[0711] 引き出し配線1033は、層間絶縁層1010内において半導体チップ1001および貫通配線1031の間の領域に形成されている。引き出し配線1033は、この形態では、最下絶縁層1008から数えて1層目の層間絶縁層1010内に形成されている。引き出し配線1033は、一方側の第1端部、他方側の第2端部、ならびに、第1端部および第2端部を接続する配線部を含む。引き出し配線1033の第1端部は、半導体チップ1001お

よび貫通配線 1031 の下端部の間の領域に位置している。引き出し配線 1033 の第 2 端部は、半導体チップ 1001 および低電位接続配線 1032 の間の領域に位置している。配線部は、半導体チップ 1001 の第 1 主面 1002 に沿って延び、第 1 端部および第 2 端部の間の領域を帯状に延びている。

[0712] 第 1 接続プラグ電極 1034 は、層間絶縁層 1010 内において貫通配線 1031 および引き出し配線 1033 の間の領域に形成され、貫通配線 1031 および引き出し配線 1033 の第 1 端部に電氣的に接続されている。第 2 接続プラグ電極 1035 は、層間絶縁層 1010 内において低電位接続配線 1032 および引き出し配線 1033 の間の領域に形成され、低電位接続配線 1032 および引き出し配線 1033 の第 2 端部に電氣的に接続されている。

[0713] 複数のパッドプラグ電極 1036 は、最上絶縁層 1009 内において低電位端子 1025（第 1 低電位端子 1025A）および貫通配線 1031 の間の領域に形成され、低電位端子 1025 および貫通配線 1031 の上端部にそれぞれ電氣的に接続されている。

[0714] 複数の第 2 低電位配線 1028 は、対応する低電位端子 1025E、1025F および対応するトランス 1014A～1014D の低電位コイル 1015 の第 1 外側末端 1018 にそれぞれ電氣的に接続されている。複数の第 2 低電位配線 1028 は、同様の構造をそれぞれ有している。以下では、第 5 低電位端子 1025E および第 1 トランス 1014A（第 2 トランス 1014B）に接続された第 2 低電位配線 1028 の構造を例にとって説明する。他の第 2 低電位配線 1028 の構造の説明については、第 1 トランス 1014A（第 2 トランス 1014B）に接続された第 2 低電位配線 1028 の構造の説明が準用されるものとし、省略する。

[0715] 第 2 低電位配線 1028 は、第 1 低電位配線 1027 と同様、貫通配線 1031、低電位接続配線 1032、引き出し配線 1033、第 1 接続プラグ電極 1034、第 2 接続プラグ電極 1035、およびパッドプラグ電極 10

36を含む。第2低電位配線1028は、低電位接続配線1032が第1トランス1014A（低電位コイル1015）の第1外側末端1018および第2トランス1014B（低電位コイル1015）の第1外側末端1018に電氣的に接続されている点を除いて、第1低電位配線1027と同様の構造を有している。

[0716] 第2低電位配線1028の低電位接続配線1032は、低電位コイル1015と同一の層間絶縁層1010内において低電位コイル1015の周囲に形成されている。低電位接続配線1032は、具体的には、平面視において隣り合う2つの低電位コイル1015の間の領域に形成されている。パッドプラグ電極1036は、最上絶縁層1009内において低電位端子1025（第5低電位端子1025E）および低電位接続配線1032の間の領域に形成され、低電位端子1025および低電位接続配線1032に電氣的に接続されている。

[0717] 複数の第1高電位配線1029は、対応する高電位端子1026A～1026Dおよび対応するトランス1014A～1014D（高電位コイル1016）の第2内側末端1021にそれぞれ電氣的に接続されている。複数の第1高電位配線1029は、同様の構造をそれぞれ有している。以下では、第1高電位端子1026Aおよび第1トランス1014Aに接続された第1高電位配線1029の構造を例にとって説明する。他の第1高電位配線1029の構造の説明については、第1トランス1014Aに接続された第1高電位配線1029の構造の説明が準用されるものとし、省略する。

[0718] 第1高電位配線1029は、高電位接続配線1041、および、1つまたは複数（この形態では複数）のパッドプラグ電極1042を含む。高電位接続配線1041およびパッドプラグ電極1042は、低電位コイル1015等と同一の導電材料によって形成されていることが好ましい。つまり、高電位接続配線1041およびパッドプラグ電極1042は、低電位コイル1015等と同様に、バリア層および本体層を含むことが好ましい。

[0719] 高電位接続配線1041は、高電位コイル1016と同一の層間絶縁層1

010内において高電位コイル1016の第2内側領域1024に形成されている。高電位接続配線1041は、アイランド状に形成され、法線方向Zに高電位端子1026（第1高電位端子1026A）に対向している。高電位接続配線1041は、高電位コイル1016の第2内側末端1021に電氣的に接続されている。高電位接続配線1041は、平面視において低電位接続配線1032から間隔を空けて形成され、法線方向Zに低電位接続配線1032には対向していない。これにより、低電位接続配線1032および高電位接続配線1041の間の絶縁距離が増加し、第1絶縁部1005の絶縁耐圧が高められている。

[0720] 複数のパッドプラグ電極1042は、最上絶縁層1009内において高電位端子1026（第1高電位端子1026A）および高電位接続配線1041の間の領域に形成され、高電位端子1026および高電位接続配線1041にそれぞれ電氣的に接続されている。複数のパッドプラグ電極1042は、平面視において高電位接続配線1041の平面積未満の平面積をそれぞれ有している。

[0721] 複数の第2高電位配線1030は、対応する高電位端子1026E、1026Fおよび対応するトランス1014A～1014D（高電位コイル1016）の第2外側末端1022にそれぞれ電氣的に接続されている。複数の第2高電位配線1030は、同様の構造をそれぞれ有している。以下では、第5高電位端子1026Eおよび第1トランス1014A（第2トランス1014B）に接続された第2高電位配線1030の構造を例にとって説明する。他の第2高電位配線1030の構造の説明については、第1トランス1014A（第2トランス1014B）に接続された第2高電位配線1030の構造の説明が準用されるものとし、省略する。

[0722] 第2高電位配線1030は、第1高電位配線1029と同様、高電位接続配線1041およびパッドプラグ電極1042を含む。第2高電位配線1030は、高電位接続配線1041が第1トランス1014A（高電位コイル1016）の第2外側末端1022および第2トランス1014B（高電位

コイル 1016) の第 2 外側末端 1022 に電氣的に接続されている点を除いて、第 1 高電位配線 1029 と同様の構造を有している。

[0723] 第 2 高電位配線 1030 の高電位接続配線 1041 は、高電位コイル 1016 と同一の層間絶縁層 1010 内において高電位コイル 1016 の周囲に形成されている。高電位接続配線 1041 は、平面視において隣り合う 2 つの高電位コイル 1016 の間の領域に形成され、法線方向 Z に高電位端子 1026 (第 5 高電位端子 1026 E) に対向している。高電位接続配線 1041 は、平面視において低電位接続配線 1032 から間隔を空けて形成され、法線方向 Z に低電位接続配線 1032 には対向していない。

[0724] 複数のパッドプラグ電極 1042 は、最上絶縁層 1009 内において高電位端子 1026 (第 5 高電位端子 1026 E) および高電位接続配線 1041 の間の領域に形成され、高電位端子 1026 および高電位接続配線 1041 にそれぞれ電氣的に接続されている。

[0725] 図 70 を参照して、低電位端子 1025 および高電位端子 1026 の間の距離 D1 は、低電位コイル 1015 および高電位コイル 1016 の間の距離 D2 を超えていることが好ましい ($D2 < D1$)。距離 D1 は、複数の層間絶縁層 1010 の総厚さ TE1 を超えていることが好ましい ($DT < D1$)。距離 D1 に対する距離 D2 の比 $D2/D1$ は、0.005 以上 0.5 以下であってもよい。距離 D1 は、 $100\mu\text{m}$ 以上 $1000\mu\text{m}$ 以下であることが好ましい。距離 D2 は、 $1\mu\text{m}$ 以上 $120\mu\text{m}$ 以下であってもよい。距離 D2 は、 $5\mu\text{m}$ 以上 $50\mu\text{m}$ 以下であることが好ましい。距離 D1 および距離 D2 の値は任意であり、実現すべき絶縁耐圧に応じて適宜調整される。

[0726] 図 69 ~ 図 70 を参照して、半導体装置 E1 は、平面視においてトランス 1014 A ~ 1014 D の周囲に位置するように第 1 絶縁部 1005 内に埋設されたダミーパターン 1043 を含む。

[0727] ダミーパターン 1043 は、半導体装置 A1 のダミーパターン 39 と同様の形状を有していてもよい。たとえば、ダミーパターン 1043 は、高電位ダミーパターン 86 に対応する形状の高電位ダミーパターン 1044 と、第

1 高電位ダミーパターン 87 に対応する形状の第 1 高電位ダミーパターン 1045 と、第 2 高電位ダミーパターン 88 に対応する形状の第 2 高電位ダミーパターン 1046 と、浮遊ダミーパターン 161 に対応する形状の浮遊ダミーパターン 1076 とを含んでいてもよい。なお、図 70 では、高電位ダミーパターン 1044 と、第 2 高電位ダミーパターン 1046 と、浮遊ダミーパターン 1076 とが示されている。

[0728] 図 70 を参照して、半導体装置 E1 は、デバイス領域 1078 において半導体チップ 1001 の第 1 主面 1002 に形成された第 2 機能デバイス 1079 を含む。第 2 機能デバイス 1079 は、半導体チップ 1001 の第 1 主面 1002 の表層部、および／または、半導体チップ 1001 の第 1 主面 1002 の上の領域を利用して形成され、第 1 絶縁部 1005（最下絶縁層 1008）によって被覆されている。図 70 では、第 2 機能デバイス 1079 が第 1 主面 1002 の表層部に示された破線によって簡略化して示されている。

[0729] 第 2 機能デバイス 1079 は、低電位配線を介して低電位端子 1025 に電氣的に接続され、高電位配線を介して高電位端子 1026 に電氣的に接続されている。低電位配線は、第 2 機能デバイス 1079 に接続されるように第 1 絶縁部 1005 内に引き回されている点を除いて、第 1 低電位配線 1027（第 2 低電位配線 1028）と同様の構造を有している。高電位配線は、第 2 機能デバイス 1079 に接続されるように第 1 絶縁部 1005 内に引き回されている点を除いて、第 1 高電位配線 1029（第 2 高電位配線 1030）と同様の構造を有している。第 2 機能デバイス 1079 に係る低電位配線および高電位配線の具体的な説明は省略される。

[0730] 第 2 機能デバイス 1079 は、受動デバイス、半導体整流デバイスおよび半導体スイッチングデバイスのうちの少なくとも 1 つを含んでいてもよい。受動デバイスは、第 2 機能デバイス 1079 は、受動デバイス、半導体整流デバイスおよび半導体スイッチングデバイスのうちの任意の 2 種以上のデバイスが選択的に組み合わされた回路網を含んでいてもよい。回路網は、集積

回路の一部または全部を形成していてもよい。

[0731] 受動デバイスは、半導体受動デバイスを含んでいてもよい。受動デバイスは、抵抗およびコンデンサのいずれか一方または双方を含んでいてもよい。半導体整流デバイスは、 $p-n$ 接合ダイオード、PINダイオード、ツェナーダイオード、ショットキーバリアダイオードおよびファーストリカバリーダイオードのうちの少なくとも1つを含んでいてもよい。半導体スイッチングデバイスは、BJT (Bipolar Junction Transistor)、MISFET (Metal Insulator Field Effect Transistor)、IGBT (Insulated Gate Bipolar Junction Transistor) およびJFET (Junction Field Effect Transistor) のうちの少なくとも1つを含んでいてもよい。

[0732] 図70を参照して、半導体装置E1は、第1絶縁部1005内に埋設されたシール導体1080をさらに含む。シール導体1080は、平面視において絶縁側壁1007A~1007Dから間隔を空けて第1絶縁部1005内に壁状に埋設され、第1絶縁部1005をデバイス領域1078および外側領域1081に区画している。シール導体1080は、外側領域1081からデバイス領域1078への水分の進入やクラックの進入を抑制する。

[0733] デバイス領域1078は、第1機能デバイス1013（複数のトランス1014）、第2機能デバイス1079、複数の低電位端子1025、複数の高電位端子1026、第1低電位配線1027、第2低電位配線1028、第1高電位配線1029、第2高電位配線1030およびダミーパターン1043を含む領域である。外側領域1081は、デバイス領域1078外の領域である。

[0734] シール導体1080は、デバイス領域1078から電氣的に切り離されている。シール導体1080は、具体的には、第1機能デバイス1013（複数のトランス1014）、第2機能デバイス1079、複数の低電位端子1025、複数の高電位端子1026、第1低電位配線1027、第2低電位配線1028、第1高電位配線1029、第2高電位配線1030およびダミーパターン1043から電氣的に切り離されている。シール導体1080

は、さらに具体的には、電氣的に浮遊状態に固定されている。シール導体 1080 は、デバイス領域 1078 に繋がる電流経路を形成しない。

[0735] シール導体 1080 は、平面視において絶縁側壁 1007～1007D に沿う帯状に形成されている。シール導体 1080 は、この形態では、平面視において四角環状（具体的には長方形環状）に形成されている。これにより、シール導体 1080 は、平面視において四角形状（具体的には長方形形状）のデバイス領域 1078 を区画している。また、シール導体 1080 は、平面視においてデバイス領域 1078 を取り囲む四角環状（具体的には長方形環状）の外側領域 1081 を区画している。

[0736] シール導体 1080 は、具体的には、絶縁主面 1006 側の上端部、半導体チップ 1001 側の下端部、ならびに、上端部および下端部の間を壁状に延びる壁部を有している。シール導体 1080 の上端部は、この形態では、絶縁主面 1006 から半導体チップ 1001 側に間隔を空けて形成され、第 1 絶縁部 1005 内に位置している。シール導体 1080 の上端部は、この形態では、最上絶縁層 1009 によって被覆されている。シール導体 1080 の上端部は、1 つまたは複数の層間絶縁層 1010 によって被覆されていてもよい。シール導体 1080 の上端部は、最上絶縁層 1009 から露出してもよい。シール導体 1080 の下端部は、半導体チップ 1001 から上端部側に間隔を空けて形成されている。

[0737] このように、シール導体 1080 は、この形態では、複数の低電位端子 1025 および複数の高電位端子 1026 に対して半導体チップ 1001 側に位置するように第 1 絶縁部 1005 内に埋設されている。また、シール導体 1080 は、第 1 絶縁部 1005 内において第 1 機能デバイス 1013（複数のトランス 1014）、第 1 低電位配線 1027、第 2 低電位配線 1028、第 1 高電位配線 1029、第 2 高電位配線 1030 およびダミーパターン 1043 に絶縁主面 1006 に平行な方向に対向している。シール導体 1080 は、第 1 絶縁部 1005 内において、第 2 機能デバイス 1079 の一部に絶縁主面 1006 に平行な方向に対向してもよい。

- [0738] シール導体 1080 は、複数のシールプラグ導体 1082、および、1つまたは複数（この形態では複数）のシールビア導体 1083 を含む。シールビア導体 1083 の個数は任意である。複数のシールプラグ導体 1082 のうちの最上のシールプラグ導体 1082 は、シール導体 1080 の上端部を形成している。複数のシールビア導体 1083 は、シール導体 1080 の下端部をそれぞれ形成している。シールプラグ導体 1082 およびシールビア導体 1083 は、低電位コイル 1015 と同一の導電材料によって形成されていることが好ましい。つまり、シールプラグ導体 1082 およびシールビア導体 1083 は、低電位コイル 1015 等と同様に、バリア層および本体層を含むことが好ましい。
- [0739] 複数のシールプラグ導体 1082 は、複数の層間絶縁層 1010 にそれぞれ埋め込まれ、平面視においてデバイス領域 1078 を取り囲む四角環状（具体的には長方形環状）にそれぞれ形成されている。複数のシールプラグ導体 1082 は、互いに接続されるように最下絶縁層 1008 から最上絶縁層 1009 に向かって積層されている。複数のシールプラグ導体 1082 の積層数は、複数の層間絶縁層 1010 の積層数に一致している。むろん、複数の層間絶縁層 1010 を貫通する 1つまたは複数のシールプラグ導体 1082 が形成されていてもよい。
- [0740] 複数のシールプラグ導体 1082 の集合体によって 1つの環状のシール導体 1080 が形成されるのであれば、複数のシールプラグ導体 1082 の全てが環状に形成される必要はない。たとえば、複数のシールプラグ導体 1082 の少なくとも 1つが有端状に形成されていてもよい。また、複数のシールプラグ導体 1082 の少なくとも 1つが複数の有端帯状部分に分割されていてもよい。ただし、デバイス領域 1078 への水分やクラックの進入のリスクを鑑みると、複数のシールプラグ導体 1082 は、無端状（環状）に形成されていることが好ましい。
- [0741] 複数のシールビア導体 1083 は、最下絶縁層 1008 において半導体チップ 1001 およびシールプラグ導体 1082 の間の領域にそれぞれ形成さ

れている。複数のシールビア導体1083は、半導体チップ1001から間隔を空けて形成され、シールプラグ導体1082に接続されている。複数のシールビア導体1083は、シールプラグ導体1082の平面積未満の平面積を有している。単一のシールビア導体1083が形成されている場合、単一のシールビア導体1083は、シールプラグ導体1082の平面積以上の平面積を有していてもよい。

[0742] シール導体1080の幅は、 $0.1\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下であってもよい。シール導体1080の幅は、 $1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であることが好ましい。シール導体1080の幅は、シール導体1080が延びる方向に直交する方向の幅によって定義される。

[0743] 図70を参照して、半導体装置E1は、シール導体1080を被覆するように第1絶縁部1005の絶縁主面1006の上に形成された第2絶縁部1084をさらに含む。第2絶縁部1084は、パッシベーション層と称されてもよい。第2絶縁部1084は、絶縁主面1006の上から第1絶縁部1005や半導体チップ1001を保護する。

[0744] 第2絶縁部1084は、この形態では、無機絶縁層を含む無機絶縁部である。第2絶縁部1084は、第1無機絶縁層1085および第2無機絶縁層1086を含む積層構造を有している。第1無機絶縁層1085は、酸化シリコンを含んでいてもよい。第1無機絶縁層1085は、不純物無添加の酸化シリコンであるUSG (undoped silicate glass) を含むことが好ましい。第1無機絶縁層1085の厚さは、 $50\ \text{nm}$ 以上 $5000\ \text{nm}$ 以下であってもよい。第2無機絶縁層1086は、窒化シリコンを含んでいてもよい。第2無機絶縁層1086の厚さは、 $500\ \text{nm}$ 以上 $5000\ \text{nm}$ 以下であってもよい。第2絶縁部1084の総厚さを大きくすることにより、高電位コイル1016上の絶縁耐圧を高めることができる。

[0745] 第1無機絶縁層1085がUSGからなり、第2無機絶縁層1086が窒化シリコンからなる場合、USGの絶縁破壊電圧 (V/cm) は窒化シリコンの絶縁破壊電圧 (V/cm) を超える。したがって、第2絶縁部1084

を厚化する場合、第2無機絶縁層1086よりも厚い第1無機絶縁層1085が形成されることが好ましい。

[0746] 第1無機絶縁層1085は、酸化シリコンの一例としてのBPSG (boron doped phosphor silicate glass) およびPSG (phosphorus silicate glass) のうちの少なくとも一方を含んでもよい。ただし、この場合、酸化シリコン内に不純物（ホウ素やリン）が含まれるため、高電位コイル1016上の絶縁耐圧を高める上では、USGからなる第1無機絶縁層1085が形成されることが特に好ましい。むろん、第2絶縁部1084は、第1無機絶縁層1085および第2無機絶縁層1086のいずれか一方からなる単層構造を有していてもよい。

[0747] 第2絶縁部1084は、シール導体1080の全域を被覆し、シール導体1080内の領域に形成された複数の低電位パッド開口1087および複数の高電位パッド開口1088を有している。複数の低電位パッド開口1087は、複数の低電位端子1025をそれぞれ露出させている。複数の高電位パッド開口1088は、複数の高電位端子1026をそれぞれ露出させている。第2絶縁部1084は、低電位端子1025の周縁部に乗り上げたオーバラップ部を有していてもよい。第2絶縁部1084は、高電位端子1026の周縁部に乗り上げたオーバラップ部を有していてもよい。低電位パッド開口1087から露出する低電位端子1025は、低電位パッド1130と称してもよく、高電位パッド開口1088から露出する高電位端子1026は、高電位パッド1131と称してもよい。低電位パッド1130および高電位パッド1131の表面には、パラジウムおよびニッケルのうちの少なくとも1つを含む被覆層が形成されていてもよい。

[0748] 半導体装置E1は、第2絶縁部1084の上に形成された保護層1089をさらに含む。保護層1089は、この形態では、有機絶縁層を含む有機絶縁部である。保護層1089は、感光性樹脂を含んでもよい。保護層1089は、ポリイミド、ポリアミドおよびポリベンゾオキサゾールのうちの少なくとも1つを含んでもよい。保護層1089は、この形態では、ポ

リイミドを含む。保護層 1089 の厚さは、 $1\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下であってもよい。

[0749] 保護層 1089 の厚さは、第 2 絶縁部 1084 の総厚さを超えていることが好ましい。さらに、第 2 絶縁部 1084 および保護層 1089 の総厚さは、低電位コイル 1015 および高電位コイル 1016 の間の距離 D_2 以上であることが好ましい。この場合、第 2 絶縁部 1084 の総厚さは $2\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であることが好ましい。また、保護層 1089 の厚さは $5\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下であることが好ましい。これらの構造によれば、第 2 絶縁部 1084 および保護層 1089 の厚化を抑制できると同時に、第 2 絶縁部 1084 および保護層 1089 の積層膜によって高電位コイル 1016 上の絶縁耐圧を適切に高めることができる。

[0750] 保護層 1089 は、低電位側の領域を被覆する第 1 部分 1090 および高電位側の領域を被覆する第 2 部分 1091 を含む。第 1 部分 1090 は、第 2 絶縁部 1084 を挟んでシール導体 1080 を被覆している。第 1 部分 1090 は、シール導体 1080 外の領域において複数の低電位端子 1025（低電位パッド開口 1087）をそれぞれ露出させる複数の低電位端子開口 1092 を有している。第 1 部分 1090 は、低電位パッド開口 1087 の周縁（オーバーラップ部）に乗り上がったオーバーラップ部を有していてもよい。

[0751] 第 2 部分 1091 は、第 1 部分 1090 から間隔を空けて形成され、第 1 部分 1090 との間から第 2 絶縁部 1084 を露出させている。第 2 部分 1091 は、複数の高電位端子 1026（高電位パッド開口 1088）をそれぞれ露出させる複数の高電位端子開口 1093 を有している。第 2 部分 1091 は、高電位パッド開口 1088 の周縁（オーバーラップ部）に乗り上がったオーバーラップ部を有していてもよい。

[0752] 第 2 部分 1091 は、トランス 1014A～1014D およびダミーパターン 1043 を一括して被覆している。第 2 部分 1091 は、具体的には、複数の高電位コイル 1016、複数の高電位端子 1026、第 1 高電位ダミ

ーパターン１０４５、第２高電位ダミーパターン１０４６および浮遊ダミーパターン１０７６を一括して被覆している。

[0753] 保護層１０８９において、第１部分１０９０および第２部分１０９１の間のスリットは、封止樹脂６に対するアンカー部として機能する。封止樹脂６の一部は、第１部分１０９０および第２部分１０９１の間のスリットに入り込み、第２絶縁部１０８４に接続される。これにより、半導体装置Ｅ１に対する封止樹脂６の密着力が高められる。むろん、第１部分１０９０および第２部分１０９１は一体的に形成されていてもよい。また、保護層１０８９は、第１部分１０９０および第２部分１０９１のいずれか一方だけを含んでいてもよい。

[0754] 図７１は、図７０の高電位コイル１０１６の要部拡大図である。図７１を参照して、高電位コイル１０１６の構造をより詳細に説明する。

[0755] 前述のように、高電位コイル１０１６は、層間絶縁層１０１０において第１絶縁層１０１１および第２絶縁層１０１２を貫通して埋め込まれている。より具体的には、高電位コイル１０１６が形成された層間絶縁層１０１０（高電位コイル１０１６用の層間絶縁層１０１０）では、第２絶縁層１０１２および第１絶縁層１０１１を貫通する凹部１０９４が形成されている。凹部１０９４は、第２絶縁層１０１２の主面から第２絶縁層１０１２および第１絶縁層１０１１を貫通しており、さらに、高電位コイル１０１６用の層間絶縁層１０１０の下層の第２絶縁層１０１２に達している。これにより、凹部１０９４は、高電位コイル１０１６用の層間絶縁層１０１０に下側から接する層間絶縁層１０１０の第２絶縁層１０１２内に底部１０９５を有している。たとえば、凹部１０９４の深さは、１μm以上５μm以下であってもよい。

[0756] また、凹部１０９４は、下層の層間絶縁層１０１０に向かって幅が狭まるテーパ形状に形成されている。言い換えれば、凹部１０９４は、その底部１０９５に向かって幅が狭まるテーパ形状に形成されており、底部１０９５に対して傾斜した側部１０９６を有している。底部１０９５に対する側部１０

96の傾斜角 θ は、たとえば、 70° 以上 90° 以下である。

[0757] 凹部1094は、断面視において、底部1095と側部1096とが交差することによって形成された角部1109を有している。角部1109は、底部1095と側部1096との交差頂点1097およびその周辺部を含んでいてもよい。凹部1094の角部1109は、先端が尖った形状であってもよい。角部1109の先端が尖っているとは、たとえば、SEM画像などの電子画像によって角部1109を表したときに、角部1109の交差頂点1097を明確に視認できる程度に角部1109が尖っていることを意味していてもよいし、交差頂点1097の曲率半径が1nm以上500以下nm程度であることを意味していてもよい。

[0758] 高電位コイル1016は、凹部1094に埋め込まれている。高電位コイル1016は、凹部1094の底部1095に接する底面1106と、凹部1094の側部1096に接する側面1107と、層間絶縁層1010から露出する上面1108とを有している。高電位コイル1016は、高電位コイル1016用の層間絶縁層1010と最上絶縁層1009との境界部よりも、最上絶縁層1009側に突出した突出部1105を有している。突出部1105は、高電位コイル1016の上端部を形成する。

[0759] 高電位コイル1016は、断面視において、上部角部1110および下部角部1111を有している。上部角部1110は、高電位コイル1016の上面1108と側面1107とが交差することによって形成されていてもよい。この形態では、高電位コイル1016の上部角部1110は、断面視において、曲線形状に形成されていてもよい。他の言い方では、上部角部1110は、欠けた形状であってもよい。上部角部1110が曲線形状である、もしくは上部角部1110が欠けた形状とは、たとえば、SEM画像などの電子画像によって上部角部1110を表したときに、高電位コイル1016の上面1108と側面1107との交差頂点を視認できない程度に上部角部1110が鈍っていることを意味していてもよいし、上面1108と側面1107との交差頂点であると窺える部分の曲率半径が1nm以上程度である

ことを意味していてもよい。

[0760] 一方、高電位コイル1016の下部角部1111は、凹部1094の角部1109に一致する形状を有している。したがって、高電位コイル1016の下部角部1111は、先端が尖った形状であってもよい。

[0761] 高電位コイル1016は、第1下地層1098と、第1本体部1099とを含む。第1下地層1098は、凹部1094の内面（底部1095および側部1096）に沿って形成され、凹部1094内においてリセス空間を区画する。第1本体部1099は、第1下地層1098によって区画されたりリセス空間に埋め込まれている。そして、前述の高電位コイル1016の上部角部1110は、第1下地層1098の上端部および第1本体部1099の上端部に跨って形成されていてもよい。つまり、断面視において上部角部1110を画成する曲線が、高電位コイル1016用の層間絶縁層1010外において、第1下地層1098と第1本体部1099との境界部を横切ってもよい。

[0762] 第1下地層1098は、前述のバリア層を形成していてもよい。つまり、第1下地層1098は、チタンおよび窒化チタンのうちの少なくとも1つを含んでいてもよい。また、第1下地層1098は、タンタルおよび窒化タンタルのうちの少なくとも1つを含んでいてもよい。この形態では、第1下地層1098は、窒化タンタルをタンタルで挟み込んだ積層構造（Ta/TaN/Ta）を有している。第1下地層1098は、第1本体部1099と層間絶縁層1010との接触を防止し、第1本体部1099の成分が層間絶縁層1010へ拡散することを防止する。また、第1下地層1098は、たとえば、0.005 μm 以上0.2 μm 以下の厚さを有していてもよい。

[0763] 第1本体部1099は、前述の本体層を形成していてもよい。つまり、第1本体部1099は、銅、アルミニウムおよびタングステンのうちの少なくとも1つを含んでいてもよい。この形態では、第1本体部1099は、銅のめっき層で形成されている。また、第1本体部1099は、1 μm 以上5 μm 以下の厚さを有していてもよい。

- [0764] 図72～図77は、図71の高電位コイル1016の形成に関連する工程を示す図である。次に、図72～図77を参照して、高電位コイル1016の形成方法について説明する。
- [0765] 高電位コイル1016を形成するには、たとえばCVD法によって、層間絶縁層1010の積層構造が形成される。次に、図72に示すように、層間絶縁層1010が選択的にエッチングされることによって凹部1094が形成される。凹部1094は、たとえばドライエッチングによって形成されてもよい。
- [0766] 次に、図73に示すように、たとえばスパッタ法によって、第1下地層1098が形成される。第1下地層1098は、凹部1094の内面および層間絶縁層1010の主面を覆うように形成される。次に、第1下地層1098から、第1本体部1099用の導電材料を、めっき成長させる。この形態では、第1下地層1098からCuをめっき成長させる。これにより、第1下地層1098上に第1本体部1099が形成される。第1本体部1099は、第1下地層1098のリセス構造を埋め戻し、層間絶縁層1010の主面を覆うまで成長する。
- [0767] 次に、図74に示すように、第1下地層1098および第1本体部1099の不要部分（凹部1094外の部分）が、たとえばCMPによって除去される。これにより、凹部1094に埋め込まれた高電位コイル1016が形成される。この段階では、高電位コイル1016の上面1108と層間絶縁層1010の主面とは面一であってもよい。
- [0768] 次に、図75に示すように、高電位コイル1016用の層間絶縁層1010が主面側からエッチングされる。この形態では、第2絶縁層1012の上層部がエッチングされる。エッチングは、たとえば、ドライエッチング、ウェットエッチングを適用できる。これにより、高電位コイル1016の一部が突出部1105として、層間絶縁層1010から突出する。
- [0769] 次に、図76に示すように、高電位コイル1016の突出部1105がエッチングされる。エッチングは、層間絶縁層1010の厚さ方向上側および

層間絶縁層 1010 の主面に沿う横方向の両側から進行する。これにより、高電位コイル 1016 の上部角部 1110 のエッチングが高電位コイル 1016 の上端部のその他の部分に比べてエッチングが早く進行する。その結果、高電位コイル 1016 の上部角部 1110 が選択的に欠損し、欠けた形状となる。

[0770] 次に、図 77 に示すように、たとえば CVD 法によって、高電位コイル 1016 を覆うように、層間絶縁層 1010 上に最上絶縁層 1009 が形成される。以上の工程を経て、高電位コイル 1016 を形成することができる。

[0771] 以上、半導体装置 E1 によれば、高電位コイル 1016 の上部角部 1110 が、断面視において曲線形状に形成されているため、高電位コイル 1016 の上部角部 1110 に電界が集中することを抑制することができる。これにより、高電位コイル 1016 の上部角部 1110 が起点となって、低電位側の配線（たとえば、低電位端子 1025）との間で絶縁破壊が生じることを抑制することができる。その結果、信頼性の高い半導体装置 E1 を提供することができる。

[0772] なお、この高電位コイル 1016 の形状は、高電位コイル 1016 と同一層に形成された高電位側の導電層に適用してもよい。たとえば、高電位接続配線 1041、ダミーパターン 1043 も、高電位コイル 1016 と同様の形状を有していてもよい。

[0773] また、前述の説明では、シール導体 1080 は、シールビア導体 1083 を介して半導体チップ 1001 に接続され、グランド電位に固定されていた。一方、図 78 に示すように、シールビア導体 1083 を省略することによって、シール導体 1080 は、グランド電位に固定されていなくてもよい。
(第 2 実施形態)

図 79 は、本開示の一実施形態に係る半導体装置 E2 の模式的な断面図である。以下では、前述の半導体装置 E1 に対して述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

[0774] 半導体装置 E2 では、無機絶縁層を含む第 2 絶縁部 1084 に代えて、有

機絶縁層を含む第2絶縁部1100が、第1絶縁部1005上に形成されている。第2絶縁部1100は、絶縁主面1006上に形成されており、絶縁主面1101および絶縁側壁1102A～1102Dを有している。絶縁主面1101は、平面視において第1主面1002に整合する四角形状（この形態では長方形形状）に形成されている。絶縁主面1101は、第1主面1002に対して平行に延びている。

[0775] 絶縁側壁1102A～1102Dは、第1絶縁側壁1102A、第2絶縁側壁1102B、第3絶縁側壁1102Cおよび第4絶縁側壁1102Dを含む。絶縁側壁1102A～1102Dは、絶縁主面1101の周縁から半導体チップ1001に向けて延びている。絶縁側壁1102A～1102Dは、具体的には、絶縁側壁1007A～1007Dに対して内側に形成されている。これにより、絶縁側壁1102A～1102Dと絶縁側壁1007A～1007Dとの間には、段差が形成されている。

[0776] 第2絶縁部1100は、第1絶縁層1011および第2絶縁層1012とは異なる誘電率を有する絶縁材料からなり、たとえば、有機絶縁層1103を含む層構造を有している。第2絶縁部1100は、この形態では、有機絶縁層1103の単一層からなるが、複数の有機絶縁層の積層構造であってもよい。有機絶縁層1103としては、たとえば、ポリイミド膜、フェノール樹脂膜およびエポキシ樹脂膜等が挙げられる。第2絶縁部1100の総厚さTE2は、2 μ m以上100 μ m以下であってもよい。第2絶縁部1100の総厚さTE2は任意であり、実現すべき絶縁耐圧（絶縁破壊耐量）に応じて調整される。

[0777] 高電位コイル1016は、第2絶縁部1100の絶縁主面1101に形成されている。したがって、高電位コイル1016は、複数の層間絶縁層1010および第2絶縁部1100を挟んで低電位コイル1015に対向している。高電位コイル1016と同様に、低電位端子1025、高電位端子1026およびダミーパターン1043も、第2絶縁部1100の絶縁主面1101に形成されている。低電位端子1025は、第1絶縁部1005上に形

成された第1低電位パッド配線1104を介して、貫通配線1031に接続されている。

[0778] また、保護層1089は、第1部分1090と第2部分1091とに分離されておらず、第2絶縁部1100の絶縁主面1101の全体を覆うように形成されている。

[0779] 図80は、図79の高電位コイル1016の要部拡大図である。図80を参照して、高電位コイル1016の構造をより詳細に説明する。

[0780] 前述のように、高電位コイル1016は、第2絶縁部1100の絶縁主面1101に形成されている。より具体的には、高電位コイル1016は、第2絶縁部1100の絶縁主面1101から第1絶縁部1005とは反対側に立設するように形成されている。高電位コイル1016は、第2絶縁部1100の絶縁主面1101に接する第2下地層1112と、第2下地層1112上に形成された第2本体部1113とを含む。

[0781] 第2下地層1112は、第2絶縁部1100の絶縁主面1101上に平坦な膜状に形成されている。第2下地層1112は、 $0.05\mu\text{m}$ 以上 $2\mu\text{m}$ 以下の厚さ t を有していてもよい。また、第2下地層1112は、第2本体部1113と第2絶縁部1100（有機絶縁層1103）との密着性を高める密着層を形成していてもよい。第2下地層1112は、チタンおよび窒化チタンのうちの少なくとも1つを含んでいてもよい。

[0782] 第2本体部1113は、第2下地層1112よりも厚く、たとえば、 $1\mu\text{m}$ 以上 $20\mu\text{m}$ 以下の厚さを有していてもよい。第2本体部1113は、銅、アルミニウムおよびタングステンのうちの少なくとも1つを含んでいてもよい。この形態では、第2本体部1113は、銅のめっき層で形成されている。

[0783] 第2本体部1113は、第2下地層1112に接する下面1114と、その反対側の上面1115と、下面1114と上面1115とを接続する側面1116とを有している。

[0784] 第2本体部1113は、上部角部1117および下部角部1118を有し

ている。上部角部 1 1 1 7 は、第 2 本体部 1 1 1 3 の上面 1 1 1 5 と側面 1 1 1 6 とが交差することによって形成されていてもよい。この形態では、第 2 本体部 1 1 1 3 の上部角部 1 1 1 7（高電位コイル 1 0 1 6 の上部角部）は、断面視において、曲線形状に形成されていてもよい。他の言い方では、上部角部 1 1 1 7 は、欠けた形状であってもよい。上部角部 1 1 1 7 が曲線形状である、もしくは上部角部 1 1 1 7 が欠けた形状とは、たとえば、SEM 画像などの電子画像によって上部角部 1 1 1 7 を表したときに、第 2 本体部 1 1 1 3 の上面 1 1 1 5 と側面 1 1 1 6 との交差頂点を視認できない程度に上部角部 1 1 1 7 が鈍っていることを意味していてもよいし、上面 1 1 1 5 と側面 1 1 1 6 との交差頂点であると窺える部分の曲率半径が 1 nm 以上程度であることを意味していてもよい。

[0785] 一方、第 2 本体部 1 1 1 3 の下部角部 1 1 1 8（高電位コイル 1 0 1 6 の下部角部）は、断面視において、第 2 絶縁部 1 1 0 0 から離れている。これにより、第 2 本体部 1 1 1 3 の下部角部 1 1 1 8 と第 2 絶縁部 1 1 0 0 との間には、隙間 1 1 1 9 が形成されている。より具体的には、高電位コイル 1 0 1 6 のうち第 2 下地層 1 1 1 2 は、全体にわたって第 2 絶縁部 1 1 0 0 に接している。隙間 1 1 1 9 は、第 2 下地層 1 1 1 2 と第 2 本体部 1 1 1 3 の下部角部 1 1 1 8 との間に形成されている。第 2 本体部 1 1 1 3 の側面 1 1 1 6 から内方に向かう隙間 1 1 1 9 の長さ L は、第 2 下地層 1 1 1 2 の厚さ t の 2 倍以上であってもよい（長さ $L \geq 2t$ ）。

[0786] また、第 2 本体部 1 1 1 3 の下部角部 1 1 1 8 は、上部角部 1 1 1 7 と同様に、断面視において、曲線形状に形成されていてもよい。他の言い方では、下部角部 1 1 1 8 は、欠けた形状であってもよい。下部角部 1 1 1 8 が曲線形状である、もしくは下部角部 1 1 1 8 が欠けた形状とは、たとえば、SEM 画像などの電子画像によって下部角部 1 1 1 8 を表したときに、第 2 本体部 1 1 1 3 の下面 1 1 1 4 と側面 1 1 1 6 との交差頂点を視認できない程度に下部角部 1 1 1 8 が鈍っていることを意味していてもよいし、下面 1 1 1 4 と側面 1 1 1 6 との交差頂点であると窺える部分の曲率半径が 1 nm 以

上程度であることを意味していてもよい。

[0787] 図81～図85は、図80の高電位コイル1016の形成に関連する工程を示す図である。次に、図81～図85を参照して、高電位コイル1016の形成方法について説明する。

[0788] 高電位コイル1016を形成するには、たとえばスピンコート法によって、第1絶縁部1005上に、第2絶縁部1100が形成される。次に、図81に示すように、たとえばスパッタ法によって、第2下地層1112およびシード層1120が形成される。シード層120は、第2本体部1113をめっき成長させるためのベース導電層である。たとえば、シード層1120は、Cu等であってもよい。シード層1120の厚さは、たとえば、0.05 μm 以上2 μm 以下であってもよい。

[0789] 次に、シード層1120上にレジスト膜1121が形成される。次に、レジスト膜1121を選択的に露光・現像することによって、シード層1120の高電位コイル1016を形成すべき部分を露出させる開口1122が形成される。開口1122の底部には、レジスト膜1121の側面から開口1122の内方領域に突出する突出部1123が形成されていてもよい。

[0790] 次に、図82に示すように、開口1122から露出するシード層1120から、第2本体部1113用の導電材料を、めっき成長させる。この形態では、シード層1120からCuをめっき成長させる。これにより、開口1122内に第2本体部1113が形成される。

[0791] 次に、図83に示すように、レジスト膜1121が除去される。レジスト膜1121の突出部1123が存在していた部分には、第2本体部1113と第2下地層1112との間の隙間1119のベースとなる隙間1124が形成される。

[0792] 次に、図84に示すように、シード層1120の不要部分（第2本体部1113外の部分）が除去される。この工程は、たとえば、ウェットエッチングによって行われる。この際、シード層1120と同一材料からなる第2本体部1113もエッチング液に晒される。これにより、第2本体部1113

の上部角部 1 1 1 7 および下部角部 1 1 1 8 が丸められ、断面視曲線形状となる。下部角部 1 1 1 8 と第 2 下地層 1 1 1 2 との間においては、隙間 1 1 2 4 から第 2 本体部 1 1 1 3 がさらに内側に侵食されることによって、隙間 1 1 1 9 が形成される。

[0793] 次に、図 8 5 に示すように、エッチングによって、第 2 下地層 1 1 1 2 の第 2 本体部 1 1 1 3 から露出する部分が除去される。以上の工程を経て、高電位コイル 1 0 1 6 を形成することができる。

[0794] 以上、半導体装置 E 2 によれば、高電位コイル 1 0 1 6 の上部角部 1 1 1 7 が、断面視において曲線形状に形成されているため、高電位コイル 1 0 1 6 の上部角部 1 1 1 7 に電界が集中することを抑制することができる。これにより、高電位コイル 1 0 1 6 の上部角部 1 1 1 7 が起点となって、低電位側の配線（たとえば、低電位端子 1 0 2 5）との間で絶縁破壊が生じることを抑制することができる。その結果、信頼性の高い半導体装置 E 2 を提供することができる。

[0795] なお、この高電位コイル 1 0 1 6 の形状は、高電位コイル 1 0 1 6 と同一層に形成された高電位側の導電層に適用してもよい。たとえば、高電位接続配線 1 0 4 1、ダミーパターン 1 0 4 3 も、高電位コイル 1 0 1 6 と同様の形状を有していてもよい。

[0796] また、前述の説明では、シール導体 1 0 8 0 は、シールビア導体 1 0 8 3 を介して半導体チップ 1 0 0 1 に接続され、グランド電位に固定されていた。一方、図 8 6 に示すように、シールビア導体 1 0 8 3 を省略することによって、シール導体 1 0 8 0 は、グランド電位に固定されていなくてもよい。

[0797] また、第 2 絶縁部 1 1 0 0 の絶縁主面 1 1 0 1 と絶縁側壁 1 1 0 2 A ~ 1 1 0 2 D とが交差することによって形成される第 2 絶縁部 1 1 0 0 の上部角部は、図 7 9 および図 8 6 に示すように、一定の角度を有していてもよいし、断面視曲線形状になるようにラウンド形状であってもよい。また、絶縁主面 1 1 0 1 の全体が、半導体チップ 1 0 0 1 の反対側に膨らむ曲面形状であってもよい。

[0798] また、第2絶縁部1100は、複数の有機絶縁層の積層構造を有していてもよい。この場合、複数の有機絶縁層は、互いに同一の有機絶縁材料からなってもよいし、互いに異なる有機絶縁材料からなってもよい。

[その他の実施形態]

以上、半導体モジュール1、半導体装置A1～A4、B1～B4、C1～C4、D1～D2およびE1～E2の構造を説明したが、半導体モジュール1、半導体装置A1～A4、B1～B4、C1～C4、D1～D2およびE1～E2は、以下に示す変形例を採用することもできる。なお、以下において、半導体装置A1～A4、B1～B4、C1～C4、D1～D2およびE1～E2の変形例については、半導体装置A1～A4、B1～B4、C1～C4、D1～D2およびE1～E2のうち少なくとも1つの変形例を示すが、各変形例は、図示された半導体装置以外の半導体装置にも適用することができる。

(第1変形例 図87および図88)

前述の半導体装置A1は、複数のトランス15A～15Dを備えていたが、半導体装置A1は、図87に示すように、1つのトランス15を備える構成であってもよい。これにより、半導体装置A1のサイズを小さくすることができる。この場合、半導体モジュール1では、絶縁素子12（半導体装置A1）が、その他の素子（この形態では、複数の半導体素子11）よりも小さくてもよい。

(第2変形例 図89)

前述の半導体装置B1では、トランス515の低電位コイル520は、1つの層間絶縁層557内に形成されていたが、図89に示すように、低電位コイル520は、半導体チップ540の法線方向Zにおいて複数の層に形成された低電位コイル2003であってもよい。たとえば、低電位コイル2003は、半導体チップ540側に形成された第1低電位コイル2004と、第1低電位コイル2004に対して第2絶縁部507側に形成された第2低電位コイル2005とを含んでいてもよい。

[0799] 第1低電位コイル2004および第2低電位コイル2005は、互いに異なる層間絶縁層557内に形成されていてもよい。たとえば、法線方向Zにおいて互いに接する1対の層間絶縁層557のうち、半導体チップ540に近い下側の層間絶縁層557に第1低電位コイル2004が形成され、第2絶縁部507に近い上側の層間絶縁層557に第2低電位コイル2005が形成されていてもよい。

[0800] 第1低電位コイル2004および第2低電位コイル2005は、互いにずれて形成されていてもよい。たとえば、第1低電位コイル2004が、第2低電位コイル2005の隙間2006（隣り合う螺旋部の間の領域）に対向するように、第1低電位コイル2004が第2低電位コイル2005に対してずれていてもよい。

[0801] また、第1低電位コイル2004および第2低電位コイル2005の各幅W1、W2は、高電位コイル523の幅W3よりも大きくてもよい。たとえば、幅W1、W2が1 μ m以上20 μ m以下であり、幅W3が1 μ m以上10 μ m未満であってもよい。

[0802] 一方、第1低電位コイル2004および第2低電位コイル2005の各厚さT1、T2は、高電位コイル523の厚さT3よりも小さくてもよい。たとえば、厚さT1、T2が0.5 μ m以上1.5 μ m未満であり、厚さT3が1.5 μ m以上5 μ m以下であってもよい。

（第3変形例 図90および図91）

前述の半導体装置A1では、シール導体16が、各層間絶縁層57を貫通する複数のシールプラグ導体19の積層によって形成されている例を示したが、図90および図91に示すように、複数のシールプラグ導体19の配列パターンは、様々なパターンを採用してもよい。たとえば、図90に示すように、平面視において、複数のシールプラグ導体19が互いに隣り合うように、等しい間隔で配列されていてもよいし、図91に示すように、平面視において、複数のシールプラグ導体19が互い違いになるように交互に配列されていてもよい。

(第4変形例 図92および図93)

前述の半導体装置A1では、シールプラグ導体19が、互いに接するように積層されており、半導体チップ40の第1主面401に沿う方向において、複数のシールプラグ導体19が同じ位置に形成されていた。これに対し、図92に示すように、複数のシールプラグ導体19は、互いにずれて積層されていてもよい。言い換えれば、半導体チップ40の第1主面401に沿う方向において、複数のシールプラグ導体19が互いに異なる位置に形成されていてもよい。この形態では、相対的に半導体チップ40に近いシールプラグ導体19が、相対的に絶縁主面54に近いシールプラグ導体19よりもトランス15の近くに配置されている。たとえば、複数のシールプラグ導体19は、上層から下層に向かうにしたがって（絶縁主面54から半導体チップ40に向かうにしたがって）、トランス15に近くなるように形成されてもよい。

[0803] また、前述の半導体装置A1では、第1機能デバイス45としてトランス15が搭載されていたが、図93に示すように、トランス15に代えてキャパシタ2000が搭載されていてもよい。キャパシタ2000は、たとえば、第1絶縁部50内に形成された下部電極2001と、第2絶縁部7上に形成された上部電極2002とを含んでいてもよい。下部電極2001および上部電極2002は、第1絶縁部50および第2絶縁部7を挟んで対向していてもよい。

(第5変形例 図94)

前述の半導体モジュール1では、絶縁素子12は、複数の半導体素子11（制御素子111および駆動素子112）に挟まれて搭載されていたが、図94に示すように、複数の絶縁素子12が同一のチップ内に搭載され、複数の絶縁素子12が互いに向かい合っているようにしてもよい。

[0804] 以上、本開示の実施形態について説明したが、本開示は他の形態で実施することもできる。

[0805] たとえば、前述の各実施形態の開示から把握される上記特徴は、異なる実

施形態間でも互いに組み合わせることができる。

[0806] その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

[0807] なお、この明細書および図面の記載から、特許請求の範囲に記載した発明以外にも、以下のような特徴が抽出され得る。

[0808] [A 1]

主面を有する半導体層と、前記半導体層の前記主面上に形成された第1導電層と、前記第1導電層を覆うように前記半導体層の前記主面上に形成され、少なくとも3層以上の第1絶縁層を含む第1絶縁部と、前記第1絶縁部上に形成され、前記第1絶縁層とは異なる誘電率を有し、前記第1絶縁部には含まれない第2絶縁層を含む第2絶縁部と、前記第2絶縁部上に形成され、前記第1絶縁部および前記第2絶縁部を介して前記第1導電層に対向し、前記第1導電層とは異なる電位に接続される第2導電層とを含む、半導体装置。

[0809] [A 2]

前記第1絶縁層は、第1無機絶縁層を含み、前記第2絶縁層は、有機絶縁層を含む、A 1に記載の半導体装置。

[0810] [A 3]

前記第1絶縁部は、各前記第1無機絶縁層上に積層された第2無機絶縁層をさらに含む、A 2に記載の半導体装置。

[0811] [A 4]

前記第1無機絶縁層は、引張応力膜を含み、前記第2無機絶縁層は、圧縮応力膜を含む、A 3に記載の半導体装置。

[0812] [A 5]

前記圧縮応力膜および前記引張応力膜は、交互に積層されている、A 4に記載の半導体装置。

[0813] [A 6]

前記引張応力膜は、窒化シリコン膜を含み、前記圧縮応力膜は、酸化シリ

コン膜を含む、A 4 または 5 に記載の半導体装置。

[0814] [A 7]

主面を有する半導体層と、前記半導体層の前記主面上に形成された第 1 導電層と、前記第 1 導電層を覆うように前記半導体層の前記主面上に形成され、少なくとも第 1 無機絶縁層および第 2 無機絶縁層の積層構造を複数含む第 1 絶縁部と、前記第 1 絶縁部上に形成され、有機絶縁層を含む第 2 絶縁部と、前記第 2 絶縁部上に形成され、前記第 1 絶縁部および前記第 2 絶縁部を介して前記第 1 導電層に対向し、前記第 1 導電層とは異なる電位に接続される第 2 導電層とを含む、半導体装置。

[0815] [A 8]

前記第 1 無機絶縁層は、窒化シリコン膜を含み、前記第 2 無機絶縁層は、酸化シリコン膜を含む、A 7 に記載の半導体装置。

[0816] [A 9]

前記有機絶縁層は、ポリイミド膜、フェノール樹脂膜およびエポキシ樹脂膜の少なくとも 1 つを含む、A 2～8 のいずれか一項に記載の半導体装置。

[0817] [A 10]

前記第 2 絶縁部は、前記有機絶縁層の単一層で形成されている、A 2～9 のいずれか一項に記載の半導体装置。

[0818] [A 11]

前記第 1 絶縁部は、 $5\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下の厚さを有し、前記第 2 絶縁部は、 $2\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下の厚さを有している、A 1～10 のいずれか一項に記載の半導体装置。

[0819] [A 12]

主面を有する半導体層と、前記半導体層の前記主面上に形成された第 1 導電層と、前記第 1 導電層を覆うように前記半導体層の前記主面上に形成され、少なくとも酸化シリコン膜を含む $5\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下の厚さを有する第 1 絶縁部と、前記第 1 絶縁部上に形成され、前記酸化シリコン膜とは異なる誘電率を有し、前記第 1 絶縁部には含まれない第 2 絶縁層を含む第 2 絶縁

部と、前記第 2 絶縁部上に形成され、前記第 1 絶縁部および前記第 2 絶縁部を介して前記第 1 導電層に対向し、前記第 1 導電層とは異なる電位に接続される第 2 導電層とを含む、半導体装置。

[0820] [A 1 3]

前記第 1 絶縁部上に形成され、前記第 1 導電層に電氣的に接続された第 1 パッドと、前記第 2 絶縁部上に形成され、前記第 2 導電層に電氣的に接続された第 2 パッドとを含む、A 1 ～ 1 2 のいずれか一項に記載の半導体装置。

[0821] [A 1 4]

前記第 1 導電層に接続され、前記第 1 導電層から、前記第 1 絶縁部における前記第 2 絶縁部との境界部まで延びる第 1 通電部材と、前記第 1 通電部材に接続され、前記第 1 通電部材から前記第 2 絶縁部上まで延びる第 2 通電部材と、前記第 2 導電層を覆うように前記第 2 絶縁部上に形成され、前記第 2 通電部材の一部を前記第 1 パッドとして露出させる第 1 開口を有する保護層とを含む、A 1 3 に記載の半導体装置。

[0822] [A 1 5]

前記保護層は、前記第 2 導電層を覆う第 1 保護層と、前記第 1 保護層上に形成され、前記第 1 開口を有する第 2 保護層とを含み、前記第 2 通電部材は、前記第 1 通電部材から前記第 1 保護層上の領域まで延びている、A 1 4 に記載の半導体装置。

[0823] [A 1 6]

前記第 2 絶縁部は、前記第 2 通電部材が埋め込まれた第 1 貫通孔を有し、前記第 2 通電部材は、平面視において前記第 1 貫通孔から前記第 1 貫通孔に重ならない領域に引き出された引き出し部とを含み、前記第 1 パッドは、前記引き出し部の一部で形成されている、A 1 4 または 1 5 に記載の半導体装置。

[0824] [A 1 7]

前記第 1 導電層に接続され、前記第 1 導電層から、前記第 1 絶縁部における前記第 2 絶縁部との境界部まで延びる第 1 通電部材と、前記第 2 導電層を

覆うように前記第2絶縁部上に形成された保護層とを含み、前記保護層および前記第2絶縁部には、前記第1通電部材の一部を前記第1パッドとして露出させる第1開口が形成されている、A13に記載の半導体装置。

[0825] [A18]

前記第2導電層に接続され、前記第2絶縁部上に形成された第3通電部材を含み、前記保護層は、前記第3通電部材の一部を前記第2パッドとして露出させる第2開口を有しており、前記第1開口と前記第2開口との間の前記保護層の部分に形成された凹部をさらに含む、A14～17のいずれか一項に記載の半導体装置。

[0826] [A19]

前記第1通電部材は、前記半導体層を介してグランド電位に接続されている、A14～18のいずれか一項に記載の半導体装置。

[0827] [A20]

前記第1導電層を取り囲むように前記第1絶縁部内に形成されたシール導体を含む、A1～19のいずれか一項に記載の半導体装置。

[0828] [A21]

前記第1導電層は、第1電位に接続された低電位層を含み、前記第2導電層は、前記第1電位よりも高い第2電位に接続された高電位層を含み、前記高電位層の周囲に形成され、前記高電位層の周囲の電界を遮蔽するダミーパターンを含む、A1～20のいずれか一項に記載の半導体装置。

[0829] [A22]

前記第1導電層は、第1コイルを含み、前記第2導電層は、第2コイルを含む、A1～21のいずれか一項に記載の半導体装置。

[0830] [A23]

ダイパッドと、前記ダイパッド上に搭載されたA22に記載の半導体装置と、前記ダイパッドおよび前記半導体装置を封止するパッケージ本体と、前記半導体装置に電氣的に接続され、前記パッケージ本体から露出するリード端子とを含む、半導体モジュール。

[0831] [A 2 4]

前記半導体装置は、前記第 1 コイルおよび前記第 2 コイルとの間に絶縁状態で信号を伝送する信号伝送用の絶縁素子を含み、前記絶縁素子に電氣的に接続された第 2 半導体装置をさらに含む、A 2 3 に記載の半導体モジュール。

[0832] [A 2 5]

前記第 2 半導体装置は、前記第 1 コイルおよび前記第 2 コイルの一方に電氣的に接続された制御素子と、前記第 1 コイルおよび前記第 2 コイルの他方に電氣的に接続された駆動素子とを含む、A 2 4 に記載の半導体モジュール。

[0833] [A 2 6]

A 2 5 に記載の半導体モジュールを含み、前記駆動素子によってモータの駆動制御を行う、モータ駆動装置。

[0834] [A 2 7]

A 2 6 に記載のモータ駆動装置を有する、車両。

[0835] [B 1]

主面を有する半導体層と、前記半導体層の前記主面上に形成された第 1 絶縁層を含む第 1 絶縁部と、前記第 1 絶縁部内に形成された第 1 導電層と、前記第 1 絶縁部上に形成され、前記第 1 絶縁層とは異なる誘電率を有し、前記第 1 絶縁部には含まれない第 2 絶縁層を含む第 2 絶縁部と、前記第 2 絶縁部上に形成され、前記第 2 絶縁部を介して前記第 1 導電層に対向し、前記第 1 導電層とは異なる電位に接続される第 2 導電層と、前記第 2 導電層と同一層または前記第 2 導電層よりも上層に形成され、前記第 1 導電層に電氣的に接続された第 1 パッドとを含む、半導体装置。

[0836] [B 2]

前記第 1 導電層に接続され、前記第 1 導電層から、前記第 1 絶縁部における前記第 2 絶縁部との境界部まで延びる第 1 通電部材と、前記第 1 通電部材に接続され、前記第 1 通電部材から前記第 2 絶縁部上まで延びる第 2 通電部

材と、前記第2導電層を覆うように前記第2絶縁部上に形成され、前記第2通電部材の一部を前記第1パッドとして露出させる第1開口を有する保護層とを含む、B1に記載の半導体装置。

[0837] [B3]

前記保護層は、前記第2導電層を覆う第1保護層と、前記第1保護層上に形成され、前記第1開口を有する第2保護層とを含み、前記第2通電部材は、前記第1通電部材から前記第1保護層上の領域まで延びている、B2に記載の半導体装置。

[0838] [B4]

前記第2絶縁部は、前記第2通電部材が埋め込まれた第1貫通孔を有し、前記第2通電部材は、平面視において前記第1貫通孔から前記第1貫通孔に重ならない領域に引き出された引き出し部とを含み、前記第1パッドは、前記引き出し部の一部で形成されている、B2または3に記載の半導体装置。

[0839] [B5]

前記第2通電部材は、前記半導体層の前記主面の法線方向において前記第2絶縁部の中央部を超える高さで埋め込まれた柱状部と、前記柱状部から前記第2絶縁部上の領域に延びる再配線部とを含む、B2または3に記載の半導体装置。

[0840] [B6]

主面を有する半導体層と、前記半導体層の前記主面上に形成された第1絶縁層を含む第1絶縁部と、前記第1絶縁部内に形成された第1導電層と、前記第1絶縁部上に形成され、前記第1絶縁層とは異なる誘電率を有し、前記第1絶縁部には含まれない第2絶縁層を含む第2絶縁部と、前記第2絶縁部上に形成され、前記第2絶縁部を介して前記第1導電層に対向し、前記第1導電層とは異なる電位に接続される第2導電層と、前記第1導電層と同一層に形成され、前記第1導電層に電氣的に接続された第1パッドとを含む、半導体装置。

[0841] [B7]

前記第 1 導電層に接続され、前記第 1 導電層から、前記第 1 絶縁部における前記第 2 絶縁部との境界部まで延びる第 1 通電部材と、前記第 2 導電層を覆うように前記第 2 絶縁部上に形成された保護層とを含み、前記保護層および前記第 2 絶縁部には、前記第 1 通電部材の一部を前記第 1 パッドとして露出させる第 1 開口が形成されている、B 6 に記載の半導体装置。

[0842] [B 8]

前記第 2 絶縁部上に形成され、前記第 2 導電層に電氣的に接続された第 2 パッドを含む、B 2 ～ 5 および 7 のいずれか一項に記載の半導体装置。

[0843] [B 9]

前記第 2 導電層に接続され、前記第 2 絶縁部上に形成された第 3 通電部材を含み、前記保護層は、前記第 3 通電部材の一部を前記第 2 パッドとして露出させる第 2 開口を有しており、前記第 1 開口と前記第 2 開口との間の前記保護層の部分に形成された凹部をさらに含む、B 8 に記載の半導体装置。

[0844] [B 10]

前記第 1 通電部材は、前記半導体層を介してグランド電位に接続されている、B 2 ～ 5 および 7 ～ 9 のいずれか一項に記載の半導体装置。

[0845] [B 11]

前記第 1 絶縁層は、第 1 無機絶縁層を含み、前記第 2 絶縁層は、有機絶縁層を含む、B 1 ～ 10 のいずれか一項に記載の半導体装置。

[0846] [B 12]

前記第 1 絶縁部は、前記第 1 無機絶縁層上に積層された第 2 無機絶縁層をさらに含む、B 11 に記載の半導体装置。

[0847] [B 13]

前記第 1 無機絶縁層は、圧縮応力膜を含み、前記第 2 無機絶縁層は、引張応力膜を含む、B 12 に記載の半導体装置。

[0848] [B 14]

前記圧縮応力膜および前記引張応力膜は、交互に積層されている、B 13 に記載の半導体装置。

[0849] [B 1 5]

前記第1無機絶縁層は、酸化シリコン膜を含み、前記第2無機絶縁層は、窒化シリコン膜を含む、B 1 2～1 4のいずれか一項に記載の半導体装置。

[0850] [B 1 6]

前記有機絶縁層は、ポリイミド膜、フェノール樹脂膜およびエポキシ樹脂膜の少なくとも1つを含む、B 1 1～1 5のいずれか一項に記載の半導体装置。

[0851] [B 1 7]

前記第2絶縁部は、前記有機絶縁層の単一層で形成されている、B 1 1～1 6のいずれか一項に記載の半導体装置。

[0852] [B 1 8]

前記第2絶縁部は、 $2\mu\text{m}$ 以上 $100\mu\text{m}$ 以下の厚さを有している、B 1～1 7のいずれか一項に記載の半導体装置。

[0853] [B 1 9]

前記第1導電層を取り囲むように前記第1絶縁部内に形成されたシール導体を含む、B 1～1 8のいずれか一項に記載の半導体装置。

[0854] [B 2 0]

前記第1導電層は、第1電位に接続された低電位層を含み、前記第2導電層は、前記第1電位よりも高い第2電位に接続された高電位層を含み、前記高電位層の周囲に形成され、前記高電位層の周囲の電界を遮蔽するダミーパターンを含む、B 1～1 9のいずれか一項に記載の半導体装置。

[0855] [B 2 1]

前記第1導電層は、第1コイルを含み、前記第2導電層は、第2コイルを含む、B 1～2 0のいずれか一項に記載の半導体装置。

[0856] [B 2 2]

ダイパッドと、前記ダイパッド上に搭載されたB 2 1に記載の半導体装置と、前記ダイパッドおよび前記半導体装置を封止するパッケージ本体と、前記半導体装置に電氣的に接続され、前記パッケージ本体から露出するリード

端子とを含む、半導体モジュール。

[0857] [B 2 3]

前記半導体装置は、前記第 1 コイルおよび前記第 2 コイルとの間に絶縁状態で信号を伝送する信号伝送用の絶縁素子を含み、前記絶縁素子に電氣的に接続された第 2 半導体装置をさらに含む、B 2 2 に記載の半導体モジュール。

[0858] [B 2 4]

前記第 2 半導体装置は、前記第 1 コイルおよび前記第 2 コイルの一方に電氣的に接続された制御素子と、前記第 1 コイルおよび前記第 2 コイルの他方に電氣的に接続された駆動素子とを含む、B 2 3 に記載の半導体モジュール。

[0859] [B 2 5]

B 2 4 に記載の半導体モジュールを含み、前記駆動素子によってモータの駆動制御を行う、モータ駆動装置。

[0860] [B 2 6]

B 2 5 に記載のモータ駆動装置を有する、車両。

[0861] [C 1]

主面を有する半導体層と、前記半導体層の前記主面上に形成された第 1 有機絶縁層を含む第 1 絶縁部と、前記第 1 絶縁部上に形成された第 1 導電層と、前記第 1 導電層を覆うように前記第 1 絶縁部上に形成され、第 2 有機絶縁層を含む第 2 絶縁部と、前記第 2 絶縁部上に形成され、前記第 2 絶縁部を介して前記第 1 導電層に対向し、前記第 1 導電層とは異なる電位に接続された第 2 導電層とを含む、半導体装置。

[0862] [C 2]

前記第 1 絶縁部は、複数の第 1 有機絶縁層を含む、C 1 に記載の半導体装置。

[0863] [C 3]

前記第 2 絶縁部は、前記第 2 有機絶縁層の単一膜で形成されている、C 1

または 2 に記載の半導体装置。

[0864] [C 4]

前記第 2 絶縁部は、 $2\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下の厚さを有している、C 1～3 のいずれか一項に記載の半導体装置。

[0865] [C 5]

前記第 1 導電層と同一層に形成され、前記第 1 導電層に電氣的に接続された第 1 パッドを含む、C 1～4 のいずれか一項に記載の半導体装置。

[0866] [C 6]

前記第 1 導電層に接続され、前記第 1 絶縁部内において前記第 1 導電層の下方を通して延び、前記第 1 絶縁部上に至る第 1 通電部材と、前記第 2 導電層を覆うように前記第 2 絶縁部上に形成された保護膜とを含み、前記保護膜および前記第 2 絶縁部には、前記第 1 通電部材の一部を前記第 1 パッドとして露出させる第 1 開口が形成されている、C 5 に記載の半導体装置。

[0867] [C 7]

前記第 1 開口は、前記半導体層の端面側に向かって開放した空間部を含む、C 6 に記載の半導体装置。

[0868] [C 8]

前記第 1 絶縁部は、前記第 1 通電部材が埋め込まれた第 1 貫通孔を有し、前記第 1 通電部材は、前記第 1 貫通孔から前記第 1 貫通孔に重ならない領域に引き出された第 1 引き出し部を含み、前記第 1 パッドは、前記第 1 引き出し部の一部で形成されている、C 6 または 7 に記載の半導体装置。

[0869] [C 9]

前記第 2 導電層と同一層または前記第 2 導電層よりも上層に形成され、前記第 1 導電層に電氣的に接続された第 1 パッドを含む、C 1～4 のいずれか一項に記載の半導体装置。

[0870] [C 10]

前記第 1 導電層に接続され、前記第 1 導電層から、前記第 1 絶縁部における前記第 2 絶縁部との境界部まで延びる第 1 通電部材と、前記第 1 通電部材

に接続され、前記第 1 通電部材から前記第 2 絶縁部上まで延びる第 2 通電部材と、前記第 2 導電層を覆うように前記第 2 絶縁部上に形成され、前記第 2 通電部材の一部を前記第 1 パッドとして露出させる第 1 開口を有する保護膜とを含む、C 9 に記載の半導体装置。

[0871] [C 1 1]

前記第 2 絶縁部は、前記第 2 通電部材が埋め込まれた第 2 貫通孔を有し、前記第 2 通電部材は、平面視において前記第 2 貫通孔から前記第 2 貫通孔に重ならない領域に引き出された第 2 引き出し部とを含み、前記第 1 パッドは、前記第 2 引き出し部の一部で形成されている、C 1 0 に記載の半導体装置。

[0872] [C 1 2]

前記第 2 通電部材は、前記半導体層の前記主面の法線方向において前記第 2 絶縁部の中央部を超える高さで埋め込まれた柱状部と、前記柱状部から前記第 2 絶縁部上の領域に延びる再配線部とを含む、C 1 0 または 1 1 に記載の半導体装置。

[0873] [C 1 3]

前記第 2 導電層と同一層または前記第 2 導電層よりも上層に形成され、前記第 2 導電層に電氣的に接続された第 2 パッドを含む、C 5 ～ 1 2 のいずれか一項に記載の半導体装置。

[0874] [C 1 4]

前記第 2 導電層に接続され、前記第 2 絶縁部上に形成された第 3 通電部材を含み、前記保護膜は、前記第 3 通電部材の一部を前記第 2 パッドとして露出させる第 2 開口を有しており、前記第 1 開口と前記第 2 開口との間の前記保護膜の部分に形成された凹部をさらに含む、C 1 3 に記載の半導体装置。

[0875] [C 1 5]

前記第 1 通電部材は、前記半導体層を介してグランド電位に接続されている、C 6 ～ 8 および 1 0 ～ 1 2 のいずれか一項に記載の半導体装置。

[0876] [C 1 6]

前記第 1 有機絶縁層および前記第 2 有機絶縁層は、ポリイミド膜、フェノール樹脂膜およびエポキシ樹脂膜の少なくとも 1 つを含む、C 1 ～ 1 5 のいずれか一項に記載の半導体装置。

[0877] [C 1 7]

前記第 1 有機絶縁層および前記第 2 有機絶縁層は、同一の樹脂材料で形成されている、C 1 ～ 1 6 のいずれか一項に記載の半導体装置。

[0878] [C 1 8]

前記第 1 導電層は、第 1 電位に接続された低電位層を含み、前記第 2 導電層は、前記第 1 電位よりも高い第 2 電位に接続された高電位層を含み、前記高電位層の周囲に形成され、前記高電位層の周囲の電界を遮蔽するダミーパターンを含む、C 1 ～ 1 7 のいずれか一項に記載の半導体装置。

[0879] [C 1 9]

前記第 1 導電層は、第 1 コイルを含み、前記第 2 導電層は、第 2 コイルを含む、C 1 ～ 1 8 のいずれか一項に記載の半導体装置。

[0880] [C 2 0]

ダイパッドと、前記ダイパッド上に搭載された C 1 9 に記載の半導体装置と、前記ダイパッドおよび前記半導体装置を封止するパッケージ本体と、前記半導体装置に電氣的に接続され、前記パッケージ本体から露出するリード端子とを含む、半導体モジュール。

[0881] [C 2 1]

前記半導体装置は、前記第 1 コイルおよび前記第 2 コイルとの間に絶縁状態で信号を伝送する信号伝送用の絶縁素子を含み、前記絶縁素子に電氣的に接続された第 2 半導体装置をさらに含む、C 2 0 に記載の半導体モジュール。

[0882] [C 2 2]

前記第 2 半導体装置は、前記第 1 コイルおよび前記第 2 コイルの一方に電氣的に接続された制御素子と、前記第 1 コイルおよび前記第 2 コイルの他方に電氣的に接続された駆動素子とを含む、C 2 1 に記載の半導体モジュール

。

[0883] [C 2 3]

C 2 2 に記載の半導体モジュールを含み、前記駆動素子によってモータの駆動制御を行う、モータ駆動装置。

[0884] [C 2 4]

C 2 3 に記載のモータ駆動装置を有する、車両。

[0885] [D 1]

主面を有する半導体層と、前記半導体層の前記主面上に形成された第 1 導電層と、前記第 1 導電層を覆うように前記半導体層の前記主面上に形成された第 1 絶縁部と、前記第 1 絶縁部上に形成され、前記第 1 絶縁部を介して前記第 1 導電層に対向し、前記第 1 導電層とは異なる電位に接続される第 2 導電層と、前記半導体層の前記主面の法線方向において、前記第 1 絶縁部における前記第 1 導電層と同一層、または前記第 1 絶縁部における前記第 1 導電層と前記第 2 導電層との間に形成され、前記第 1 導電層に電氣的に接続された第 1 パッドとを含む、半導体装置。

[0886] [D 2]

前記第 1 導電層に接続され、前記第 1 絶縁部内において前記第 1 導電層の下方を通して延びる第 1 通電部材と、前記第 1 絶縁部に形成され、前記第 1 通電部材の一部を前記第 1 パッドとして露出させる第 1 開口とを含む、D 1 に記載の半導体装置。

[0887] [D 3]

前記第 1 開口は、前記第 1 絶縁部によって取り囲まれて閉じた空間部を含む、D 2 に記載の半導体装置。

[0888] [D 4]

前記第 1 開口は、前記半導体層の端面側に向かって開放した空間部を含む、D 2 に記載の半導体装置。

[0889] [D 5]

前記第 2 導電層と同一層または前記第 2 導電層よりも上層に形成され、前

記第2導電層に電氣的に接続された第2パッドを含む、D2～4のいずれか一項に記載の半導体装置。

[0890] [D6]

前記第2導電層を覆うように前記第1絶縁部上に形成された第2絶縁部と、前記第2絶縁部内において前記第2導電層の上方に形成され、前記第2導電層に電氣的に接続された第2通電部材と、前記第2絶縁部上に形成された保護層と、前記保護層および前記第2絶縁部に形成され、前記第2通電部材の一部を前記第2パッドとして露出させる第2開口とを含む、D5に記載の半導体装置。

[0891] [D7]

前記第1通電部材は、前記半導体層を介してグランド電位に接続されている、D12～6のいずれか一項に記載の半導体装置。

[0892] [D8]

前記第1絶縁部は、互いに異なる第1無機絶縁層および第2無機絶縁層の積層構造を含む、D1～7のいずれか一項に記載の半導体装置。

[0893] [D9]

前記積層構造は、前記第1無機絶縁層および前記第2無機絶縁層が交互に複数回積層されることによって形成されている、D8に記載の半導体装置。

[0894] [D10]

前記第1無機絶縁層は、圧縮応力膜を含み、前記第2無機絶縁層は、引張応力膜を含む、D8または9に記載の半導体装置。

[0895] [D11]

前記第1無機絶縁層は、酸化シリコン膜を含み、前記第2無機絶縁層は、窒化シリコン膜を含む、D8～10のいずれか一項に記載の半導体装置。

[0896] [D12]

前記第1絶縁部は、 $2\mu\text{m}$ 以上 $120\mu\text{m}$ 以下の厚さを有している、D1～11のいずれか一項に記載の半導体装置。

[0897] [D13]

前記第 1 導電層を取り囲むように前記第 1 絶縁部内に形成されたシール導体を含む、D 1 ～ 1 2 のいずれか一項に記載の半導体装置。

[0898] [D 1 4]

前記第 1 導電層は、第 1 コイルを含み、前記第 2 導電層は、第 2 コイルを含む、D 1 ～ 1 3 のいずれか一項に記載の半導体装置。

[0899] [D 1 5]

ダイパッドと、前記ダイパッド上に搭載された D 1 4 に記載の半導体装置と、前記ダイパッドおよび前記半導体装置を封止するパッケージ本体と、前記半導体装置に電氣的に接続され、前記パッケージ本体から露出するリード端子とを含む、半導体モジュール。

[0900] [D 1 6]

前記半導体装置は、前記第 1 コイルおよび前記第 2 コイルとの間に絶縁状態で信号を伝送する信号伝送用の絶縁素子を含み、前記絶縁素子に電氣的に接続された第 2 半導体装置をさらに含む、D 1 5 に記載の半導体モジュール。

[0901] [D 1 7]

前記第 2 半導体装置は、前記第 1 コイルおよび前記第 2 コイルの一方に電氣的に接続された制御素子と、前記第 1 コイルおよび前記第 2 コイルの他方に電氣的に接続された駆動素子とを含む、D 1 6 に記載の半導体モジュール。

[0902] [D 1 8]

D 1 7 に記載の半導体モジュールを含み、前記駆動素子によってモータの駆動制御を行う、モータ駆動装置。

[0903] [D 1 9]

D 1 8 に記載のモータ駆動装置を有する、車両。

[0904] [E 1]

主面を有する半導体層と、前記半導体層の前記主面上に形成された絶縁部と、前記絶縁部内に形成された第 1 導電層と、前記絶縁部内において前記半

導体層の前記主面に沿う第1方向において前記第1導電層から離れており、前記第1導電層とは異なる電位に接続される第2導電層とを含み、前記第2導電層は、断面視において、曲線形状に形成された上部角部を有している、半導体装置。

[0905] [E 2]

主面を有する半導体層と、前記半導体層の前記主面上に形成された絶縁部と、前記絶縁部内に形成された第1導電層と、前記絶縁部内において前記半導体層の前記主面に沿う第1方向において前記第1導電層から離れており、前記第1導電層とは異なる電位に接続される第2導電層とを含み、前記第2導電層は、上面と側面とが交差する上部角部が欠けた形状を有している、半導体装置。

[0906] [E 3]

前記絶縁部は、前記第2導電層が埋め込まれた凹部を有する無機絶縁層を含み、前記第2導電層は、断面視において、先端が尖った形状の下部角部を有している、E 1または2に記載の半導体装置。

[0907] [E 4]

前記第2導電層は、前記無機絶縁層の前記凹部の内面に沿って形成された第1下地層と、前記第1下地層を介して前記凹部に埋め込まれた第1本体部とを含み、前記第2導電層の前記上部角部は、前記第1下地層の上端部および前記第1本体部の上端部に跨って形成されている、E 3に記載の半導体装置。

[0908] [E 5]

前記第1本体部は、めっき成長によって形成されためっき層を含み、前記第1下地層は、前記無機絶縁層への前記めっき層の成分の拡散を防止するバリア層を含む、E 4に記載の半導体装置。

[0909] [E 6]

前記無機絶縁層の前記凹部は、断面視において、その底部に向かって幅が狭まるテーパ形状に形成されている、E 3～5のいずれか一項に記載の半導

体装置。

[0910] [E 7]

前記絶縁部は、前記第2導電層を支持する有機絶縁層を含み、前記第2導電層は、断面視において、前記有機絶縁層から離れた下部角部を有している、E 1 または 2 に記載の半導体装置。

[0911] [E 8]

前記絶縁部は、前記第2導電層を支持する有機絶縁層を含み、前記第2導電層は、下面と側面とが交差する下部角部が欠けた形状を有している、E 1 または 2 に記載の半導体装置。

[0912] [E 9]

前記第2導電層は、前記有機絶縁層上に形成された第2下地層と、前記第2下地層上に形成され、前記第2下地層よりも厚い第2本体部とを含み、前記第2導電層の前記上部角部は、前記第2本体部の上端部に形成されている、E 7 または 8 に記載の半導体装置。

[0913] [E 10]

前記第2導電層の前記下部角部は、前記第2本体部の下端部に形成されている、E 9 に記載の半導体装置。

[0914] [E 11]

前記第2本体部は、めっき成長によって形成されためっき層を含み、前記第2下地層は、前記めっき層とは異なる材料で形成された導電膜を含む、E 9 または 10 に記載の半導体装置。

[0915] [E 12]

前記絶縁部は、互いに異なる第1無機絶縁層および第2無機絶縁層の積層構造を含む、E 1 ～ 11 のいずれか一項に記載の半導体装置。

[0916] [E 13]

前記積層構造は、前記第1無機絶縁層および前記第2無機絶縁層が交互に複数回積層されることによって形成されている、E 12 に記載の半導体装置。

[0917] [E 1 4]

前記第 1 無機絶縁層は、圧縮応力膜を含み、前記第 2 無機絶縁層は、引張応力膜を含む、E 1 2 または 1 3 に記載の半導体装置。

[0918] [E 1 5]

前記第 1 無機絶縁層は、酸化シリコン膜を含み、前記第 2 無機絶縁層は、窒化シリコン膜を含む、E 1 2 ～ 1 4 のいずれか一項に記載の半導体装置。

[0919] [E 1 6]

前記第 1 導電層は、第 1 電位に接続された低電位層を含み、前記第 2 導電層は、前記第 1 電位よりも高い第 2 電位に接続された高電位層を含み、前記高電位層の周囲に形成され、前記高電位層の周囲の電界を遮蔽するダミーパターンを含む、E 1 ～ 1 5 のいずれか一項に記載の半導体装置。

[0920] [E 1 7]

前記絶縁部内に形成され、前記半導体層の前記主面の法線方向である第 2 方向において前記第 2 導電部から離れており、前記第 1 導電層に電氣的に接続された第 1 コイルを含み、前記第 2 導電層は、前記絶縁部を介して前記第 1 コイルに対向する第 2 コイルを含む、E 1 ～ 1 5 のいずれか一項に記載の半導体装置。

[0921] [E 1 8]

前記絶縁部は、前記第 1 コイルと前記第 2 コイルとの間に $2\ \mu\text{m}$ 以上 $120\ \mu\text{m}$ 以下の厚さを有している、E 1 7 に記載の半導体装置。

[0922] [E 1 9]

前記絶縁部は、前記第 1 導電層および前記第 2 導電層上の保護層を含み、前記第 1 導電層は、前記保護層に形成された第 1 開口から露出する第 1 パッドを含む、E 1 6 または 1 7 に記載の半導体装置。

[0923] [E 2 0]

前記第 2 導電層は、前記第 2 コイルに電氣的に接続され、前記保護層に形成された第 2 開口から露出する第 2 パッドを含む、E 1 8 に記載の半導体装置。

[0924] [E 2 1]

ダイパッドと、前記ダイパッド上に搭載された E 1 6 ~ 1 9 のいずれか一項に記載の半導体装置と、前記ダイパッドおよび前記半導体装置を封止するパッケージ本体と、前記半導体装置に電氣的に接続され、前記パッケージ本体から露出するリード端子とを含む、半導体モジュール。

[0925] [E 2 2]

前記半導体装置は、前記第 1 コイルおよび前記第 2 コイルとの間に絶縁状態で信号を伝送する信号伝送用の絶縁素子を含み、前記絶縁素子に電氣的に接続された第 2 半導体装置をさらに含む、E 2 0 に記載の半導体モジュール。

[0926] [E 2 3]

前記第 2 半導体装置は、前記第 1 コイルおよび前記第 2 コイルの一方に電氣的に接続された制御素子と、前記第 1 コイルおよび前記第 2 コイルの他方に電氣的に接続された駆動素子とを含む、E 2 1 に記載の半導体モジュール。

[0927] [E 2 4]

E 2 2 に記載の半導体モジュールを含み、前記駆動素子によってモータの駆動制御を行う、モータ駆動装置。

[0928] [E 2 5]

E 2 3 に記載のモータ駆動装置を有する、車両。

[0929] [E 2 6]

主面を有する半導体層上に、第 1 領域および第 2 領域を有し、前記第 1 領域および前記第 2 領域が前記半導体層の前記主面に沿う第 1 方向において互いに離れている、無機絶縁層を形成する工程と、前記無機絶縁層の前記第 1 領域に第 1 導電層を形成する工程と、前記第 2 領域において前記無機絶縁層を選択的に除去することによって凹部を形成する工程と、前記凹部に導電材料を埋め込む工程と、前記導電材料の埋め込み後、前記導電材料の一部が突出部として突出するように、前記無機絶縁層を上面から除去する工程と、断

面視において、前記導電材料の前記突出部の角部が選択的に欠損するように、前記突出部を選択的に除去することによって、上面と側面とが交差する上部角部が欠けた形状を有する第2導電層を形成する工程とを含む、半導体装置の製造方法。

[0930] [E 2 7]

前記導電材料を埋め込む工程は、前記無機絶縁層の前記凹部の内面に沿って第1下地層を形成する工程と、前記第1下地層から導電材料をめっき成長させることによって、前記凹部に第1本体部を埋め込む工程とを含む、E 2 5に記載の半導体装置の製造方法。

[0931] [E 2 8]

前記第2導電層を形成する工程は、前記第1下地層の上端部および前記第1本体部の上端部の両方が欠損するように、前記突出部を選択的に除去する工程を含む、E 2 6に記載の半導体装置の製造方法。

[0932] [E 2 9]

主面を有する半導体層上に、第1領域および第2領域を有し、前記第1領域および前記第2領域が前記半導体層の前記主面に沿う第1方向において互いに離れている、有機絶縁層を形成する工程と、前記有機絶縁層の前記第1領域に第1導電層を形成する工程と、前記有機絶縁層の前記第2領域に導電材料を形成し、断面視において、前記導電材料の角部が選択的に欠損するように、前記導電材料を選択的に除去することによって、上面と側面とが交差する上部角部が欠けた形状を有する第2導電層を形成する工程とを含む、半導体装置の製造方法。

[0933] [E 3 0]

前記第2導電層を形成する工程は、前記有機絶縁層上に第2下地層を形成する工程と、前記第2下地層から導電材料を選択的にめっき成長させることによって、前記第2下地層上に第2本体部を形成する工程とを含む、E 2 8に記載の半導体装置の製造方法。

[0934] [E 3 1]

前記第2導電層を選択的に除去する工程は、前記第2本体部の下端部を選択的に除去することによって、前記第2本体部の下面と側面とが交差する下部角部に空間を形成する工程を含み、断面視における前記空間の幅は、前記第2下地層の厚さの2倍以上である、E29に記載の半導体装置の製造方法。

[0935] 本出願は、2020年9月23日に日本国特許庁に提出された特願2020-158854号、2020年9月23日に日本国特許庁に提出された特願2020-158855号、2020年9月23日に日本国特許庁に提出された特願2020-158856号、2020年9月23日に日本国特許庁に提出された特願2020-158857号、および2020年9月23日に日本国特許庁に提出された特願2020-158858号に対応しており、これらの出願の全開示はここに引用により組み込まれるものとする。

符号の説明

[0936]	1	: 半導体モジュール
	1 c	: 第1比較信号
	1 d	: 第1検出信号
	2	: ダイパッド
	2 c	: 第2比較信号
	2 d	: 第2検出信号
	3	: 第1端子
	4	: 第2端子
	5	: 支持端子
	6	: 封止樹脂
	7	: 第2絶縁部
	8	: 保護層
	9	: シード層
	10	: レジスト膜
	11	: 半導体素子

1 2	: 絶縁素子
1 2 a	: パッド
1 3	: 低電位端子
1 4	: 高電位端子
1 5	: トランス
1 6	: シール導体
1 7	: デバイス領域
1 8	: 外側領域
1 9	: シールプラグ導体
2 0	: 低電位コイル
2 1	: 第 1 ダイパッド
2 2	: 第 2 ダイパッド
2 3	: 高電位コイル
2 4	: 第 1 内側末端
2 5	: 第 1 外側末端
2 6	: 第 1 螺旋部
2 7	: 第 2 内側末端
2 8	: 第 2 外側末端
2 9	: 第 2 螺旋部
3 0	: 第 1 低電位配線
3 1	: 第 1 中間端子
3 2	: 第 1 側端子
3 3	: 第 1 高電位配線
3 4	: 第 2 高電位配線
3 5	: 第 2 低電位配線
3 6	: 低電位接続配線
3 7	: 引き出し配線
3 8	: 配線プラグ電極

3 9	: ダミーパターン
4 0	: 半導体チップ
4 1	: 第 2 中間端子
4 2	: 第 2 側端子
4 3	: 開口
4 4	: チップ側壁
4 5	: 第 1 機能デバイス
4 6	: シード層
4 7	: レジスト膜
4 8	: 開口
4 9	: 開口
5 0	: 第 1 絶縁部
5 1	: 第 1 支持端子
5 2	: 第 2 支持端子
5 3	: 絶縁側壁
5 4	: 絶縁主面
5 5	: 最下絶縁層
5 6	: 最上絶縁層
5 7	: 層間絶縁層
5 8	: 第 1 絶縁層
5 9	: 第 2 絶縁層
6 0	: 第 2 機能デバイス
6 1	: 樹脂上面
6 2	: 樹脂下面
6 3	: 樹脂第 1 側面
6 4	: 樹脂第 2 側面
6 5	: シールビア導体
6 6	: 第 1 内側領域

6 7	: 第 2 内側領域
6 8	: 第 1 保護層
6 9	: 第 2 保護層
7 0	: 貫通配線
7 1	: ボンディングワイヤ
7 2	: 内装めっき層
7 3	: 外装めっき層
7 4	: 第 1 接続プラグ電極
7 5	: 第 2 接続プラグ電極
7 6	: 貫通孔
7 8	: 第 1 電極層
7 9	: 第 2 電極層
8 0	: 導電支持部材
8 1	: リードフレーム
8 2	: 保護主面
8 3	: 保護側壁
8 4	: 有機絶縁層
8 5	: 貫通孔
8 6	: 高電位ダミーパターン
8 7	: 第 1 高電位ダミーパターン
8 8	: 第 2 高電位ダミーパターン
8 9	: 第 1 領域
9 0	: 第 2 領域
9 1	: 第 3 領域
9 2	: 第 1 接続部
9 3	: 第 1 パターン
9 4	: 第 2 パターン
9 5	: 第 3 パターン

9 6	: 第 1 外周ライン
9 7	: 第 2 外周ライン
9 8	: 第 1 中間ライン
9 9	: 第 1 接続ライン
1 0 0	: 車両
1 0 1	: モータ駆動装置
1 0 2	: E C U
1 0 3	: 第 1 送信部
1 0 3 - 1	: バッファ
1 0 4	: 第 2 送信部
1 0 4 - 1	: バッファ
1 0 5	: 第 1 受信部
1 0 6	: 第 2 受信部
1 0 7	: ロジック部
1 0 7 - 1	: インバータ
1 0 7 - 2	: インバータ
1 0 7 - 3	: 第 1 パルス生成部
1 0 7 - 4	: 第 2 パルス生成部
1 0 7 - 5	: パルス生成部
1 0 7 - 6	: パルスカウンタ
1 0 7 - 7	: エッジ検出部
1 0 7 - 8	: パルス分配部
1 0 8	: 第 1 U V L O 部
1 0 9	: 外部エラー検出部
1 1 1	: 制御素子
1 1 1 a	: パッド
1 1 2	: 駆動素子
1 1 2 a	: パッド

1 2 0	: シード層
1 2 1	: 第3受信部
1 2 1 - 1	: 第1コンパレータ
1 2 1 - 2	: 第1パルス検出部
1 2 1 - 3	: 第1カウンタ
1 2 2	: 第4受信部
1 2 2 - 1	: 第2コンパレータ
1 2 2 - 2	: 第2パルス検出部
1 2 2 - 3	: 第2カウンタ
1 2 3	: 第3送信部
1 2 4	: 第4送信部
1 2 5	: ロジック部
1 2 6	: ドライバ部
1 2 7	: 第2UVLO部
1 2 8	: 過電流検出部
1 2 9	: OCPタイマ
1 3 1	: 第1トランス
1 3 2	: 第2トランス
1 3 3	: 第3トランス
1 3 4	: 第4トランス
1 4 0	: スリット
1 4 1	: 第1引き出し部
1 4 2	: 第2引き出し部
1 4 3	: 第3外周ライン
1 4 4	: 第2中間ライン
1 4 5	: 第2接続ライン
1 4 6	: スリット
1 4 7	: 第3引き出し部

1 4 8	: 第4引き出し部
1 4 9	: 第4外周ライン
1 5 0	: 第3中間ライン
1 5 1	: 第3接続ライン
1 5 2	: スリット
1 5 3	: 第5引き出し部
1 5 4	: 第6引き出し部
1 5 5	: 第2接続部
1 5 6 A	: 高電位ライン
1 5 6 B	: 高電位ライン
1 5 6 C	: 高電位ライン
1 5 6 D	: 高電位ライン
1 5 6 E	: 高電位ライン
1 5 6 F	: 高電位ライン
1 5 7	: スリット
1 6 1	: 浮遊ダミーパターン
1 6 2 A	: 浮遊ライン
1 6 2 B	: 浮遊ライン
1 6 2 C	: 浮遊ライン
1 6 2 D	: 浮遊ライン
1 6 2 E	: 浮遊ライン
1 6 2 F	: 浮遊ライン
1 7 0	: 第1低電位パッド配線
1 7 1	: 第2低電位パッド配線
1 7 3	: 貫通孔
1 7 4	: 貫通孔
1 7 5	: 引き出し部
1 7 6	: 第3低電位パッド配線

1 7 7	: 高電位パッド配線
1 7 8	: 凹凸構造
1 7 9	: 凹部
1 8 8	: 低電位端子開口
1 8 9	: 高電位端子開口
1 9 0	: 低電位端子開口
1 9 1	: 低電位パッド
1 9 2	: 高電位パッド
1 9 3	: 第 1 部分
1 9 4	: 第 2 部分
2 0 0	: 信号伝達装置
2 1 1	: 第 1 ダイパッド上面
2 1 2	: 第 1 ダイパッド下面
2 2 1	: 第 2 ダイパッド上面
2 2 2	: 第 2 ダイパッド下面
3 1 1	: リード部
3 1 2	: パッド部
3 2 1	: リード部
3 2 2	: パッド部
4 0 1	: 第 1 主面
4 0 2	: 第 2 主面
4 1 1	: リード部
4 1 2	: パッド部
4 2 1	: リード部
4 2 2	: パッド部
5 0 1	: 絶縁主面
5 0 2	: 絶縁側壁
5 0 3	: 第 1 内側末端

5 0 4	: 貫通孔
5 0 5	: 周縁部
5 0 6	: 貫通孔
5 0 7	: 第 2 絶縁部
5 0 8	: 保護層
5 1 1	: リード部
5 1 2	: パッド部
5 1 3	: 低電位端子
5 1 4	: 高電位端子
5 1 5	: トランス
5 1 6	: シール導体
5 1 7	: デバイス領域
5 1 8	: 外側領域
5 1 9	: シールプラグ導体
5 2 0	: 低電位コイル
5 2 1	: リード部
5 2 2	: パッド部
5 2 3	: 高電位コイル
5 2 4	: 連結部
5 2 5	: 第 1 外側末端
5 2 6	: 第 1 螺旋部
5 2 7	: 第 2 内側末端
5 2 8	: 第 2 外側末端
5 2 9	: 第 2 螺旋部
5 3 0	: 第 1 低電位配線
5 3 2	: 第 1 低電位パッド配線
5 3 3	: 第 1 高電位配線
5 3 4	: 第 2 高電位配線

5 3 5	: 第 2 低電位配線
5 3 6	: 低電位接続配線
5 3 7	: 引き出し配線
5 3 8	: 柱状配線
5 3 9	: ダミーパターン
5 4 0	: 半導体チップ
5 4 1	: 第 1 主面
5 4 2	: 第 2 主面
5 4 4	: チップ側壁
5 4 5	: 第 1 機能デバイス
5 5 0	: 第 1 絶縁部
5 5 1	: 頂面
5 5 2	: 引き出し部
5 5 3	: 絶縁側壁
5 5 4	: 絶縁主面
5 5 5	: 最下絶縁層
5 5 6	: 最上絶縁層
5 5 7	: 層間絶縁層
5 5 8	: 第 1 絶縁層
5 5 9	: 第 2 絶縁層
5 6 0	: 第 2 機能デバイス
5 6 5	: シールビア導体
5 6 6	: 第 1 内側領域
5 6 7	: 第 2 内側領域
5 6 8	: 第 1 保護層
5 6 9	: 第 2 保護層
5 7 0	: 第 2 配線
5 7 4	: 第 1 接続プラグ電極

5 7 5	: 第 2 接続プラグ電極
5 7 6	: 貫通孔
5 7 8	: 中継パッド電極層
5 7 9	: 第 1 配線
5 8 2	: 保護主面
5 8 3	: 保護側壁
5 8 4	: 有機絶縁層
5 8 5	: 貫通孔
5 8 6	: 高電位ダミーパターン
5 8 7	: 第 1 高電位ダミーパターン
5 8 8	: 第 2 高電位ダミーパターン
6 3 1	: 樹脂第 1 側面上部
6 3 2	: 樹脂第 1 側面中央部
6 3 3	: 樹脂第 1 側面下部
6 4 1	: 樹脂第 2 側面上部
6 4 2	: 樹脂第 2 側面中央部
6 4 3	: 樹脂第 2 側面下部
6 6 1	: 浮遊ダミーパターン
6 7 6	: 第 2 低電位パッド配線
6 7 7	: 高電位パッド配線
6 7 8	: 凹凸構造
6 7 9	: 凹部
6 8 8	: 低電位端子開口
6 8 9	: 高電位端子開口
6 9 0	: 低電位端子開口
6 9 1	: 低電位パッド
6 9 2	: 高電位パッド
6 9 3	: 第 1 部分

6 9 4	: 第 2 部分
7 0 1	: 絶縁主面
7 0 2	: 絶縁側壁
7 0 3	: 第 1 内側末端
7 0 4	: 絶縁主面
7 0 5	: 絶縁側壁
7 0 7	: 第 2 絶縁部
7 0 8	: 保護層
7 1 1	: 第 1 ボンディングワイヤ
7 1 2	: 第 2 ボンディングワイヤ
7 1 3	: 第 3 ボンディングワイヤ
7 1 4	: 第 4 ボンディングワイヤ
7 1 5	: トランス
7 1 6	: 低電位端子
7 1 7	: 高電位端子
7 1 8	: 貫通孔
7 2 0	: 低電位コイル
7 2 2	: 第 3 有機絶縁層
7 2 3	: 高電位コイル
7 2 5	: 第 1 外側末端
7 2 6	: 第 1 螺旋部
7 2 7	: 第 2 内側末端
7 2 8	: 第 2 外側末端
7 2 9	: 第 2 螺旋部
7 3 0	: 第 1 低電位配線
7 3 1	: 第 1 低電位パッド電極層
7 3 2	: 第 2 低電位パッド配線
7 3 3	: 第 1 高電位配線

7 3 4	: 第 2 高電位配線
7 3 5	: 第 2 低電位配線
7 3 6	: 低電位接続配線
7 3 7	: 引き出し配線
7 3 8	: 柱状配線
7 3 9	: ダミーパターン
7 4 0	: 半導体チップ
7 4 1	: 第 1 主面
7 4 2	: 第 2 主面
7 4 4	: チップ側壁
7 4 5	: 第 1 機能デバイス
7 5 0	: 第 1 絶縁部
7 5 1	: 頂面
7 5 2	: 引き出し部
7 5 3	: 絶縁側壁
7 5 4	: 絶縁主面
7 5 5	: 第 1 有機絶縁層
7 5 6	: 第 2 有機絶縁層
7 5 7	: パッド領域
7 5 8	: 空間部
7 6 0	: 第 2 機能デバイス
7 6 6	: 第 1 内側領域
7 6 7	: 第 2 内側領域
7 6 8	: 第 1 保護層
7 6 9	: 第 2 保護層
7 7 0	: 第 2 配線
7 7 4	: プラグ部
7 7 5	: プラグ部

7 7 8	: 第 1 低電位パッド配線
7 7 9	: 第 1 配線
7 8 2	: 保護主面
7 8 3	: 保護側壁
7 8 4	: 有機絶縁層
7 8 5	: 貫通孔
7 8 6	: 高電位ダミーパターン
7 8 7	: 第 1 高電位ダミーパターン
7 8 8	: 第 2 高電位ダミーパターン
8 0 1	: 貫通孔
8 0 2	: 周縁部
8 0 3	: 貫通孔
8 0 4	: 引き出し部
8 1 1	: 外枠
8 1 2	: アイランド部
8 1 2 a	: 第 1 アイランド部
8 1 2 b	: 第 2 アイランド部
8 1 3	: 第 1 リード
8 1 3 a	: 第 1 中間リード
8 1 3 b	: 第 1 側リード
8 1 4	: 第 2 リード
8 1 4 a	: 第 2 中間リード
8 1 4 b	: 第 2 側リード
8 1 5	: 支持リード
8 1 5 a	: 第 1 支持リード
8 1 5 b	: 第 2 支持リード
8 1 6	: ダムバー
8 6 1	: 浮遊ダミーパターン

8 7 7	: 高電位パッド配線
8 7 8	: 凹凸構造
8 7 9	: 凹部
8 8 8	: 低電位端子開口
8 8 9	: 高電位端子開口
8 9 1	: 低電位パッド
8 9 2	: 高電位パッド
9 0 1	: 半導体チップ
9 0 2	: 第 1 主面
9 0 3	: 第 2 主面
9 0 4	: チップ側壁
9 0 5	: 第 1 絶縁部
9 0 6	: 絶縁主面
9 0 6 A	: 第 1 絶縁主面
9 0 6 B	: 第 2 絶縁主面
9 0 7	: 絶縁側壁
9 0 8	: 最下絶縁層
9 0 9	: 最上絶縁層
9 1 0	: 層間絶縁層
9 1 1	: 第 1 絶縁層
9 1 2	: 第 2 絶縁層
9 1 3	: 第 1 機能デバイス
9 1 4	: トランス
9 1 5	: 低電位コイル
9 1 6	: 高電位コイル
9 1 7	: 第 1 内側末端
9 1 8	: 第 1 外側末端
9 1 9	: 第 1 螺旋部

9 2 0	: 第 1 内側領域
9 2 1	: 第 2 内側末端
9 2 2	: 第 2 外側末端
9 2 3	: 第 2 螺旋部
9 2 4	: 第 2 内側領域
9 2 5	: 低電位端子
9 2 6	: 高電位端子
9 2 7	: 第 1 低電位配線
9 2 8	: 第 2 低電位配線
9 2 9	: 第 1 高電位配線
9 3 0	: 第 2 高電位配線
9 3 1	: 第 1 低電位パッド電極層
9 3 2	: 低電位接続配線
9 3 3	: 引き出し配線
9 3 4	: 第 1 接続プラグ電極
9 3 5	: 第 2 接続プラグ電極
9 3 7	: 高電位接続配線
9 3 8	: パッドプラグ電極
9 3 9	: ダミーパターン
9 4 0	: 高電位ダミーパターン
9 4 1	: 第 1 高電位ダミーパターン
9 4 2	: 第 2 高電位ダミーパターン
9 7 2	: 浮遊ダミーパターン
9 7 4	: 第 2 機能デバイス
9 7 5	: 第 2 絶縁部
9 7 6	: 第 1 無機絶縁層
9 7 7	: 第 2 無機絶縁層
9 7 8	: 低電位パッド開口

979	: 高電位パッド開口
980	: 貫通孔
981	: 保護層
982	: 第1部分
983	: 第2部分
984	: 低電位端子開口
985	: 高電位端子開口
986	: 開口
987	: マスク
988	: 空間部
989	: 開口
990	: マスク
991	: シール導体
992	: デバイス領域
993	: 外側領域
994	: シールプラグ導体
995	: シールビア導体
996	: 低電位パッド
997	: 高電位パッド
1001	: 半導体チップ
1002	: 第1主面
1003	: 第2主面
1004	: チップ側壁
1005	: 第1絶縁部
1006	: 絶縁主面
1007	: 絶縁側壁
1008	: 最下絶縁層
1009	: 最上絶縁層

1 0 1 0	: 層間絶縁層
1 0 1 1	: 絶縁主面
1 0 1 2	: 第 2 絶縁層
1 0 1 3	: 第 1 機能デバイス
1 0 1 4	: トランス
1 0 1 5	: 低電位コイル
1 0 1 6	: 高電位コイル
1 0 1 7	: 第 1 内側末端
1 0 1 8	: 第 1 外側末端
1 0 1 9	: 第 1 螺旋部
1 0 2 0	: 第 1 内側領域
1 0 2 1	: 第 2 内側末端
1 0 2 2	: 第 2 外側末端
1 0 2 3	: 第 2 螺旋部
1 0 2 4	: 第 2 内側領域
1 0 2 5	: 低電位端子
1 0 2 6	: 高電位端子
1 0 2 7	: 第 1 低電位配線
1 0 2 8	: 第 2 低電位配線
1 0 2 9	: 第 1 高電位配線
1 0 3 0	: 第 2 高電位配線
1 0 3 1	: 貫通配線
1 0 3 2	: 低電位接続配線
1 0 3 3	: 引き出し配線
1 0 3 4	: 第 1 接続プラグ電極
1 0 3 5	: 第 2 接続プラグ電極
1 0 3 6	: パッドプラグ電極
1 0 3 8	: 第 1 電極層

1 0 3 9	: 第 2 電極層
1 0 4 0	: 配線プラグ電極
1 0 4 1	: 高電位接続配線
1 0 4 2	: パッドプラグ電極
1 0 4 3	: ダミーパターン
1 0 4 4	: 高電位ダミーパターン
1 0 4 5	: 第 1 高電位ダミーパターン
1 0 4 6	: 第 2 高電位ダミーパターン
1 0 7 6	: 浮遊ダミーパターン
1 0 7 8	: デバイス領域
1 0 7 9	: 第 2 機能デバイス
1 0 8 0	: シール導体
1 0 8 1	: 外側領域
1 0 8 2	: シールプラグ導体
1 0 8 3	: シールビア導体
1 0 8 4	: 第 2 絶縁部
1 0 8 5	: 第 1 無機絶縁層
1 0 8 6	: 第 2 無機絶縁層
1 0 8 7	: 低電位パッド開口
1 0 8 8	: 高電位パッド開口
1 0 8 9	: 保護層
1 0 9 0	: 第 1 部分
1 0 9 1	: 第 2 部分
1 0 9 2	: 低電位端子開口
1 0 9 3	: 高電位端子開口
1 0 9 4	: 凹部
1 0 9 5	: 底部
1 0 9 6	: 側部

1 0 9 7	: 交差頂点
1 0 9 8	: 第 1 下地層
1 0 9 9	: 第 1 本体部
1 1 0 0	: 第 2 絶縁部
1 1 0 1	: 絶縁主面
1 1 0 3	: 有機絶縁層
1 1 0 4	: 第 1 低電位パッド配線
1 1 0 5	: 突出部
1 1 0 6	: 底面
1 1 0 7	: 側面
1 1 0 8	: 上面
1 1 0 9	: 角部
1 1 1 0	: 上部角部
1 1 1 1	: 下部角部
1 1 1 2	: 第 2 下地層
1 1 1 3	: 第 2 本体部
1 1 1 4	: 下面
1 1 1 5	: 上面
1 1 1 6	: 側面
1 1 1 7	: 上部角部
1 1 1 8	: 下部角部
1 1 1 9	: 隙間
1 1 2 0	: シード層
1 1 2 1	: レジスト膜
1 1 2 2	: 開口
1 1 2 3	: 突出部
1 1 2 4	: 隙間
1 1 3 0	: 低電位パッド

1 1 3 1	: 高電位パッド
1 1 3 5	: 第 1 領域
1 1 3 6	: 第 2 領域
2 0 0 0	: キャパシタ
2 0 0 1	: 下部電極
2 0 0 2	: 上部電極
2 0 0 3	: 低電位コイル
2 0 0 4	: 第 1 低電位コイル
2 0 0 5	: 第 2 低電位コイル
2 0 0 6	: 隙間

請求の範囲

- [請求項1] 主面を有する半導体層と、
前記半導体層の前記主面上に形成された第1導電層と、
前記第1導電層を覆うように前記半導体層の前記主面上に形成され、少なくとも3層以上の第1絶縁層を含む第1絶縁部と、
前記第1絶縁部上に形成され、前記第1絶縁層とは異なる誘電率を有し、前記第1絶縁部には含まれない第2絶縁層を含む第2絶縁部と、
前記第2絶縁部上に形成され、前記第1絶縁部および前記第2絶縁部を介して前記第1導電層に対向し、前記第1導電層とは異なる電位に接続される第2導電層とを含む、半導体装置。
- [請求項2] 前記第1絶縁層は、第1無機絶縁層を含み、
前記第2絶縁層は、有機絶縁層を含む、請求項1に記載の半導体装置。
- [請求項3] 前記第1絶縁部は、各前記第1無機絶縁層上に積層された第2無機絶縁層をさらに含む、請求項2に記載の半導体装置。
- [請求項4] 前記第1無機絶縁層は、引張応力膜を含み、
前記第2無機絶縁層は、圧縮応力膜を含む、請求項3に記載の半導体装置。
- [請求項5] 前記圧縮応力膜および前記引張応力膜は、交互に積層されている、請求項4に記載の半導体装置。
- [請求項6] 前記引張応力膜は、窒化シリコン膜を含み、
前記圧縮応力膜は、酸化シリコン膜を含む、請求項4または5に記載の半導体装置。
- [請求項7] 主面を有する半導体層と、
前記半導体層の前記主面上に形成された第1導電層と、
前記第1導電層を覆うように前記半導体層の前記主面上に形成され、少なくとも第1無機絶縁層および第2無機絶縁層の積層構造を複数

含む第1絶縁部と、

前記第1絶縁部上に形成され、有機絶縁層を含む第2絶縁部と、

前記第2絶縁部上に形成され、前記第1絶縁部および前記第2絶縁部を介して前記第1導電層に対向し、前記第1導電層とは異なる電位に接続される第2導電層とを含む、半導体装置。

[請求項8] 前記第1無機絶縁層は、窒化シリコン膜を含み、

前記第2無機絶縁層は、酸化シリコン膜を含む、請求項7に記載の半導体装置。

[請求項9] 前記有機絶縁層は、ポリイミド膜、フェノール樹脂膜およびエポキシ樹脂膜の少なくとも1つを含む、請求項2～8のいずれか一項に記載の半導体装置。

[請求項10] 前記第2絶縁部は、前記有機絶縁層の単一層で形成されている、請求項2～9のいずれか一項に記載の半導体装置。

[請求項11] 前記第1絶縁部は、 $5\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下の厚さを有し、
前記第2絶縁部は、 $2\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下の厚さを有している、
請求項1～10のいずれか一項に記載の半導体装置。

[請求項12] 主面を有する半導体層と、
前記半導体層の前記主面上に形成された第1導電層と、
前記第1導電層を覆うように前記半導体層の前記主面上に形成され、
少なくとも酸化シリコン膜を含む $5\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下の厚さを有する第1絶縁部と、

前記第1絶縁部上に形成され、前記酸化シリコン膜とは異なる誘電率を有し、前記第1絶縁部には含まれない第2絶縁層を含む第2絶縁部と、

前記第2絶縁部上に形成され、前記第1絶縁部および前記第2絶縁部を介して前記第1導電層に対向し、前記第1導電層とは異なる電位に接続される第2導電層とを含む、半導体装置。

[請求項13] 前記第1絶縁部上に形成され、前記第1導電層に電氣的に接続され

た第1パッドと、

前記第2絶縁部上に形成され、前記第2導電層に電氣的に接続された第2パッドとを含む、請求項1～12のいずれか一項に記載の半導体装置。

[請求項14] 前記第1導電層に接続され、前記第1導電層から、前記第1絶縁部における前記第2絶縁部との境界部まで延びる第1通電部材と、

前記第1通電部材に接続され、前記第1通電部材から前記第2絶縁部上まで延びる第2通電部材と、

前記第2導電層を覆うように前記第2絶縁部上に形成され、前記第2通電部材の一部を前記第1パッドとして露出させる第1開口を有する保護層とを含む、請求項13に記載の半導体装置。

[請求項15] 前記保護層は、前記第2導電層を覆う第1保護層と、前記第1保護層上に形成され、前記第1開口を有する第2保護層とを含み、

前記第2通電部材は、前記第1通電部材から前記第1保護層上の領域まで延びている、請求項14に記載の半導体装置。

[請求項16] 前記第2絶縁部は、前記第2通電部材が埋め込まれた第1貫通孔を有し、

前記第2通電部材は、平面視において前記第1貫通孔から前記第1貫通孔に重ならない領域に引き出された引き出し部とを含み、

前記第1パッドは、前記引き出し部の一部で形成されている、請求項14または15に記載の半導体装置。

[請求項17] 前記第1導電層に接続され、前記第1導電層から、前記第1絶縁部における前記第2絶縁部との境界部まで延びる第1通電部材と、

前記第2導電層を覆うように前記第2絶縁部上に形成された保護層とを含み、

前記保護層および前記第2絶縁部には、前記第1通電部材の一部を前記第1パッドとして露出させる第1開口が形成されている、請求項13に記載の半導体装置。

- [請求項18] 前記第2導電層に接続され、前記第2絶縁部上に形成された第3通電部材を含み、
前記保護層は、前記第3通電部材の一部を前記第2パッドとして露出させる第2開口を有しており、
前記第1開口と前記第2開口との間の前記保護層の部分に形成された凹部をさらに含む、請求項14～17のいずれか一項に記載の半導体装置。
- [請求項19] 前記第1通電部材は、前記半導体層を介してグランド電位に接続されている、請求項14～18のいずれか一項に記載の半導体装置。
- [請求項20] 前記第1導電層を取り囲むように前記第1絶縁部内に形成されたシール導体を含む、請求項1～19のいずれか一項に記載の半導体装置。
- [請求項21] 前記第1導電層は、第1電位に接続された低電位層を含み、
前記第2導電層は、前記第1電位よりも高い第2電位に接続された高電位層を含み、
前記高電位層の周囲に形成され、前記高電位層の周囲の電界を遮蔽するダミーパターンを含む、請求項1～20のいずれか一項に記載の半導体装置。
- [請求項22] 前記第1導電層は、第1コイルを含み、
前記第2導電層は、第2コイルを含む、請求項1～21のいずれか一項に記載の半導体装置。
- [請求項23] ダイパッドと、
前記ダイパッド上に搭載された請求項22に記載の半導体装置と、
前記ダイパッドおよび前記半導体装置を封止するパッケージ本体と、
前記半導体装置に電氣的に接続され、前記パッケージ本体から露出するリード端子とを含む、半導体モジュール。
- [請求項24] 前記半導体装置は、前記第1コイルおよび前記第2コイルとの間に

絶縁状態で信号を送る信号伝送用の絶縁素子を含み、

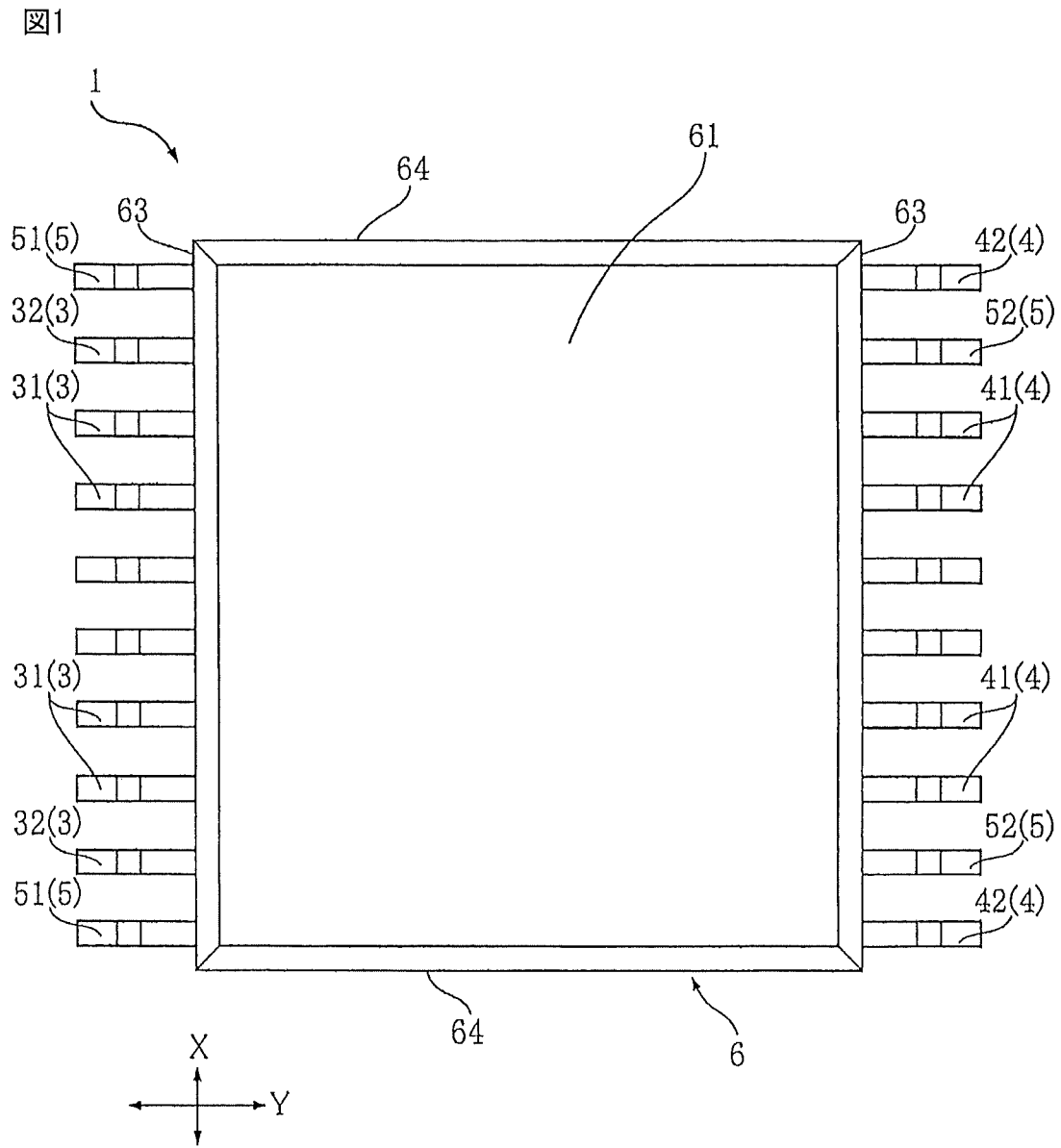
前記絶縁素子に電氣的に接続された第2半導体装置をさらに含む、
請求項23に記載の半導体モジュール。

[請求項25] 前記第2半導体装置は、前記第1コイルおよび前記第2コイルの一方に電氣的に接続された制御素子と、前記第1コイルおよび前記第2コイルの他方に電氣的に接続された駆動素子とを含む、請求項24に記載の半導体モジュール。

[請求項26] 請求項25に記載の半導体モジュールを含み、
前記駆動素子によってモータの駆動制御を行う、モータ駆動装置。

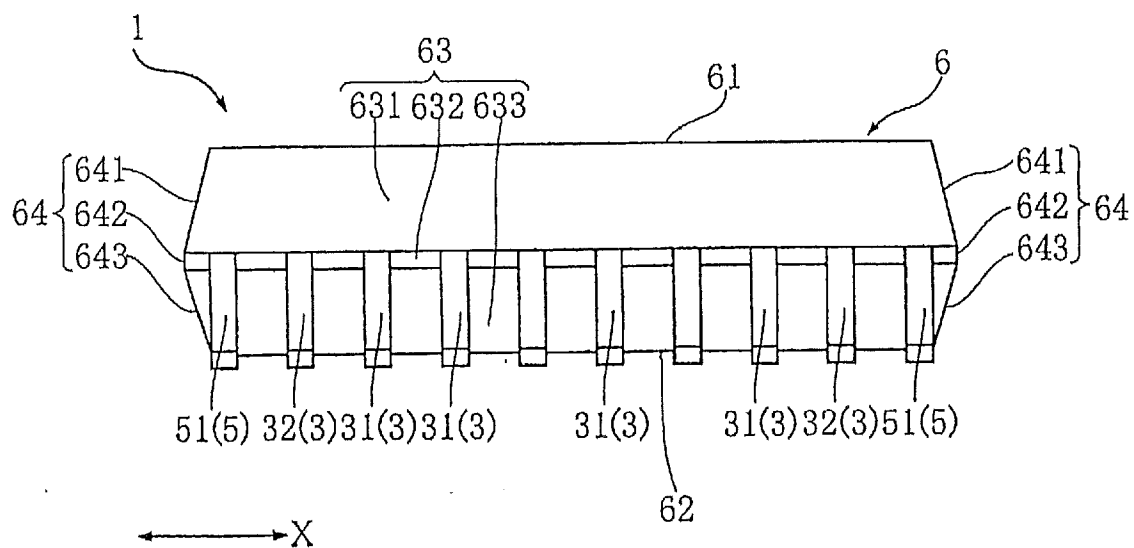
[請求項27] 請求項26に記載のモータ駆動装置を有する、車両。

[図1]



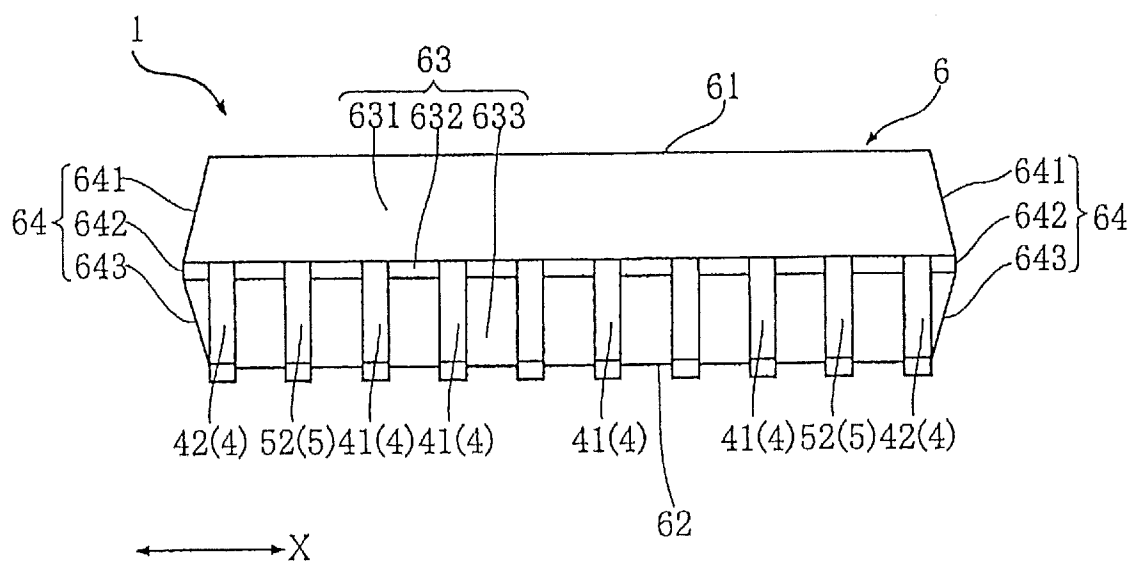
[図3]

図3



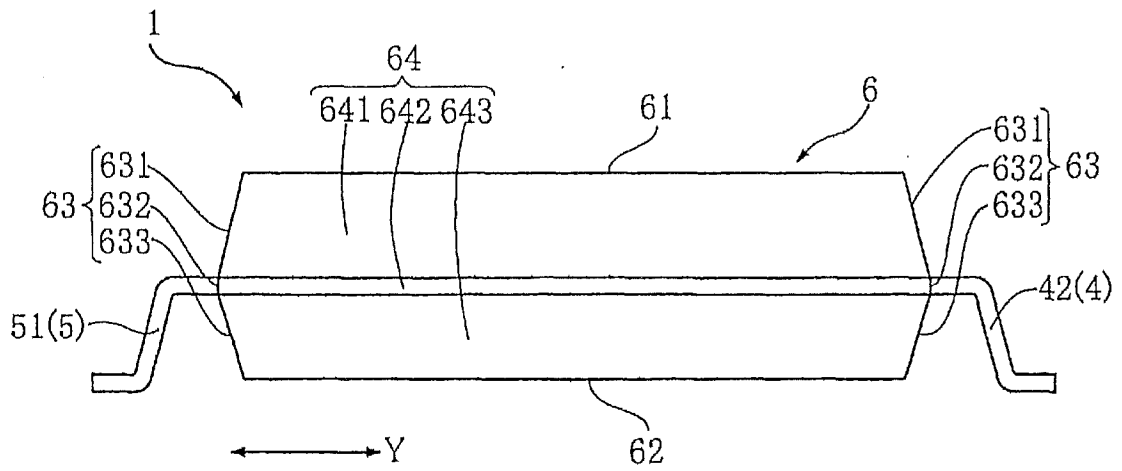
[図4]

図4



[図5]

図5



[図6]

図6

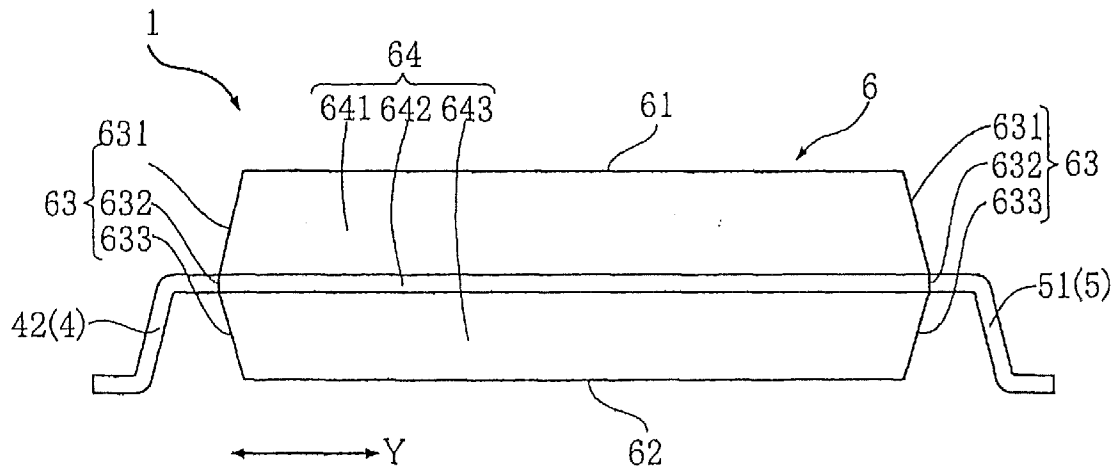
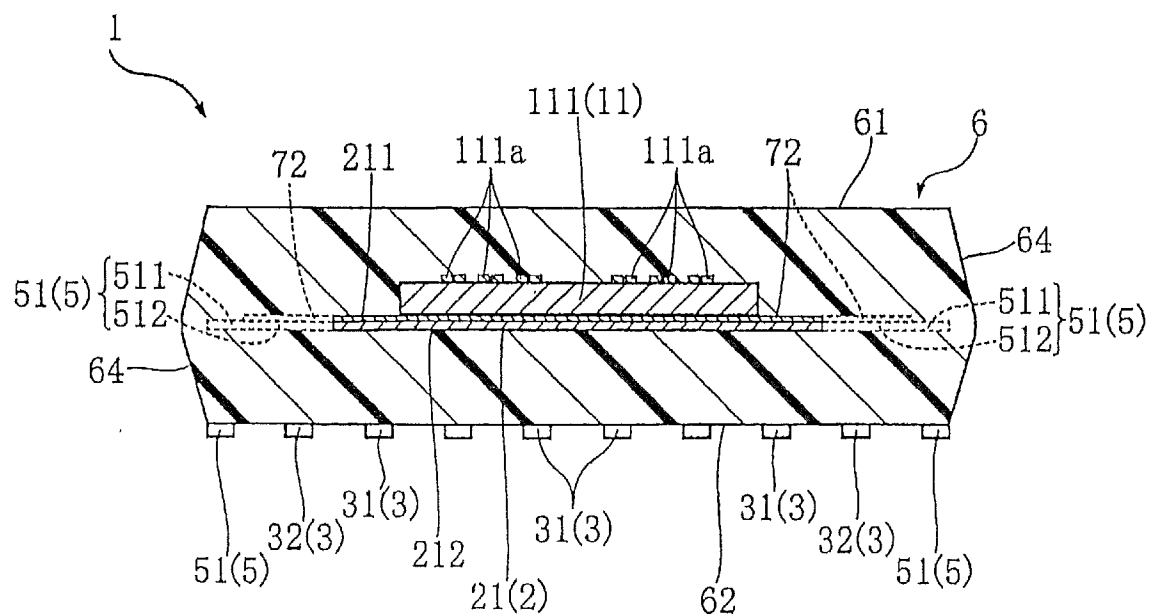
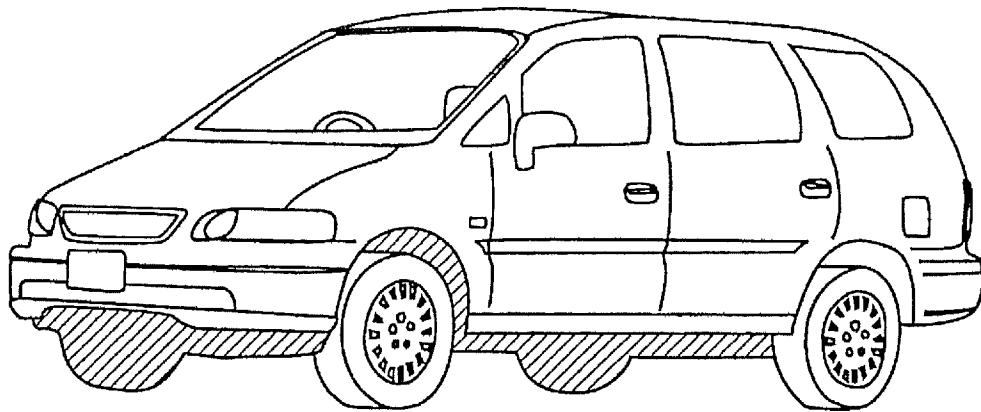


图7

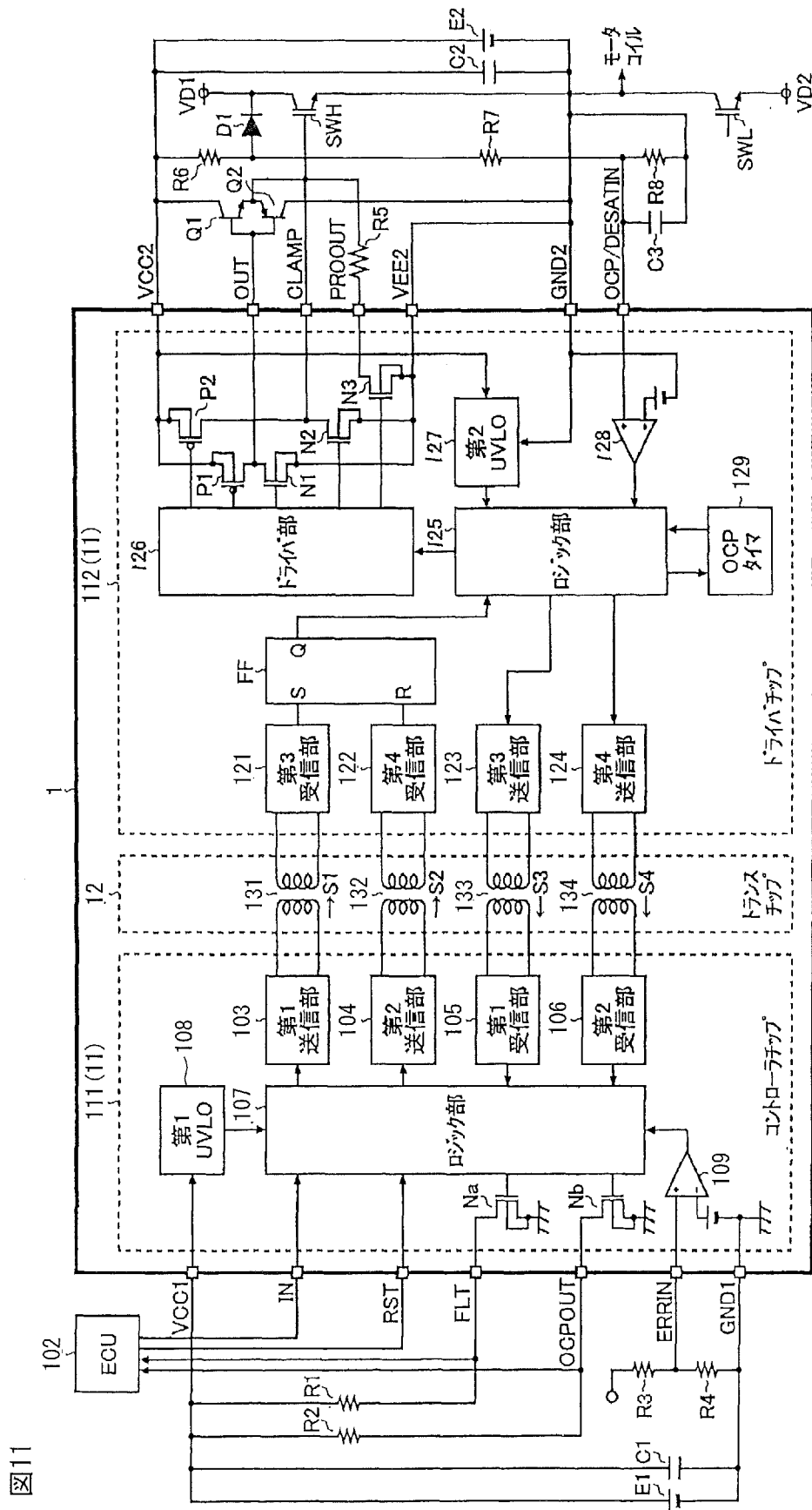


[図10]

図10

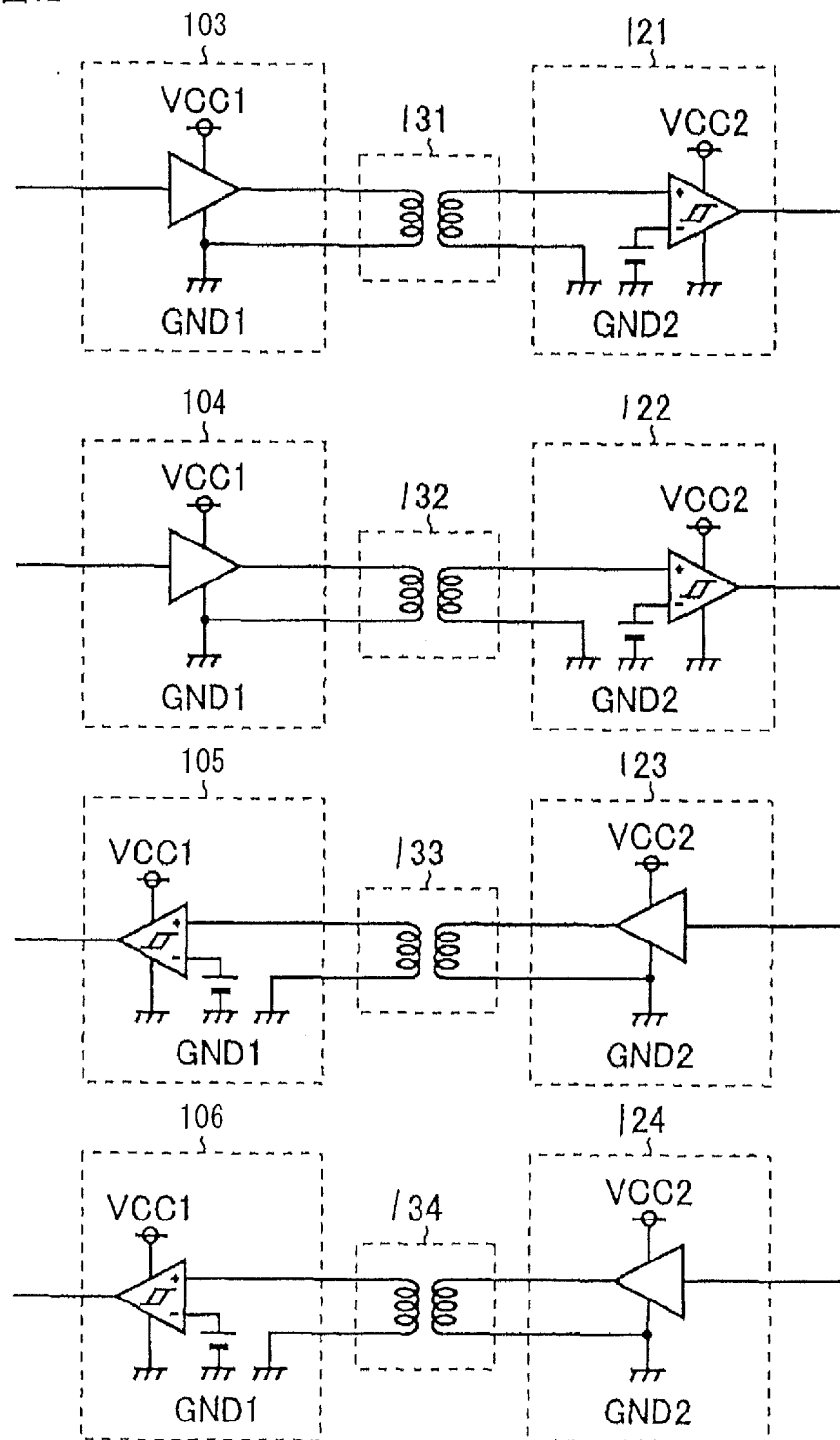
100

[図11]



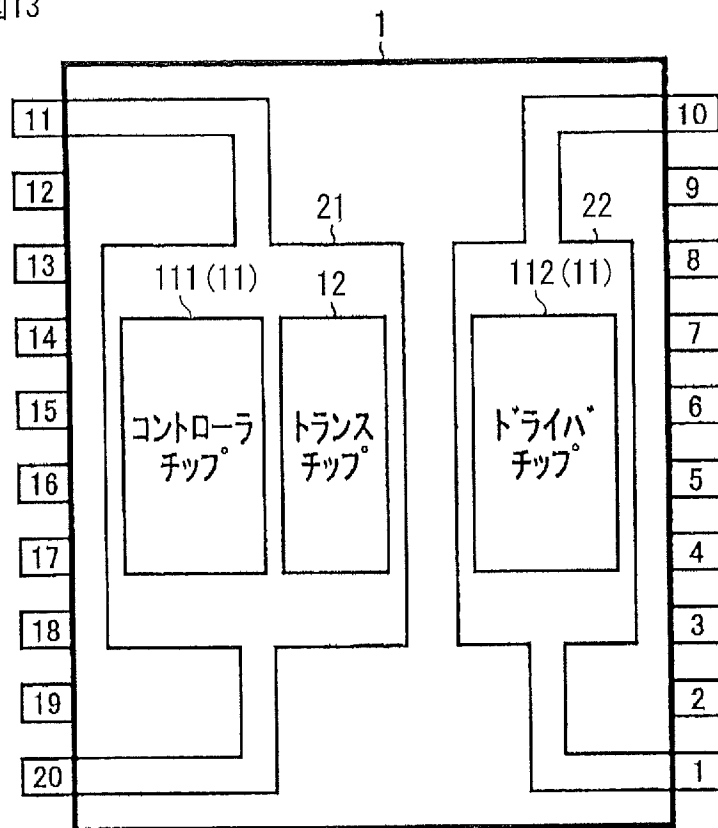
[図12]

図12



[図13]

図13



[図14]

図14

端子番号	端子名	端子番号	端子名
1	NC	11	GND1
2	VEE2	12	IN
3	GND2	13	RST
4	OCP/DESATIN	14	FLT
5	OUT	15	OCPOUT
6	VCC2	16	ERRIN
7	CLAMP	17	VCC1
8	PROOUT	18	NC
9	VEE2	19	NC
10	NC	20	GND1

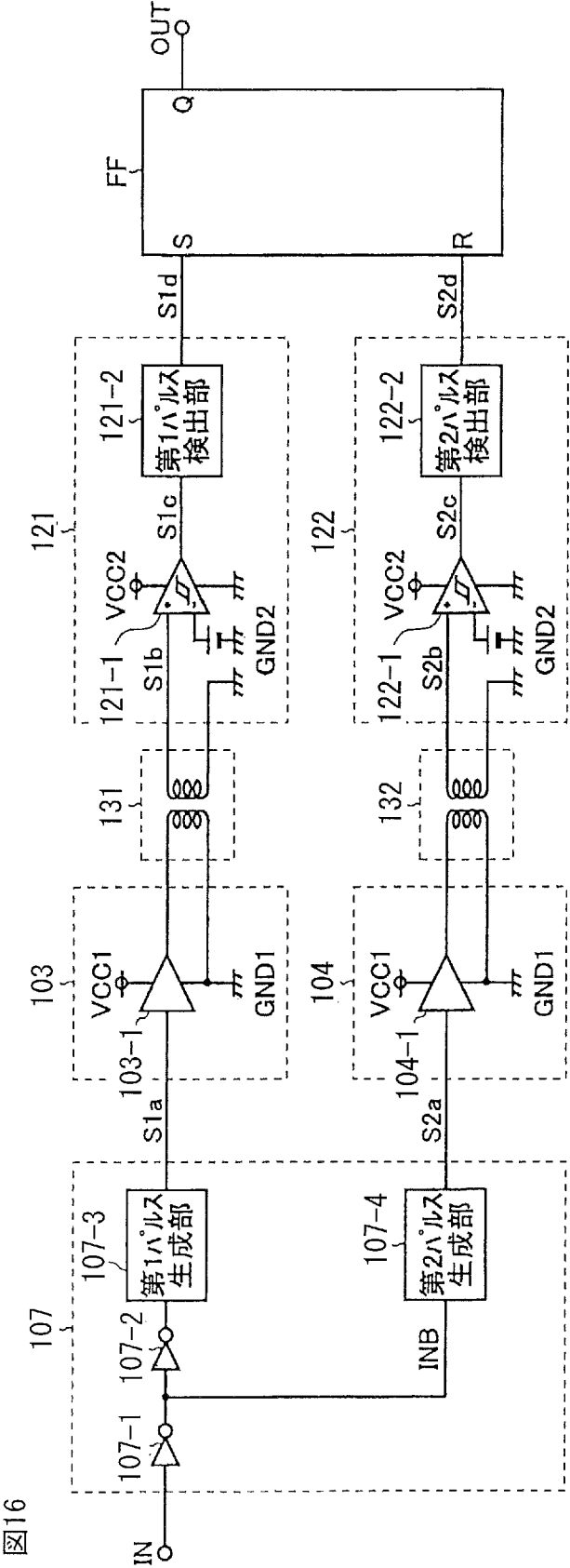
※NC:Non Connection

[図15]

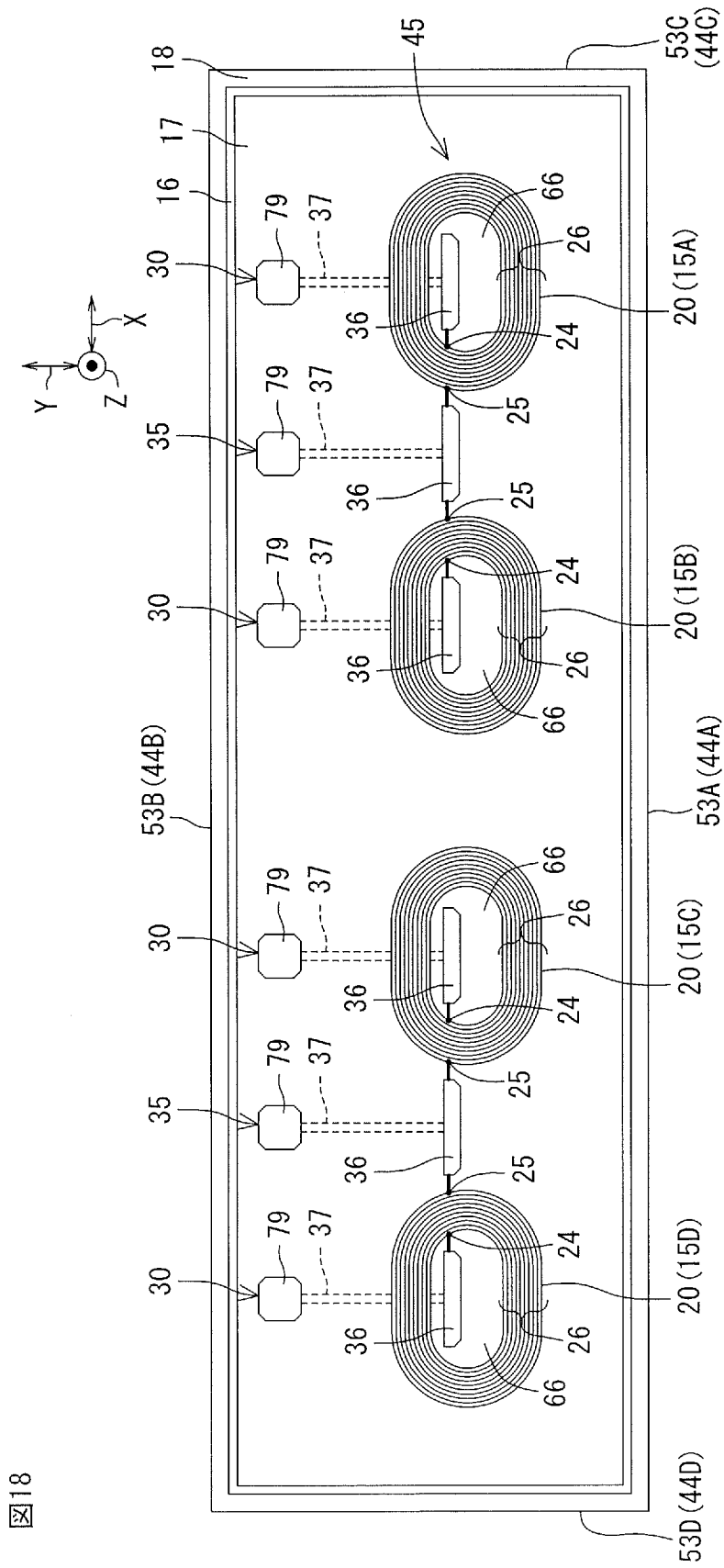
図15

項目	記号	規格値	単位	条件
全体				
入力側回路電流	I_{CC1}	0.65	mA	
出力側回路電流	I_{CC2}	1.8	mA	
ロジック				
ロジックHレベル入力電圧	V_{INH}	3.5-5.5	V	
ロジックLレベル入力電圧	V_{INL}	0-1.5	V	
ロジックHレベル入力電流	I_{INH}	100	μA	入力=5V
ロジックLレベル入力電流	I_{INL}	0	μA	入力=0V
オープントレイン出力L電圧	V_{ODL}	0.18	V	入力電流=5mA
出力				
出力ソース側オン抵抗	R_{ONOUTH}	3.6	Ω	$I_{OUT}=-100mA$
出力シンク側オン抵抗	R_{ONOUTL}	1.8	Ω	$I_{OUT}=100mA$
CLAMPソース側オン抵抗	$R_{ONCLAMPH}$	2.8	Ω	$I_{CLAMP}=-100mA$
CLAMPシンク側オン抵抗	$R_{ONCLAMPL}$	1.5	Ω	$I_{CLAMP}=100mA$
CLAMP H参照電圧	V_{CLAMPH}	2.0	V	
CLAMP L参照電圧	V_{CLAMPL}	2.0	V	
PROOUTオン抵抗	$R_{ONPROOUTL}$	1.5	Ω	$I_{PROOUT}=100mA$
Tum ON Time	t_{PON}	60	ns	
Tum OFF Time	t_{POFF}	60	ns	
Propagation distortion	t_{PDIST}	0	ns	
Rise Time	t_{RISE}	30	ns	
Fall Time	t_{FALL}	30	ns	
保護機能				
入力側UVLO OFF電圧	V_{UVLO1H}	4.0	V	
入力側UVLO ON電圧	V_{UVLO1L}	3.8	V	
出力側UVLO OFF電圧	V_{UVLO2H}	12.0	V	
出力側UVLO ON電圧	V_{UVLO2L}	11.0	V	
Watchdog timer マスク時間	t_{WDMASK}	10	μs	
過電流検出電圧	V_{OCDDET}	4	V	
過電流保護自動復帰時間	T_{OCPRLS}	10	ms	
ERR検出電圧	V_{ERRDET}	1.2	V	
ERR検出ヒステリシス	V_{ERRHYS}	0.10	V	

[図16]

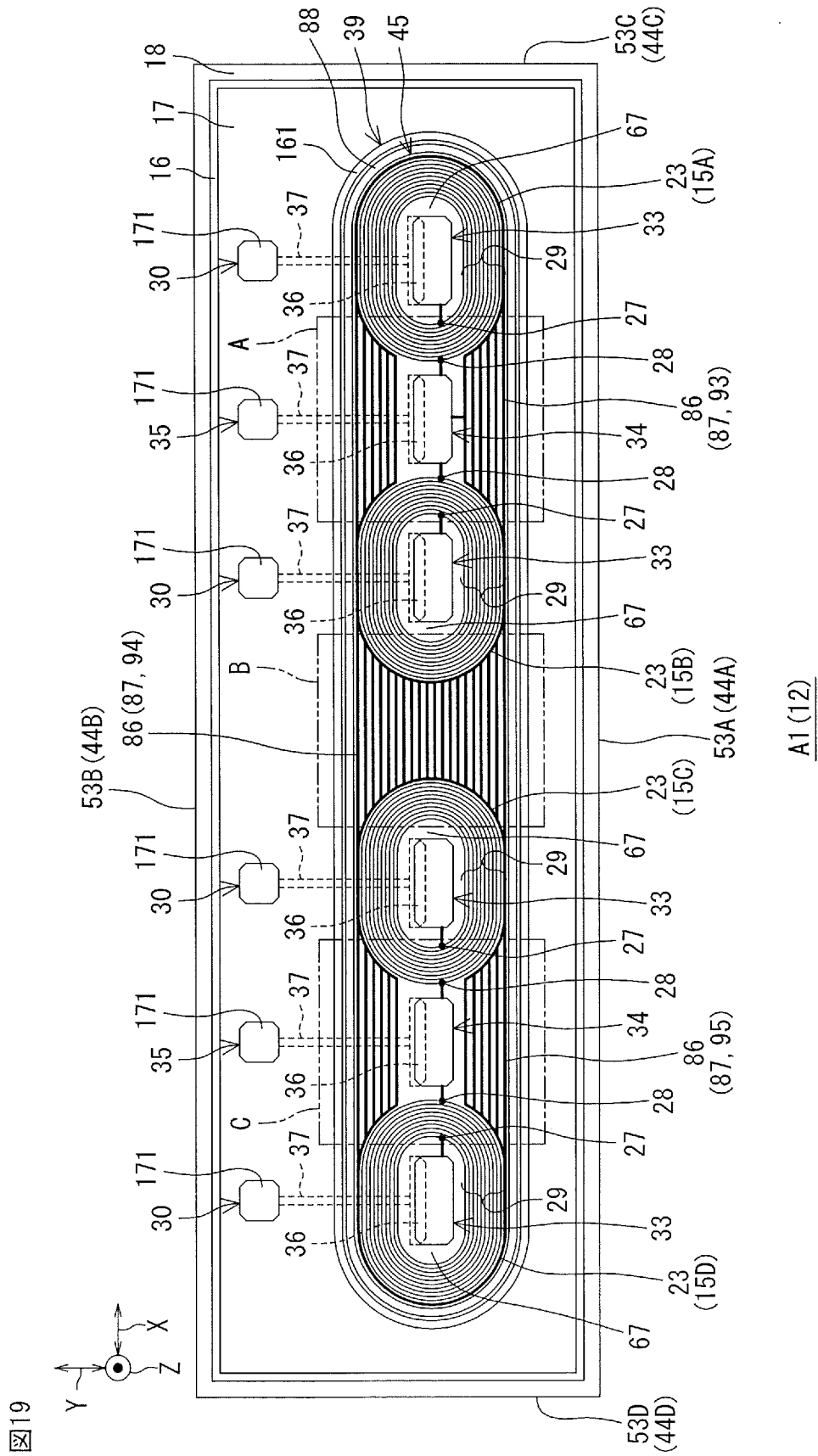


[図18]

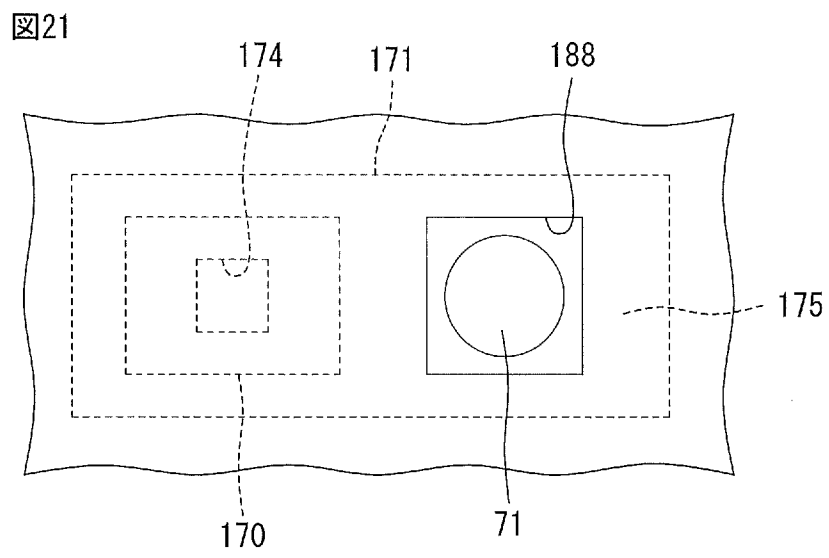


A1(12)

[図19]

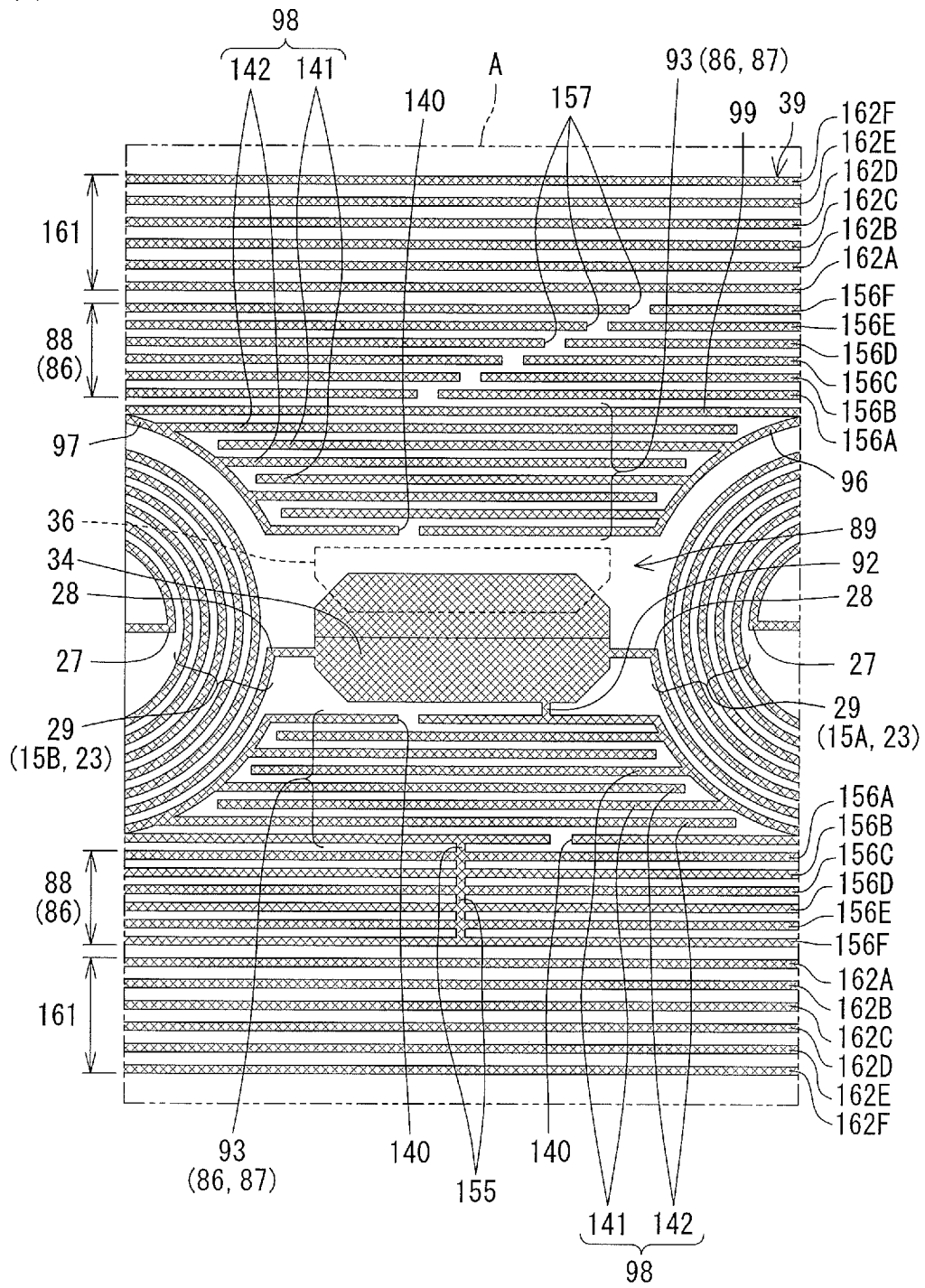


[図21]



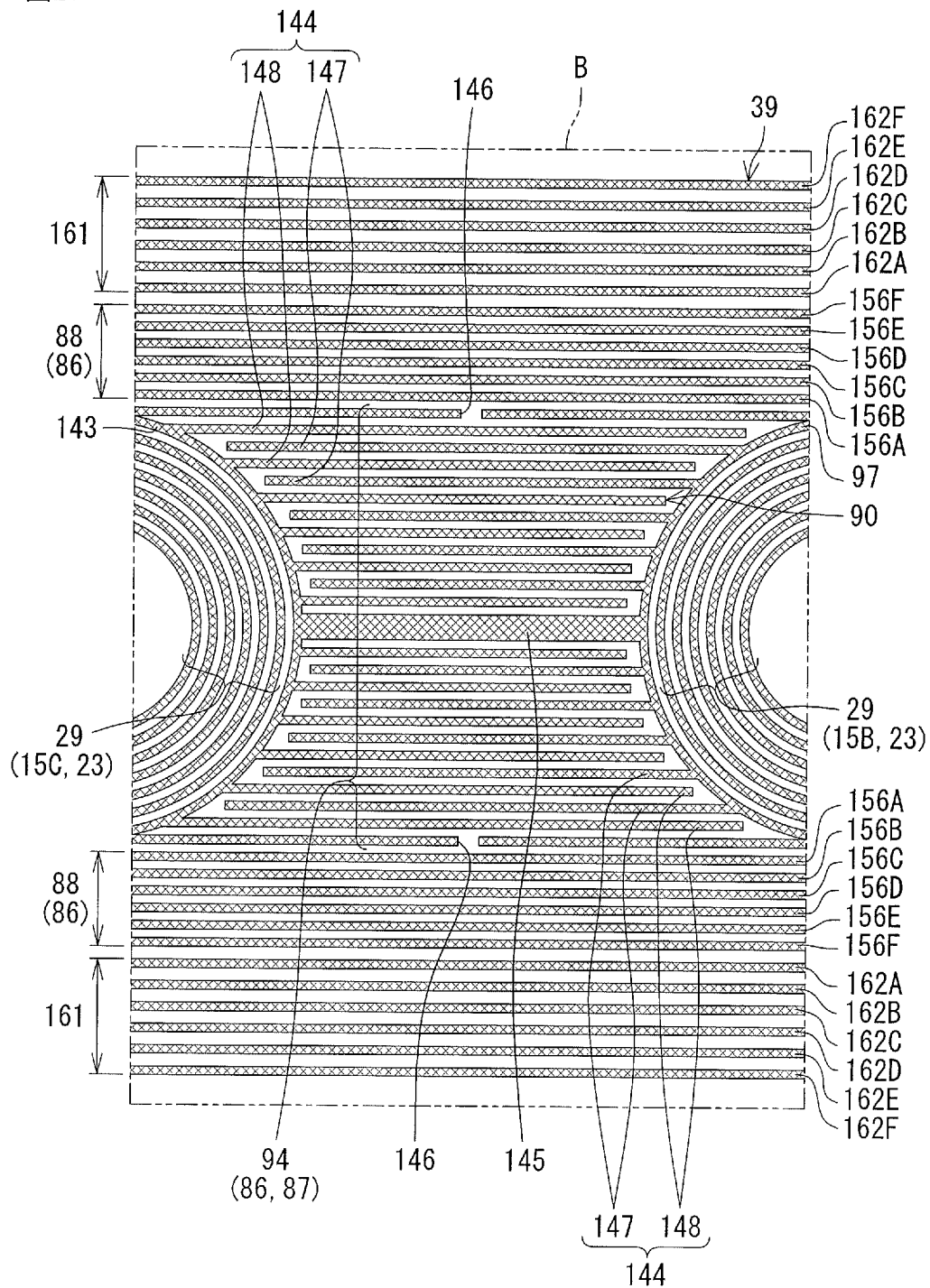
[図22]

図22



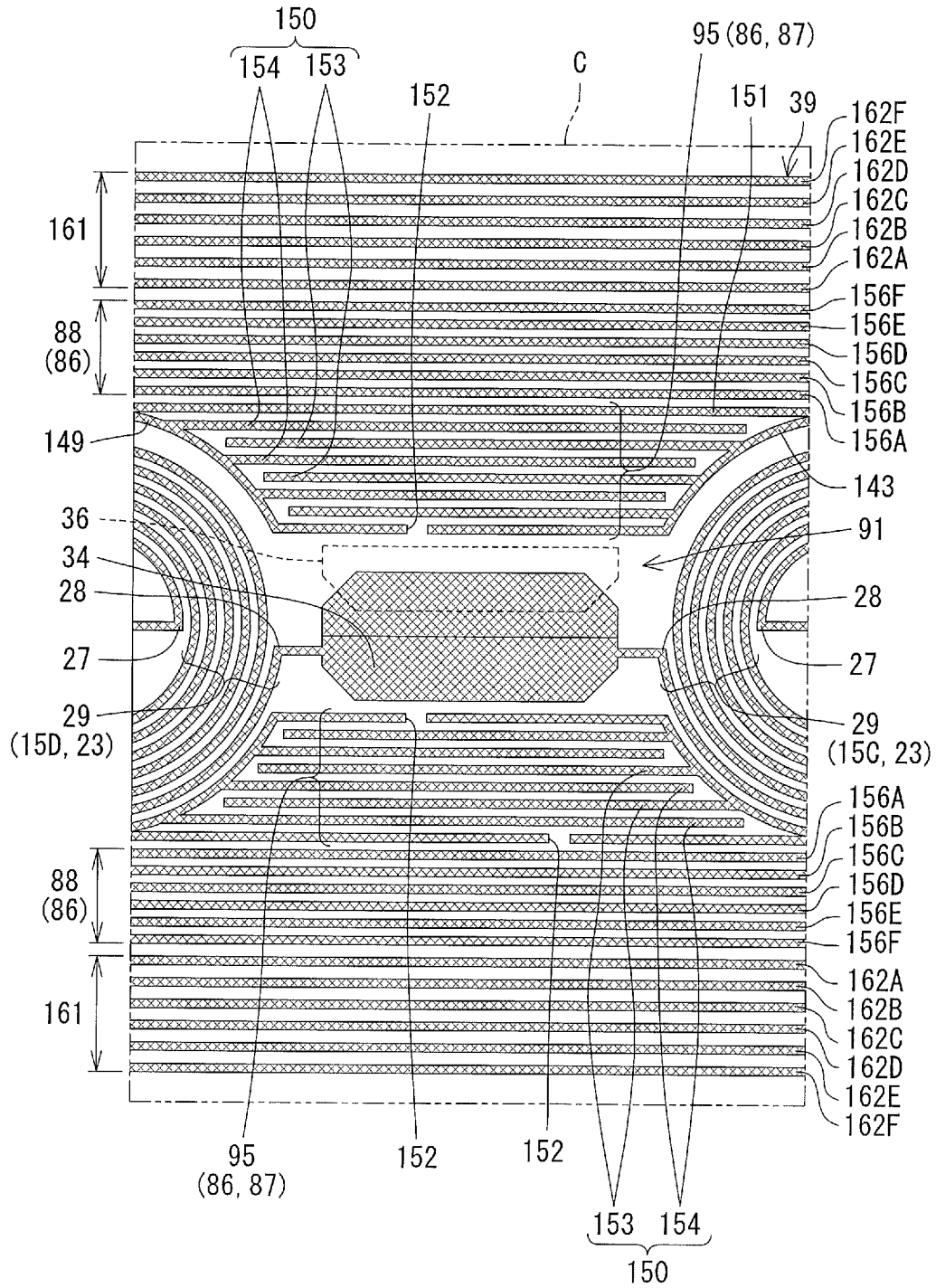
[図23]

図23



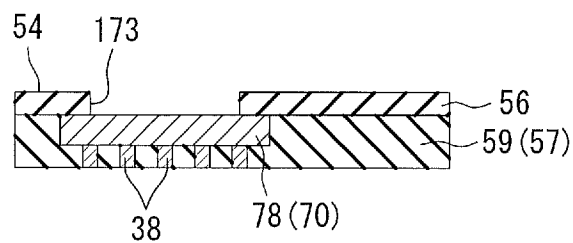
[図24]

図24



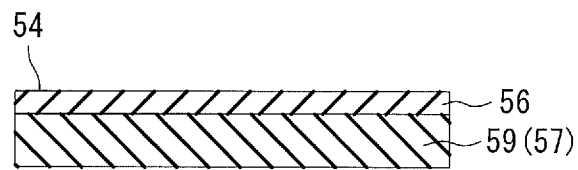
[図25A]

図25A



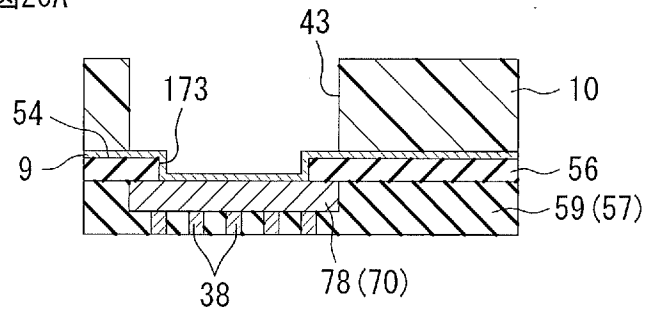
[図25B]

図25B



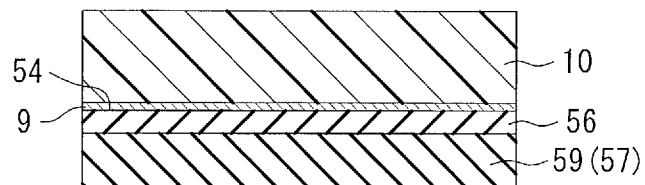
[図26A]

図26A



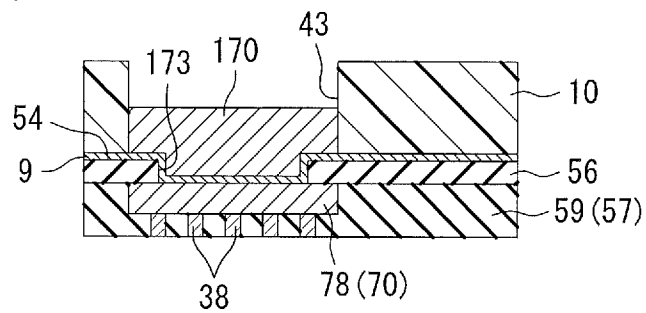
[図26B]

図26B



[図27A]

図27A



[図27B]

図27B

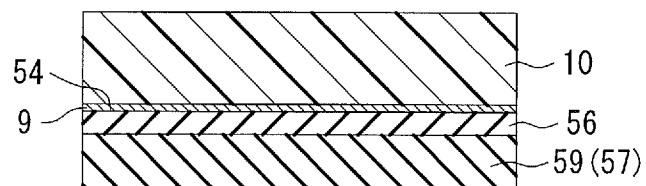


図28A

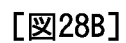


图 28B

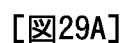


图29A

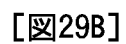


図29B

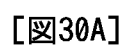
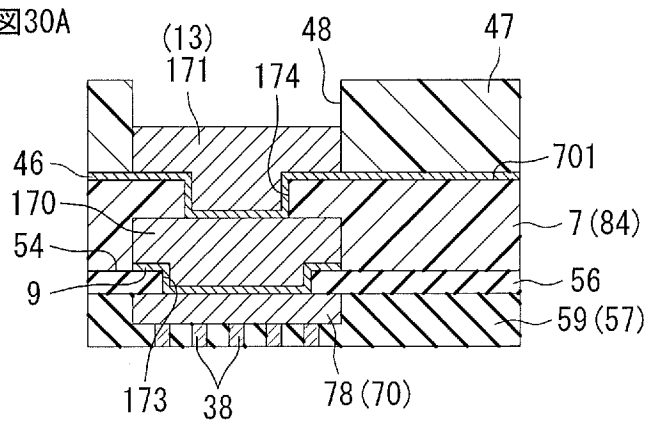
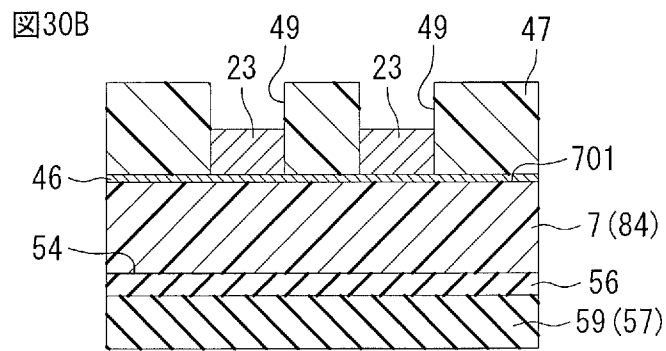


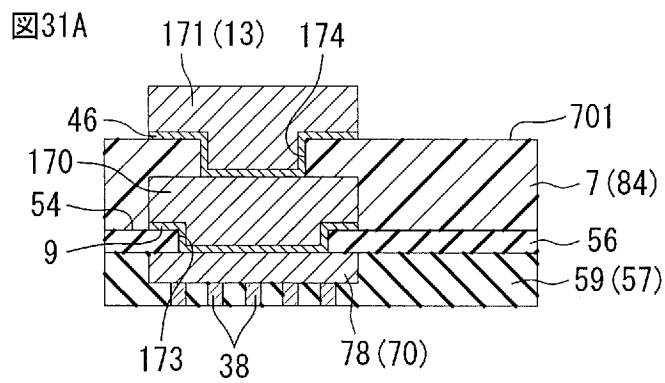
図30A



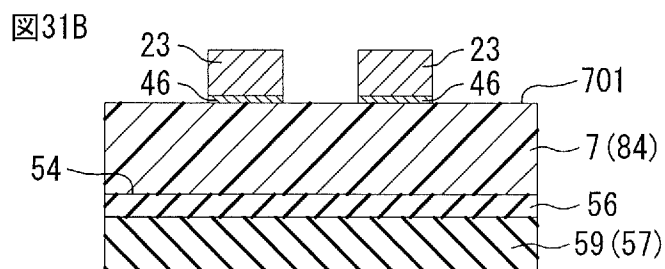
[図30B]



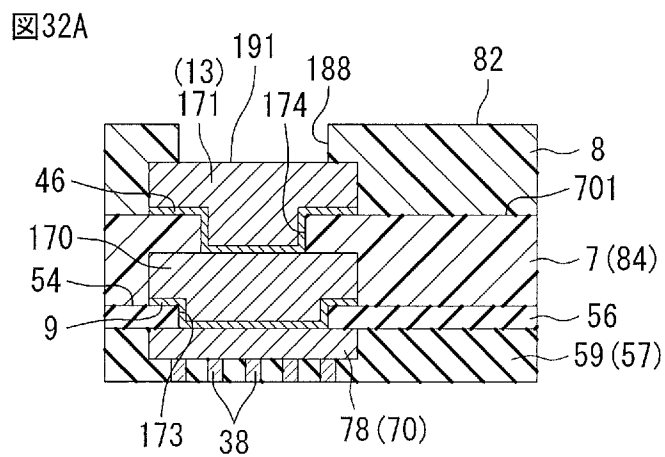
[図31A]



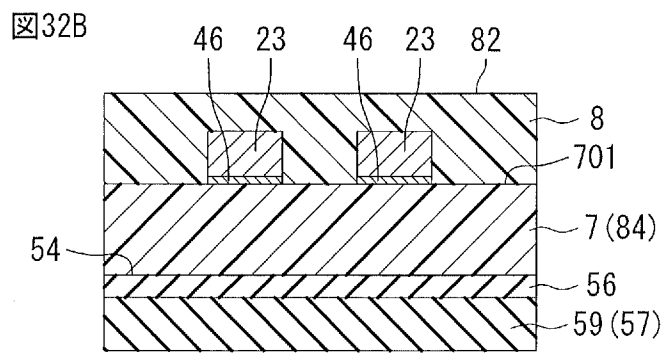
[図31B]



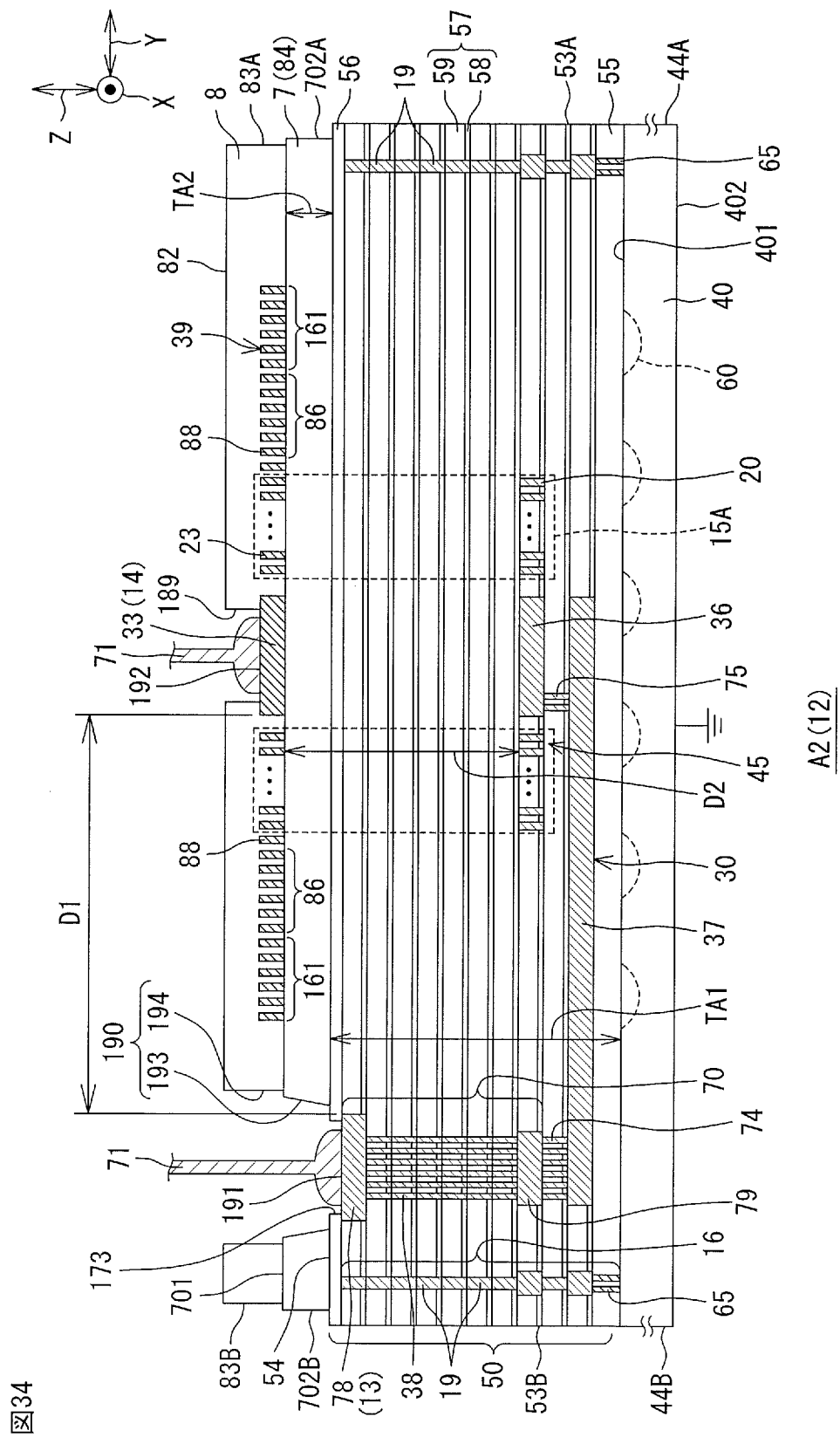
[図32A]



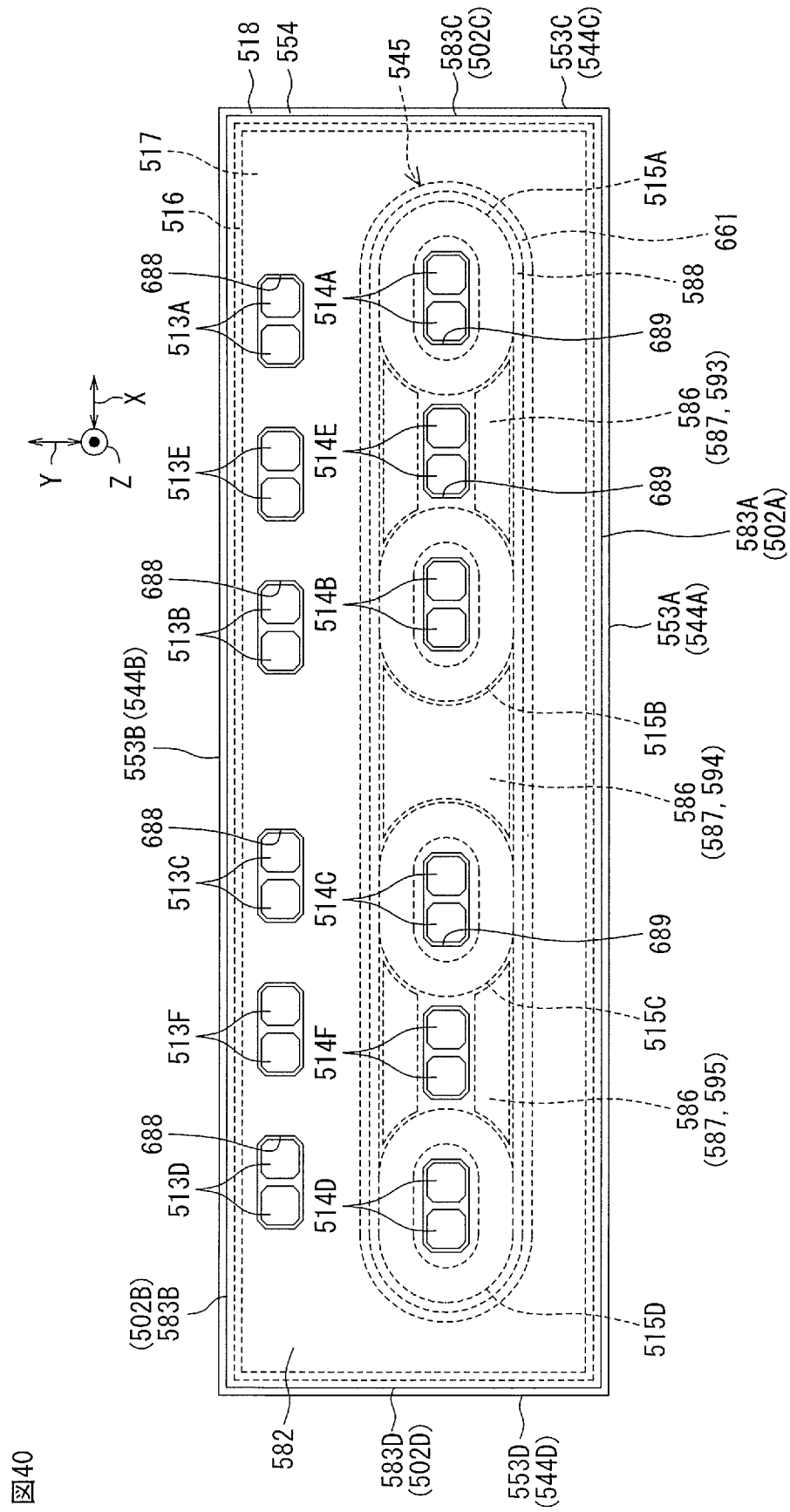
[図32B]



[図34]

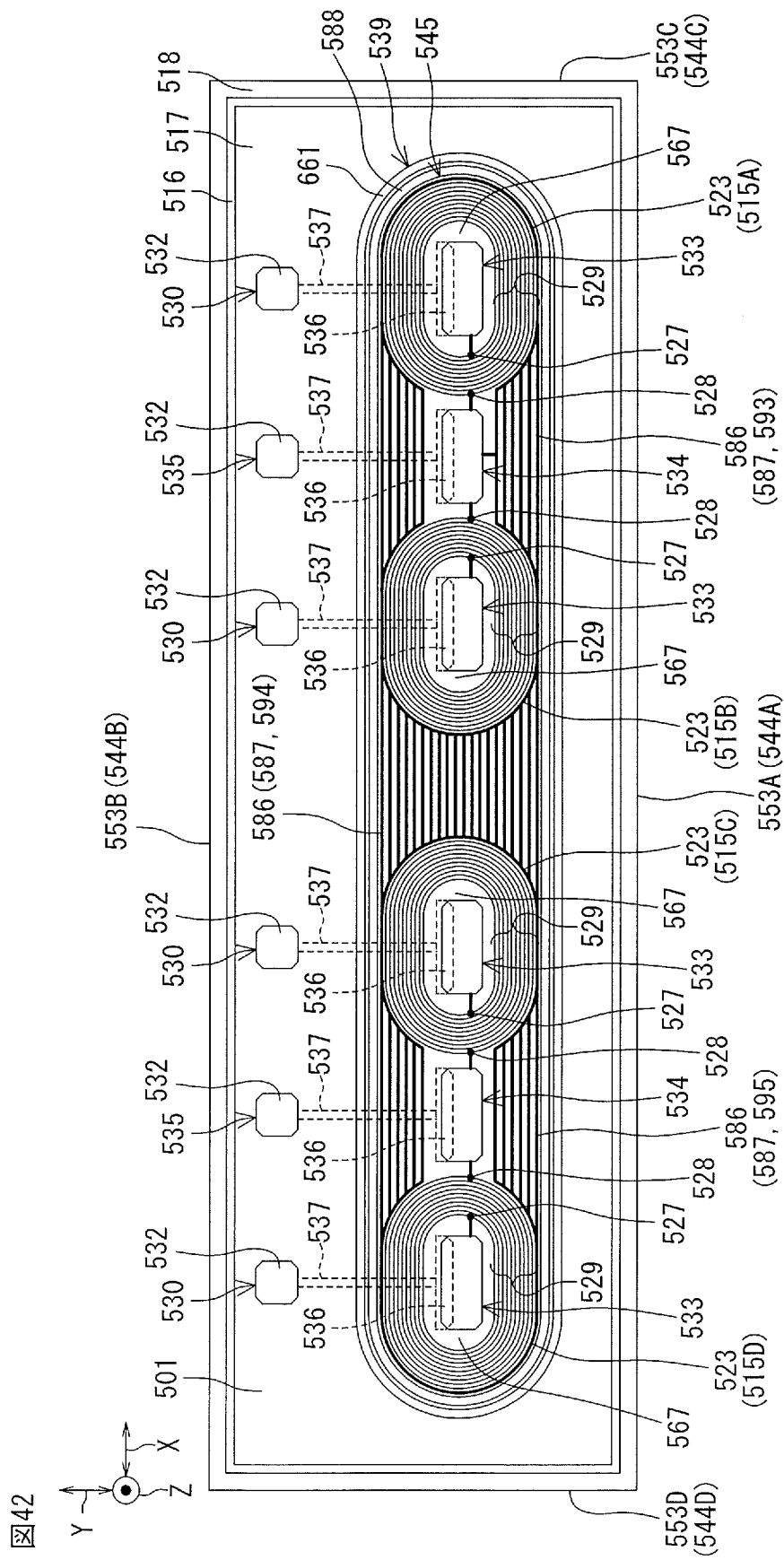


[図40]



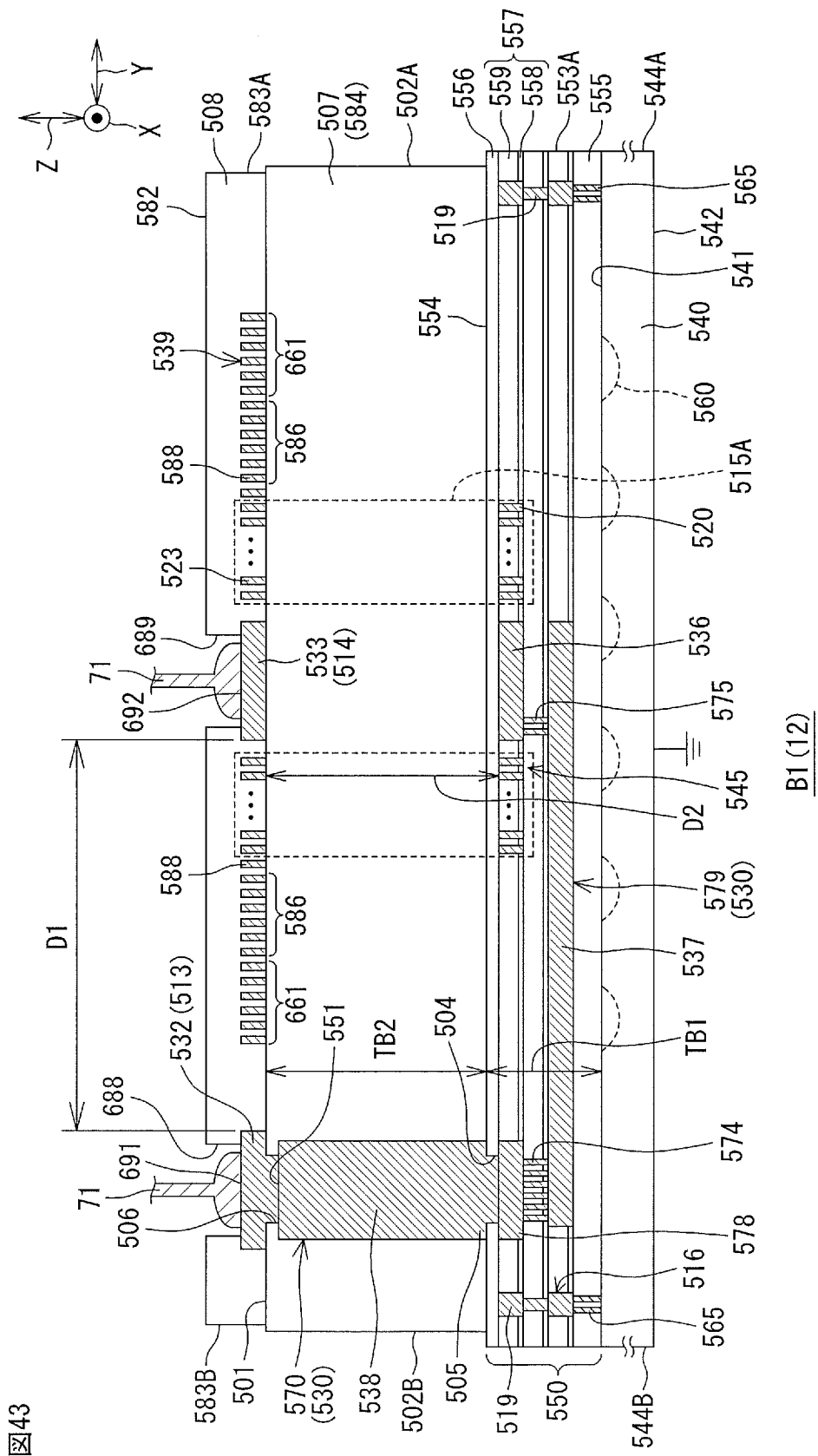
B1 (12)

[図42]

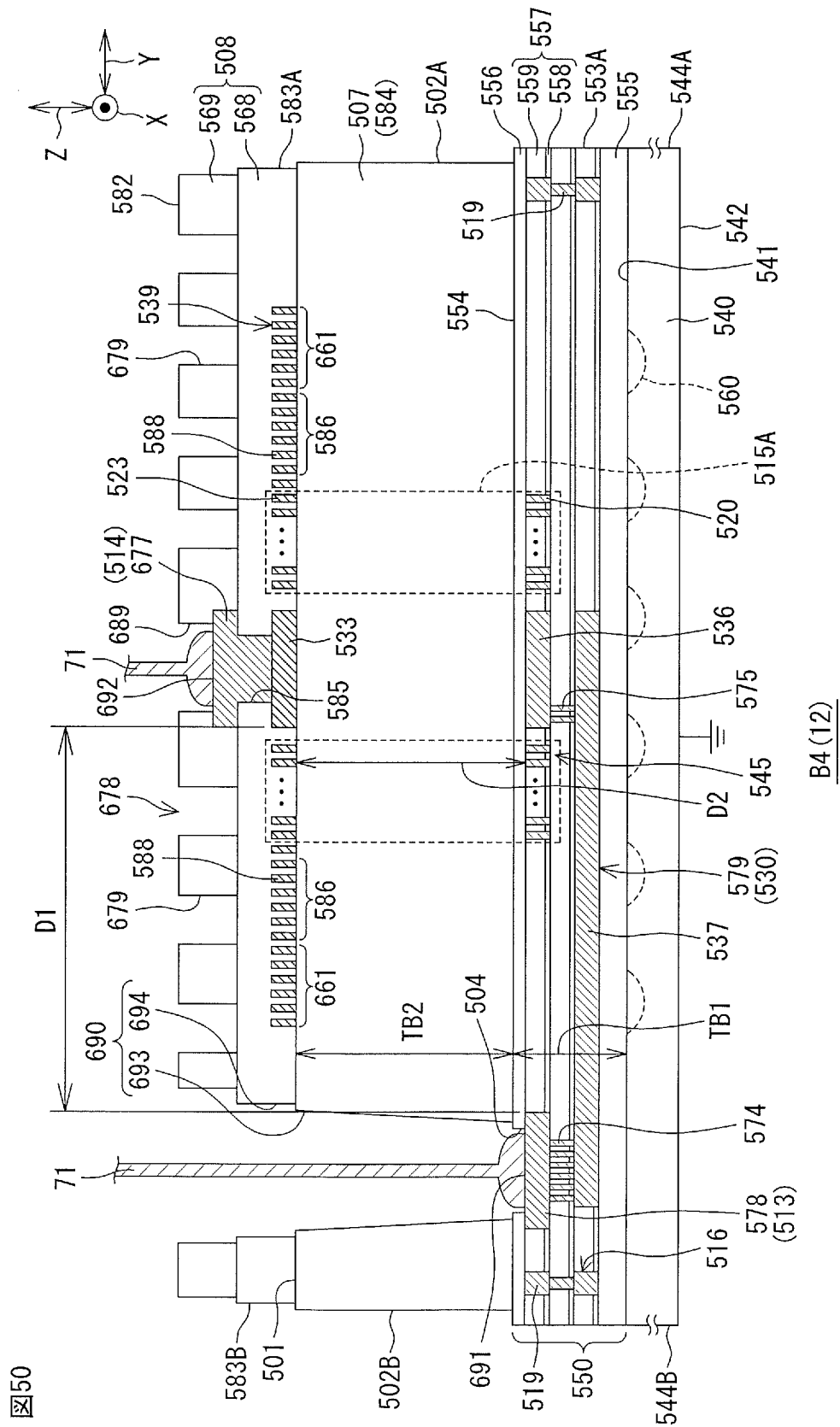


B1 (12)

[図43]

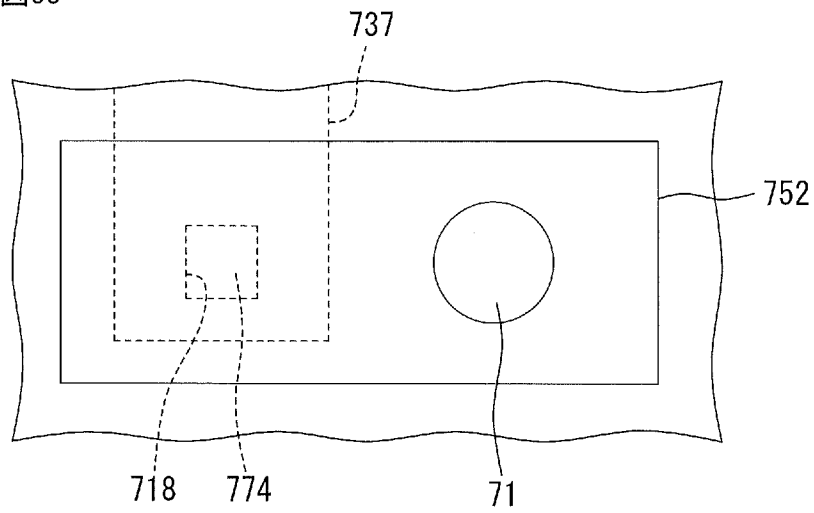


[図50]



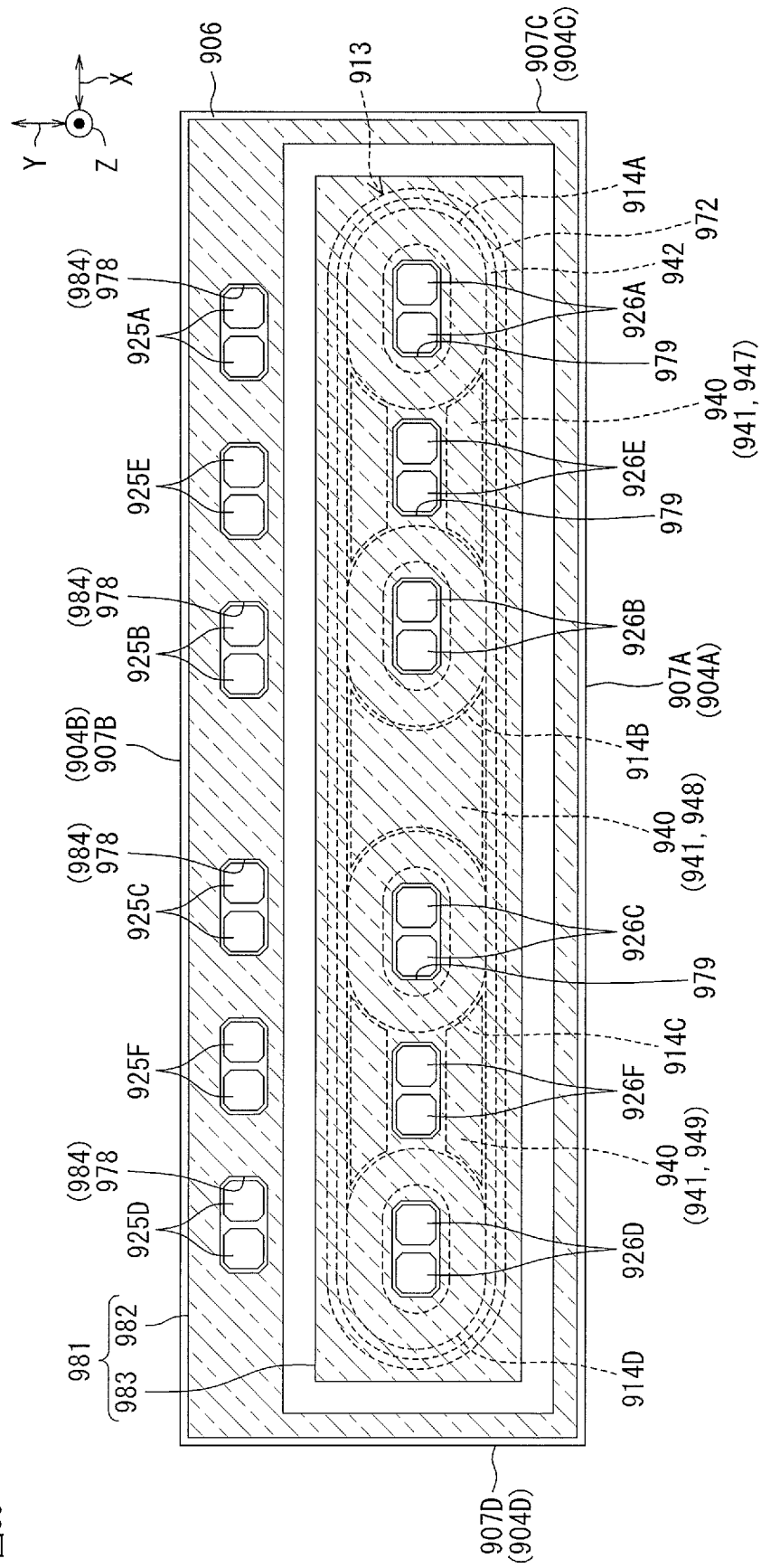
[図55]

図55



[図59]

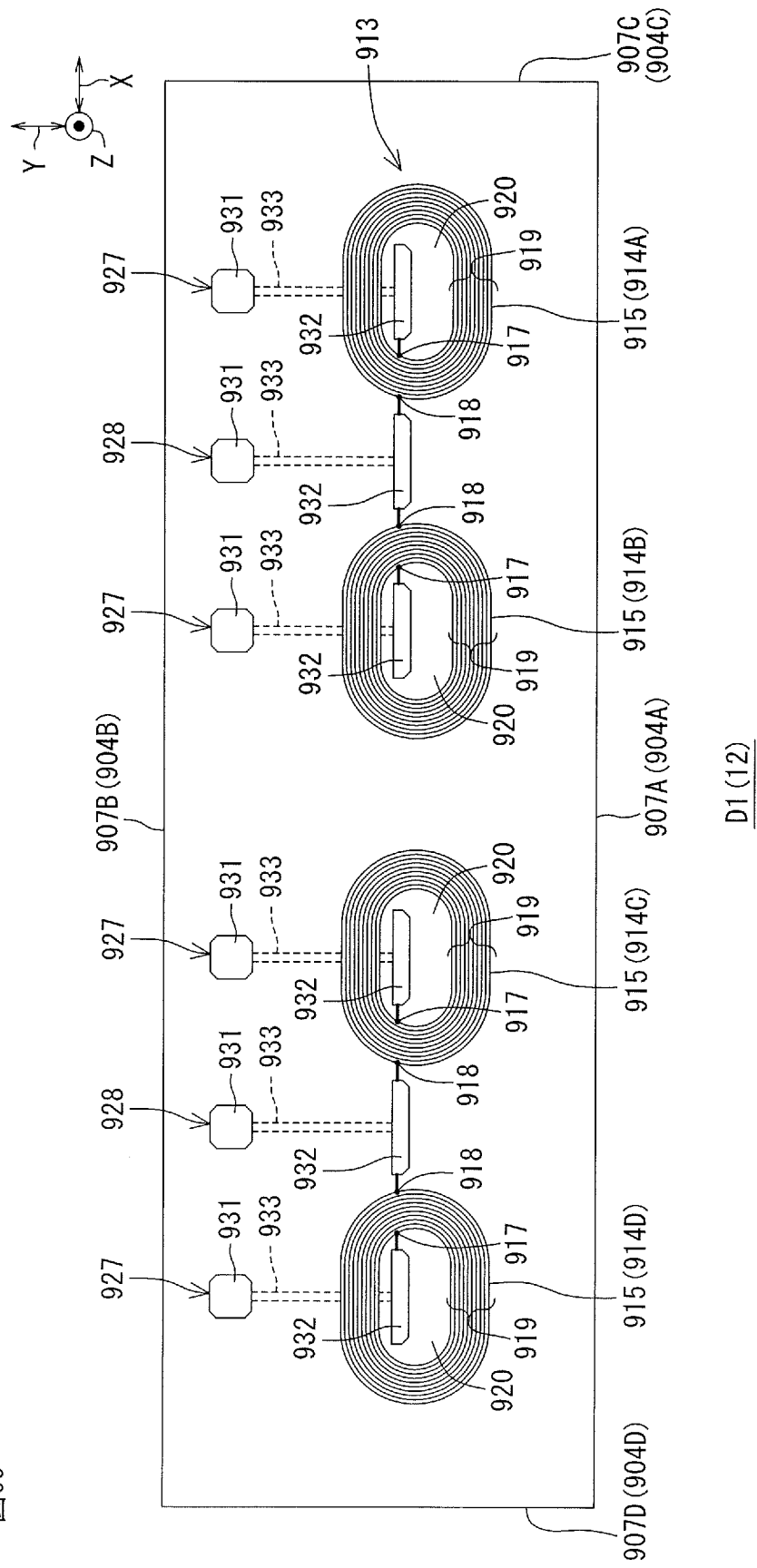
[図59]



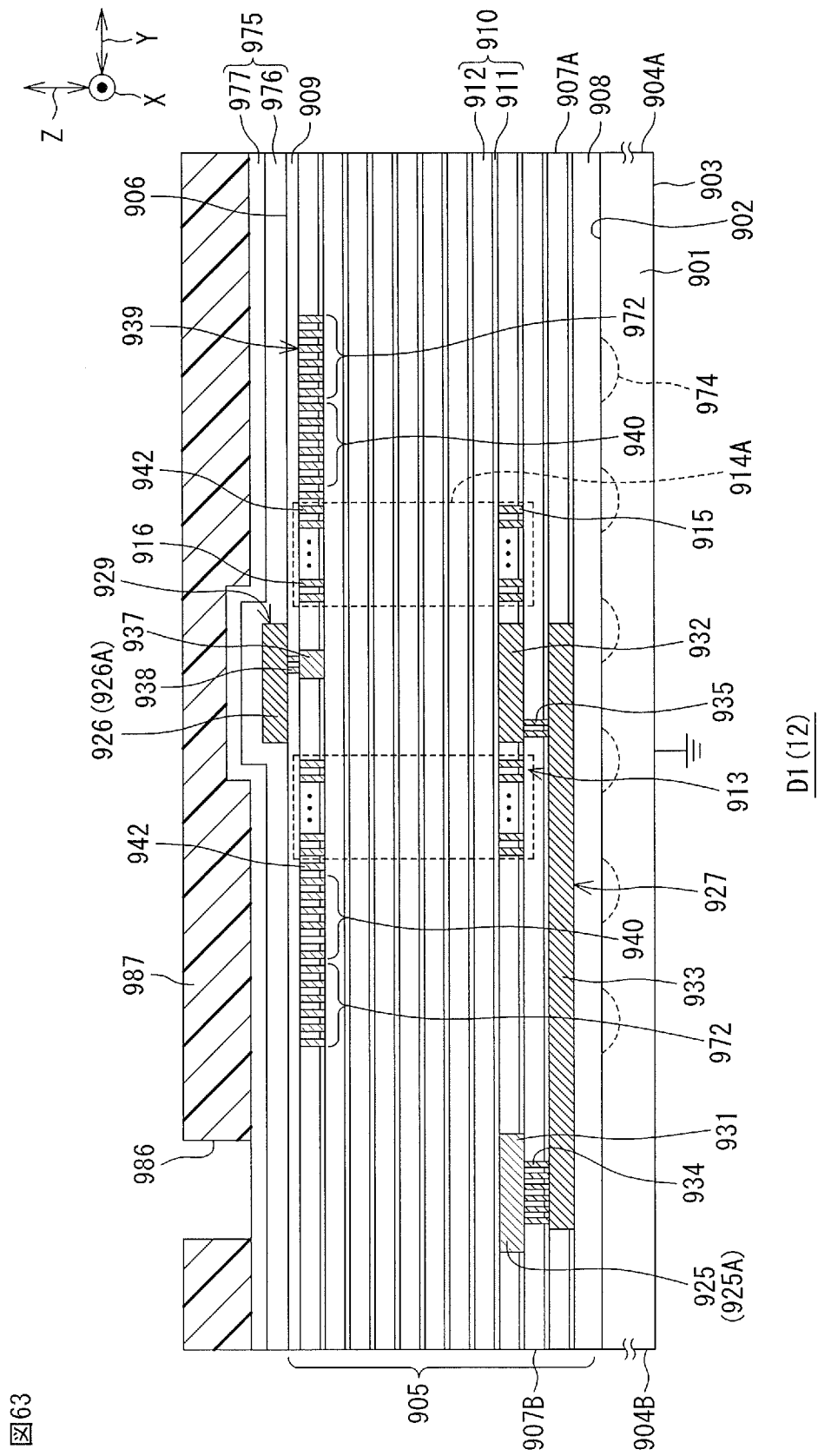
D1 (12)

[図60]

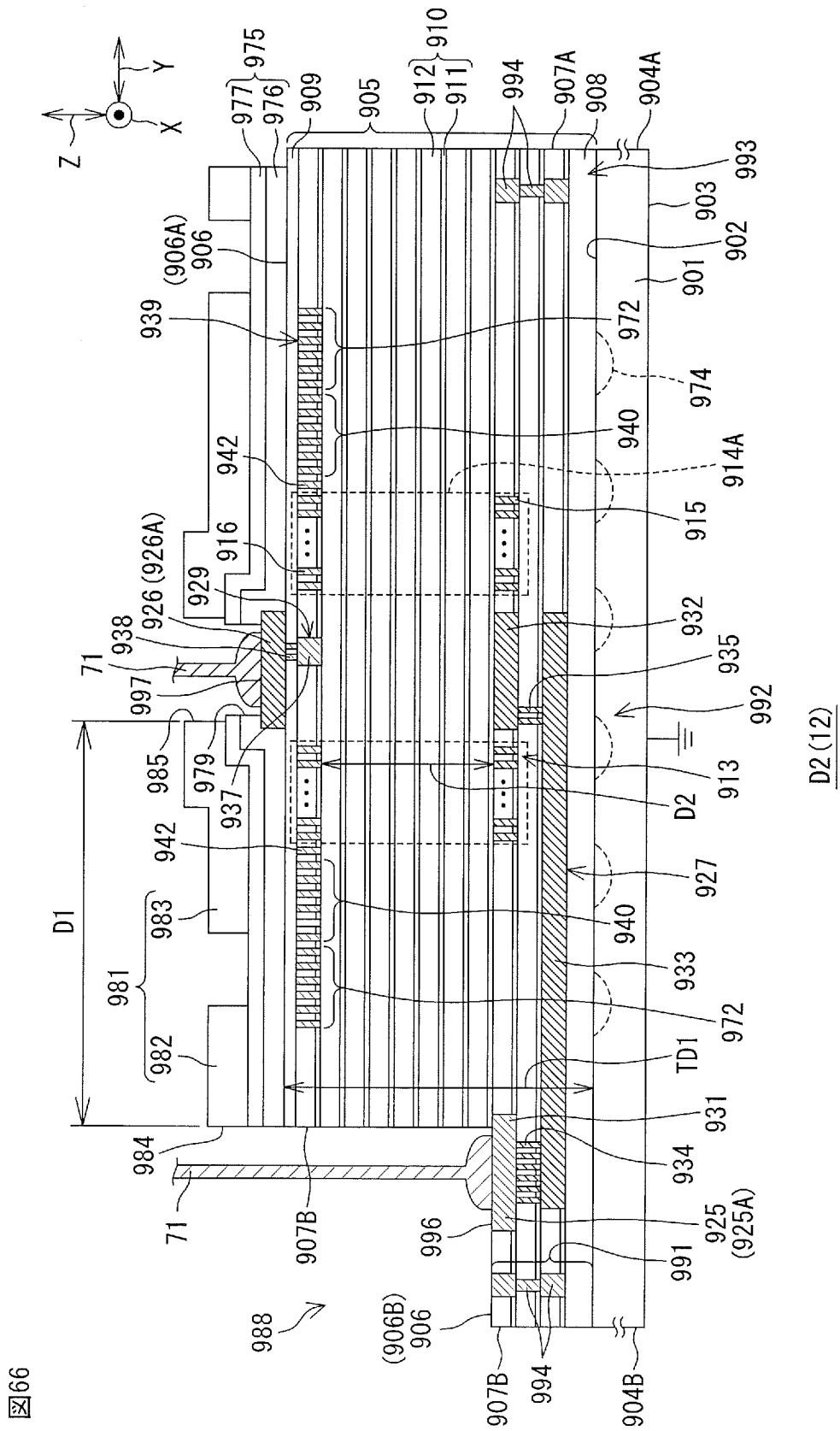
図60



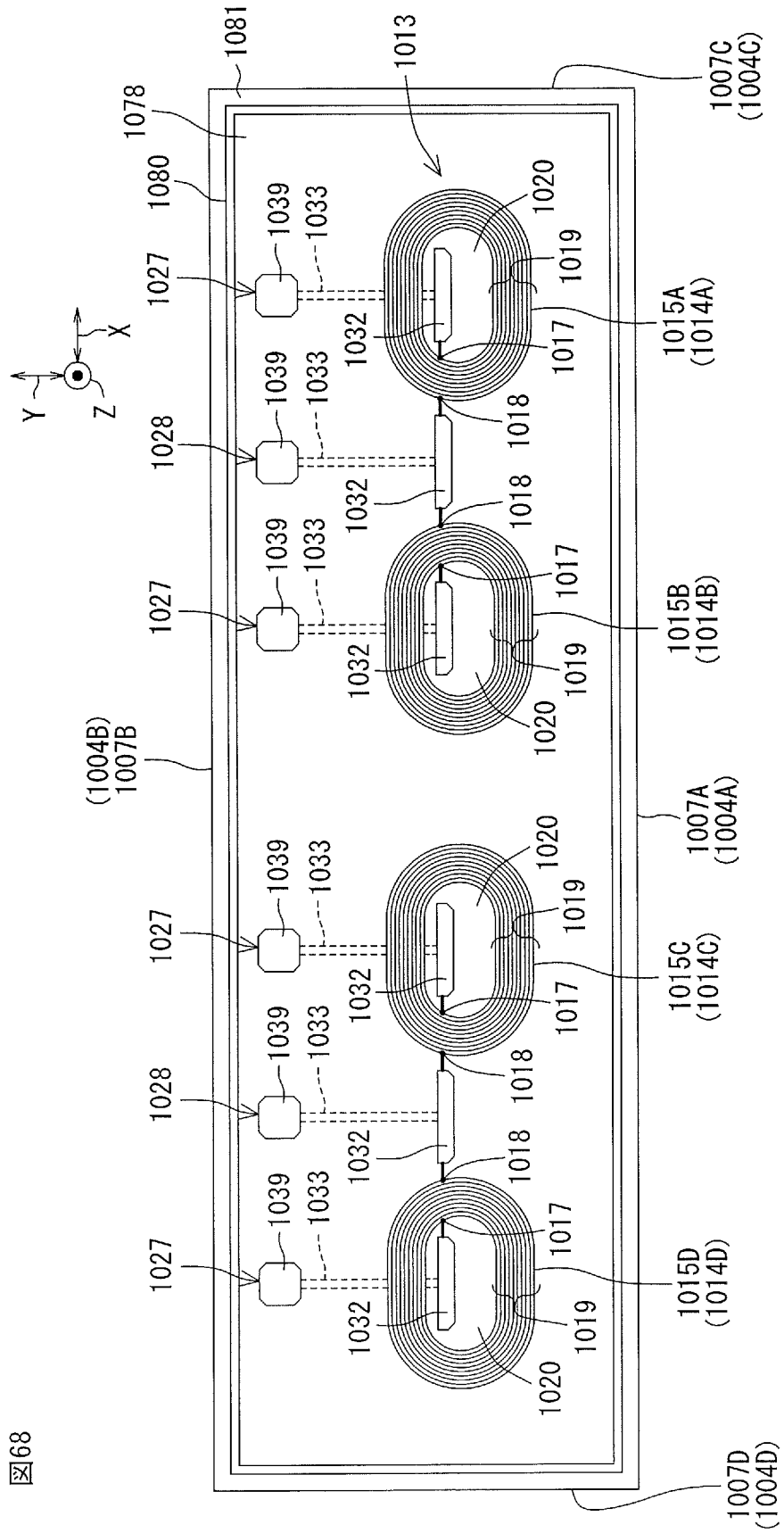
[図63]



[図66]

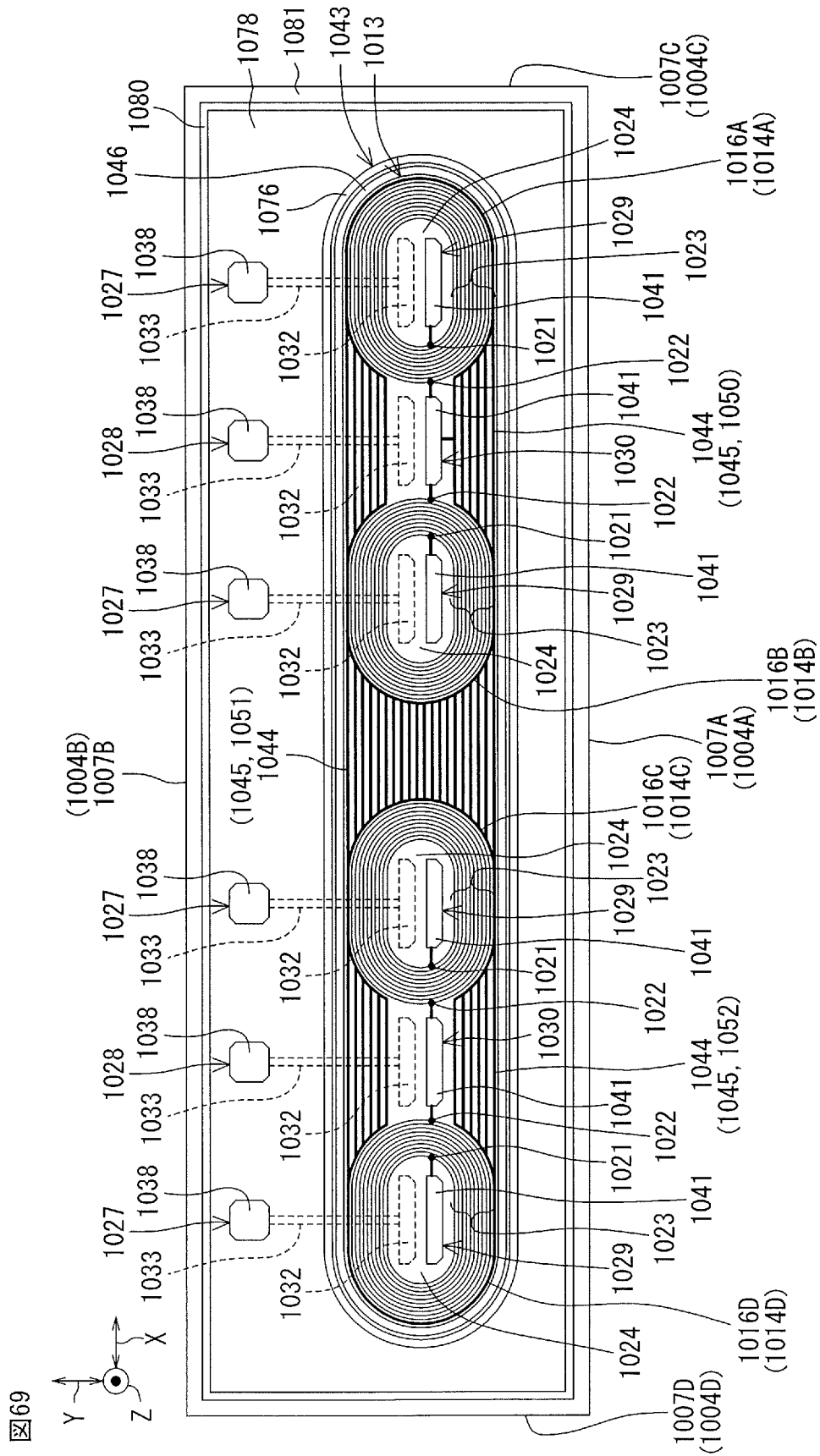


[図68]



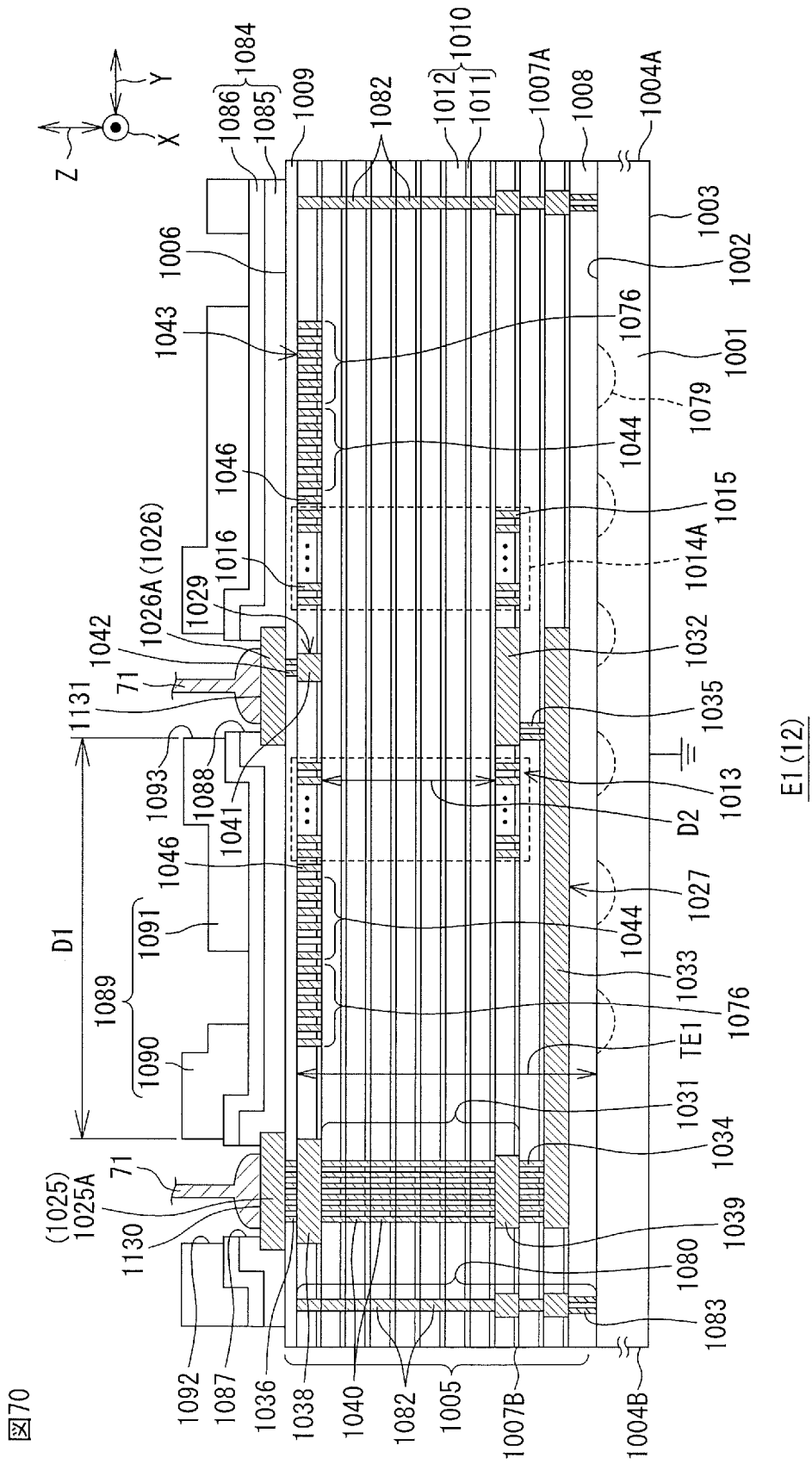
[図68]

[図69]



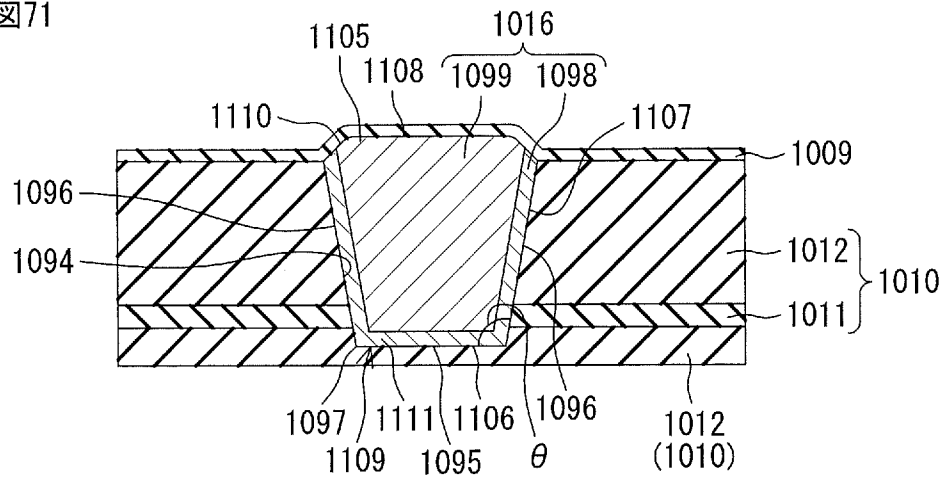
E1 (12)

[図70]



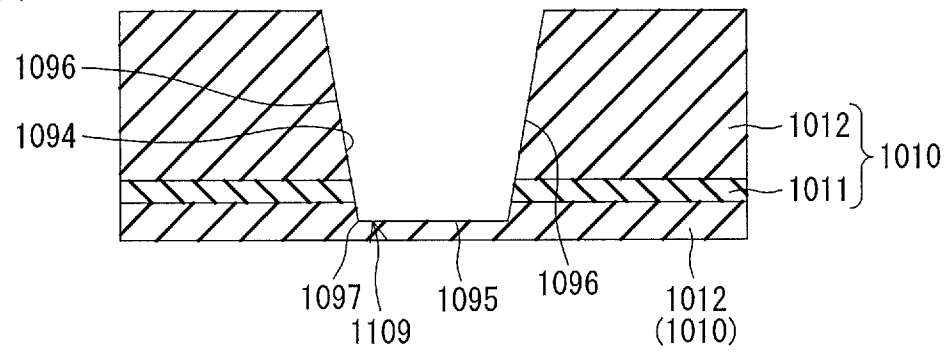
[図71]

図71



[図72]

図72



[図73]

図73

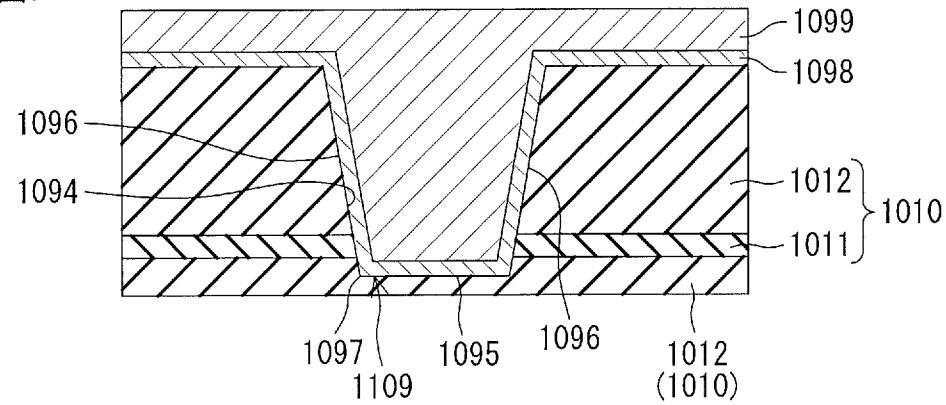


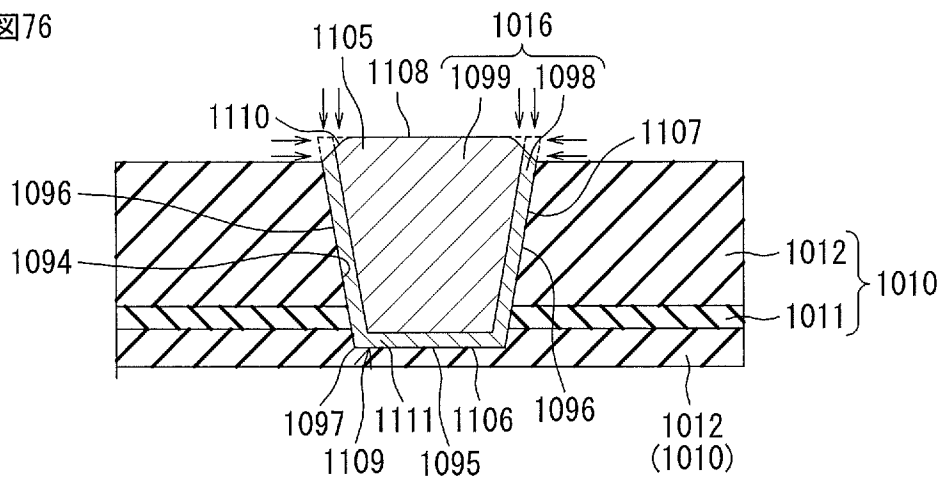
図74



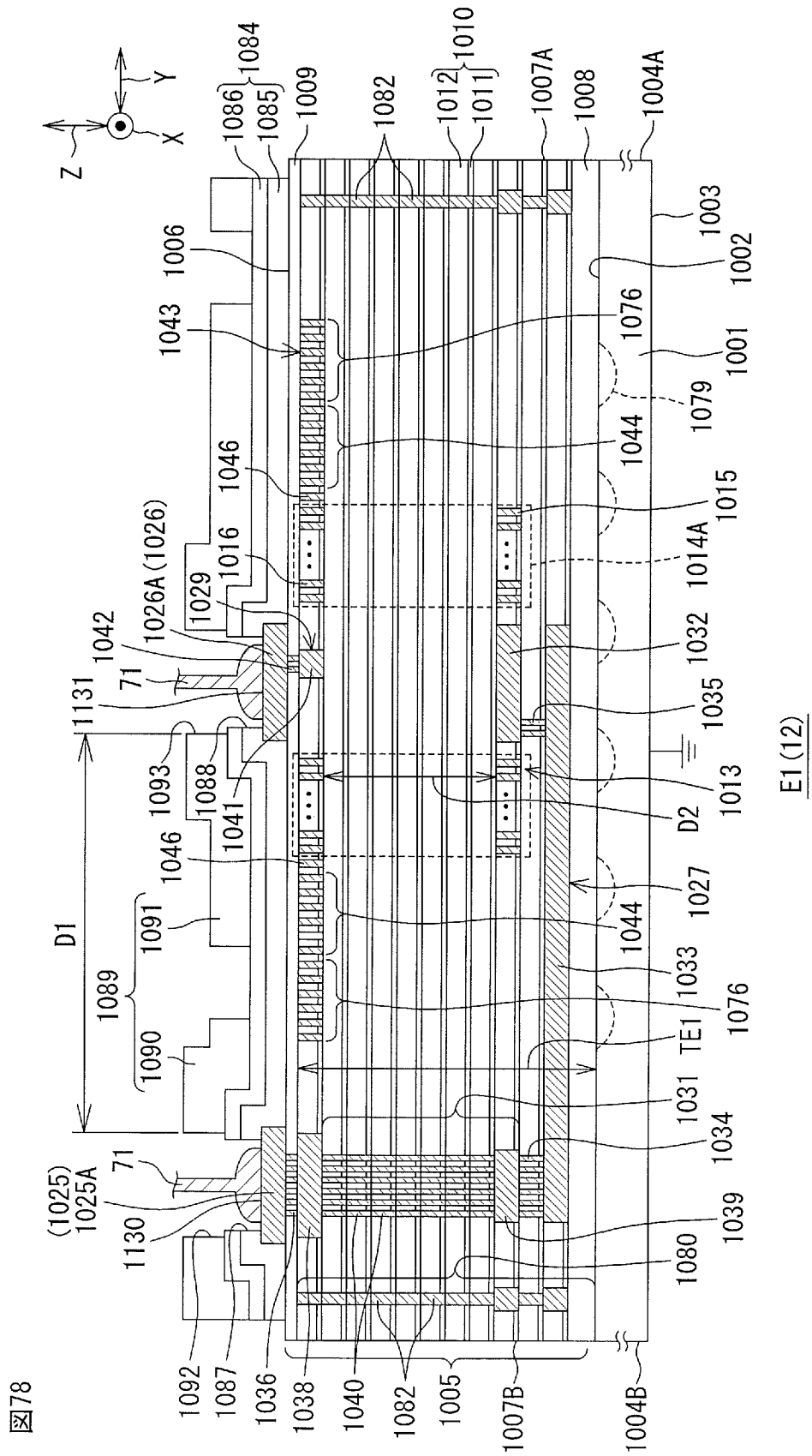
图75



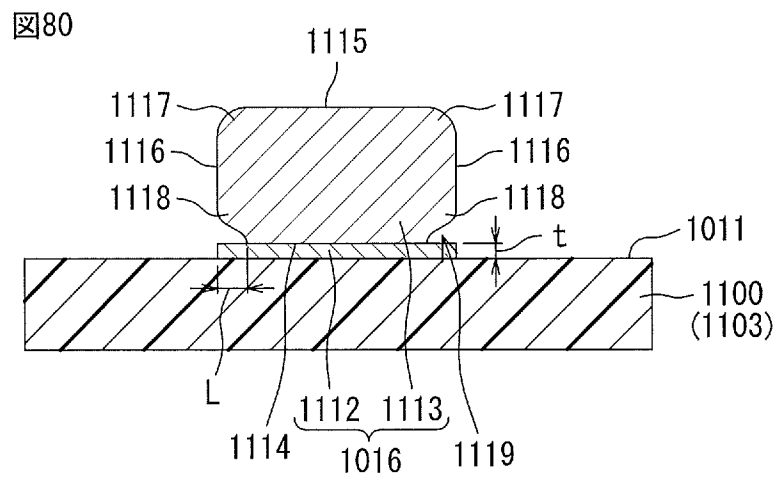
图76



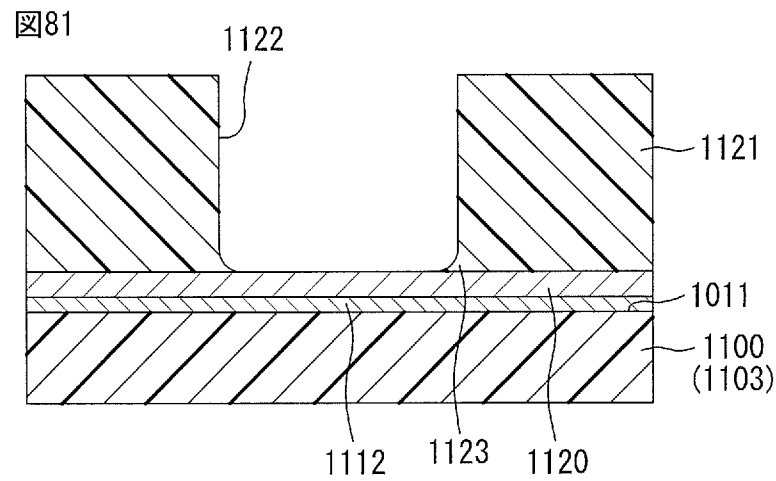
[図78]



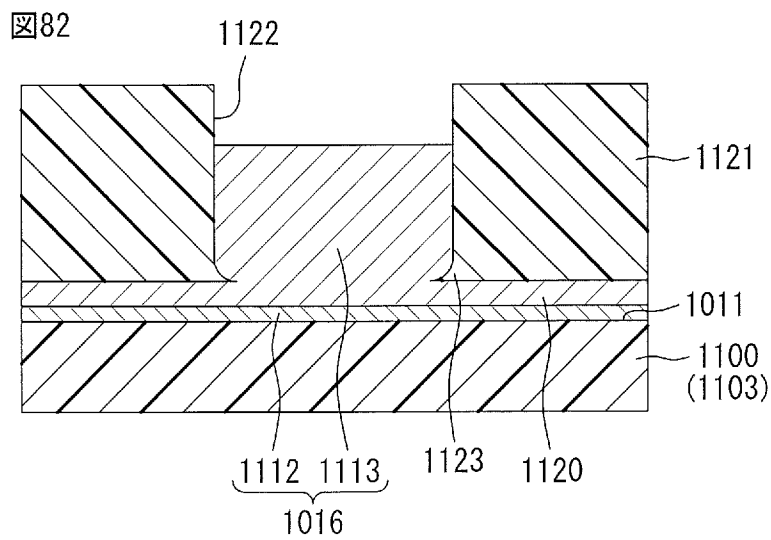
[図80]



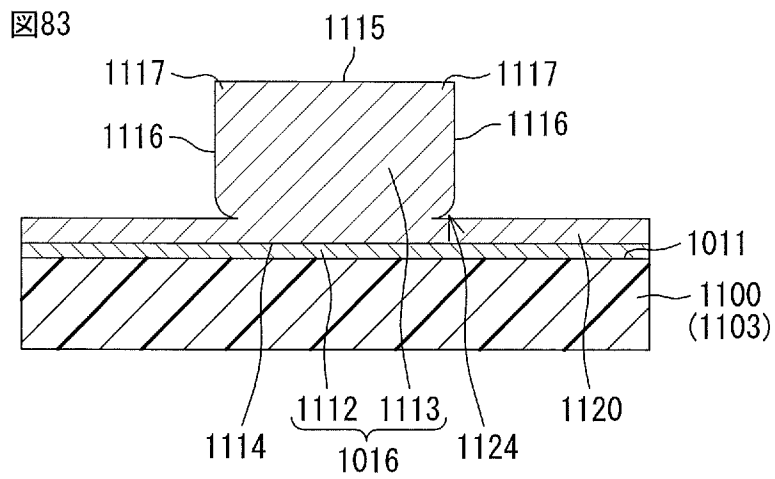
[図81]



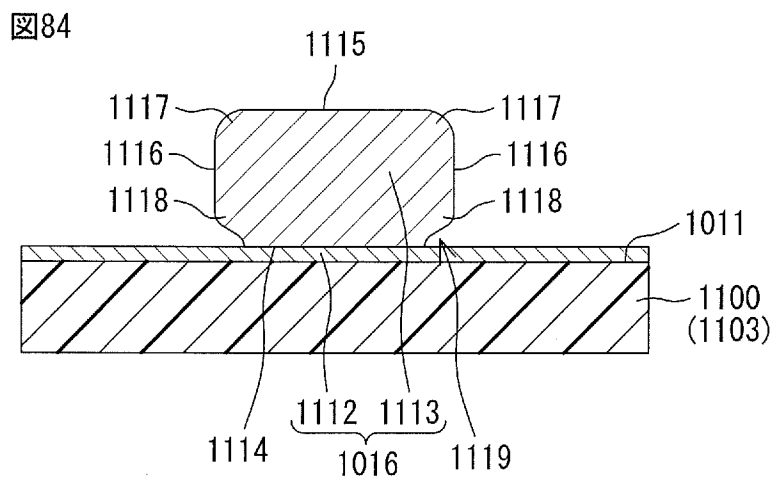
[図82]



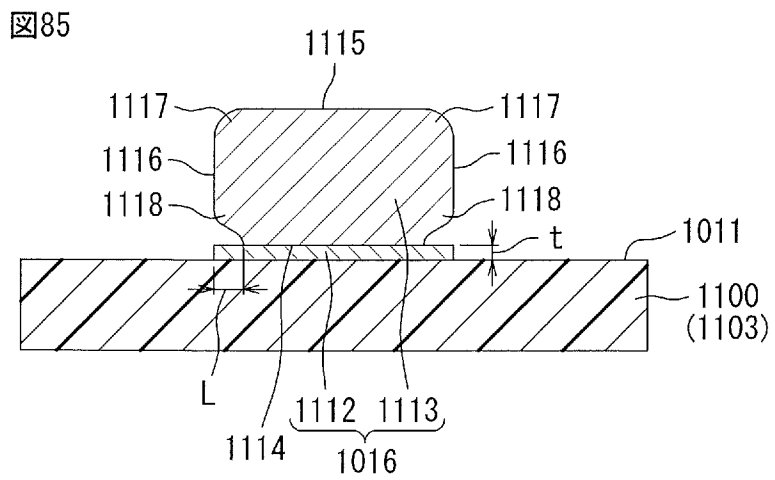
[図83]

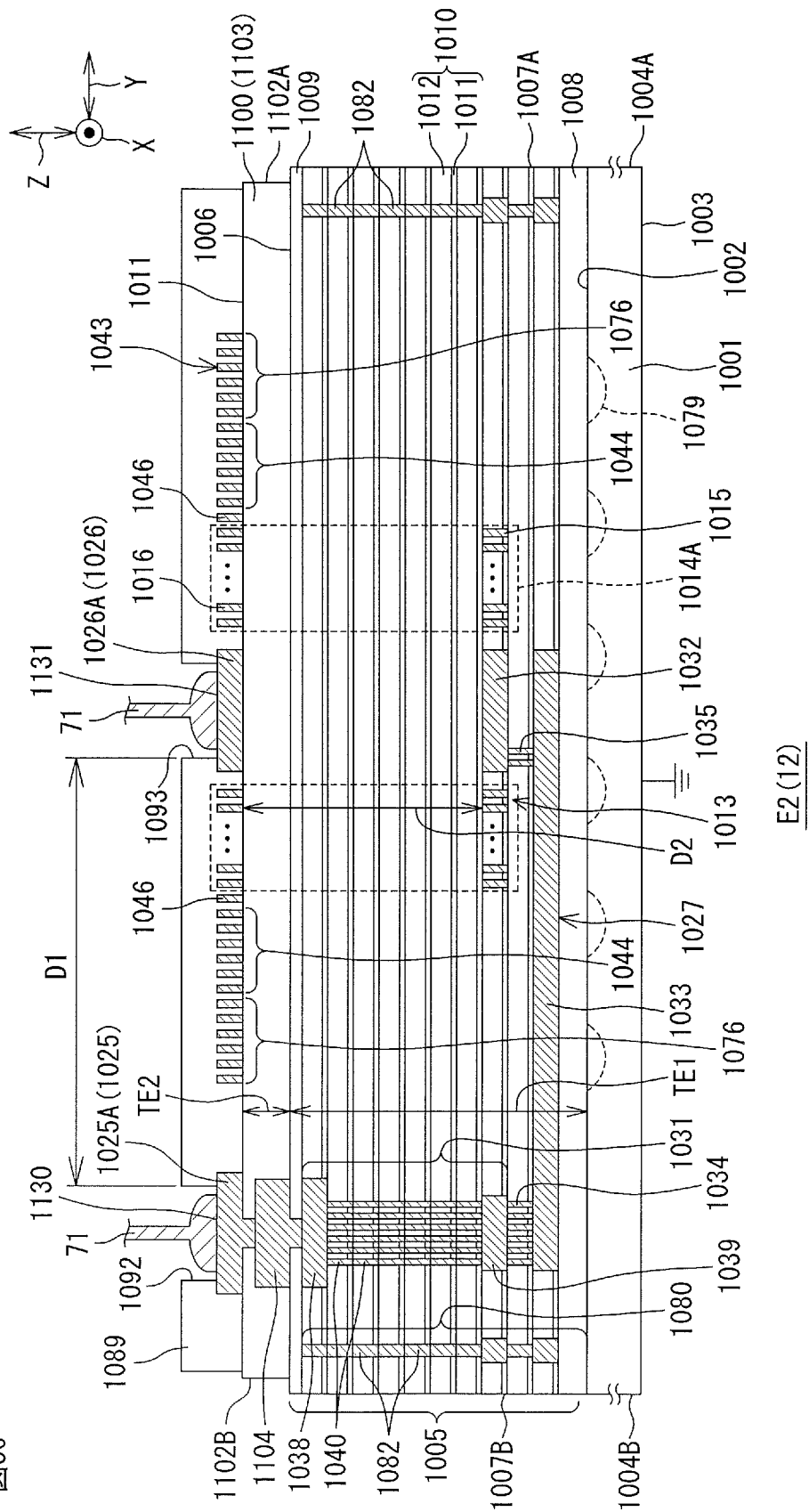


[図84]



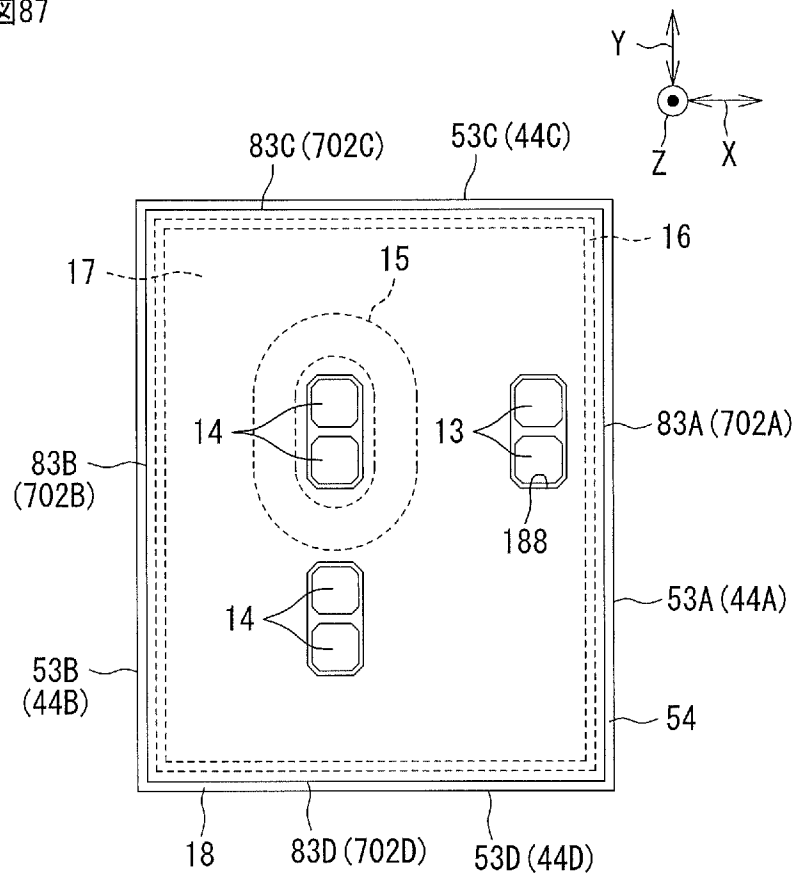
[図85]



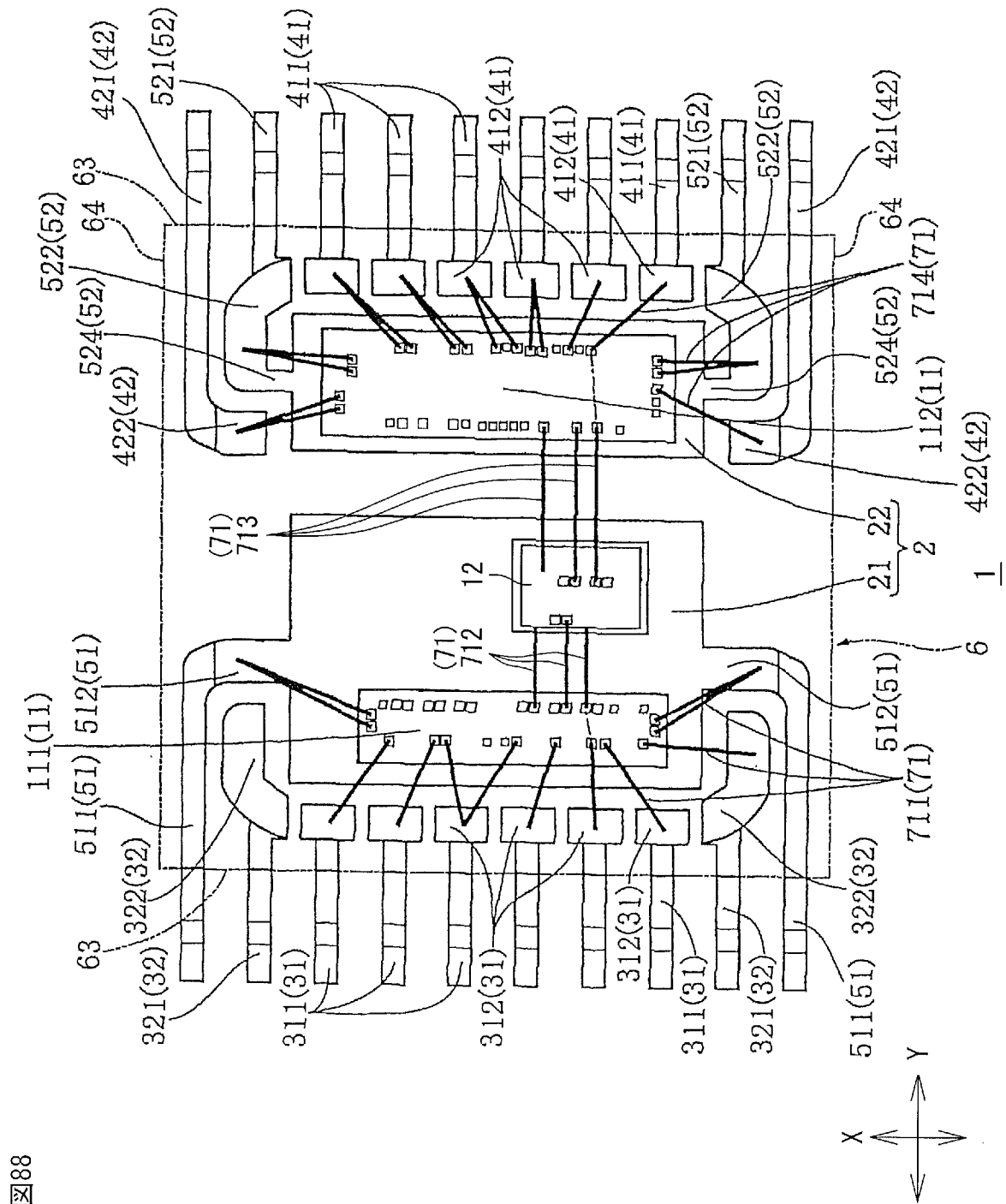
98 

[図87]

図87

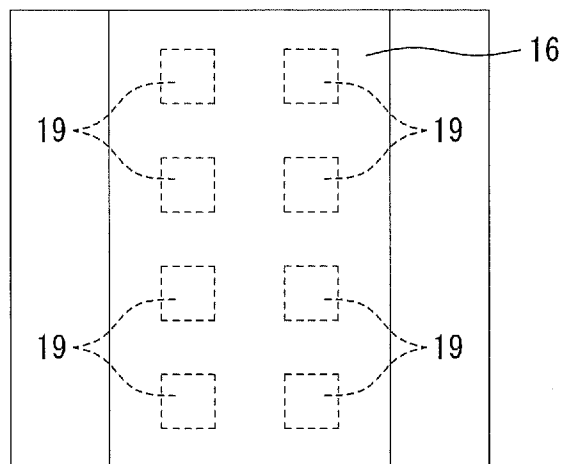
A1 (12)

[図88]



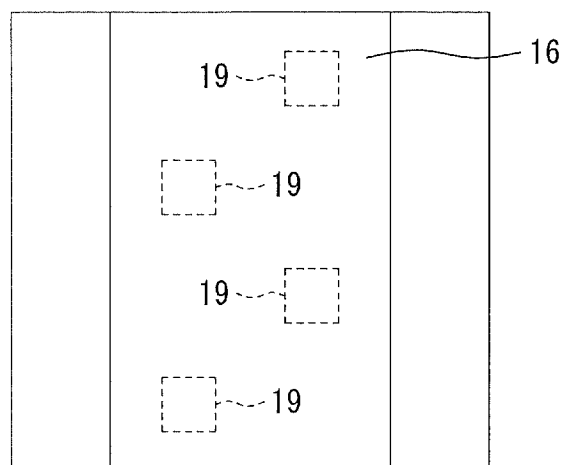
[図90]

図90

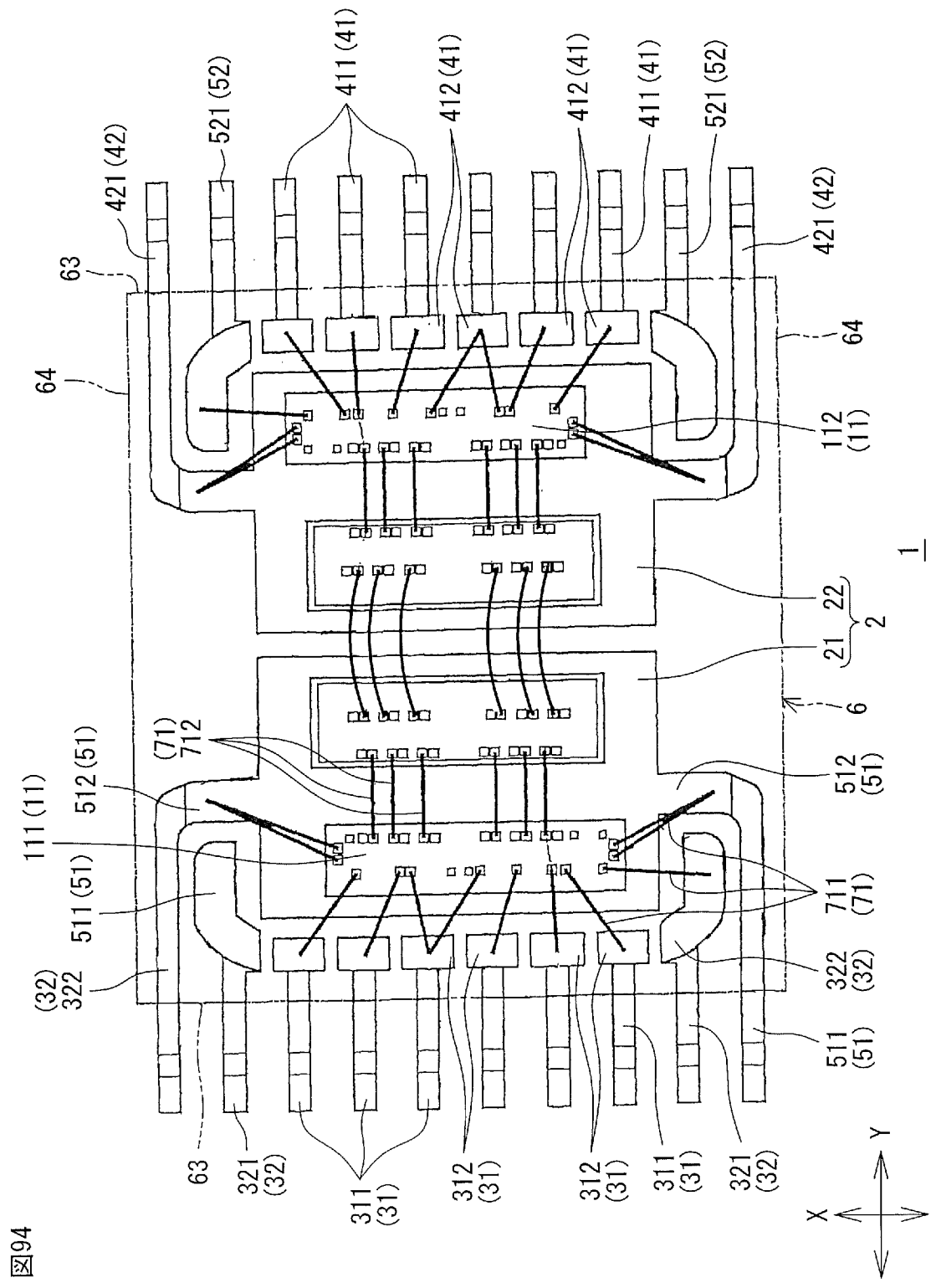


[図91]

図91



[図94]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/032599

A. CLASSIFICATION OF SUBJECT MATTER <i>H01L 23/12</i> (2006.01)i; <i>H01L 25/00</i> (2006.01)i; <i>H01L 25/07</i> (2006.01)i; <i>H01L 25/18</i> (2006.01)i; <i>H01L 21/3205</i> (2006.01)i; <i>H01L 21/768</i> (2006.01)i; <i>H01L 23/522</i> (2006.01)i; <i>H01L 23/532</i> (2006.01)i; <i>H01L 21/822</i> (2006.01)i; <i>H01L 27/04</i> (2006.01)i FI: H01L23/12 501P; H01L27/04 L; H01L21/90 M; H01L21/88 T; H01L21/88 S; H01L27/04 A; H01L25/04 C; H01L27/04 E; H01L27/04 H; H01L21/90 S; H01L21/90 K; H01L25/00 B According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L23/12; H01L25/00; H01L25/07; H01L25/18; H01L21/3205; H01L21/768; H01L23/522; H01L23/532; H01L21/822; H01L27/04 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2021 Registered utility model specifications of Japan 1996-2021 Published registered utility model applications of Japan 1994-2021 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)														
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2016-028407 A (ROHM CO., LTD.) 25 February 2016 (2016-02-25) paragraphs [0019]-[0056], fig. 1-7</td> <td>1-27</td> </tr> <tr> <td>Y</td> <td>JP 2014-123671 A (RENESAS ELECTRONICS CORP.) 03 July 2014 (2014-07-03) paragraphs [0022]-[0040], fig. 1-3</td> <td>1-27</td> </tr> <tr> <td>Y</td> <td>WO 2020/183867 A1 (ROHM CO., LTD.) 17 September 2020 (2020-09-17) paragraphs [0180]-[0201], fig. 7</td> <td>21</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	Y	JP 2016-028407 A (ROHM CO., LTD.) 25 February 2016 (2016-02-25) paragraphs [0019]-[0056], fig. 1-7	1-27	Y	JP 2014-123671 A (RENESAS ELECTRONICS CORP.) 03 July 2014 (2014-07-03) paragraphs [0022]-[0040], fig. 1-3	1-27	Y	WO 2020/183867 A1 (ROHM CO., LTD.) 17 September 2020 (2020-09-17) paragraphs [0180]-[0201], fig. 7	21
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
Y	JP 2016-028407 A (ROHM CO., LTD.) 25 February 2016 (2016-02-25) paragraphs [0019]-[0056], fig. 1-7	1-27												
Y	JP 2014-123671 A (RENESAS ELECTRONICS CORP.) 03 July 2014 (2014-07-03) paragraphs [0022]-[0040], fig. 1-3	1-27												
Y	WO 2020/183867 A1 (ROHM CO., LTD.) 17 September 2020 (2020-09-17) paragraphs [0180]-[0201], fig. 7	21												
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.														
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family														
Date of the actual completion of the international search 28 October 2021		Date of mailing of the international search report 22 November 2021												
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.												

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/032599

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2016-028407	A	25 February 2016	US	2015/0137314	A1	
				paragraphs [0062]-[0122], fig. 1-7			
JP	2014-123671	A	03 July 2014	US	2014/0175602	A1	
				paragraphs [0063]-[0081], fig. 1-3			
				CN	103887287	A	
				HK	1198303	A1	
WO	2020/183867	A1	17 September 2020	US	2021/0043361	A1	
				paragraphs [0209]-[0230], fig. 7			

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/12(2006.01)i; H01L 25/00(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i; H01L 23/532(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i FI: H01L23/12 501P; H01L27/04 L; H01L21/90 M; H01L21/88 T; H01L21/88 S; H01L27/04 A; H01L25/04 C; H01L27/04 E; H01L27/04 H; H01L21/90 S; H01L21/90 K; H01L25/00 B														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L23/12; H01L25/00; H01L25/07; H01L25/18; H01L21/3205; H01L21/768; H01L23/522; H01L23/532; H01L21/822; H01L27/04 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2021年													
日本国実用新案登録公報	1996-2021年													
日本国登録実用新案公報	1994-2021年													
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2016-028407 A（ローム株式会社）25.02.2016（2016-02-25） 段落0019-0056、図1-7</td> <td>1-27</td> </tr> <tr> <td>Y</td> <td>JP 2014-123671 A（ルネサスエレクトロニクス株式会社）03.07.2014（2014-07-03） 段落0022-0040、図1-3</td> <td>1-27</td> </tr> <tr> <td>Y</td> <td>WO 2020/183867 A1（ローム株式会社）17.09.2020（2020-09-17） 段落0180-0201、図7</td> <td>21</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	JP 2016-028407 A（ローム株式会社）25.02.2016（2016-02-25） 段落0019-0056、図1-7	1-27	Y	JP 2014-123671 A（ルネサスエレクトロニクス株式会社）03.07.2014（2014-07-03） 段落0022-0040、図1-3	1-27	Y	WO 2020/183867 A1（ローム株式会社）17.09.2020（2020-09-17） 段落0180-0201、図7	21
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y	JP 2016-028407 A（ローム株式会社）25.02.2016（2016-02-25） 段落0019-0056、図1-7	1-27												
Y	JP 2014-123671 A（ルネサスエレクトロニクス株式会社）03.07.2014（2014-07-03） 段落0022-0040、図1-3	1-27												
Y	WO 2020/183867 A1（ローム株式会社）17.09.2020（2020-09-17） 段落0180-0201、図7	21												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献														
国際調査を完了した日 28.10.2021		国際調査報告の発送日 22.11.2021												
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 井上 和俊 5F 3455 電話番号 03-3581-1101 内線 3516												

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/032599

引用文献			公表日	パテントファミリー文献	公表日
JP	2016-028407	A	25.02.2016	US 2015/0137314 A1 paragraphs0062-0122, FIGs.1-7	
JP	2014-123671	A	03.07.2014	US 2014/0175602 A1 paragraphs0063-0081, FIGs.1-3 CN 103887287 A HK 1198303 A1	
WO	2020/183867	A1	17.09.2020	US 2021/0043361 A1 paragraphs0209-0230, FIG.7	