



(12) 发明专利

(10) 授权公告号 CN 102428581 B

(45) 授权公告日 2015.08.19

(21) 申请号 201080021372.2
 (22) 申请日 2010.07.06
 (30) 优先权数据
 102009032486.0 2009.07.09 DE
 (85) PCT国际申请进入国家阶段日
 2011.11.15
 (86) PCT国际申请的申请数据
 PCT/EP2010/059638 2010.07.06
 (87) PCT国际申请的公布数据
 W02011/003907 DE 2011.01.13
 (73) 专利权人 欧司朗光电半导体有限公司
 地址 德国雷根斯堡
 (72) 发明人 卢茨·赫佩尔
 (74) 专利代理机构 北京集佳知识产权代理有限公司 11227
 代理人 李德山 王萍

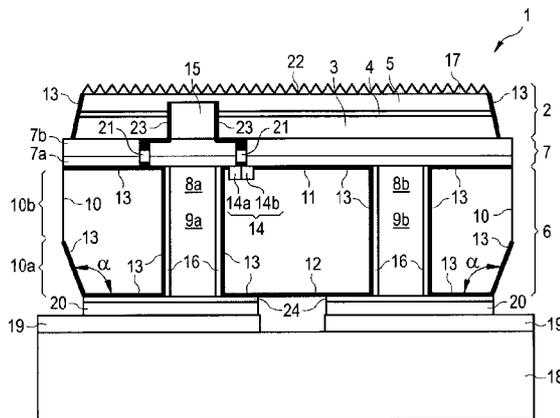
(51) Int. Cl.
 H01L 33/48(2006.01)
 H01L 33/62(2006.01)
 (56) 对比文件
 US 6531328 B1, 2003.03.11,
 CN 101395725 A, 2009.03.25,
 US 6696704 B1, 2004.02.24,
 CN 101101944 A, 2008.01.09,
 审查员 赵辉

权利要求书2页 说明书7页 附图3页

(54) 发明名称
 光电子器件

(57) 摘要

本发明说明了一种具有半导体本体 (1) 和支承体衬底 (6) 的光电子器件, 该支承体衬底借助焊接连接部 (7) 与半导体本体 (1) 连接, 其中支承体衬底 (6) 具有第一贯通部 (8a) 和第二贯通部 (8b), 第一导电连接层 (9a) 和第二导电连接层 (9b) 穿过这些贯通部从支承体衬底 (6) 的朝向半导体本体 (1) 的第一主面 (11) 引向支承体衬底 (6) 的背离半导体本体 (1) 的第二主面 (12), 支承体衬底 (6) 由半导体材料形成并且具有侧壁 (10), 该侧壁至少在第一部分区域 (10a) 中倾斜于支承体衬底 (6) 的主面 (11, 12) 延伸, 其中侧壁 (10) 在第一部分区域 (10a) 中设有电绝缘层 (13)。



1. 一种光电子器件,具有:半导体本体(1),所述半导体本体具有外延层序列(2),所述外延层序列带有适于产生辐射的有源层(4);和支承体衬底(6),所述支承体衬底借助焊接连接部(7)与半导体本体(1)连接,其中

- 支承体衬底(6)具有第一贯通部(8a)和第二贯通部(8b),第一导电连接层(9a)和第二导电连接层(9b)穿过这些贯通部从支承体衬底(6)的朝向半导体本体(1)的第一主面(11)引向支承体衬底(6)的背离半导体本体(1)的第二主面(12),

- 支承体衬底(6)具有半导体材料,

- 支承体衬底(6)具有侧壁(10),该侧壁至少在第一部分区域(10a)中倾斜于支承体衬底(6)的主面(11,12)延伸,其中第一部分区域(10a)邻接支承体衬底(6)的第二主面(12),

- 侧壁(10)在第一部分区域(10a)中设有电绝缘层(13),

- 侧壁(10)具有邻接支承体衬底(6)的第一主面(11)的第二部分区域(10b),所述第二部分区域垂直于第一主面(11)地延伸,以及

- 侧壁(10)的第二部分区域(10b)不设有绝缘层。

2. 根据权利要求1所述的光电子器件,其中第一部分区域(10a)的高度在支承体衬底(6)的高度的10%和50%之间。

3. 根据权利要求1或2所述的光电子器件,其中侧壁(10)的第一部分区域(10a)具有在 $10\mu\text{m}$ 和 $100\mu\text{m}$ 之间的高度。

4. 根据权利要求1或2所述的光电子器件,其中支承体衬底(6)是硅衬底。

5. 根据权利要求1或2所述的光电子器件,其中电绝缘层(13)包含氧化硅或氮化硅。

6. 根据权利要求1或2所述的光电子器件,其中在第一部分区域(10a)中的支承体衬底(6)的侧壁(10)倾斜于支承体衬底(6)的主面(11,12)延伸,使得支承体衬底(6)的横截面朝第二主面(12)逐渐变细。

7. 根据权利要求1或2所述的光电子器件,其中在第一部分区域(10a)中,侧壁(10)以相对于支承体衬底(6)的第二主面(12)的 100° 和 135° 之间的钝角 α 延伸,其中包括边界值。

8. 根据权利要求1所述的光电子器件,其中支承体衬底(6)在第一主面或第二主面(11,12)上在导电连接层(9a,9b)之间具有掺杂区(14)用于构建保护二极管。

9. 根据权利要求8所述的光电子器件,其中支承体衬底(6)是未掺杂的,并且掺杂区(14)具有p掺杂区域(14a)和n掺杂区域(14b),其中第一导电连接层(9a)与掺杂区(14)的p掺杂区域(14a)导电连接,并且第二导电连接层(9b)与掺杂区(14)的n掺杂区域(14b)导电连接。

10. 根据权利要求9所述的光电子器件,其中外延层序列(2)具有p掺杂的半导体区域(3)和n掺杂的半导体区域(5),其中第一导电连接层(9a)与n掺杂的半导体区域(5)导电连接,并且第二导电连接层(9b)与p掺杂的半导体区域(3)导电连接。

11. 根据权利要求8至10之一所述的光电子器件,其中掺杂区(14)设置在支承体衬底(6)的第一主面(11)上。

12. 一种用于制造根据上述权利要求之一所述的光电子器件的方法,包括如下步骤:

- 制造由多个半导体本体(1)和作用为支承体衬底(6)的半导体晶片构成的复合物,

- 在支承体衬底 (6) 中产生侧壁 (10) 的第一部分区域 (10a), 其中在第一部分区域中侧壁倾斜于支承体衬底 (6) 的主面 (11, 12) 延伸并且第一部分区域 (10a) 邻接支承体衬底 (6) 的第二主面 (12),
 - 将电绝缘层 (13) 在第一部分区域 (10a) 中施加到侧壁 (10) 上, 以及
 - 将半导体晶片分割成单个的光电子器件, 其中在分割时形成侧壁 (10) 的第二区域 (10b), 所述第二区域未设有电绝缘层。

光电子器件

[0001] 本申请涉及一种光电子器件,其具有半导体本体和借助焊接连接部与半导体本体连接的支承体衬底。

[0002] 本专利申请要求德国专利申请 10 2009 032 486.0 的优先权,其公开内容通过引用结合于此。

[0003] 从出版物 W02008/131735 中已知一种薄膜发光二极管芯片,其中将用于半导体本体的外延层序列的生长衬底从半导体本体剥离,并且半导体本体借助焊接连接部与支承体衬底连接,该支承体衬底不同于外延层序列的生长衬底。在该薄膜发光二极管芯片中,两个电接触部均设置在发光二极管芯片的背侧。

[0004] 本发明的目的在于,提供一种改进的光电子器件,其可表面安装并且例如可以在其下侧与电路板的印制导线连接,并且同时其特征在于相对于短路和 / 或静电放电 (ESD-electrostatic discharge) 的较小的敏感度。

[0005] 该目的通过根据独立权利要求 1 所述的光电子器件来实现。本发明有利的实施形式和改进方案是从属权利要求的主题。

[0006] 根据一个实施形式,光电子器件具有半导体本体,其具有外延层序列,该外延层序列带有适于产生辐射的有源层。此外,光电子器件具有支承体衬底,其借助焊接连接部与半导体本体连接。

[0007] 支承体衬底有利地具有第一贯通部和第二贯通部。第一导电连接层穿过第一贯通部从支承体衬底的朝向半导体本体的第一主面引向支承体衬底的背离半导体本体的第二主面。此外,第二导电连接层穿过第二贯通部从支承体衬底的朝向半导体本体的第一主面引向支承体衬底的背离半导体本体的第二主面。

[0008] 通过导电连接层从支承体衬底的第一主面引向支承体衬底的对置的第二主面的方式,光电子器件可以有利地在支承体衬底的第二主面上设有电端子,其中所述第一主面通过焊接连接部与半导体本体连接。特别地,在支承体衬底的第二主面上的光电子器件可以与电路板的印制导线连接,其方式例如第一导电连接层借助焊接连接部与电路板的第一印制导线连接,并且第二导电连接层借助第二焊接连接部与电路板的第二印制导线连接。光电子器件于是有利地为可表面安装的。

[0009] 光电子器件的支承体衬底有利地由尤其是硅的半导体材料构成。由半导体材料构成的支承体衬底相对于例如由陶瓷构成的支承体衬底具有下述优点,即可以相对简单地并且低成本地用标准化的半导体工艺来加工。

[0010] 根据有利的扩展方案,支承体衬底具有侧壁,其至少在第一部分区域中倾斜于支承体衬底的主面延伸,其中在第一部分区域中侧壁设有电绝缘层。

[0011] 通过支承体衬底的侧壁至少部分地设有电绝缘层的方式,降低了在第一导电连接层和第二导电连接层之间的短路的危险。然后,短路的危险尤其在如下情况下存在:第一导电连接层和第二导电连接层借助焊接连接部例如与电路板的印制导线连接。在这种情况下可能的是,焊剂在焊接过程中上升至支承体衬底的侧壁,使得在由半导体材料构成的支承体衬底的情况下,由于半导体材料的至少微弱的导电性会出现短路。该危险通过施加到侧

壁的第一部分区域的电绝缘层来降低。

[0012] 侧壁的电绝缘层施加到其上的第一部分区域优选邻接支承体衬底的第二主面。支承体衬底的与半导体本体对置的第二主面尤其可以设置用于将光电子器件安装到电路板上,使得在侧壁的邻接第二主面的区域中由于上升至侧壁的焊剂提高了短路的危险。因此有利的是:至少支承体衬底的侧壁的邻接第二主面的部分区域设有电绝缘层。

[0013] 其中侧壁倾斜于支承体的主面延伸并且设有电绝缘层的第一部分区域的高度优选为支承体衬底高度的 10% 和 50% 之间,其中包括边界值。在此,倾斜延伸的侧壁的高度理解为侧壁在垂直于支承体衬底的主面的方向上的投影。侧壁的第一部分区域有利地具有在 20 μm 和 100 μm 之间的高度。例如,第一部分区域可以具有大约 30 μm 的高度。

[0014] 光电子器件的支承体衬底尤其可以是硅衬底。硅衬底具有下述优点,其是低成本的而可以相对简单地加工,例如在制造用于两个电连接层的穿透部时。

[0015] 电绝缘层优选包含氧化硅或氮化硅,该电绝缘层尤其施加到侧壁的第一部分区域上。氧化硅层可以有利地通过热氧化在硅衬底上产生。此外,氧化硅层或氮化硅层还可以通过 CVD(化学气相沉积)方法或通过旋涂技术施加到半导体衬底上。

[0016] 在一个优选的实施形式中,在第一部分区域中支承体衬底的侧壁倾斜于支承体衬底的主面延伸,使得支承体衬底的横截面朝着第二主面逐渐变细。通过在第一部分区域中支承体衬底的侧壁倾斜地延伸的方式,使得在第一部分区域中侧壁的涂层变得容易。倾斜于第二主面延伸的侧壁尤其与如下情况相比可以更容易地涂层:侧壁分别垂直于第二主面延伸并且因此构建彼此背离的表面。

[0017] 尤其有利的是:在第一部分区域中侧壁以相对于支承体衬底的第二主面的 100° 至 135° 之间的钝角延伸,其中包括边界值。

[0018] 在一个有利的扩展方案中,侧壁具有邻接支承体衬底第一主面的第二部分区域,该部分区域垂直于第一主面延伸。侧壁的垂直于支承体衬底的第一主面延伸的第二部分区域可以在制造光电子器件时尤其可以通过如下方式形成:用作多个半导体本体的支承体衬底的半导体晶片分割成单个的光电子器件。尤其可以在制造光电子器件时首先将多个半导体本体与支承体衬底连接,其中倾斜的侧壁的制作和倾斜的侧壁的涂层还在晶片阶段进行,也就是说在将半导体晶片分割成单个的光电子器件之前。当将半导体晶片分割成单个的光电子器件时,形成具有垂直的侧壁的第二部分区域。

[0019] 侧壁的第二部分区域不必设有绝缘层,因为短路的危险首先出现在侧壁的邻接第二主面的第一部分区域中,第一部分区域在将半导体晶片分割成单个的光电子器件之前设有绝缘层。涂层工艺于是可以在晶片复合物中对于多个光电子器件同时地进行,其中在将半导体晶片分割成用于光电子器件的单个的支承体衬底之后不必再执行其他的涂层工艺。

[0020] 根据至少另一有利的扩展方案,支承体衬底在主面上具有掺杂区,其在导电连接层之间构建保护二极管。通过保护二极管有利地保护光电子器件避免静电放电(ESD)导致的损害。

[0021] 保护二极管尤其可以构建为使得支承体衬底是未掺杂的并且掺杂区具有 p 掺杂区域和 n 掺杂区域,其中第一导电连接层与掺杂区的 p 掺杂区域导电连接,并且第二导电连接层与掺杂区的 n 掺杂区域导电连接。掺杂区的 p 掺杂区域和 n 掺杂区域分别通过将 p- 或 n 掺杂材料的离子注入到支承体衬底中产生。在由硅构成的半导体衬底中,例如 B 可以作

为 p 掺杂材料使用于产生 p 掺杂区域,并且 P 可以作为 n 掺杂材料用于产生保护二极管的 n 掺杂区域。

[0022] 半导体本体的外延层序列优选具有 p 掺杂的半导体区域和 n 掺杂的半导体区域,其中第一导电连接层与 n 掺杂的半导体区域导电连接并且第二导电连接层与 p 掺杂的半导体区域导电连接。

[0023] 通过第一导电连接层与掺杂区的 p 掺杂区域导电连接并且第二导电连接层与掺杂区的 n 掺杂区域导电连接的方式,掺杂区形成保护二极管,其与光电子器件的外延层序列的 pn 结反并联。因此,当电压(例如通过静电充电)施加到光电子器件的 pn 结的反向时,保护二极管因此导电。电压在这种情况下通过电流流过保护二极管而降低。光电子器件的 pn 结以这种方式被保护不受在反向中的过高电压导致的损坏。

[0024] 在一个优选的实施形式中,掺杂区设置在支承体衬底的朝向半导体本体的第一主面上。掺杂区优选地构建为使得 p 掺杂部分区域和 n 掺杂部分区域彼此邻接并且以平行于支承体衬底主面的方向并排地设置。为了将掺杂区的 p 掺杂的部分区域与第一导电连接层连接并且将 n 掺杂的部分区域与第二导电连接层连接,掺杂区不必到达在支承体衬底中的穿通部。更确切而言,掺杂区在支承体衬底的第一主面上可以有利地邻接焊接层,该焊接层将第一导电连接层与半导体本体的 n 接触部导电地连接,并且掺杂区的 n 掺杂部分区域可以邻接将第二导电连接层与半导体本体的 p 接触部导电连接的焊接层。

[0025] 在另一优选扩展方案中,光电子器件的外延层序列不具有生长衬底。因此,涉及所谓薄膜发光二极管,其中用于生长外延层序列的生长衬底在半导体本体与支承体衬底连接之后被剥离。

[0026] 在一种用于制造光电子器件的方法中,在第一步骤中制造由多个半导体本体和作用为支承体衬底的半导体晶片构成的复合物。随后在支承体衬底中产生侧壁的第一部分区域,其中在第一部分区域中侧壁分别倾斜于支承体衬底的主面延伸。在下一步骤中,将电绝缘层在第一部分区域中施加到侧壁上。随后将半导体晶片分割成单个的光电子器件,其中在分割时形成侧壁的第二区域,该第二区域不设有电绝缘层。

[0027] 下面根据与图 1 和 2 相关联的实施例详细阐明本发明。

[0028] 其中:

[0029] 图 1 示出了穿过根据本发明的一个实施例的光电子器件的横截面示意图,和

[0030] 图 2A 至 2D 示出了在用于制造光电子器件的方法的一个实施例中的中间步骤的示意图。

[0031] 在附图中示出的组成部分以及组成部分互相的大小关系不视为合乎比例的。

[0032] 在根据本发明的光电子器件的在图 1 中示出的实施例中涉及 LED。LED 具有半导体本体 1,该半导体本体具有带有适合用于辐射发射的有源层 4 的外延层序列 2。有源层 4 例如可以具有 pn 结或用于辐射产生的单或多量子阱结构。有源层 4 设置在 p 掺杂的半导体区域 3 和 n 掺杂的半导体区域 5 之间。半导体本体 1 的侧壁有利地设有绝缘层 13。

[0033] 半导体本体 1 可以在其辐射出射面 22 上粗化或者设有结构化部 17,使得改进从半导体本体 1 中出来的辐射耦合输出。半导体本体在辐射出射面 22 上的结构化部或粗化部尤其可以以刻蚀工艺进行。

[0034] 在根据实施例的 LED 中涉及所谓薄膜 LED,从该薄膜 LED 中将用于生长外延层序列

2 的生长衬底事后从外延层序列 2 中剥离。原始的生长衬底已被从半导体本体 1 侧脱离,现在在该侧上存在辐射出射面 22。

[0035] 在与辐射出射面 22 对置的表面上,半导体本体 1 借助与焊接连接部 7 与支承体衬底 6 连接。在元件制造时,半导体本体 1 与支承体衬底 6 的连接优选在将原始的生长衬底从半导体本体 1 的现在作用为辐射出射面 22 的表面剥离之前进行。因为支承体衬底 6 相反于生长衬底不必适合用于外延地生长外延层序列 2,所以对于支承体衬底在材料选择时存在相对较大的自由度,其中该外延层序列例如基于氮化合物半导体材料。尤其可以选择如下支承体衬底,这种支承体衬底的特征在于比较低的成本和 / 或良好的导热能力。

[0036] 焊接连接部 7 例如可以由施加到支承体衬底上的焊接层 7a 和施加到半导体本体 1 上的焊接层 7b 构成,其中焊接层 7a 尤其可以为 Au 层,其中焊接层 7b 尤其可以为 AuSn- 层。施加到支承体衬底 6 上的焊接层 7a 和施加到半导体本体 1 上的焊接层 7b 可以在焊接连接部 7 的制造时尽可能地彼此熔接并且因此在光电子器件中不再必须可辨别为单个的层。

[0037] 支承体衬底 6 具有朝向半导体本体 1 的第一主面 11 和背离半导体本体的第二主面 12。在支承体衬底 6 中构建有第一贯通部 8a, 第一导电连接层 9a 穿过该第一贯通部从支承体衬底 6 的第一主面 11 引向第二主面 12。此外,在支承体衬底 6 中构建有第二贯通部 8b, 第二导电连接层 9b 穿过该第二贯通部从支承体衬底 6 的第一主面 11 引向第二主面 12。导电连接层 9a、9b 例如可以包括 Au 或 CuW。

[0038] 支承体衬底 6 由半导体材料形成。支承体衬底 6 尤其可以是硅衬底。由例如硅的半导体材料构成的支承体衬底 6 的使用具有下述优点,即支承体衬底 6 比较廉价并且可以比较简单地用标准化的半导体工艺加工。

[0039] 为了避免在光电子器件中的短路,除了用连接层 9a、9b 填充的贯通部 8a、8b 之外,支承体衬底 6 的第一主面 11 和第二主面 12 设有电绝缘层 13。为了使支承体衬底 6 的半导体材料与连接层 9a、9b 绝缘,贯通部 8a、8b 的内壁还分别设有电绝缘层 13。

[0040] 在支承体衬底 6 的贯通部 8a、8b 中的导电连接层 9a、9b 的制造例如可以进行为使得首先例如为 Au 金属化部的金属化层 16 施加到贯通部 8a、8b 的设有绝缘层 13 的内壁上。然后,连接层 9a、9b 例如以电镀方式在贯通部 8a、8b 中产生,其中金属化层 16 作用为生长层。

[0041] 用于制造连接层 9a、9b 的另一有利的变形方案在于,焊剂以液态金属的形式挤入到贯通部 8a、8b 中 (liquid solder fill (液态焊剂填充))。该工艺相比较电镀工艺更简单并且更快速。

[0042] 这两个导电连接层 9a、9b 用于电接触半导体本体 1。例如,第一导电连接层 9a 与外延层序列 2 的 n 掺杂半导体区域 5 导电连接,并且第二导电连接层 9b 与 p 掺杂半导体区域 3 导电连接。

[0043] 在第二导电连接层 9b 和外延层序列 2 的 p 掺杂区域 3 之间的导电连接可以通过焊接连接部 7 进行,其设置在半导体本体 1 和支承体衬底 6 之间。第二导电连接层 9b 尤其邻接焊接连接部 7 的区域,该区域与 p 掺杂的半导体区域 3 电连接。p 掺杂的半导体区域 3 不必直接地邻接焊接连接部 7,如在附图中示出那样。更确切而言,可以在 p 掺杂的半导体区域 3 和焊接连接部 7 之间设置尤其是镜层 (未示出) 的另一层,该层将有源层 4 朝着支承体衬底发射的辐射向着辐射出射面 22 偏转。除了镜层,也还可以在 p 掺杂的半导体区域

3 和焊接连接部 7 之间设置例如阻挡层、浸润层或增附层的其他层,这些层例如阻止焊接连接部 7 的焊剂材料扩散到镜层中或者改进半导体本体 1 借助焊剂材料的浸润。

[0044] 第一导电连接层 9a 有利地与 n 掺杂的半导体区域 5 导电连接。这例如可以进行为使得焊接连接部 7 的部分区域通过绝缘层 23 与其余的焊接连接部 7 和 p 掺杂的半导体区域 3 绝缘。穿通接触部 15 从焊接连接部 7 的该区域通过穿过外延层序列 2 的穿通部引导到 n 掺杂的半导体区域 5 中。穿通接触部 15 通过绝缘层 23 与 p 掺杂的半导体区域 3 和有源层 4 绝缘。绝缘层 23 可以在焊接连接部 7 的区域中具有两个空腔 21,其可以通过如下方式形成:为了制造焊接连接部 7 而施加到半导体本体 1 上的焊接层 7b 和施加到支撑体衬底 6 上的焊接层 7a 比分别施加到半导体本体 1 和支撑体衬底 6 上的绝缘层 23 厚。

[0045] 借助穿过有源区 4 引导的穿通接触部 15 接触光电子器件具有下述有点,即 n 掺杂的半导体区域 5 和 p 掺杂的半导体区域 3 的接触均从半导体本体 1 的朝向支撑体衬底 6 的侧出发来进行。因此,光电子器件的辐射出射面 22 有利地没有例如接合垫、接触金属化部或连接线的电接触部元件。以这种方式避免通过在辐射出射面 22 上的接触元件吸收辐射。

[0046] 在支撑体衬底 6 的与半导体本体 1 对置的第二主面 12 上,穿过穿通部 8a、8b 引导的导电连接层 9a、9b 可以有利地从外部被连接。导电连接层 9a、9b 尤其可以在支撑体衬底 6 的第二主面上与电路板 18 的印制导线 19 连接。导电连接层 9a、9b 例如可以在支撑体衬底 6 的第二主面 12 上分别设有例如镍层的金属化层 24,该金属化层分别借助焊接层 20 与电路板 18 的印制导线 19 连接。光电子器件于是有利地是可表面安装的。

[0047] 通过光电子器件具有由半导体材料构成的支撑体衬底 6 以及在支撑体衬底的与半导体本体 1 对置的第二主面上的两个连接接触部的方式,当电流经过支撑体衬底 6 的侧壁 10 传导时,会在两个导电连接层 9a、9b 之间或电路板 18 的印制导线 19 之间形成短路。然后,这尤其在如下情况下如此:在光电子器件焊接到电路板 18 的印制导线 19 上时焊接层 20 达到支撑体衬底 6 的侧壁 10 的区域中。为了避免这种短路,侧壁 10 至少在部分区域 10a 中设有电绝缘层 13。因此,电绝缘层 13 不仅施加到支撑体衬底 6 的主面 11、12 和穿通部 8a、8b 的内壁上还至少施加到侧壁 10 的部分区域 10a 上。侧壁 10 的电绝缘层 13 施加到其上的部分区域 10a 优选邻接支撑体衬底 6 的第二主面 12,因为此处由于可能上升到侧壁 10 上的焊接层 20 引起的短路的危险是最大的。

[0048] 当侧壁 10 的邻接用于半导体本体 1 的焊接连接部 7 的部分区域 10b 未被绝缘层 13 覆盖时,短路的风险是较小的。侧壁 10 的未被绝缘层 13 覆盖的部分区域 10b 例如可以通过如下方式形成:在制造光电子器件时,首先将多个半导体本体 1 与由硅构成的、用作支撑体衬底 6 的半导体晶片连接,并且然后半导体晶片事后分割成单个的光电子器件。侧壁的未被绝缘层 13 覆盖的部分区域 10b 在种情况下是在其上半导体晶片曾被分割的区域。因此,侧壁 10 的没有被绝缘层 13 覆盖的部分区域 10b 优选垂直于支撑体衬底 6 的第一主面延伸。

[0049] 电绝缘层 13 到侧壁 10 的部分区域 10a 上以及到支撑体衬底 6 的其余设有绝缘层 13 的区域上的施加优选通过热氧化和 / 或涂层方法进行,其中 CVD 方法尤其适合。绝缘层 13 可以是例如由 SiO_2 构成的氧化硅层。氧化硅层可以有利地通过热氧化制造在由硅构成的支撑体衬底 6 上。可替选的是,氮化硅层尤其合适,其中氮化硅可以具有化学计量的或非化学计量的组成 SiN_x 。

[0050] 侧壁 10 的用绝缘层 13 覆盖的部分区域 10a 优选倾斜于支承体衬底 6 的主面 11、12 延伸。侧壁的第一部分区域 10a 尤其可以以相对于支承体衬底 6 的第二主面 12 的钝角 α 延伸。在此,钝角 α 优选地为在 100° 和 135° 之间,其中包括边界值。通过侧壁 10 的第一部分区域 10a 倾斜于支承体衬底 6 的第二主面延伸的方式,使得用绝缘层 13 涂层部分区域 10a 变得容易。涂层尤其可以从支承体衬底的第二主面 12 设置在其上的侧起进行,并且可以有利地尤其在晶片阶段中进行,即在将用作支承体衬底 6 的半导体晶片分割成单个的光电子器件之前。因为分割在这种情况下在涂层过程之后才进行,所以侧壁 10 的用作分割面的第二部分区域 10b 保持未涂层。

[0051] 有利的是,侧壁的设置绝缘层的部分区域 10a 的高度至少为支承体衬底 6 的整体高度的 30%。在此,侧壁的倾斜延伸的部分区域 10a 的高度理解为在垂直于支承体衬底 6 的主面 11、12 的方向上的投影。侧壁的设置绝缘层的部分区域 10a 的高度尤其可以为支承体衬底 6 的高度的 10%至 50%。例如,部分区域 10a 的高度为在 $20\ \mu\text{m}$ 和 $100\ \mu\text{m}$ 之间,其中包括边界值。支承体衬底 6 的高度例如可以为大约 $150\ \mu\text{m}$ 。

[0052] 为了保护光电子器件的有源区 4 不受静电放电导致的高反向电压的影响,在支承体衬底 6 中构建有掺杂区 14,该掺杂区形成保护二极管。掺杂区 14 具有 p 掺杂区域 14a 和 n 掺杂区域 14b,其彼此邻接并且于是形成 pn 结。掺杂区 14 优选地设置在支承体衬底 6 的第一主面 11 上。可替换地还可能的是,掺杂区 14 产生在支承体衬底 6 的第二主面 12 上。

[0053] 掺杂区 14 的 p 掺杂的区域 14a 和 n 掺杂的区域 14b 可以通过离子注入到支承体衬底 6 中产生。如果支承体衬底是硅衬底,则例如 p 掺杂的部分区域可以通过 B 的注入产生并且 n 掺杂的区域可以通过 P 的注入产生。

[0054] 掺杂区 14 的 p 掺杂区域 14a 与第一导电连接层 9a 连接。掺杂区 14 的 n 掺杂区域 14b 与第二导电连接层 9b 连接。电连接通过如下方式产生:焊接层 7 的与第一导电连接层 9a 连接的部分邻接 p 掺杂的部分区域 14a,并且焊接层 7 的借助绝缘层 23 与第一导电连接层 9a 绝缘的其他部分与第二导电连接层 9b 连接。

[0055] 通过第一导电连接层 9a 通过穿通接触部 15 与 n 掺杂的半导体区域 5 连接,并且第二导电连接层 9b 与光电子器件的 p 掺杂的半导体区域 3 连接的方式,掺杂区 14 形成 pn 结,其与光电子器件的 pn 结反并联。因此,当在导电连接层 9a、9b 上施加电压时,通过掺杂区 14 在支承体衬底 6 中构成的 pn 结以正向来极化,该电压以光电子器件的有源层 4 的反向来极化。因此,掺杂区 14 形成用于光电子器件的 ESD 保护二极管。

[0056] 通过由半导体材料构成的支承体衬底 6 的侧壁绝缘,并且 ESD 保护二极管集成到支承体衬底 6 中,光电子器件的特征尤其在于相对于短路和静电放电 (ESD) 较小的敏感性。

[0057] 在用于在此描述的光电子器件的制造方法中,优选的是,同时在作用为支承体衬底 6 的半导体晶片上制造多个光电子器件。在图 2A 中示出的中间步骤中,制造由作为支承体衬底 6 的半导体晶片和多个半导体本体 1 构成的复合物。半导体本体 1 和支承体衬底 6 的细节对应于在图 1 中示出的实施例,并且因此不再详细阐明。

[0058] 在图 2B 中示出的中间步骤中,在支承体衬底的邻接支承体衬底 6 的第二主面 12 的第一部分区域 10a 中产生倾斜的侧壁。这尤其可以通过如下方式进行:在支承体衬底 6 的第二主面 12 的位置上产生 V 形的凹处 25,在该位置上支承体衬底 6 稍后应该分割成单个的器件。因此 V 形的凹处 25 以垂直的方向与半导体本体 1 之间的间隙对置。

[0059] 在图 2C 中示出的中间步骤中, V 形的凹处 25 设有电绝缘涂层 13。涂层有利地的仍然在晶片复合物中进行, 即在将支承体衬底 6 分割成单个的光电子器件之前。在施加电绝缘涂层 13 之后, 分割在半导体本体 1 之间的支承体衬底 6。在图 2C 中这由虚线 26 来表示。

[0060] 以这种方式产生光电子器件, 如在图 2D 中所示, 其分别在支承体衬底 6 上具有半导体本体 1。制成的光电子器件分别具有支承体衬底 6, 其侧壁 10 在第一部分区域 10a 中倾斜于支承体衬底 6 的主面 11、12 延伸并且设有电绝缘涂层 13。侧壁的第二部分区域 10b 通过支承体衬底 6 的分割形成并且是未涂层的。侧壁 10 的第二部分区域 10b 优选垂直于支承体衬底 6 的第二主面 12 延伸。

[0061] 本发明不通过借助实施例的描述受限。更确切而言, 本发明包括任意新的特征以及特征的任意组合, 这尤其包括在权利要求中的特征的任意组合, 即使该特征或该组合本身没有在权利要求或实施例中明确说明。

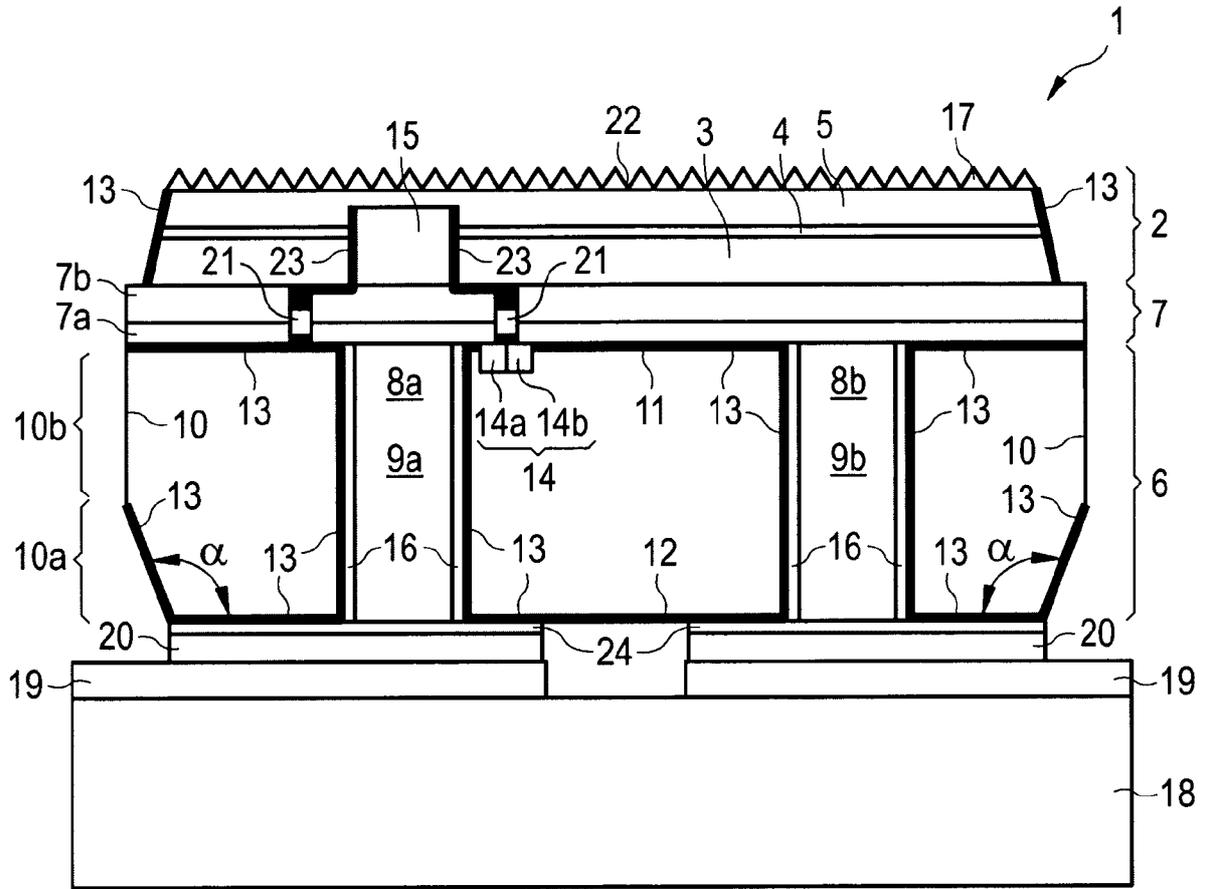


图 1

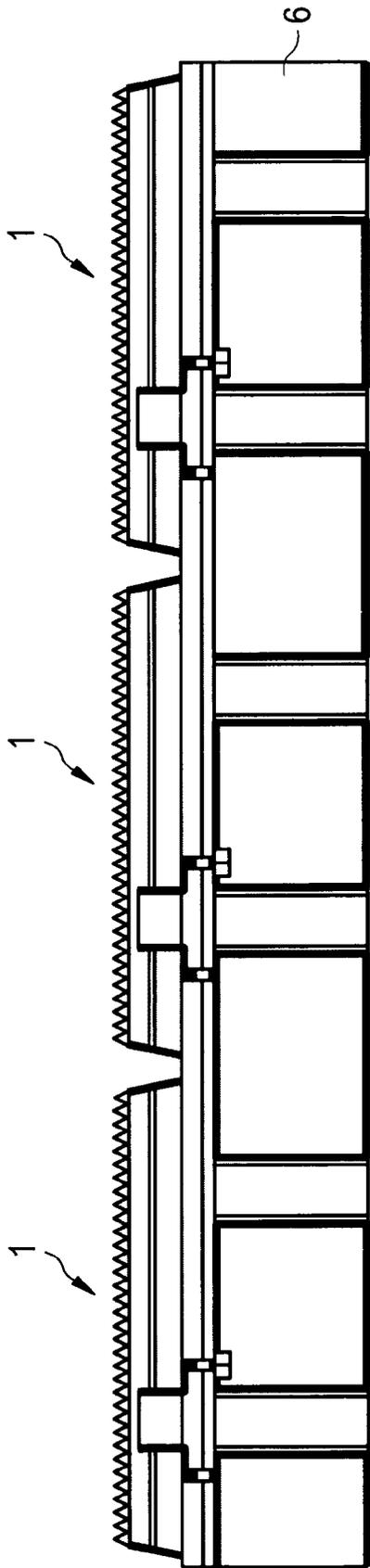


图 2A

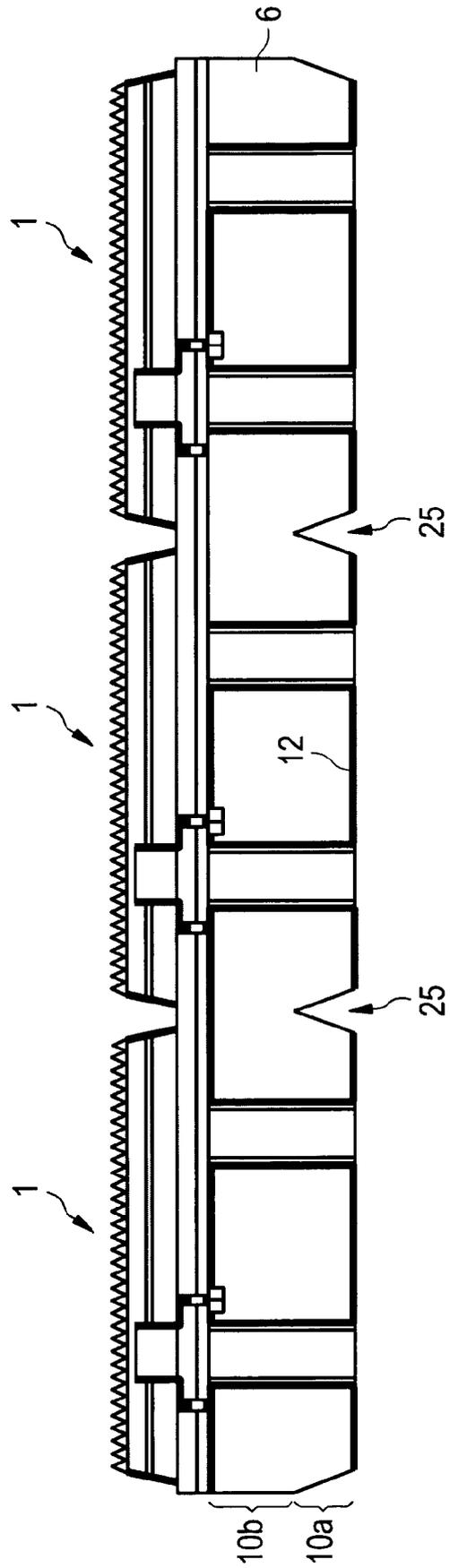


图 2B

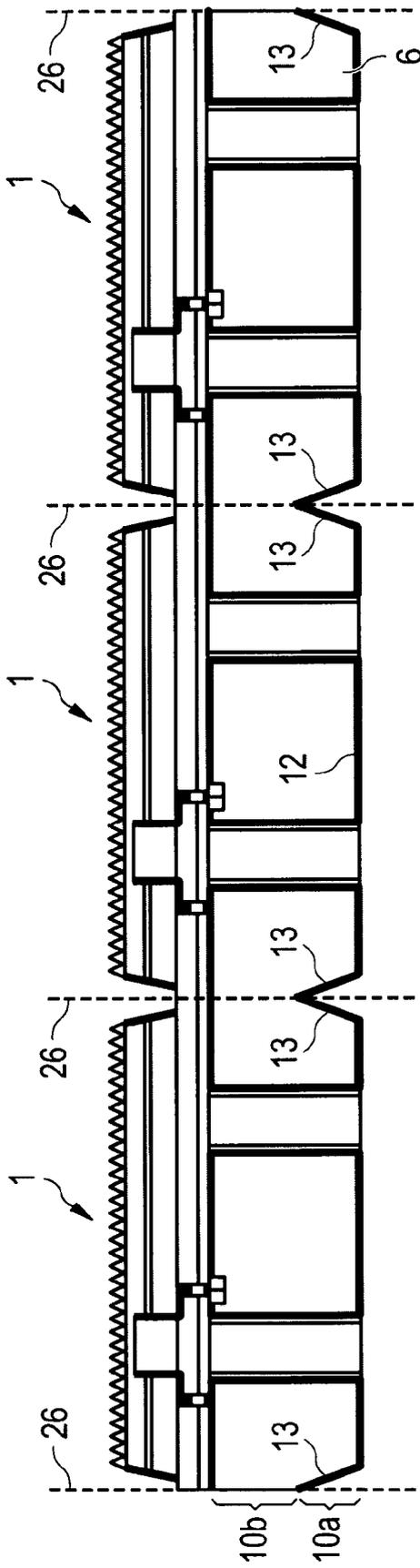


图 2C

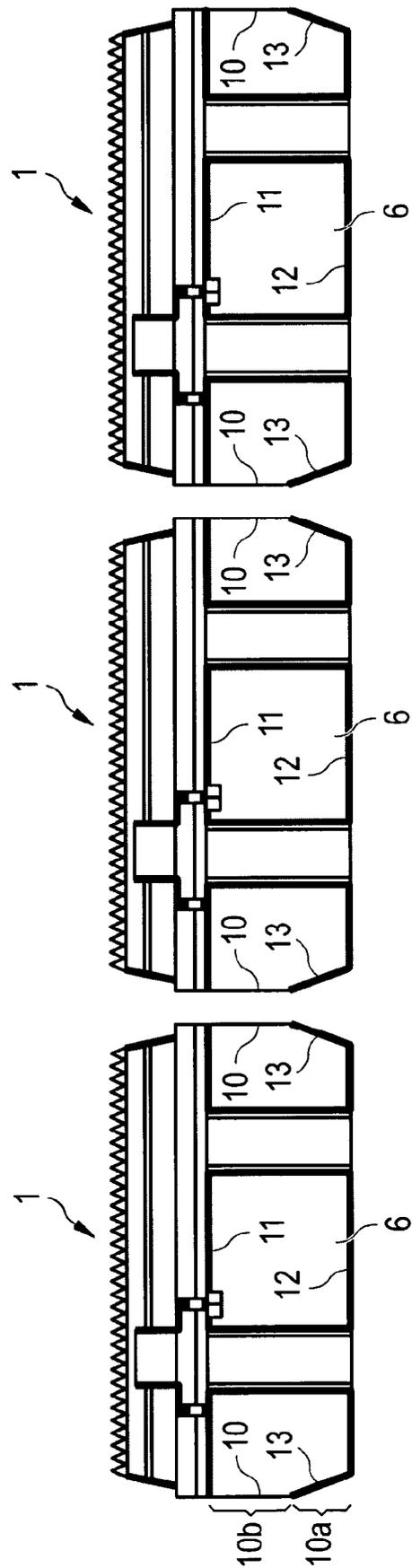


图 2D