

公告本

申請日期: 94 4 13 案號: 90108868

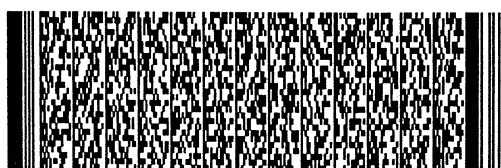
類別: 11011 31/82

(以上各欄由本局填註)

發明專利說明書

508751

一、 發明名稱	中文	藉由接觸S/D穿過氧化物的接觸窗而形成高S/D CMOS元件之方法
	英文	Method to form an elevated S/D CMOS device by contacting S/D through the contact of oxide
二、 發明人	姓名 (中文)	1. 潘陽 2. 詹姆斯李雍盟
	姓名 (英文)	1. Yang Pan 2. James Yong Meng Lee
	國籍	1. 新加坡 2. 新加坡
	住、居所	1. 大牌1P, 潘尼園, #02-77, 新加坡951401郵區(BLK 1P, Pine Grove#02-77, Singapore 591401) 2. 大牌103, 佐落東街13號, 新加坡600103郵區(BLK 103, Jurong East St13, #12-208, Singapore 600103)
三、 申請人	姓名 (名稱) (中文)	1. 美商·特許半導體製造公司
	姓名 (名稱) (英文)	1. Chartered Semiconductor Manufacturing, Inc
	國籍	1. 美國
	住、居所 (事務所)	1. 美國加州95035密勒比達斯市麥卡肯道1450號(1450 McCandless Drive, Milpitas, CA95035, USA)
	代表人 姓名 (中文)	1. 麥克路庫克
	代表人 姓名 (英文)	1. Mike Rekuc



申請日期：	案號：
類別：	

(以上各欄由本局填註)

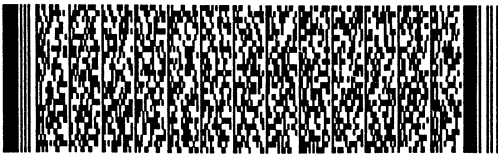
發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人	姓 名 (中文)	3. 林楊曠 4. 耶魯漢卡拉瑪雷瑪
	姓 名 (英文)	3. Ying Keung Leung 4. Yelehanka Ramachandramorthy Pradeep
	國 籍	3. 香港 4. 印度
	住、居所	3. 公寓2301, 卡惕屋, 卡羅巷, 亞伯丁, 香港(Flat 2301, Ka Kit House, Ka Lung Court, Aberdeen, Hong Kong) 4. 大牌279, 06-328, 逸仙路22號新加坡760279郵區(BLK279, 06-328, Yishun St. 22, Singapore 760279)
三、 申請人	姓 名 (名稱) (中文)	
	姓 名 (名稱) (英文)	
	國 籍	
	住、居所 (事務所)	
	代表人 姓 名 (中文)	
	代表人 姓 名 (英文)	



申請日期：	案號：
類別：	

(以上各欄由本局填註)

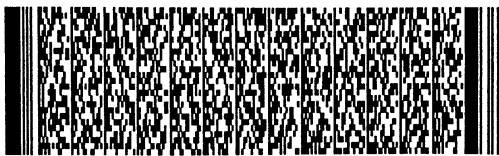
發明專利說明書		
一、 發明名稱	中 文	
	英 文	
二、 發明人	姓 名 (中文)	5. 張齊漢 6. 陳蘭
	姓 名 (英文)	5. Jiz Zhen Zheng 6. Lep Chan
	國 籍	5. 新加坡 6. 美國
	住、居所	5. 大牌119, 泰恩巷, #09-794, 新加坡680119郵區(BLK119, #09-794, Teck Whye Lane, Singapore 68019) 6. 美國加洲94109舊金山市拉堤3街1631號(1631Larkih St., #3, San Franciso, CA94109)
三、 申請人	姓 名 (名稱) (中文)	
	姓 名 (名稱) (英文)	
	國 籍	
	住、居所 (事務所)	
	代表人 姓 名 (中文)	
	代表人 姓 名 (英文)	
		

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人	姓 名 (中文)	7. 吉薩魁克 8. 拉維聖代依薩
	姓 名 (英文)	7. Eligin Quek 8. Ravi Sundaresan
	國 籍	7. 新加坡 8. 美國
	住、居所	7. 羅頓珮239號, #04-98, 新加坡310239郵區(239 Lor Ton Payoh, #04-98, Singapore310239) 8. 美國加州95117聖荷西市瓦頓道3369號(3369 Walton Way, San Jose, Ca95117)
三、 申請人	姓 名 (名稱) (中文)	
	姓 名 (名稱) (英文)	
	國 籍	
	住、居所 (事務所)	
	代表人 姓 名 (中文)	
	代表人 姓 名 (英文)	



本案已向

國(地區)申請專利
美國 US

申請日期
2000/11/16

案號
09/713,802

主張優先權
有

有關微生物已寄存於

寄存日期
寄存號碼

無



五、發明說明 (1)

【發明背景】

(1) 發明領域

本發明係有關於半導體元件之製造，尤其是在CMOS裝置中對於摻雜區之上升接觸窗之製造方法。

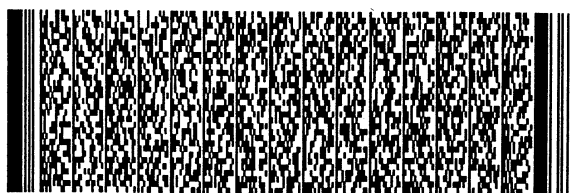
(2) 習知技術說明

近年來，半導體工業以相當快的速度蓬勃發展，為了達到高性能的積體電路或高封裝密度的晶圓，在超大型積體電路(ULSI)的領域中，半導體裝置的尺寸比以前而言是變得愈來愈小。

積體電路在晶圓的特定區域中包含超過百萬個元件及電連結結構，用以連接這些元件以執行所必需的功能，一項代表性的元件為金氧半場效電晶體(MOSFET)，傳統上，MOSFET已廣泛地應用在半導體技術中，隨著積體電路的趨勢，MOSFET的製造亦符合多種不同的製造問題，有關於熱載體注入的代表性問題藉由輕摻雜汲極(LDD)結構而予以克服。

隨著電晶體的尺寸更進一步縮小時，則短通道效應(SCE)變得非常重要，有一項挑戰為製造升高源極/汲極(S/D)以減少短通道效應(SCE)。

已有大量相關的專利和技術文獻以克服上述的各種缺點，最接近且明顯有關的係為美國專利第5,804,846號(Fuller)，係教導一種藉由W層及化學機械研磨進行的自行對準升高S/D之方法。



五、發明說明 (2)

美國專利第5,422,289號(Pierce)係顯示藉由化學機械研磨(CMP)一聚合層而形成升高源極/汲極(S/D)之方法。

美國專利第6,015,727號(Wanlass)係教導一種鑲嵌式源極/汲極(S/D)製程。

美國專利第5,851,883號(Gardner等)係顯示一種化學機械研磨(CMP)閘極及S/D製程。

【發明之目的】

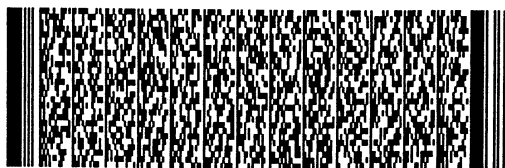
本發明之主要目的，係在於提供一種製造具有改良短通道效應(SCE)的MOS裝置之方法。

本發明之另一目的，係在於提供一種製造具有升高源極/汲極(S/D)的MOS電晶體之方法。

本發明之另一目的，係在於提供一種製造具有升高源極/汲極(S/D)及金屬栓塞接觸窗之MOS電晶體之方法，而通過該升高源極/汲極(S/D)至基板中的摻雜源極/汲極(S/D)。

本發明之另一目的，係在於提供一種製造第一及第二輕摻雜汲極區的MOS電晶體之方法，係具有一升高源極/汲極(S/D)及一金屬栓塞接觸窗，而通過該升高的源極/汲極(S/D)至基板中的摻雜源極/汲極(S/D)。

為了達成上述之目的，本發明係提供一種製造用於MOS元件的升高源極/汲極(S/D)之方法，本發明將概述如下，一第一絕緣層係形成覆蓋於一基板上，一閘極開口及



五、發明說明 (3)

源極/汲極開口係產生於第一絕緣層中，以暴露出基板，在閘極開口及源極/汲極(S/D)開口之間的第一絕緣層係為間隔塊，然後形成一LDD光阻罩幕，此LDD光阻罩幕具有開口覆蓋於第一絕緣層的源極/汲極上，植入離子穿過源極/汲極開口，以在基板中形成第一輕摻雜汲極區，然後移除LDD光阻罩幕，一第一介電層係形成於在閘極開口及源極/汲極開口中的基板上，在閘極開口形成一閘極，且在源極/汲極開口中形成升高源極/汲極(S/D)塊，移除間隔塊，以形成間隔塊開口，藉由離子植入穿過間隔塊開口，而形成第二LDD區，在間隔塊開口中形成第二間隔塊，形成栓塞開口穿過升高源極/汲極(S/D)塊，在栓塞開口中形成接觸窗栓塞。

本發明的第一及第二LDD、接觸窗栓塞及升高源極/汲極(S/D)區可減少短通道效應(SCE)，本發明的重要特徵係為：

升高源極/汲極(S/D)塊；

第一及第二LDD；以及

栓塞接觸窗。

本發明可以減少SCE，係因為N/+{+汲極係藉由聚合層中的一(n+)摻雜劑擴散而形成，接合面係非常的淺，TiSix或CoSix可形成聚合層的頂部上。

另外，本發明提供一種極具製造性之方法，且使用平坦化製程來控制厚度。

本發明達到文中說明的優點，然而，可以由下文的說明書



修正
補正
五、發明說明(4)

81年5月24日 案號 90108868

年 月 日 修正

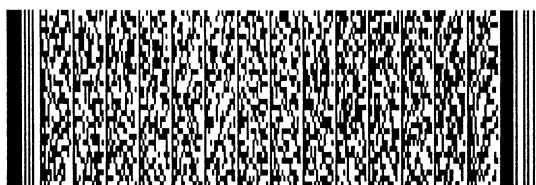
及附圖更進一步了解本發明的特性及其優點。

【圖號對照說明】

- 10 基板
- 11 第一LDD源極/汲極區
- 12 第一LDD源極/汲極區
- 13 通道區
- 14 源極/汲極開口
- 16 源極/汲極開口
- 18 閘極開口
- 22 第一絕緣層
- 24 間隔塊
- 30 LDD光阻罩幕
- 34 第一輕摻雜汲極區
- 38 第一介電層
- 40 升高源極/汲極(S/D)塊
- 42 升高源極/汲極(S/D)塊
- 46 閘極
- 48 間隔塊開口
- 50 第二輕摻雜汲極區區
- 58 栓塞開口
- 60 栓塞開口光阻罩幕
- 62 栓塞接觸窗

【較佳實施例之詳細說明】

本方法製造MOS元件的升高源極/汲極(S/D)之一較佳



修正
91年5月24日
補充
五、發明說明(5)

案號 90108868

年 月 日

修正

實施例此將描述如下。

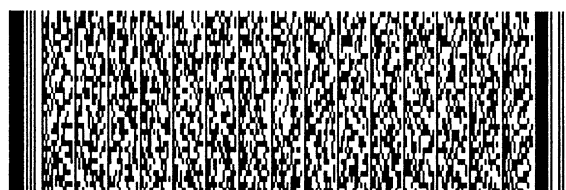
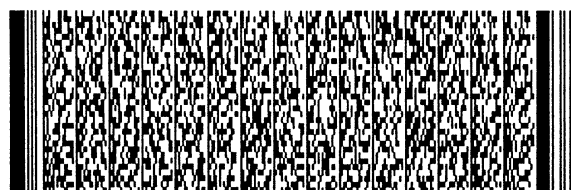
本發明中提出一種製造自行對準接觸窗深次微米閘極 MOSFET 之新穎方法，其具有第一及第二淺延伸源極及汲極接合面(LDD)34、50及栓塞接觸窗62，而穿過升高 S/D40(參閱第8圖)，在本發明中，可藉由使用栓塞接觸窗技術而增加元件操作速度，栓塞接觸窗技術為自行對準矽化物(salicide)技術的一項改進，短通道效應可藉由使用本發明的栓塞接觸窗、升高源極及汲極接合面、及第一/第二延伸超淺源極及汲極接合面而被抑制。

如第1圖所示，第一絕緣層係形成覆蓋於基板10上，第一絕緣層最好由氧化矽或氮化矽(Si_3N_4)所組成者，第一絕緣層最好具有一個介於1000到3000埃之間的厚度，該基板係具有至少一通道區13，然後在該區域的上方隨後形成一閘極，及在源極/汲極區隨後形成源極/汲極(S/D)。

請再參閱第1圖，在第一絕緣層22中形成一閘極開口18及一源極/汲極開口14、16，而暴露出基板10，該閘極開口在基板中定義出一通道區13，由源極/汲極(S/D)開口14、16在基板中定義出第一LDD源極/汲極區11、12，閘極開口18及源極/汲極(S/D)開口14、16定義出第一絕緣層的間隔塊24。

如第2圖所示，形成一LDD光阻罩幕30，其在第一絕緣層22中係具有開口覆蓋於源極/汲極開口14上。

再參閱第2圖，植入離子穿過源極/汲極(S/D)開口14，以在基板10中形成第一輕摻雜汲極區34，第一輕摻雜汲極區34最好具有一個介於 $1\text{E}17$ 至 $1\text{E}18$ atom/cc之間的濃



五、發明說明 (6)

度，且具有一個低於基板表面的深度，係介於0.08到0.15 μm 之間。

接著，移除LDD光阻罩幕30。

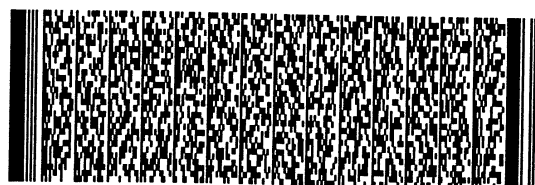
如第3圖所示，在閘極開口18及源極/汲極開口14、16中的基板10上形成一第一介電層38，覆蓋在通道區13上的第一介電層(參閱第11圖)將作為閘極介電層，第一介電層38最好由氧化矽或其他介電膜所組成，且最好氧化物具有一個介於約20到50埃之間的厚度。

如第4圖所示，在閘極開口18中形成閘極46，且在源極/汲極開口14、16中形成升高源極/汲極(S/D)塊40、42。

閘極46及升高源極/汲極(S/D)塊(升高源極/汲極(S/D))40、42最好藉由形成一傳導層覆蓋於第一絕緣層22及第一介電層38而被形成，且化學機械研磨(CMP)傳導層，閘極46及升高源極/汲極(S/D)塊(升高源極/汲極(S/D))40、42最好由多晶矽所組成。

如第5圖所示，移除間隔塊24(參閱第4圖)，以形成間隔塊開口48，間隔塊24可藉由製造一具有開口覆蓋於間隔塊24上的光阻罩幕(未顯示)而移除之，接著，一蝕刻係使用於移除隔板塊，然後移除光阻罩幕。

如第5圖所示，藉由植入離子穿過隔板塊開口48而形成第二LDD區50，第二輕摻雜汲極區34最好具有一個介於 $1\text{E}17$ 至 $1\text{E}19$ atom/cc之間的濃度，且具有一個介於約200及1500埃之間的深度。



五、發明說明 (7)

本發明人發現第二LDD區50相當重要，此係因為這些區域接近閘極邊緣之故，且使得該元件的效能更緊緻。

如第6圖所示，在間隔塊開口48中形成第二間隔塊，第二間隔塊係最好藉由沈積一封鎖(blank)介電層覆蓋於表面上而形成，且平坦化(例如化學機械研磨(CMP))該封鎖介電層，第二間隔塊最好由氧化矽及氮化矽所組成。

如第7圖所示，形成栓塞開口58穿過升高源極/汲極(S/D)塊40、42，一栓塞開口光阻罩幕60係形成覆蓋於基板表面上(如第二間隔塊54、閘極46、及升高源極/汲極(S/D)塊40、42、第一絕緣層22)。

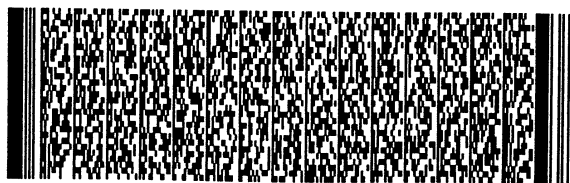
如第8圖所示，然後移除栓塞開口光阻罩幕60。

如第8圖所示，在栓塞開口58中形成接觸窗栓塞62，接觸窗栓塞62最好係由鎢(W)所組成，接觸窗栓塞62最好係由鎢(W)或多晶矽所組成，接觸窗栓塞62最好係由沉積一毯覆式W層且化學機械研磨(CMP)該毯覆式W層而形成之，該接觸窗尺寸(接觸窗栓塞的尺寸)必須會與特定技術之設計規則一致。

此外，矽化物接觸窗(未顯示)(如TiSix，或CoSix)可形成於聚合層(如40、42、46)的頂部，而不會導致任何的接合面漏電，此為本發明的另一個主要的優點。

【本發明之優點】

本發明的第一及第二LDD、接觸窗栓塞及升高S/D區可減少SCE，本發明之主要特徵係為：



五、發明說明 (8)

(1) 升高源極/汲極(S/D)塊40、(2)第一及第二LDD34、50及(3)栓塞接觸窗54。

本發明減少短通道效應(SCE)，此係因為經由從聚合層中擴散(n+)摻雜而形成N+/P+汲極，接合面可為非常淺的，形成TiSix或CoSix於聚合層的頂部，而不會導致任何的接合面漏電。

作為詳細說明之序言，須了解在說明書及申請專利範圍中的單字"a"，"an"及"the"除非是文中特別說明者，否則包含多個指示的對象，因此，例如"半導體"一詞包含多種不同的材料，而其具有半導體所應用有的行為者，比如說"電漿"一詞包含由RF發光放電動作的氣體或氣體反應劑，此將於下文中加以說明對於本發明特別具重要性的特定效應。

如在說明中所使用的矽，包括有多晶矽、非晶矽(非結晶矽)、單晶矽及矽/鍍材料，這類的矽可為n-或p-摻雜或無摻雜。

CVD意指化學氣相沉積，LPCVD意指低壓化學氣相沈積，離子植入意指離子的植入，例如用於摻雜一半導體基板，自行對準矽化處理意指自行對準矽化物的形成。

電子元件意指主動電子元件及被動元件部份，電導體意指一個傳導電的材料，且包含有金屬、p型材料(已摻雜一受體型式雜質的半導體材料，且經由電洞的遷移而傳導電流)，及n型材料(指已摻雜一施體型式雜質的半導體材料，且經由電子傳導電流)。



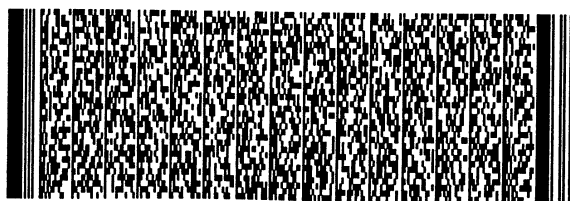
五、發明說明 (9)

在文中的氧化物意指氧化矽，而於文中的氮化物意指氮化矽，該氧化物可為摻雜及無摻雜者，諸如PSG(磷矽玻璃)或BPSG(硼摻雜PSG)，一隔離層或絕緣層意指具有高電阻率的一層，其為不導電者，且作為一鈉阻障。

在本發明中，基板可為在微電子製造中使用的基板，此微電子製造係從下列各項中選擇出來的但不局限於，積體電路微電子製造，太陽能微電子製造，陶瓷基板微電子製造，及平板顯示器微電子製造，雖然在第1圖的示意圖中沒有特別顯示出來，基板10可為在微電子製造中所使用的基板，或者是，基板可為在陶瓷(tile)微電子製造中所使用的基板，其中任何數個額外的微電子層形成於該基體上或覆蓋其上，如同傳統在微電子製造中所使用者，此類額外的微電子層可包含(但是不限於)微電子導體層、微電子半導體層及微電子介電層。

雖然對上述細節如流速、壓力設定和厚度等有各種特定之詳細說明以提供本發明更完全的了解，惟，對於熟悉該項技藝人士當可實施而不需這些細節，在其它例子中，熟悉的方法並未詳加說明以免模糊本發明，而且，說明書中之流速可加快或減慢以保持保持同樣之克分子百分比或比率以順應該項技藝人士所知之差異量度反應器。

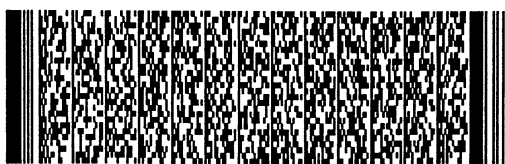
雖然本發明已參考其較佳實施例而被特別地表示並說明，惟熟習本技藝之人士應瞭解地是各種在形式上及細節上的改變可在不背離本發明之精神與範疇下為之。



圖式簡單說明

依照本發明之半導體元件之特點及功效和一昭本發明製造此一半導體元件之程序之進一步細節將由以下之說明配合圖式清晰得知，其中相同標示號碼意味著相同或相關的元件、區域以及零件，其中：

第1圖到第8圖係為橫剖面圖，係說明本發明用於製造升高源極/汲極(S/D)塊之方法。

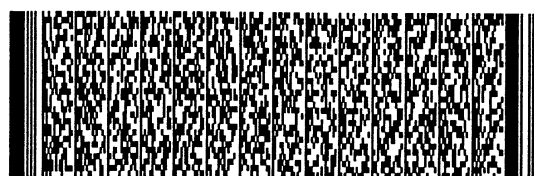


四、中文發明摘要 (發明之名稱：藉由接觸S/D穿過氧化物的接觸窗而形成高S/D CMOS元件之方法)

一種用於一MOS元件之升高源極/汲極(S/D)之製造方法，一具有一閘極開口及源極/汲極開口的第一絕緣層係形成覆蓋於一基板上，在閘極開口及源極/汲極(S/D)開口之間的第一絕緣層為間隔塊，形成一LDD光阻罩幕，此LDD光阻罩幕具有開口覆蓋於源極/汲極開口上，植入離子穿過源極/汲極開口，以在基板上形成第一輕摻雜汲極區，然後移除LDD光阻罩幕，在閘極開口及源極/汲極開口中的基板上形成一第一介電層，在源極/汲極開口中的閘極開口及升高源極/汲極(S/D)塊形成一閘極，移除間隔塊，以形成間隔塊開口，將離子植入穿過該間隔塊開口，而形成第二LDD區域，在間隔塊開口中形成第二間隔塊，栓塞開口係形成穿過該升高源極/汲極(S/D)塊，接觸窗栓塞係形

英文發明摘要 (發明之名稱：Method to form an elevated S/D CMOS device by contacting S/D through the contact of oxide)

A method of fabrication of an elevated source/drain(S/D) for a MOS device. A first insulating layer having a gate opening and source/drain openings is formed over a substrate. The first insulating layer between the gate opening and the source / drain (S/D) openings are spacer blocks. We form a LDD resist mask having opening over the source/drain openings over the first insulating layer. Ions are implanted through the source/drain openings to form first lightly



四、中文發明摘要 (發明之名稱：藉由接觸S/D穿過氧化物的接觸窗而形成高S/D CMOS元件之方法)

成於栓塞開口中，本發明的第一及第二LDD、接觸窗栓塞及升高源極/汲極(S/D)區可減少短通道效應(SCE)。

英文發明摘要 (發明之名稱：Method to form an elevated S/D CMOS device by contacting S/D through the contact of oxide)

doped drain regions in the substrate. Then we remove the LDD resist mask. A first dielectric layer is formed on the substrate in the gate opening and source/drain openings. A gate is formed in the gate opening and raised source / drain (S/D) blocks in the source/drain openings. We remove the spacer blocks to form spacer block openings. We form second LDD regions by implanting ions through the spacer block openings. We form second spacer blocks in the spacer block openings.



四、中文發明摘要 (發明之名稱：藉由接觸S/D穿過氧化物的接觸窗而形成高S/D CMOS元件之方法)

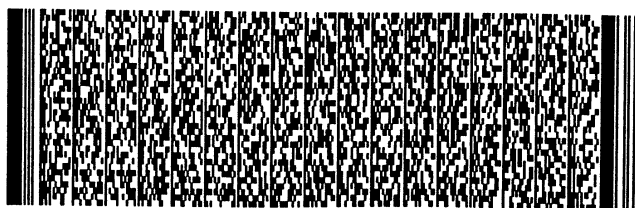
英文發明摘要 (發明之名稱：Method to form an elevated S/D CMOS device by contacting S/D through the contact of oxide)

Plug opening are formed through the raised source / drain (S/D) blocks. Contact plugs are formed in the form plug opening. The invention's first and second LDD, contact plugs and elevated S/D regions reduce the Short Channel Effect (SCE)



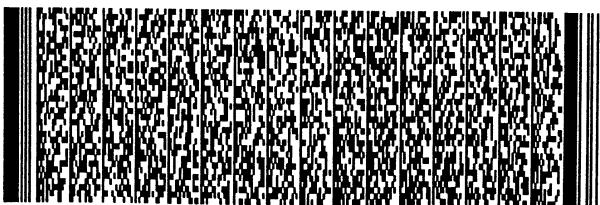
六、申請專利範圍

1. 一種用於一MOS元件之升高源極/汲極(S/D)之製造方法，係包括有步驟：
 - a) 形成一第一絕緣層於一基板上；
 - b) 在暴露出該基板的該第一絕緣層上形成一閘極開口及源極/汲極開口；該閘極開口在該基板中定義出一通道區；該源極/汲極(S/D)開口在該基板中形成第一LDD源極/汲極區；該閘極開口及該源極/汲極(S/D)開口定義出該第一絕緣層的間隔塊；
 - c) 在該第一絕緣層中形成一具有開口的LDD光阻罩幕，該開口覆蓋於該源極/汲極開口上；
 - d) 在該基體中植入離子而穿過該源極/汲極開口，以形成該第一輕摻雜汲極區；
 - e) 移除該LDD光阻罩幕；
 - f) 在該閘極開口及源極/汲極開口中形成一第一介電層於該基板上；
 - g) 在該閘極開口中形成一閘極，且在該源極/汲極開口中形成升高源極/汲極(S/D)塊；
 - h) 移除該間隔塊，以形成間隔塊開口；
 - i) 藉由植入離子穿過該間隔塊開口，而形成第二LDD區域；
 - j) 在該間隔塊開口中形成第二間隔塊；
 - k) 形成栓塞開口而穿過該升高源極/汲極(S/D)塊；以及
 - l) 在該形成的栓塞開口中形成該接觸窗栓塞。



六、申請專利範圍

2. 如申請專利範圍第1項所述之方法，其中該第一絕緣層係由氧化矽所組成。
3. 如申請專利範圍第1項所述之方法，其中該第一絕緣層具有一個介於1000到3000埃之間的厚度。
4. 如申請專利範圍第1項所述之方法，其中該第一輕摻雜汲極區具有一個介於 $1E17$ 及 $1E18$ atom/cc之間的濃度，且具有一個介於約0.08及0.15 μm 之間的深度。
5. 如申請專利範圍第1項所述之方法，其中該第一介電層係由氧化矽所組成，且具有一個在20到50埃之間的厚度。
6. 如申請專利範圍第1項所述之方法，其中該閘極及該升高源極/汲極(S/D)塊係藉由形成一傳導層覆蓋於該第一絕緣層及該第一介電層上而製造出來的，且化學機械研磨(CMP)該導電層。
7. 如申請專利範圍第1項所述之方法，其中該閘極及該升高源極/汲極(S/D)塊係由多晶矽所組成。
8. 如申請專利範圍第1項所述之方法，其中該第二輕摻雜汲極區具有一個介於 $1E17$ 及 $1E19$ aton/cc之間的濃度，且具有一個介於約200及1500埃之間的深度。
9. 如申請專利範圍第1項所述之方法，其中該接觸窗栓塞係由鎢(W)所組成。
10. 如申請專利範圍第1項所述之方法，其中該接觸窗栓塞係由鎢(W)所組成，其藉由形成沉積一毯覆式W層，且化學機械研磨(CMP)該毯覆式W層。



六、申請專利範圍

11．一種用於一MOS元件之升高源極/汲極(S/D)之製造方法，係包括有步驟：

a) 形成一第一絕緣層於一基板上；

(1) 該第一絕緣層具有一個介於1000及3000埃之間的厚度；

b) 在暴露出該基板的該第一絕緣層上形成一閘極開口及源極/汲極開口；該閘極開口在該基板中定義出一通道區；該源極/汲極(S/D)開口在該基板中形成第一LDD源極/汲極區；該閘極開口及該源極/汲極(S/D)開口定義出該第一絕緣層的間隔塊；

c) 在該第一絕緣層中形成一具有開口的LDD光阻罩幕，該開口覆蓋於該源極/汲極開口上；

d) 在該基體中植入離子而穿過該源極/汲極開口，以形成該第一輕摻雜汲極區；

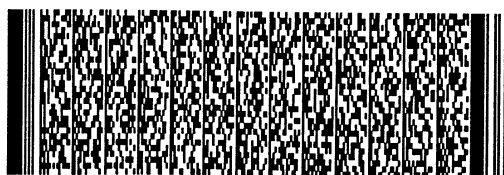
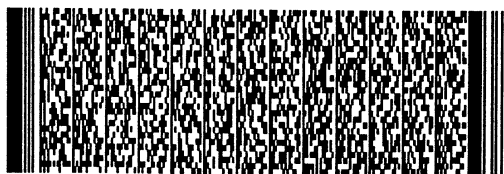
e) 移除該LDD光阻罩幕；

f) 在該閘極開口及源極/汲極開口中形成一第一介電層於該基板上；

(1) 該第一介電層係由氧化矽所組成，且具有一個在20及50埃之間的厚度；

g) 在該閘極開口中形成一閘極，且在該源極/汲極開口中形成升高源極/汲極(S/D)塊；

(1) 該閘極及該升高源極/汲極(S/D)塊係藉由形成一傳導層覆蓋於該第一絕緣層及該第一介電層上而製造出來的，且化學機械研磨(CMP)該導電



六、申請專利範圍

層；

(2) 該閘極及該升高源極/汲極(S/D)塊係由多晶矽所組成；

h) 移除該間隔塊，以形成間隔塊開口；

i) 藉由植入離子穿過該間隔塊開口，而形成第二LDD區域；

j) 在該間隔塊開口中形成第二間隔塊；

k) 形成栓塞開口而穿過該升高源極/汲極(S/D)塊；及

l) 在該形成的栓塞開口中形成該接觸窗栓塞；

(1) 該接觸窗栓塞係由鎢所組成，其藉由形成沉積一毯覆式W層，且化學機械研磨(CMP)該毯覆式W層。

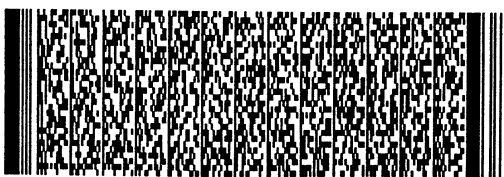
12. 如申請專利範圍第11項所述之方法，其中該第一絕緣層係由氧化矽所組成。

13. 如申請專利範圍第11項所述之方法，其中該第一輕摻雜汲極區具有一個的介於 $1E17$ 及 $1E18$ atom/cc之間的濃度，且具有一個介於約 0.08 及 $0.15 \mu m$ 之間的深度。

14. 如申請專利範圍第11項所述之方法，其中該第二輕摻雜汲極區具有一個的介於 $1E17$ 及 $1E19$ atom/cc之間的濃度，且具有一個介於約 200 及 1500 埃之間的深度。

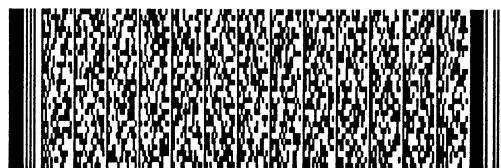
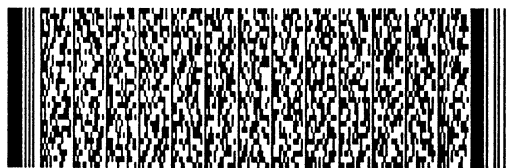
15. 一種用於一MOS元件之升高源極/汲極(S/D)之製造方法，係包括有步驟：

a) 形成一第一絕緣層於一基板上；



六、申請專利範圍

- (1) 該第一絕緣層係由氧化矽組成；
- (2) 該第一絕緣層具有一個介於約1000及3000埃之間的厚度；
- b) 在暴露出該基板的該第一絕緣層上形成一閘極開口及源極/汲極開口；該閘極開口在該基板中定義出一通道區；該源極/汲極(S/D)開口在該基板中形成第一LDD源極/汲極區；該閘極開口及該源極/汲極(S/D)開口定義出該第一絕緣層的間隔塊；
- c) 在該第一絕緣層中形成一具有開口的LDD光阻罩幕，該開口覆蓋於該源極/汲極開口上；
- d) 在該基體中植入離子而穿過該源極/汲極開口，以形成該第一輕摻雜汲極區；
 - (1) 該第一輕摻雜汲極區具有一個介於 $1E17$ 及 $1E18$ atom/cc之間的濃度，且具有一個介於約0.08及 $0.15\ \mu\text{m}$ 之間的深度；
- e) 移除該LDD光阻罩幕；
- f) 在該閘極開口及源極/汲極開口中的該基體上形成一第一介電層；
 - (1) 該第一介電層係由氧化矽所組成，且具有一個介於20到50埃之間的厚度；
- g) 在該閘極開口中形成一閘極，且在該源極/汲極開口中形成升高源極/汲極(S/D)塊；
 - (1) 該閘極及該升高源極/汲極(S/D)塊係藉由形成一傳導層覆蓋於該第一絕緣層及該第一介電層



六、申請專利範圍

上而製造出來的，且化學機械研磨(CMP)該導電層；

(2) 該閘極及該升高源極/汲極(S/D)塊係由多晶矽所組成；

h) 移除該間隔塊，以形成間隔塊開口；

i) 藉由植入離子穿過該間隔塊開口，而形成第二LDD區域；

(1) 該第二LDD區域具有一個介於 $1E17$ 及 $1E19$ aton/cc之間的濃度，且具有一個介於約200及1500埃之間的深度；

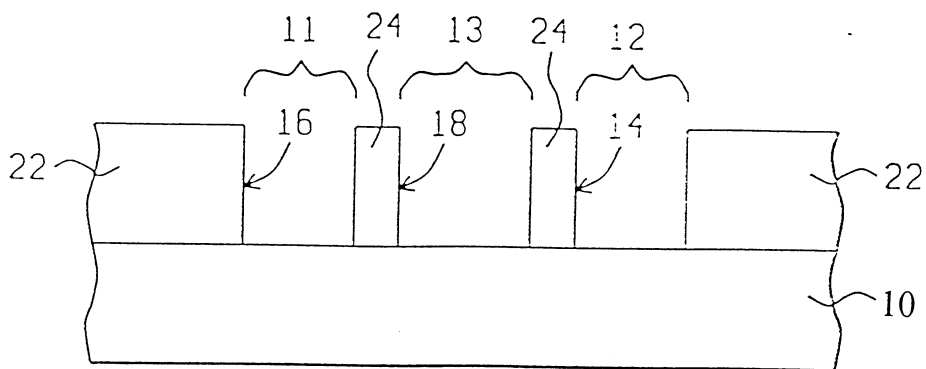
j) 在該間隔塊開口中形成第二間隔塊；

k) 形成栓塞開口而穿過該升高源極/汲極(S/D)塊；以及

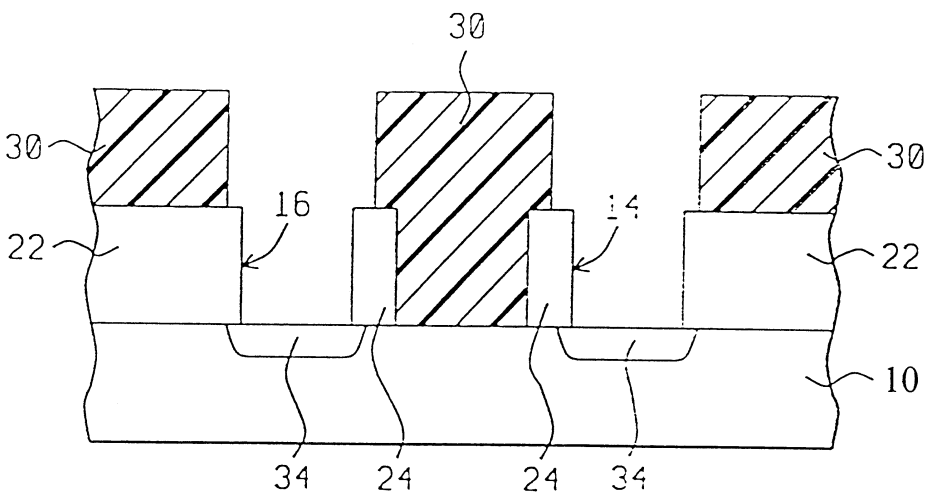
l) 在該形成的栓塞開口中形成該接觸窗栓塞；

(1) 該接觸窗栓塞係由鎢所組成，其藉由形成沉積一毯覆式W層，且化學機械研磨(CMP)該毯覆式W層。

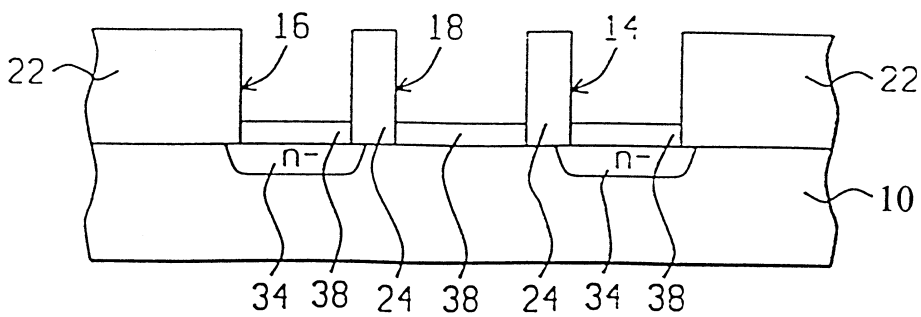




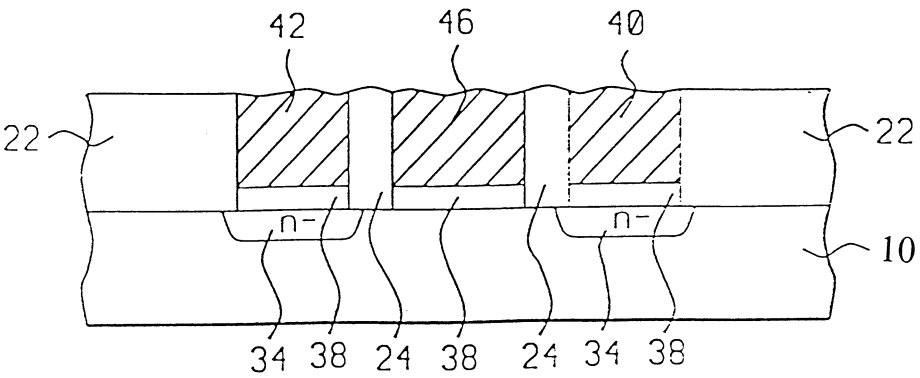
第 1 圖



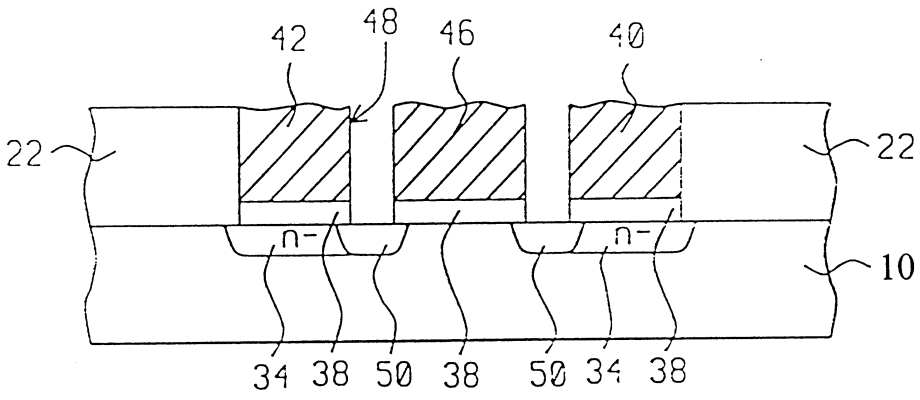
第 2 圖



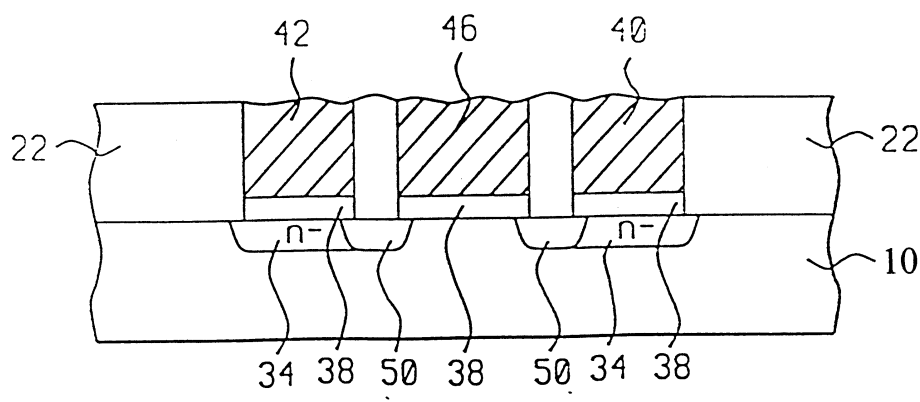
第 3 圖



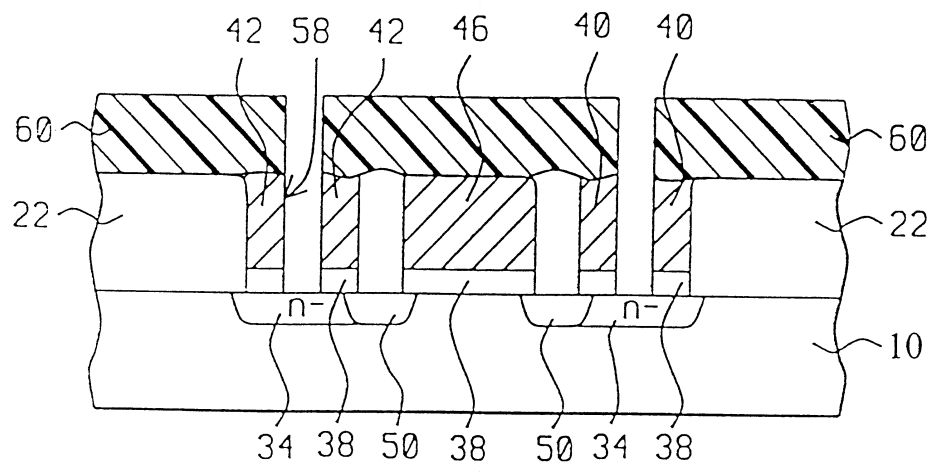
第 4 圖



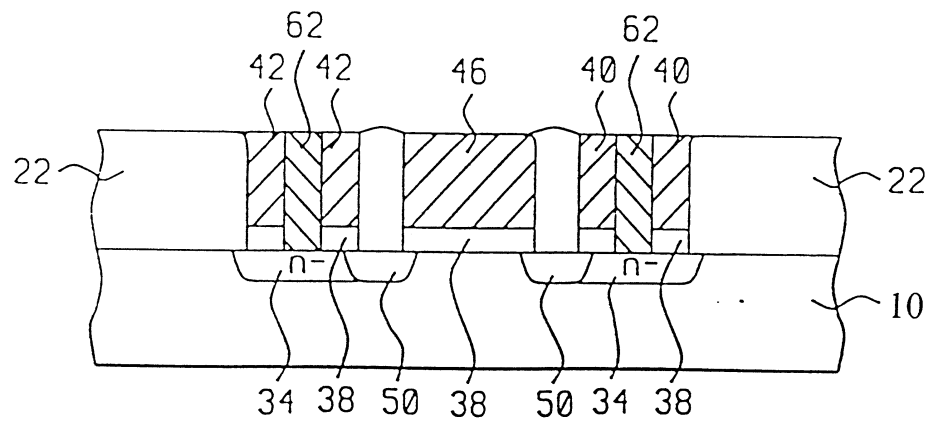
第 5 圖



第 6 圖



第 7 圖



第 8 圖