(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 104678754 A
(43)申请公布日 2015.06.03

(21)申请号 201510132950.4

(22)申请日 2015.03.25

(71)申请人 天津七六四通信导航技术有限公司
地址 300210 天津市河西区大沽南路 882 号

(72)发明人 杨娜 王云帆

(74)专利代理机构 天津中环专利商标代理有限公司 12105
代理人 王凤英

(51)Int.Cl.
G04R 20/02(2013.01)

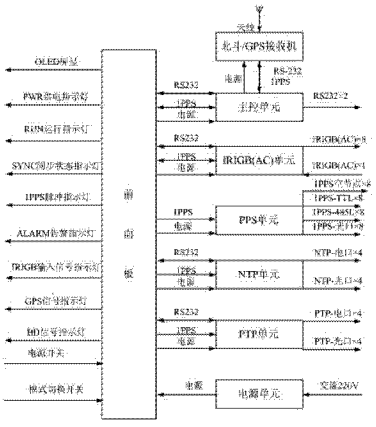
权利要求书1页 说明书3页 附图3页

(54)发明名称

一种全功能型时间同步系统

(57)摘要

本发明公开了一种全功能型时间同步系统，系统包括北斗/GPS 接收机、接到前面板的主控、PPS、NTP、PTP、IRIGB、电源和天线单元；主控包括 ARM、第二扩展模块和隔离模块；PPS 包括第一扩展模块和电平转换电路；NTP 包括 ARM、光电转换模块、第二扩展模块和隔离模块；PTP 单元包括 ARM、光电转换模块、第二扩展模块和隔离模块；IRIGB 包括 FPGA、DAC 数模转换模块、程控放大电路、时钟电路、第一扩展模块、直流差分放大器、第二扩展模块和隔离模块；电源包括电平转换电路和隔离模块；本系统是高精度、全功能授时设备，替代了原有的 GPS 单系统授时、定位方式，避免了战时 GPS 被干扰而无法使用的弊端。



CN 104678754 A

1. 一种全功能型时间同步系统，其特征在于：包括北斗/GPS接收机、主控单元、PPS单元、NTP单元、PTP单元、IRIGB单元、电源单元、前面板单元和天线单元；主控单元、PPS单元、NTP单元、PTP单元、IRIGB单元和电源单元均连接到前面板单元；所述的主控单元包括ARM芯片、第二扩展模块和隔离模块；PPS单元包括第一扩展模块和电平转换电路；NTP单元包括ARM芯片、光电转换模块、第二扩展模块和隔离模块；PTP单元包括ARM芯片、光电转换模块、第二扩展模块和隔离模块；IRIGB单元包括FPGA芯片、DAC数模转换模块、程控放大电路、时钟电路、第一扩展模块、直流差分放大器、第二扩展模块和隔离模块；电源单元包括电平转换电路和隔离模块；其中北斗/GPS接收机分别连接ARM芯片和FPGA芯片，ARM芯片连接光电转换模块，时钟电路连接FPGA芯片，FPGA芯片分别连接DAC数模转换模块、程控放大电路、第一扩展模块和直流差分放大器，DAC数模转换模块连接程控放大电路，程控放大电路连接第二扩展模块，第二扩展模块连接隔离模块，第一扩展模块连接电平转换电路。

2. 根据权利要求1所述的一种全功能型时间同步系统，其特征在于：所述的时间同步系统工作流程是：ARM芯片输出时间报文信息和控制信息给FPGA芯片，FPGA芯片接收从主控ARM芯片送来的时间信息，先将时间数据转化成直流B码的格式，直流B码在FPGA芯片中通过频率合成和调制，生成数字形式的交流B码；从外部输入的交流B码信号经过信号调整电路，把信号幅度调整到AD芯片的量程范围内，再经AD转换芯片，将模拟交流信号转换成数字格式，输入到FPGA芯片，FPGA芯片解出B码信号后，再转换成RS232格式送到主控ARM芯片；FPGA芯片对1PPS进行守时、输出格式转换处理；ARM芯片输出时间报文信息的RS232格式；网络输出板载系统软件，在系统上电后，输出板通过Flash装载系统，该系统包含NTP和PTP协议软件，接收到主控ARM芯片输出的UTC和1PPS信号后，经过网络协议包装，经过RJ45或光纤模块输出。

一种全功能型时间同步系统

技术领域

[0001] 本发明涉及导航技术，特别涉及一种集成北斗、GPS 双系统的全功能型时间同步系统，该系统适用于陆地、航海、航天和航空等领域。

背景技术

[0002] 现有的时间同步系统的结构由于存在守时精度差、工作不稳定、性能不可靠，不能满足各个领域使用功能的需求，同时还存在输出接口通用性不强的问题；如何解决这个问题就成为了本领域的技术人员所要研究和解决的课题。

发明内容

[0003] 本发明的目的就是为克服现有技术的不足，针对现有时间同步系统存在守时精度差以及输出接口通用性不强等问题，特别提供一种全功能型时间同步系统的设计方案。

[0004] 本发明为实现上述目的，所采取的技术方案是：一种全功能型时间同步系统，其特征在于：包括北斗 /GPS 接收机、主控单元、PPS 单元、NTP 单元、PTP 单元、IRIGB 单元、电源单元、前面板单元和天线单元；主控单元、PPS 单元、NTP 单元、PTP 单元、IRIGB 单元和电源单元均连接到前面板单元；所述的主控单元包括 ARM 芯片、第二扩展模块和隔离模块；PPS 单元包括第一扩展模块和电平转换电路；NTP 单元包括 ARM 芯片、光电转换模块、第二扩展模块和隔离模块；PTP 单元包括 ARM 芯片、光电转换模块、第二扩展模块和隔离模块；IRIGB 单元包括 FPGA 芯片、DAC 数模转换模块、程控放大电路、时钟电路、第一扩展模块、直流差分放大器、第二扩展模块和隔离模块；电源单元包括电平转换电路和隔离模块；其中北斗 / GPS 接收机分别连接 ARM 芯片和 FPGA 芯片，ARM 芯片连接光电转换模块，时钟电路连接 FPGA 芯片，FPGA 芯片分别连接 DAC 数模转换模块、程控放大电路、第一扩展模块和直流差分放大器，DAC 数模转换模块连接程控放大电路，程控放大电路连接第二扩展模块，第二扩展模块连接隔离模块，第一扩展模块连接电平转换电路。

[0005] 本发明所述的时间同步系统工作程序流程是：ARM 芯片输出时间报文信息和控制信息给 FPGA 芯片，FPGA 芯片接收从主控 ARM 芯片送来的时间信息，先将时间数据转化成直流 B 码的格式，直流 B 码在 FPGA 芯片中通过频率合成和调制，生成数字形式的交流 B 码；从外部输入的交流 B 码信号经过信号调整电路，把信号幅度调整到 AD 芯片的量程范围内，再经 AD 转换芯片，将模拟交流信号转换成数字格式，输入到 FPGA 芯片，FPGA 芯片解出 B 码信号后，再转换成 RS232 格式送到主控 ARM 芯片；FPGA 芯片对 1PPS 进行守时、输出格式转换处理；ARM 芯片输出时间报文信息的 RS232 格式；网络输出板载系统软件，在系统上电后，输出板通过 Flash 装载系统，该系统包含 NTP 和 PTP 协议软件，接收到主控 ARM 芯片输出的 UTC 和 1PPS 信号后，经过网络协议包装，经过 RJ45 或光纤模块输出。

[0006] 本发明的特点是：全功能型时间同步系统是高精度、全功能授时设备，以 1PPS（空节点、TTL、485、光口）、网口（NTP、PTP 协议）、IRIGB（AC 码）、RS232 等方式输出双频点北斗、GPS 的时间、位置等信息。全功能型时间同步系统提供手动触摸按键或网络切换方式切换北

斗、GPS 信号的输出模式，前面板的指示灯可以及时显示此时的有效工作模式、供电、运行、同步卫星、秒脉冲、告警、外部源输入等状态；也可以通过网络监视系统的工作状态以及输出定位信息。全功能型时间同步系统后面板均为航空接插件输出口，主要分为八路空节点 1PPS 输出、八路 TTL 电平 1PPS 输出、八路 485 电平 1PPS 输出、八路光口 1PPS 输出、四路电口 NTP 输出、四路光口 NTP 输出、一路电口 PTP 输出、一路光口 PTP 输出、两路 RS232 输出、八路 IRIGB（AC 码）输出。TTL 与 485 电平 1PPS 授时精度为 1us，空节点 1PPS 授时精度为 3us；网络 NTP 与 PTP 授时精度为局域网 10ms、广域网 500ms，并且提供不少于 8 个不同的 IP 地址可同时接收网络数据，包括日期时间、位置、高度、输入源、收星数、故障信息、定位状态等信息，提供 Windows XPE 全功能型时间同步系统的自动时间同步功能；IRIGB（AC 码）授时精度为 20us；RS232 可输出用户要求的协议数据。

[0007] 全功能型时间同步系统采用 3u19 英寸标准尺寸机箱，为密闭机箱，在研制、生产过程中均进行了环境应力筛选试验、高低温试验、交变湿热试验、振动试验、常温复核、电磁兼容试验、盐雾试验、霉菌试验，试验前后各项指标测试结果均符合精度要求，并且该精度指标在国内外均具有领先水平。全功能型时间同步系统替代了原有的 GPS 单系统授时、定位方式，避免了战时 GPS 被干扰而无法使用的弊端。

附图说明

[0008] 图 1 为本发明系统连接框图；

图 2 为图 1 中核心电路原理框图；

图 3 为本发明系统外部授时输入信息流程图；

图 4 为本发明系统工作程序流程图。

具体实施方式

[0009] 如图 1 和图 2 所示，本系统包括北斗 /GPS 接收机、主控单元、PPS（秒脉冲）单元、NTP（网络）单元、PTP（网络）单元、IRIGB（交流 B 码）单元、电源单元和前面板单元，主控单元、PPS 单元、NTP 单元、PTP 单元、IRIGB 单元和电源单元均连接到前面板单元；主控单元包括 ARM 芯片、第二扩展模块和隔离模块；PPS 单元包括第一扩展模块和电平转换电路；NTP 单元包括 ARM 芯片、光电转换模块、第二扩展模块和隔离模块；PTP 单元包括 ARM 芯片、光电转换模块、第二扩展模块和隔离模块；IRIGB 单元包括 FPGA 芯片、DAC 数模转换模块、程控放大电路、时钟电路、第一扩展模块、直流差分放大器、第二扩展模块和隔离模块；电源单元包括电平转换电路和隔离模块；其中北斗 /GPS 接收机分别连接 ARM 芯片和 FPGA 芯片，ARM 芯片连接光电转换模块，时钟电路连接 FPGA 芯片，FPGA 芯片分别连接 DAC 数模转换模块、程控放大电路、第一扩展模块和直流差分放大器，DAC 数模转换模块连接程控放大电路，程控放大电路连接第二扩展模块，第二扩展模块连接隔离模块，第一扩展模块连接电平转换电路。

[0010] 本系统工作原理：全功能型时间同步系统从功能上可分为北斗 /GPS 接收机、主控单元、PPS 单元、NTP 单元、PTP 单元、IRIGB(AC) 单元、电源单元、前面板单元、天线单元。卫星接收天线选用双系统天线，接收信号通过低噪放处理后经过合路器送给功分器，功分器分别将射频信号送给双模接收机，板卡中配有分路器，将信号分离为独立的 BD2、GPS 信号经过低噪放、射频滤波器、放大和混频器后，得到低中频信号，并放大滤波后输出给数据处

理模块；接收机中的数据处理模块对接收到的信号进行处理计算，整理出精确的导航定位信息，经过导航解算后输出时间、位置及速度等信息；主控单元提取时间、位置等信息进行协议转换以及前期处理，为其他数据处理单元提供所需的数据信息并输出 RS232 信息；PPS 单元接收北斗 /GPS 接收机输出的 1PPS，进行跟踪、守时等处理，以 TTL、485、光口的方式输出 1PPS；NTP 单元和 PTP 单元主要是将时间、定位等信息转换成这两种网络传输协议输出；IRIGB(AC) 单元将时间、定位信息转换成交流交流 B 码的方式输出。

[0011] 如图 2、图 3 和图 4 所示，本系统实现时间同步的工作流程是：

1、天线单元接收卫星信号并送给接收机单元进行处理，在接收机单元中信号经过射频与基带信号处理向外输出 NMEA 与 1PPS 信号。

[0012] 2、主控单元对接收到的 NMEA、1PPS 进行协议转换，输出 ARM 芯片与 FPGA 芯片需要的输出格式；直接输出整机的 RS232 数据；接收 B 码单元接收的外部授时数据；当接收机单元失去外部时间基准信号，则会启动守时保持状态，这时通过内部的始终以及算法仍能保持一定的时间准确度，并输出时间同步信号和时间信息，当外部时间基准信号恢复后，主控单元自动结束守时保持状态，在 0.5s 内切换到外部授时源。

[0013] 3、IRIGB(AC) 单元一方面通过 FPGA 芯片接收主控单元发来的数据进行 DA 转换、程控放大、隔离等处理输出交流 B 码；另一方面接收外界交流 B 码授时输入，进行过零检测电路、信号调整电路、AD 转换电路，最终经过 FPGA 输出 RS232 信号，送回至主控单元。

[0014] 4、NTP、PTP 单元主要由两个嵌入式网络通信模块组成，与主控单元进行通信，接收主控单元的定位授时数据，转换成 NTP、PTP 协议，并通过光电转换模块实现 NTP、PTP 的光、电授时。

[0015] 5、PPS 单元 FPGA 芯片对接收机输出的 1PPS 数据进行守时等运算处理，再进行各种电平的转换，最终输出空节点、TTL、422、光输出；

6、前面板接收主控的串口数据对机箱前面板的指示灯、开关、显示屏等进行控制，同时负责各个单元之间的通信；

7、电源单元负责给上述其它单元供电。

[0016] 根据上述说明，结合本领域技术可实现本发明的方案。

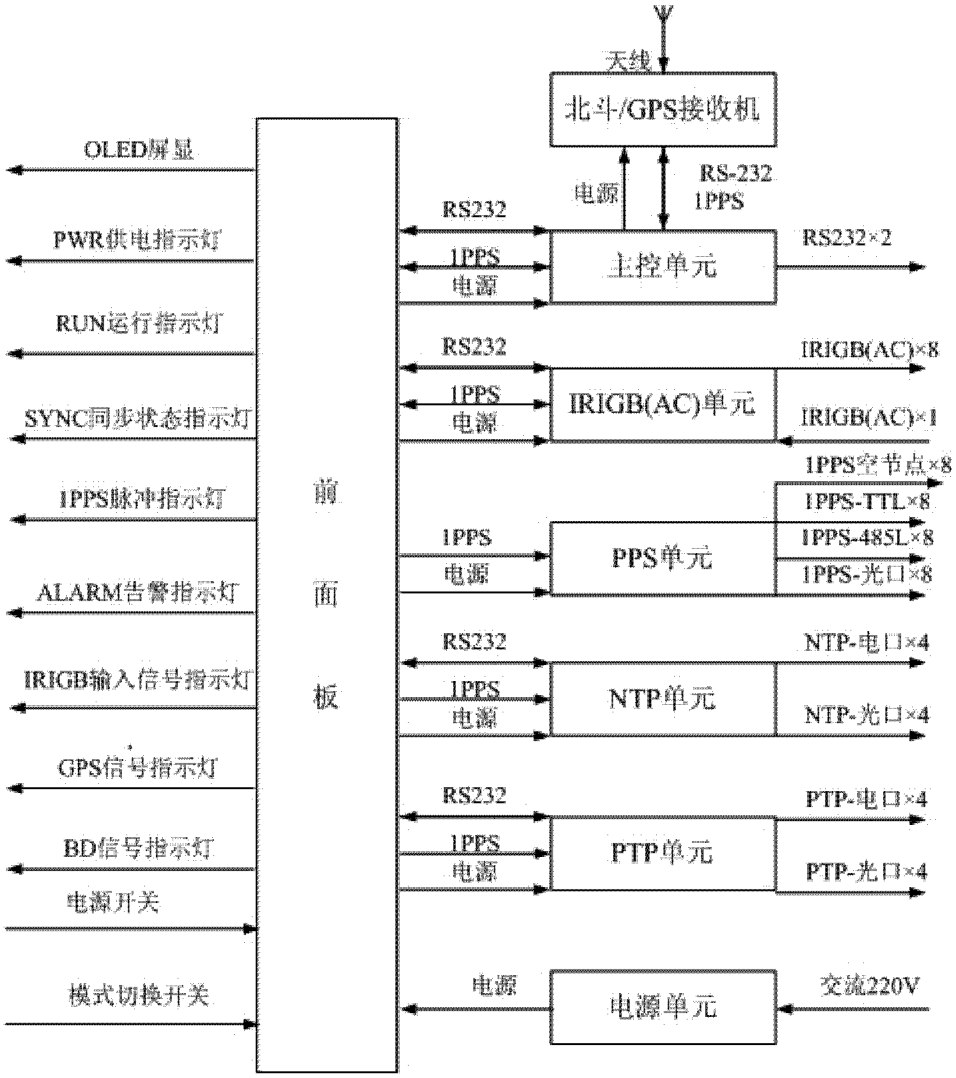

天线
北斗/GPS接收机
电源
RS-232
1PPS
OLED屏显
PWR供电指示灯
RUN运行指示灯
SYNC同步状态指示灯
1PPS脉冲指示灯
ALARM告警指示灯
IRIGB输入信号指示灯
GPS信号指示灯
BD信号指示灯
电源开关
模式切换开关
前
面
板
RS232
1PPS
电源
主控单元
RS232×2
IRIGB(AC)单元
IRIGB(AC)×8
IRIGB(AC)×1
PPS单元
1PPS空节点×8
1PPS-TTL×8
1PPS-485L×8
1PPS-光口×8
NTP单元
NTP-电口×4
NTP-光口×4
PTP单元
PTP-电口×4
PTP-光口×4
电源单元
交流220V

图 1

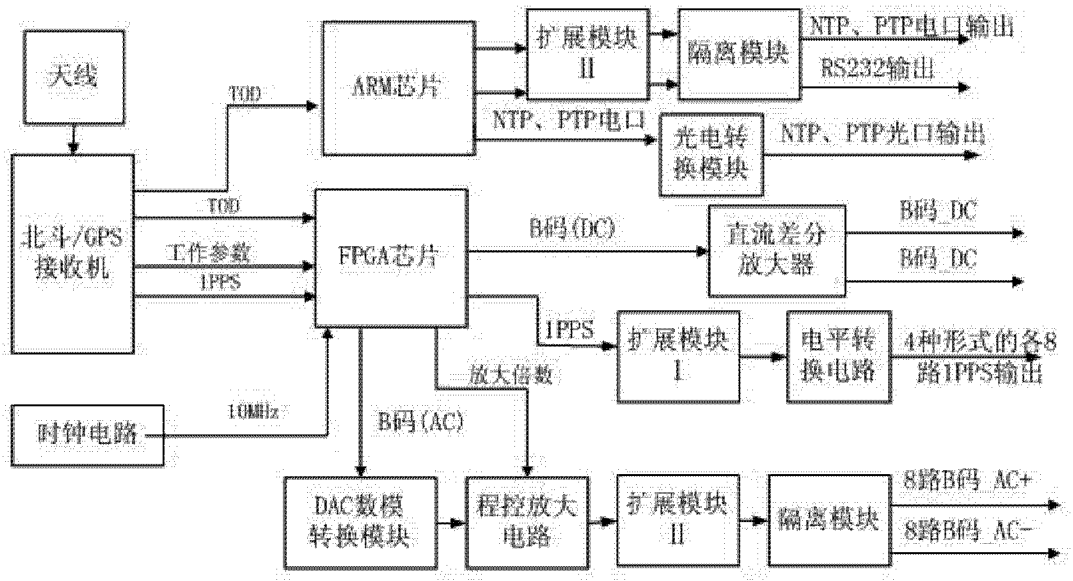

天线
北斗/GPS
接收机
TOD
工作参数
1PPS
ARM芯片
TOD
FPGA芯片
扩展模块
II
隔离模块
NTP、PTP电口输出
RS232输出
NTP、PTP电口
光电转
换模块
NTP、PTP光口输出
B码(DC)
直流差分
放大器
B码_DC
B码_DC
1PPS
扩展模块
I
电平转
换电路
4种形式的各8
路1PPS输出
放大倍数
时钟电路
10MHz
B码(AC)
DAC数模
转换模块
程控放大
电路
扩展模块
II
隔离模块
8路B码_AC+
8路B码_AC-

图 2

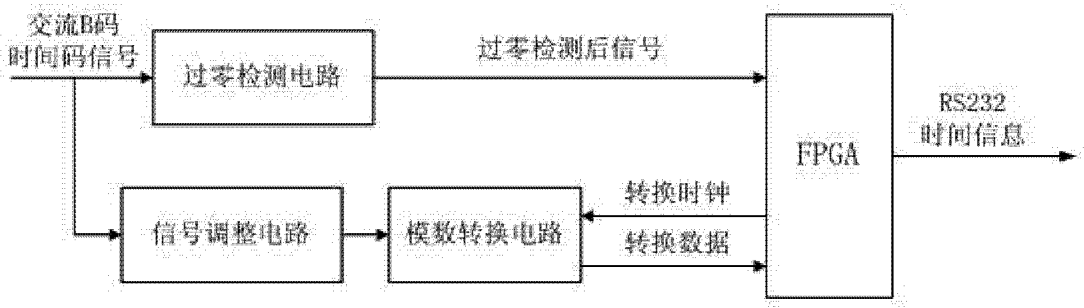

交流B码
时间码信号
过零检测电路
过零检测后信号
FPGA
RS232
时间信息
信号调整电路
模数转换电路
转换时钟
转换数据

图 3

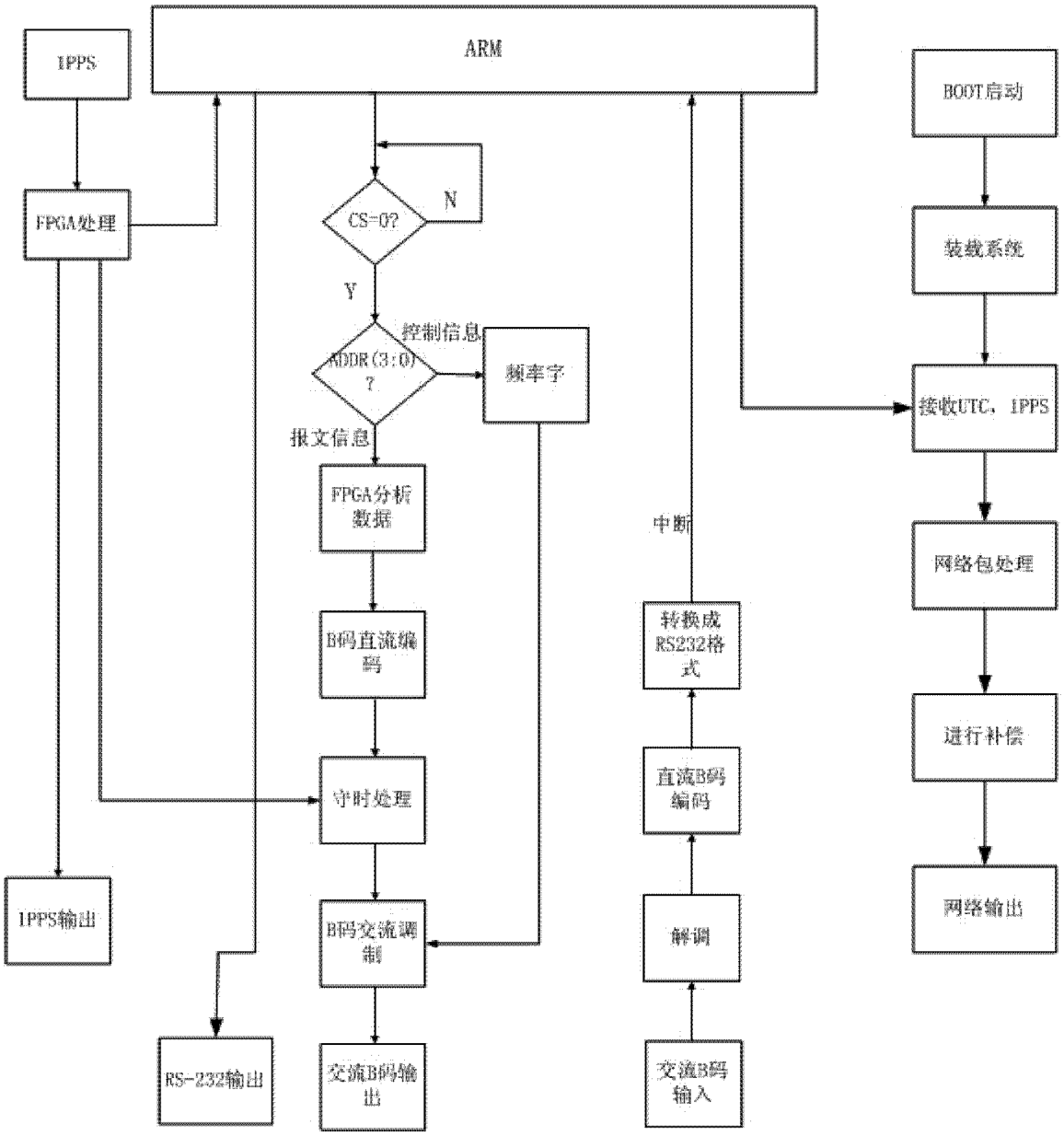

1PPS
ARM
BOOT启动
FPGA处理
CS=0?
N
Y
装载系统
控制信息
ADDR(3:0)
?
频率字
接收UTC，1PPS
报文信息
FPGA分析数据
中断
网络包处理
B码直流编码
转换成RS232格式
进行补偿
守时处理
直流B码编码
1PPS输出
B码交流调制
解调
网络输出
RS-232输出
交流B码输出
交流B码输入

图 4