

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-164876

(P2012-164876A)

(43) 公開日 平成24年8月30日 (2012.8.30)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 E	4 M 1 0 4
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 K	5 F 0 3 3
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 T	5 F 1 1 0
HO 1 L 21/768 (2006.01)	HO 1 L 29/78 6 1 8 B	
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 G	

審査請求 未請求 請求項の数 8 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2011-25106 (P2011-25106)  
 (22) 出願日 平成23年2月8日 (2011.2.8)

(71) 出願人 000005968  
 三菱化学株式会社  
 東京都千代田区丸の内一丁目1番1号  
 (74) 代理人 100086911  
 弁理士 重野 剛  
 (72) 発明者 大関 陽介  
 神奈川県横浜市青葉区鴨志田町1000番  
 地 株式会社三菱化学科学技術研究センタ  
 ー内  
 Fターム(参考) 4M104 AA01 AA03 AA08 AA09 AA10  
 BB02 BB04 BB05 BB06 BB07  
 BB08 BB09 BB13 BB14 BB16  
 BB17 BB18 BB36 DD62 DD68  
 FF08 GG08 GG09 HH20

最終頁に続く

(54) 【発明の名称】 配線又は電極の形成方法、電子デバイス及びその製造方法

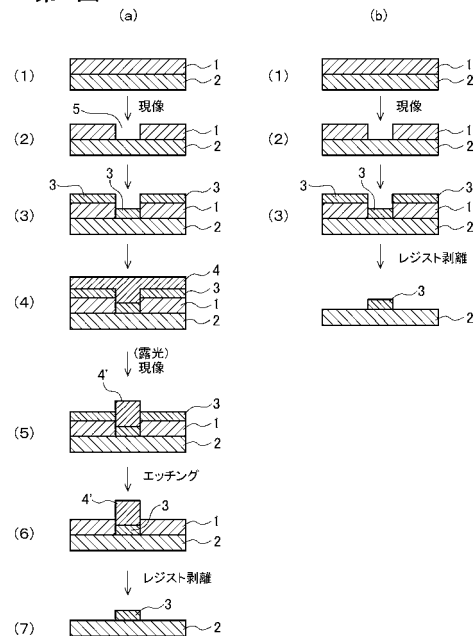
(57) 【要約】

【課題】 下地にダメージを与えず、また、電極材料のゴミの再付着も防止される配線又は電極の形成方法と、この配線又は電極の形成方法により配線又は電極を形成する電子デバイス及びその製造方法を提供する。

【解決手段】 下地 2 上に第 1 のレジスト層 1 を形成し、開口部 5 を形成し、導電材料層 3 を成膜する。導電材料層 3 の全体を覆う第 2 のレジスト層 4 を形成し、該開口部 5 以外の導電材料層 3 上の第 2 のレジスト層 4 を除去することにより、該開口部 5 の導電材料層 3 を覆う保護レジスト層 4 ' を形成する。該保護レジスト層 4 ' で覆われていない導電材料層 3 を除去し、次いで保護レジスト層 1 , 4 ' を除去することにより、残留した導電材料 3 よりなる配線又は電極を形成する。

【選択図】 図 1

第1図



## 【特許請求の範囲】

## 【請求項 1】

下地上に第 1 のレジスト層を形成する工程と、  
 該第 1 のレジスト層に溝状又は孔状の開口部を形成する工程と、  
 該開口部及び第 1 のレジスト層上に導電材料層を成膜する導電材料成膜工程と、  
 該開口部の導電材料層を覆う保護レジスト層を形成する保護レジスト層形成工程と、  
 該保護レジスト層で覆われていない導電材料層を除去する工程と、  
 該第 1 のレジスト層及び該開口部の導電材料層上の保護レジスト層を除去する工程と  
 によって、該開口部に残留した導電材料よりなる配線又は電極を形成することを特徴とする  
 配線又は電極の形成方法。

10

## 【請求項 2】

請求項 1 において、前記保護レジスト層形成工程は、  
 前記導電材料層成膜工程で形成された導電材料層の全体を覆う第 2 のレジスト層形成工  
 程と、  
 該開口部以外の導電材料層上の第 2 のレジスト層を除去する工程と  
 を有することを特徴とする配線又は電極の形成方法。

## 【請求項 3】

請求項 1 において、前記保護レジスト層形成工程は、前記開口部の導電材料層の上にパ  
 ターン印刷により保護レジストを印刷する工程を有することを特徴とする配線又は電極の  
 形成方法。

20

## 【請求項 4】

請求項 1 ないし 3 のいずれか 1 項において、前記保護レジスト形成工程において、前記  
 開口部の導電材料層のみを覆うように前記保護レジスト層を形成することを特徴とする配  
 線又は電極の形成方法。

## 【請求項 5】

請求項 1 ないし 3 のいずれか 1 項において、前記保護レジスト形成工程において、前記  
 開口部の導電材料層と、該開口部に沿う第 1 のレジスト層上の導電材料層とを覆うように  
 前記保護レジスト層を形成することを特徴とする配線又は電極の形成方法。

## 【請求項 6】

配線又は電極を形成する工程を有する電子デバイスの製造方法において、該配線又は電  
 極を請求項 1 ないし 5 のいずれか 1 項に記載の配線又は電極の形成方法によって形成す  
 ることを特徴とする電子デバイスの製造方法。

30

## 【請求項 7】

配線又は電極を有する電子デバイスにおいて、該配線又は電極は請求項 1 ないし 5 のい  
 ずれか 1 項に記載の配線又は電極の形成方法によって形成されたものであることを特徴と  
 する電子デバイス。

## 【請求項 8】

請求項 7 において、電界効果トランジスタであることを特徴とする電子デバイス。

## 【発明の詳細な説明】

## 【技術分野】

40

## 【0001】

本発明は、配線又は電極の形成方法と、この配線又は電極の形成方法により配線又は電  
 極を形成した電子デバイス及びその製造方法に関するものである。

## 【背景技術】

## 【0002】

従来、電界効果トランジスタなどの電子デバイスは、蒸着法、PVD（物理蒸着法）、  
 CVD（化学蒸着法）などの高真空下での素子作製プロセスを経て製造されているが、高  
 価な製造設備を必要とすると共に、製造工程での消費エネルギーが多い。

## 【0003】

これに対し、塗布法により半導体層を形成する塗布プロセスは、大面積の電子デバイス

50

であっても比較的簡易な設備によって製造することができると共に、製造工程での消費エネルギーも少ない。

【0004】

塗布プロセスによる電界効果トランジスタの製造方法として、特許文献1には、ビシクロ化合物を基板上に塗布して、半導体材料へ変換させて電界効果トランジスタを製造する方法が記載されている。この方法では、溶解性の高いビシクロ化合物を加熱することによりエチレンを脱離させ、平面性の高い構造に変換することにより、アモルファスまたはアモルファスに近い有機薄膜から、高い結晶性を有する有機半導体層を形成する。そのため、低分子でありながら塗布プロセスにより成膜することが可能であり、高い移動度を持った電界効果トランジスタを形成することができる。

10

【0005】

電界効果トランジスタの配線及び電極をエッチングプロセスで形成する場合、エッチング液やエッチングガスが、半導体やゲート絶縁膜等の下地を溶解したり、化学反応を起こしたり、エッチング液及びエッチングガスの成分が残留したりすることにより、半導体特性が低下することがある。

【0006】

高精細なトランジスタアレイを製造するには、ボトムコンタクト・ボトムゲート型の構造が最も有望である。しかしながら、ゲート絶縁膜などの有機材料が電極のエッチング液及びエッチングガスに対して耐性が無く、特性が低下したり、ばらついたりするところから、高特性のボトムコンタクト・ボトムゲート構造のトランジスタを低コストで製造することが難しい。特に、安価なフレキシブルデバイスを製造する為にポリマーゲート絶縁膜を使用した場合、エッチング液及びエッチングガスの影響が大きい。

20

【0007】

リフトオフプロセスにより配線又は電極を製造する場合、下地に対するエッチング液及びエッチングガスによるダメージは小さいものの、不要な電極材料を剥離するときに電極材料のゴミが大量に発生し、このゴミが基板上に再付着することにより欠陥が生じ、不良品を発生させることがある。

【先行技術文献】

【特許文献】

【0008】

30

【特許文献1】特開2003-304014号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明は上記の課題に鑑みて創案されたもので、下地にダメージを与えず、また、電極材料のゴミの再付着も防止される配線又は電極の形成方法と、この配線又は電極の形成方法により配線又は電極を形成した電子デバイス及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0010】

40

請求項1の配線又は電極の形成方法は、下地上に第1のレジスト層を形成する工程と、該第1のレジスト層に溝状又は孔状の開口部を形成する工程と、該開口部及び第1のレジスト層上に導電材料層を成膜する導電材料成膜工程と、該開口部の導電材料層を覆う保護レジスト層を形成する保護レジスト層形成工程と、該保護レジスト層で覆われていない導電材料層を除去する工程と、該第1のレジスト層及び該開口部の導電材料層上の保護レジスト層を除去する工程とによって、該開口部に残留した導電材料よりなる配線又は電極を形成することを特徴とするものである。

【0011】

請求項2の配線又は電極の形成方法は、請求項1において、前記保護レジスト層形成工程は、前記導電材料層成膜工程で形成された導電材料層の全体を覆う第2のレジスト層形

50

成工程と、該開口部以外の導電材料層上の第2のレジスト層を除去する工程とを有することを特徴とするものである。

【0012】

請求項3の配線又は電極の形成方法は、請求項1において、前記保護レジスト層形成工程は、前記開口部の導電材料層の上にパターン印刷により保護レジストを印刷する工程を有することを特徴とするものである。

【0013】

請求項4の配線又は電極の形成方法は、請求項1ないし3のいずれか1項において、前記保護レジスト形成工程において、前記開口部の導電材料層のみを覆うように前記保護レジスト層を形成することを特徴とするものである。

10

【0014】

請求項5の配線又は電極の形成方法は、請求項1ないし3のいずれか1項において、前記保護レジスト形成工程において、前記開口部の導電材料層と、該開口部に沿う第1のレジスト層上の導電材料層とを覆うように前記保護レジスト層を形成することを特徴とするものである。

【0015】

請求項6の電子デバイスの製造方法は、配線又は電極を形成する工程を有する電子デバイスの製造方法において、該配線又は電極を請求項1ないし5のいずれか1項に記載の配線又は電極の形成方法によって形成することを特徴とするものである。

【0016】

請求項7の電子デバイスは、配線又は電極を有する電子デバイスにおいて、該配線又は電極は請求項1ないし5のいずれか1項に記載の配線又は電極の形成方法によって形成されたものであることを特徴とするものである。

20

【0017】

請求項8の電子デバイスは、請求項7において、電界効果トランジスタであることを特徴とするものである。

【発明の効果】

【0018】

本発明においては、第1のレジスト層に形成した開口部に導電材料層を形成し、この導電材料層を覆う保護レジスト層を形成した後、該保護レジスト層で覆われていない導電材料層を除去し、その後、保護レジスト層を除去する。この下地上に残っている導電材料にて配線又は電極が構成される。このように、配線又は電極を保護レジスト層で覆った状態で不要な導電材料層を除去するので、この導電材料層除去に際して下地や配線又は電極がダメージを受けない。また、除去の際に発生するゴミが下地に付着することも防止され、特性の優れた電子デバイスが製造される。

30

【図面の簡単な説明】

【0019】

【図1】(a)図は本発明の一実施形態に係る配線作製プロセスを説明する断面図、(b)図は比較例を示す断面図である。

【図2】本発明の別の実施形態に係る配線作製プロセスを説明する断面図である。

40

【図3】本発明のさらに別の実施形態に係る配線作製プロセスを説明する断面図である。

【図4】電界効果トランジスタを示す断面図である。

【発明を実施するための形態】

【0020】

以下、本発明について図面を参照してさらに詳細に説明する。但し、以下に記載する説明は、本発明の実施形態の一例(代表例)であり、本発明はその要旨を越えない限り、これらの内容に限定されるものではない。

【0021】

図1(a)は本発明の一例を示す断面図であり、下地2上に配線又は電極を形成するプロセスを示している。

50

## 【 0 0 2 2 】

まず、( 1 )の通り、下地 2 上に第 1 のレジスト層 1 ( 未硬化層 ) を塗布法により形成する。次いで、( 2 )の通り、第 1 のレジスト層 1 を所定パターンに露光し、現像することにより、溝状又は孔状の開口部 5 を形成し、開口部 5 において下地 2 を露出させる。次に、( 3 )の通り、全面すなわち第 1 のレジスト層 1 上と、開口部 5 に露出した下地 2 上とに導電材料層 3 を形成する。

## 【 0 0 2 3 】

次いで、( 4 )の通り、この導電材料層 3 上の全面に第 2 のレジスト層 4 ( 未硬化層 ) を塗布法により形成する。そして、( 5 )の通り、この第 2 のレジスト層 4 のうち開口部 5 に重なる部分のみを露光して硬化させ、残余のレジスト層 4 すなわち開口部 5 以外の導電材料層 3 上のレジスト層 4 を除去する。これにより、開口部 5 の導電材料 3 を覆う保護レジスト層 4 ' が残留する。また、開口部 5 以外では導電材料 3 が露出する。そこで、次に、( 6 )の通り、開口部 5 以外の導電材料層 3 を除去する。最後に、( 7 )の通り、第 1 のレジスト層 1 と保護レジスト層 4 ' とを除去し、保護レジスト層 4 ' の下に残留していた導電材料 3 を配線又は電極として得る。

## 【 0 0 2 4 】

この実施の形態では、工程 ( 3 ) からリフトオフプロセスにより直ちに開口部 5 以外のレジスト層及びその上の導電材料層 3 を除去する ( 図 1 ( b ) 参照 ) のではなく、工程 ( 4 ) ~ ( 6 ) の通り、開口部 5 の導電材料層 3 を覆う保護レジスト層 4 ' を形成した後、それ以外の ( すなわち開口部 5 以外の ) 不要な導電材料層 3 を除去する。従って、この不要な導電材料層 3 を除去する際に大量のゴミが生じるが、このゴミが下地 2 には付着しない。また、この導電材料層 3 の除去に際して、レジスト層 1 , 4 ' が存在するので、下地 2 や、開口部 5 の導電材料 3 がエッチング液の影響を受けない。このため、本発明の形成方法で形成された電極を用いることにより、移動度、シフト電圧、オン - オフ比などに優れた電界効果トランジスタを得ることが可能となる。

## 【 0 0 2 5 】

なお、図 1 ( b ) は、後述の比較例 1 のプロセスを示すものであり、工程 ( 1 ) ~ ( 3 ) の後、直ちにリフトオフプロセスによって第 1 のレジスト層 1 を除去して、第 1 のレジスト層 1 と共にその上の不要な導電材料層 ( 開口部 5 以外の導電材料層 ) を除去する。この図 1 ( b ) の方法では、リフトオフプロセスにおいて大量に発生する導電材料層 3 由来のゴミが下地 2 に付着するおそれがある。

## 【 0 0 2 6 】

図 1 ( a ) では、保護レジスト層 4 ' が開口部 5 と同一幅となっているが、図 2 の工程 ( 5 ) のように、開口部 5 とそれに隣接する領域 ( すなわち、開口部 5 に沿う第 1 のレジスト層上 ) において第 2 のレジスト層 4 を硬化させることにより、開口部 5 から張り出した幅広の保護レジスト層 4 ' ' を形成してもよい。この保護レジスト層 4 ' ' の幅広部の幅は、開口部 5 の幅の 1 ~ 10 倍特に 1 . 0 1 ~ 2 倍程度の幅を有することが好ましい。

## 【 0 0 2 7 】

図 2 のその他の工程は図 1 と同一である。

## 【 0 0 2 8 】

図 1 , 2 では、第 2 のレジスト層 4 を全面に塗布した後、開口部 5 部分のみを残すことにより保護レジスト層 4 ' , 4 ' ' を形成しているが、図 3 の工程 ( 4 ) のように、開口部 5 の導電材料層 3 のみを覆うようにレジストを印刷し、これを硬化させて保護レジスト層 4 A を形成してもよい。その後は、( 5 ) の通り不要な導電材料層 3 を除去した後、( 6 ) の通り、レジスト層 1 及び保護レジスト層 4 A を除去する。図 3 の工程 ( 1 ) ~ ( 3 ) は図 1 , 2 の工程 ( 1 ) ~ ( 3 ) と同一である。図 3 の工程 ( 5 ) , ( 6 ) は、図 1 の工程 ( 6 ) , ( 7 ) と同一である。

## 【 0 0 2 9 】

次に、下地層、各レジスト層及び導電材料の材料等について説明する。

## 【 0 0 3 0 】

## &lt; 下地層 &gt;

下地層の種類は特に限定はないが、ガラス、石英等の無機材料や、ポリイミド膜、ポリエステル膜、ポリエチレン膜、ポリフェニレンスルフィド膜、ポリパラキシレン膜等の絶縁プラスチック、無機材料、金属・合金板、絶縁プラスチックを組み合わせたハイブリッド基板等が使用可能である。又、導電性n型シリコンウェハーのように、後述のゲート絶縁膜と基板が一体になったものを用いても構わない。

## 【0031】

下地層は、ゲート絶縁膜であってもよい。ゲート絶縁膜の種類には特に限定は無い。ゲート絶縁膜は、例えば、ポリイミド、ポリビニルフェノール、ポリビニルアルコール、ポリシスセスキオキサソ、ポリシラザン、パーヒドロポリシラザン、エポキシ等の絶縁ポリマーを塗布・焼成したり、CVDやスパッターによってSiO<sub>2</sub>やSiN<sub>x</sub>、酸化アルミニウム、酸化タンタル等を成膜すること等によって形成される。ゲート電極にタンタルやアルミニウムを用いている場合は、UV・オゾン処理や陽極酸化処理等によりゲート電極表面に形成される酸化タンタルや酸化アルミニウムを下地層としてもよい。また、シリコン基板を酸化雰囲気下で加熱することにより形成される熱酸化膜を用いてもよい。

10

## 【0032】

下地層は、半導体であってもよい。この半導体としては特に限定はなく、p型半導体であってもよく、n型半導体であってもよく、有機半導体材料や無機半導体材料を用いてもよい。無機半導体としては、a-Si、p-Si等のシリコン半導体や、IGZO、In<sub>2</sub>O<sub>3</sub>、ZnO等の酸化物半導体を用いることができる。また、有機半導体としては、有機材料としては、ペンタセン等のアセン類、ベンゾチオフェン等の含複素縮合環芳香族化合物、ポルフィリン、フタロシアニン等のアヌレン化合物が挙げられ、中でもポルフィリン、フタロシアニン等のアヌレン化合物が好ましい。

20

## 【0033】

半導体層の形成方法としては、真空蒸着、スパッター、CVD等の真空プロセスや、塗布法等が例示されるが、これに限定されない。半導体層を塗布法によって形成する方法としては、具体的には(a)半導体を含む塗布液を塗布し、乾燥後半導体層とする方法、(b)半導体の前駆体を含む塗布液を塗布し、その後半導体に変換して半導体層とする方法などが挙げられる。

## 【0034】

半導体の前駆体とは、変換することによって半導体特性を有するものであれば、特に限定はなく、その変換方法も特に限定はない。具体的には、加熱もしくは光照射により逆ディールス・アルダー反応を起こす熱・光変換型のビシクロ構造を有するアヌレン化合物、アセン類(例えば、ナフタレン、アントラセン、ペンタセン等)、芳香族オリゴマー(例えば、オリゴチオフェン、オリゴフラン等)、含複素縮合環芳香族化合物(例えば、ベンゾチオフェン、チエノチオフェン等)等が挙げられる。無機材料としては、光照射によって開環するシクロペンタシラン、熱分解によりIGZO等の半導体層を形成するアルコキシ化合物の混合物等がある。好ましくは加熱により逆ディールス・アルダー反応を起こす熱変換型のビシクロ構造であり、中でも式(I)にあるビシクロポルフィリン類が好ましい。

30

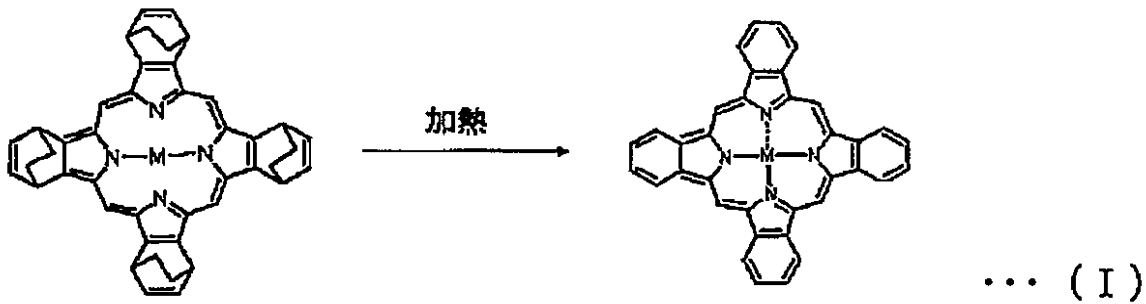
40

## 【0035】

半導体の前駆体は、加熱、光照射等により半導体に変換される。変換条件は、前駆体の種類に応じて適宜選択可能である。例えば、加熱により逆ディールス・アルダー反応を起こす熱変換型のビシクロ構造を有するポルフィリンは、下記式の様に変換するが、150以上の加熱条件で変換され、結晶化する。

## 【0036】

## 【化 1】



10

## 【0037】

## &lt; 第1のレジスト層 &gt;

第1のレジスト層のレジストは、特に限定は無く、ポジ型及びネガ型のどちらも使用可能である。また、2層又は3層レジストを形成することもできる。ポジ型レジストとしては、東京応化工業社製のOFPR-800、ネガ型レジストとしては日本ゼオン社製のZPN-1150等があげられる。また、2層レジスト及び3層レジストを使用する場合には、化薬マイクロケム社製のPMGIレジストや、ビニルピロリドンと酢酸ビニルの共重合体等を下層のレジストとして用いることができる。成膜方法としては、スピコート、スリットコート、スプレーコート、ディップコート等が使用可能である。また、インクジェット、シルクスクリン印刷、グラビア印刷、フレキソ印刷などにより、露光・現像なしに開口部を有するレジストパターンを形成してもよい。

20

## 【0038】

本発明においては、配線の断面形状はテーパ形状であることが好ましく、例えば、感光性を持たない下層レジスト上にフォトレジストを成膜し、露光後の現像時間を制御することによって上層のフォトレジストがひさしのように張り出した形状を形成させた2層レジストを使用したり、単体でオーバーハング形状を作ることができるフォトレジストを用いたりすることで、テーパ形状の断面を形成させることが可能である。また、テーパ形状の角度は、第1のレジスト層の形状及び、導電材料層の成膜方法および成膜条件等を変えることにより制御することができる。

30

## 【0039】

## &lt; 配線又は電極 &gt;

本発明方法により形成される配線又は電極は、配線又は電極上に成膜される層のカバレッジを向上させるために、そのチャンネル長方向に平行でかつ下地に対して垂直な断面において、テーパを有し、該テーパの前記下地に対する角度が80°以下であることが好ましい。ここで、「テーパ」とは、先端部が先細りになっている形状を意味し、従って、「上記断面において配線がテーパを有する」とは、配線又は電極の先端部が下地に接し、配線又は電極の側面が、基板に対して傾斜状となっていることを意味する。「テーパの下地に対する角度(テーパ角)」は、図4(a)に示すように下地に対して垂直な断面において、電極の先端部と、上記チャンネル領域に面した電極側面の底面から高さ10nmにおける点とを結んだ直線が、ゲート絶縁膜平面となす角度を表わす。

40

## 【0040】

電極としては、各種電子デバイス等の電極、例えば電界効果トランジスタのソース・ドレイン電極等が挙げられる。

## 【0041】

## &lt; 導電材料 &gt;

配線又は電極となる導電材料としては、例えば、Mg、Ti、V、Cr、Mg、Mn、Fe、Co、Ni、Cu、Zn、Ga、Ge、Se、Nb、Mo、Ag、In、Sn、S

50

b、T a、W、P d、A u、P t等の金属およびこれらの金属を含む合金を用いることができるが、これに限定されない。なお、これらの金属又は合金の積層膜を用いても良い。カーボンを用いても良い。また、表面酸化されたものやチオール化合物等を用いて表面修飾を行ったものを用いても良い。

【0042】

<第2のレジスト層>

第2のレジスト層のレジストに、特に限定は無い。図3の保護レジスト4Aを形成するための第2のレジストは、感光性が有ってもよく、無くてもよい。感光性のレジストとしては、ポジ型及びネガ型のどちらも使用可能である。ポジ型レジストとしては、東京応化工業社製のOFPR-800、ネガ型レジストとしては日本ゼオン社製のZPN-1150等があげられる。また、第1のレジストがポジ型の場合、第2のレジストをネガ型にすることにより、同一のマスクによってパターンニングを行うことができる。第1のレジストをネガ型、第2のレジストをポジ型にした場合も、同様に1枚のマスクでパターンニングが可能である。同一のマスクを使用した場合でも、第1および第2のレジスト層のベーク、露光、現像条件や、マスクの焦点距離を制御することにより、図2の(5)の通り、第1のレジスト層の開口部5よりも第2のレジストよりなる保護レジスト層4'の幅を大きくすることが可能であり、マスクアライナーのアライメント精度を補うことができる。図2(5)の場合、開口部5に沿う部分では、保護レジスト4'の張り出し部分によって、開口部5に沿う第1のレジスト層1上の導電材料3が覆われてしまうが、エッチング時間を延ばすことでこの部分の導電材料もエッチングすることができる。

10

20

【0043】

図3の保護レジスト4Aを形成するためのレジストとしては、ポリスチレン、PMMAのような非感光性、非架橋性ポリマーや、アクリル樹脂などに架橋剤を加えた熱架橋性のポリマーを使用しても良い。

【0044】

成膜方法としては、スピンコート、スリットコート、スプレーコート、ディップコート等が使用可能であるが、これらに限定はされない。感光性のレジストを使用する場合、フォトリソグラフィ及び現像プロセスによって、配線上にレジストが残るようにパターンニングを行い、図1(a)、図2のように第1のレジスト層1上の不要な配線材料を露出させることができる。

30

【0045】

フォトリソグラフィによるパターンニングを行わない場合、スピンコート、スリットコート、スプレーコート、ディップコート等により全面にレジストを成膜した後に、レジストの現像液及び現像時間の調整により、不要な導電材料を選択的に露出させるようにしてもよい。インクジェット法、ノズルプリンティング法、シルクスクリーン法、グラビア印刷法等の印刷法によって開口部5の導電材料3上に直接パターンニングしても良い。また、開口部5の導電材料3上に直接印刷されたレジストを光又は熱などにより架橋させたり、加熱によってリフローしても良い。

【実施例】

【0046】

以下、実施例及び比較例について説明する。

40

【0047】

[実施例1]

図1(a)のプロセスによってゲート電極及びソース電極を電界効果トランジスタ用下地基板の上に形成した。下地としては、基板とゲート電極を兼ねた導電性n型シリコンウェハの表面に、ゲート絶縁膜として膜厚300nmの熱酸化シリコン膜を形成した板を用いた。ゲート絶縁膜容量(Ci)は、誘電率を3.9と置き、 $1.15 \times 10^{-4} \text{ F/m}^2$ である。

【0048】

<工程(1)>

50

この基板の上にポリメチルグルタリイミド (PMGI) レジスト (化薬マイクロケム社製 SF-9 を  $0.5 \mu\text{m}$  の厚さにスピンコートし、 $180^\circ$ 、5 分間加熱した。さらに、その上に、ネガ型のフォトレジスト (日本ゼオン社製 ZPN-1150) を厚さ  $4 \mu\text{m}$  にスピンコートし、 $90^\circ$ 、 $120$  秒加熱して 2 層構造の第 1 のレジスト層 1 (未硬化) を形成した。

【0049】

<工程 (2)>

その後、 $40$  秒露光し、 $110^\circ$ 、 $120$  秒加熱した。次いで、有機アルカリ現像液 (ナガセケムテックス社製 NPD-18) によって現像し、上層のフォトレジストが、下層のレジストよりも張り出した形状 (開口部の入口側の幅が奥側よりも小さいテーパ形断面形状) の開口部 5 を形成した。

10

【0050】

<工程 (3)>

第 1 のレジスト層 1 及び開口部 5 の下地 2 上に、導電材料 3 として、Mo を厚さ  $100 \text{ nm}$  となるようにスパッターによって成膜した。

【0051】

<工程 (4)>

さらに、基板を  $150^\circ$ 、5 分間加熱して第 1 のレジスト層 1 を硬化させた後に、Mo 膜上にネガ型のフォトレジスト (日本ゼオン社製 ZPN-1150) を厚さ  $4 \mu\text{m}$  にスピンコートし、 $90^\circ$ 、 $180$  秒加熱して第 2 のレジスト層 4 を形成した。

20

【0052】

<工程 (5)>

その後、上記第 1 のレジスト層を露光する時に用いたのとは、逆のパターンを有するマスクを用いて  $120$  秒露光し、 $110^\circ$ 、 $180$  秒加熱し、有機アルカリ現像液 (ナガセケムテックス社製 NPD-18) によって現像することにより、開口部 5 の導電材料 3 の上にのみ保護レジスト層 4' を形成した。

【0053】

<工程 (6)>

第 1 のレジスト層 1 上の不要な Mo を燐酸 75 重量部、硝酸 10 重量部、酢酸 10 重量部、水 5 重量部からなるエッチング液によって除去した。

30

【0054】

<工程 (7)>

次いで、ジメチルホルムアミドに 1 分間浸漬し、全てのレジストを溶解させ、電界効果トランジスタ用の電極付き基板を得た。図 4 (a) は、この電極付き基板を示す断面図である。この基板は、ボトムコンタクト型電界効果トランジスタの基板であり、ゲート電極 11 上にゲート絶縁膜 12 が形成され、該ゲート絶縁膜 12 上にソース電極 13 とドレイン電極 14 が形成されている。ここで、図 4 (a) のゲート電極 11 及びゲート絶縁膜 12 は、図 1 (a) の下地 2 に相当し、図 4 (a) のソース電極 13 とドレイン電極 14 は、図 1 (a) の導電材料 3 に相当する。

【0055】

40

[実施例 2]

上記実施例 1 の方法によって製造した図 4 (a) の電極付き基板をヘキサメチルシラザン中に 30 分間浸漬してゲート絶縁膜の表面処理を行なった後、この上に前記式 (I) に示す、加熱により逆ディールス・アルダー反応を起こす熱変換型のピシクロ構造を有したポルフィリン誘導体 (M は Cu) のクロロホルム溶液をスピンコートし、 $210^\circ$ 、20 分間の加熱により変換および結晶化させて、図 4 (b) の通り有機半導体層 15 を形成して電界効果トランジスタを製造した。

【0056】

得られた電界効果トランジスタは、 $10 \mu\text{m}$  のチャンネル長および  $500 \mu\text{m}$  のチャンネル幅を有しており、 $\mu = 2.4 \text{ cm}^2 / \text{V} \cdot \text{s}$ 、 $V_{th} = 1.8 \text{ V}$ 、オン - オフ比 = 1.4

50

$\times 10^7$  の半導体特性を有していた。これは、通常のリフトオフプロセスによって得られた半導体特性と同等であり、本発明により、エッチング液による電極及び、ゲート絶縁膜表面へのダメージを防ぐことができることが認められた。

【0057】

[比較例1]

工程(4)~(6)を行なかつたこと以外は、実施例1と同様にして電界効果トランジスタ用の電極付き基板を得た。すなわち、図1(b)の工程(1)~(3)を行った後第2のレジスト層を形成せず、図1(b)のように、ジメチルホルムアミドに浸漬することにより第1のレジスト層上の不要な電極材料を剥離した後、ジメチルホルムアミドに超音波をかけて30分間浸漬したこと以外は実施例1と同様にして電極付き基板を製造した。この基板の上に、実施例2と同様にして有機半導体層を形成して電界効果トランジスタを得た。得られた電界効果トランジスタは、 $10\mu\text{m}$ のチャンネル長および $500\mu\text{m}$ のチャンネル幅を有しており、 $\mu = 2.1\text{cm}^2/\text{V}\cdot\text{s}$ 、 $V_{th} = 4.6\text{V}$ 、オン・オフ比 =  $3.0 \times 10^6$  の半導体特性を有していた。

10

【符号の説明】

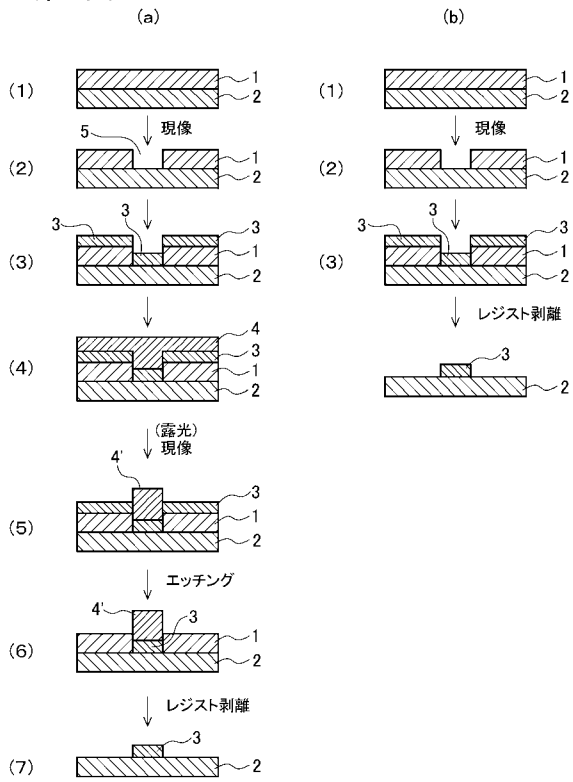
【0058】

- 1 第1のレジスト層
  - 2 下地
  - 3 導電材料
  - 4 第2のレジスト層
  - 4', 4'', 4A 保護レジスト層
  - 5 開口部
  - 11 ゲート電極
  - 12 ゲート絶縁膜
  - 13 ソース電極
  - 14 ドレイン電極
  - 15 有機半導体層
- テーパー角

20

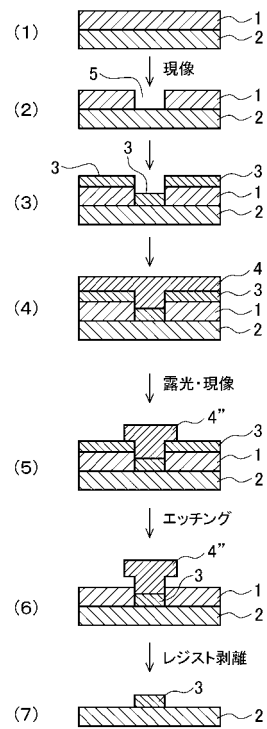
【図1】

第1図



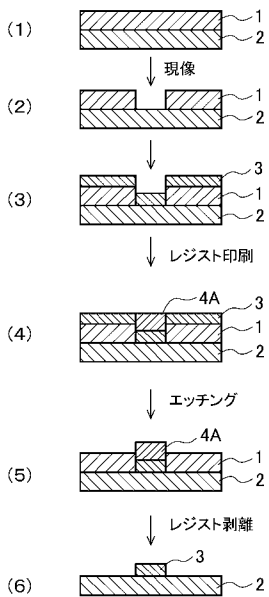
【図2】

第2図



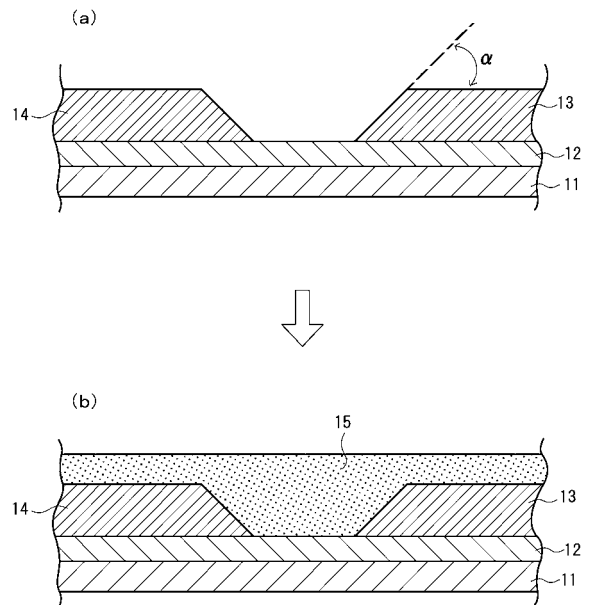
【図3】

第3図



【図4】

第4図



## フロントページの続き

(51)Int.Cl.			F I			テーマコード(参考)
<b>H 0 1 L 51/05 (2006.01)</b>			H 0 1 L	29/28	1 0 0 A	
<b>H 0 1 L 21/288 (2006.01)</b>			H 0 1 L	21/288	Z	

Fターム(参考)	5F033	HH07	HH08	HH11	HH13	HH14	HH15	HH17	HH18	HH19	HH20
		HH21	JJ01	KK03	KK04	KK05	MM19	PP15	QQ01	QQ08	QQ19
		QQ34	QQ41	RR03	RR04	RR06	RR21	RR22	SS08	SS11	VV06
		VV15	XX00								
	5F110	AA26	CC03	DD01	DD02	DD03	DD05	EE02	EE03	EE04	EE06
		EE08	EE14	FF01	FF02	FF03	FF22	FF23	FF24	FF25	FF27
		FF28	FF29	GG01	GG02	GG05	GG13	GG15	GG28	GG29	GG42
		GG43	GG44	HK02	HK04	HK06	HK21	HM03	QQ06	QQ14	