

公告本

申請日期	P1. 7. 12
案 號	P111 5616
類 別	H01L 21/96

A4
C4

558796

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	在晶圓上形成多種等效氧化層厚度之閘介電層的方法
	英 文	A Method of Forming Gate Dielectrics Having Various Equivalent Oxide Thickness
二、發明人	姓 名	一、陳佳麟 CHEN, Chia-Lin 二、陳建豪 CHEN, Chien-Hao 三、余謨群 YU, Mo-Chiun 四、林友民 LIN, Yeuo Ming 五、鄭俊一 CHENG, Juing-Yi
	國 籍	一、中華民國 二、中華民國 三、中華民國 四、中華民國 五、中華民國
	住、居所	一、新竹縣竹東鎮中興路二段 152 巷 3 弄 8 號 2 樓 2F, No. 8, Alley 3, Lane 152, Sec. 2, Chung Hsin Rd, Chung Town Hsinchu Hsien, TAIWAN, R.O.C. 二、宜蘭縣壯圍鄉大福村 1 鄰 1-2 號 No. 1-2, 1 st Lin, Da Fu Tsun, Tronwei Hsiang, Yilan Hsien, TAIWAN, R.O.C. 三、台北縣中和市德穗里 6 鄰德光路 27 巷 24 弄 21 號 No. 21, Alley 24, Lane 27, Te Kuang Rd., Chungho City, Taipei Hsien, TAIWAN, R.O.C. 四、桃園縣中壢市延平路 429 號 6 樓之 3 6F-3, NO. 429, Yen Ping Rd., Chung Li City, Taoyuan Hsien, TAIWAN, R.O.C. 五、高雄縣旗山鎮旗南一路 15 鄰 256 號 NO. 256, Lin 15, Chi Nan 1 st Rd., Chi Shan Town, Kaohsiung Hsien, TAIWAN, R.O.C.
	姓 名 (名稱)	台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.
	國 籍	中華民國
三、申請人	住、居所 (事務所)	新竹科學工業園區新竹縣園區三路 121 號 NO. 121, PARK AVE. III, SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R.O.C.
	代 表 人 姓 名	張 忠 謀 Chang, Chung-Mou

裝

訂

線

五、發明說明()

發明領域

本發明是有關於一種半導體元件的製造方法，且特別是有關於一種在晶圓上形成多種等效氧化層厚度之閘介電層的方法。

發明背景

為符合電子產品輕、薄、短、小與講求速度的需求，半導體元件的製造趨勢傾向於單一系統晶片 (System On a Chip, SOC) 的製造，亦即將傳統分開在不同晶片上製造的元件整合在單一晶片上。例如將記憶體、邏輯運算電路以及周邊輸入/輸出的積體電路做在同一晶圓上以增進整體積體電路之效能，因為三者的操作電壓以及需求特性不同，所以需要不同厚度的閘介電層以因應同一晶圓上不同電路功能之需求。

對於位在記憶體區之電晶體而言，最重要的是如何避免漏電流的發生，以降低再補充(refresh)頻率，才能提升記憶體的操作效率。所以記憶體區之電晶體需要具有較厚之等效氧化層厚度(Equivalent Oxide Thickness; EOT)的閘介電層。而對於位在邏輯電路區之電晶體而言，最重要的是如何提升運算速率，至於漏電流對其運算影響不大。所以邏輯電路區之電晶體需要具有較薄之等效氧化層厚度的閘介電層。而位於周邊輸入/輸出的積體電路需要承受的電功率最大，所以其所需之閘介電層的等效氧化層厚度為

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明()

最厚。

一般所使用的方法是先在基底上形成一定厚度的閘氧化層，再使用濕蝕刻(wet dip)的方式，來移除基底上特定區域的閘氧化層，然後再讓基底整個表面進行一次熱氧化步驟，以在同一基底上形成不同厚度的閘氧化層。若需要兩種以上不同厚度的閘氧化層，則需要再重複上述的步驟。但是此方法十分耗時，至少要花費 1 - 2 小時，常成為生產線的瓶頸。此外，位於閘氧化層被濕蝕刻區域之淺溝渠隔離(Shallow Trench Isolation; STI)和主動區接壤的角落部分，亦會被蝕刻，常造成高電場與漏電流等問題。此外，閘氧化層之漏電流將會隨著其厚度的減少而增加，使得電路元件在等候(standby)時，會消耗較大的功率，而使產品無法符合商業用途所需。

發明目的與概述

因此本發明的目的就是在提供一種在晶圓上形成多種等效氧化層厚度之閘介電層的方法，以解決淺溝渠隔離的結構被損傷之問題。

本發明的另一目的是在提供一種在晶圓上形成多種等效氧化層厚度之閘介電層的方法，以減少淺溝渠隔離結構損傷所導致之漏電流。

本發明之再一目的是在提供一種在晶圓上形成多種等效氧化層厚度之閘介電層的方法，以減少閘介電層的漏電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

流。

根據本發明之上述目的，提出一種在晶圓上形成多種等效氧化層厚度之閘氧化層的方法。首先，在基底上形成具有第一厚度之閘氧化層，閘氧化層至少具有第一區域、第二區域、第三區域與第四區域。然後減少第三區域與第四區域之閘氧化層的第一厚度至第二厚度。再來，植入氮離子於第一區域與第四區域之閘氧化層中。

依照本發明一較佳實施例，減少第三區域與第四區域之閘氧化層的第一厚度至第二厚度的方式有兩種。一種為直接使用濕蝕刻法來去除第三區域與第四區域之閘氧化層的部分厚度，另一種為將第三區域與第四區域之閘氧化層完全去除之再進行一次熱氧化法形成一層新的閘氧化層。若使用第二種方法，則第一區域與第二區域的閘氧化層之厚度亦會略微增加。

如上所述，因為第一區域與第四區域的閘氧化層有植入氮離子，所以其等效氧化層厚度會比具有相同厚度之第二區域與第三區域的閘氧化層之等效氧化層厚度小。因此應用本發明的方法，可在同一晶圓上至少形成四種具有不同等效氧化層厚度的閘氧化層。又因為去除閘氧化層的步驟被減少至最低，且氮離子是植入於閘氧化層中，所以習知的問題皆可獲得圓滿的解決。

根據本發明之上述目的，提出另一種在晶圓上形成多種等效氧化層厚度之閘介電層的方法。首先，進行第一氮

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

離子植入步驟，植入氮離子於基底中。然後依序形成第一閘氧化層與金屬氧化層於基底上，其中金屬氧化層的材料可為氧化鈣或氧化鋁。接著，圖案化金屬氧化層與第一閘氧化層，以暴露出部分之基底表面。然後，形成第二閘氧化層於暴露出之基底表面，再進行第二氮離子植入步驟，將氮離子植入於金屬氧化層與第二閘氧化層中。最後，進行回火步驟，以增加金屬氧化層、第一閘氧化層與第二閘氧化層的密度。

依照本發明另一較佳實施例，其中上述之第一氮離子植入步驟與第二氮離子植入步驟例如可使用遠距電漿或去耦合電漿來植入氮離子。形成金屬氧化層的方法包括有機金屬化學氣相沈積法或原子層化學氣相沈積法。

因此由上述可知，本發明利用具有高介電常數之金屬氧化層來有效地減少閘介電層之等效氧化層厚度，並利用含氮電漿處理以及回火等製程來增加介電層的完整性，以減少漏電流的發生。如此，基底上有金屬氧化層的區域與沒有金屬氧化層的區域之等效氧化層厚度就不一樣了。

圖式之簡單說明

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

第 1A - 1D 圖是繪示依照本發明一較佳實施例之一種

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

在晶圓上形成多種等效氧化層厚度之閘介電層的製造流程剖面圖。

第 2A - 2D 圖是繪示依照本發明另一較佳實施例之一種在晶圓上形成多種等效氧化層厚度之閘介電層的製造流程剖面圖。

圖式之標記說明

100、200：基底

110：淺溝渠隔離

120、120a、130、140、140a、150、150a、220、240：

閘氧化層

160：光阻

170、210、250：氮離子

230：金屬氧化層

發明之詳細說明

如上所述，因為習知以反覆執行生長閘氧化層與濕蝕刻的方式來在基底上不同區域形成不同厚度的閘氧化層，造成製造過程耗時以及淺溝渠隔離和主動區接壤的角落部分會產生漏電流的問題。所以本發明提供在晶圓上形成多種等效氧化層厚度之閘介電層的方法，以解決習知的問題。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

實施例一

請參照第 1A - 1D 圖，其繪示依照本發明一較佳實施例之一種在晶圓上形成多種等效氧化層厚度之閘介電層的製造流程剖面圖。

請參照第 1A 圖，先在基底 100 中形成淺溝渠隔離 110，淺溝渠隔離 110 的形成方法為熟悉此技藝者所熟知，在此不再贅述。然後在基底 100 上形成閘氧化層 120、130、140 與 150，其形成方法較佳為熱氧化法。

請參照第 1B 圖，接著減少閘氧化層 140、150 的厚度，使其成閘氧化層 140a、150a。此步驟可用方法至少有兩種。一種為直接使用濕蝕刻法來去除閘氧化層 140、150 的部分厚度，蝕刻劑例如可為約 1 重量百分比濃度之氫氟酸。另一種為先將閘氧化層 140、150 完全去除之，然後再進行另一次熱氧化法，使基底 100 表面形成閘氧化層 140a 與 150a，同時閘氧化層 120、130 的厚度也會略微增加。

請參照第 1C 圖，用光阻 160 將閘氧化層 130 與 140a 覆蓋起來，然後植入氮離子 170 於閘氧化層 120 與 150a 中。植入氮離子 170 於閘氧化層 120 與 150a 中的方法較佳為使用遠距電漿(remote plasma)或去耦合電漿(decoupled plasma)，在低於攝氏 100 度下進行。

請參照第 1D 圖，在植入氮離子 170 的步驟之後，去除光阻 160。閘氧化層 120 與 150a 的表層 120a 與 150b 含有氮離子，如此可增加閘氧化層 120、150a 的整體介電係

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

數，亦即減少其等效氧化層厚度。所以閘氧化層 120、130、140a、150a 的等效氧化層厚度皆不同。

以 16.5 埃之閘氧化層來說，若以去耦合之含氮電漿來氮化此閘氧化層，氮化時間為 15、30、60 秒時，此閘氧化層的等效氧化層厚度分別為 15.0、14.7 與 14.5 埃。此外，以去耦合電漿氮化處理過之閘氧化層的漏電流皆較原始之閘氧化層要低許多。

若應用至上述發明之方法，舉例來說，若第 1A 圖中所形成之閘氧化層 120、130、140 與 150 的厚度為 50 埃，第 1B 圖中閘氧化層 140a、150a 的厚度為 20 埃的話，則在第 1D 圖之閘氧化層 120 的等效氧化層厚度可降至 40 埃，而閘氧化層 150a 的等效氧化層可降至 15 埃。所以在第 1D 圖中，基底 100 上形成有 40 埃、50 埃、20 埃與 15 埃。

由上述實施例一可知，可在同一晶圓上至少形成四種具有不同等效氧化層厚度的閘氧化層。又因為去除閘氧化層的步驟被減少至最低，所以淺溝渠隔離與主動區接壤之角落不會被過度損傷，因此可減少漏電流與強電場的問題。另外氮離子植入於閘氧化層之中，可以降低閘氧化層之漏電流。

實施例二

請參照第 2A - 2D 圖，其繪示依照本發明另一較佳實

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

施例之一種在晶圓上形成多種等效氧化層厚度之閘介電層的製造流程剖面圖。

請參照第 2A 圖，先植入氮離子 210 於基底 200 中，氮化基底 200 的表層，以延緩於後續熱氧化步驟中之基底 200 表層的氧化速率。植入氮離子 210 於基底 200 中的方法，較佳為使用遠距電漿或去耦合電漿。

請參照第 2B 圖，接著以熱氧化法，氧化基底表層 220，以形成厚度很薄之閘氧化層 220。閘氧化層 220 的厚度約為 3 - 6 埃。接著在閘氧化層 220 之上，沈積一層具有高介電常數之金屬氧化層 230。金屬氧化層 230 的厚度約為 25 埃，而形成方法例如可為有機金屬化學氣相沈積法(metal organic chemical vapor deposition; MOCVD)或原子層化學氣相沈積法(atomic layer chemical vapor deposition; ALCVD)。然後利用微影蝕刻製程將部分之金屬氧化層 230 與閘氧化層 220 去除掉，以暴露出部分的基底表面，蝕刻的方法例如可為乾蝕刻法。

金屬氧化層 230 的材質為金屬氧化物，但是必須要具備高熱穩定性，例如可耐受高溫至約攝氏 1000 度持續約 30 秒，以免在後續熱製程中會擴散至位於其下之基底 200，與基底 200 的矽反應產生金屬矽化物，造成漏電流的問題。因此較佳之選擇例如可為鈦(Hafnium)與鋁的氧化物，而鈦與鉭的氧化物不太適合。

請參照第 2C 圖，先以組成含有氫氧化銨(NH₄OH)、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

過氧化氫(H_2O_2)及去離子水等的 RCA 溶液或 HF 溶液將暴露之基底 200 表面的殘餘氧化層去除乾淨。而位於金屬氧化層 230 下方之閘氧化層 220 因為有金屬氧化層 230 的保護，所以不會被蝕刻溶液所蝕刻。然後以熱氧化法氧化暴露之基底 200 表面，形成閘氧化層 240，其較佳厚度約為 7 - 10 埃。在此因為原先基底 200 表層被氮化的部分已經被去除了，所以此步驟所生長出之閘氧化層 240 的厚度較厚。

請參照第 2D 圖，再一次全面植入氮離子 250 於暴露出之金屬氧化層 230 與閘氧化層 240 中，以減少金屬氧化層 230、閘氧化層 220 與 240 之漏電流。植入氮離子 250 於金屬氧化層 230 與閘氧化層 240 中的方法，較佳為使用遠距電漿或去耦合電漿。然後在氮氣或氮氣下進行回火製程，以增加金屬氧化層 230、閘氧化層 220 與閘氧化層 240 的密度，改善不同層之間接合面的狀況。此回火製程較佳為在攝氏約 900 度下進行約 1 分鐘。如此，可增進後續製造位於其上電路元件與組合出之積體電路的表現。

由上述實施例二可知，利用具有高介電常數之閘介電層來有效地減少閘介電層之等效氧化層厚度，並利用含氮電漿處理以及回火等製程來增加介電層的完整性，以減少漏電流的發生。如此，具有高介電常數之閘介電層沈積在記憶體區，且高介電常數之閘介電層回火時會在邏輯電路區成長一層約 7 - 10 埃的薄氧化層。

五、發明說明()

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：)

發明之名稱：在晶圓上形成多種等效氧化層厚度之閘介電層的方法

發明摘要

一種在晶圓上形成多種等效氧化層厚度之閘氧化層的方法。利用選擇性氮化基底上部分區域之閘介電層或是在基底上部分區域形成具有高介電常數之金屬氧化層，以在基底上形成具有不同等效氧化層厚度之閘介電層。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：)

A Method of Forming Gate Dielectrics Having Various Equivalent Oxide Thickness

A method of forming gate dielectrics having various equivalent oxide thickness is provided. Gate dielectrics having various equivalent oxide thickness are formed by selectively nitrifying gate dielectrics or by selectively forming a metal oxide layer having a high dielectric constant on portions of a substrate.

訂

線

六、申請專利範圍

申請專利範圍

1. 一種在晶圓上形成多種等效氧化層厚度之閘介電層的方法，該方法至少包括：

形成具有一第一厚度之一閘氧化層於一基底上，該閘氧化層至少具有一第一區域、一第二區域、一第三區域與一第四區域；

去除該第三區域與該第四區域之該閘氧化層的部分厚度，使其第一厚度減少成為第二厚度；以及

植入氮離子於該第一區域與該第四區域之閘氧化層中。

2. 如申請專利範圍第 1 項所述之在晶圓上形成多種等效氧化層厚度之閘介電層的方法，其中形成該閘氧化層的方法包括熱氧化法。

3. 如申請專利範圍第 1 項所述之在晶圓上形成多種等效氧化層厚度之閘介電層的方法，其中去除該第三區域與該第四區域之閘氧化層的部分厚度之方法包括濕蝕刻法。

4. 如申請專利範圍第 3 項所述之在晶圓上形成多種等效氧化層厚度之閘介電層的方法，其中該濕蝕刻法之蝕刻劑包括約 1 重量百分比濃度的氫氟酸。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

5. 如申請專利範圍第 1 項所述之在晶圓上形成多種等效氧化層厚度之閘介電層的方法，其中植入氮離子之步驟係在小於攝氏 100 度下進行。

6. 如申請專利範圍第 1 項所述之在晶圓上形成多種等效氧化層厚度之閘介電層的方法，其中植入氮離子之步驟包括使用遠距電漿或去耦合電漿來進行。

7. 一種在晶圓上形成多種等效氧化層厚度之閘介電層的方法，該方法至少包括：

進行第一熱氧化步驟，以形成具有一第一厚度之一第一閘氧化層於一基底上，該基底至少具有一第一區域、一第二區域、一第三區域與一第四區域；

去除該第三區域與該第四區域之該基底上之該第一閘氧化層；

進行一第二熱氧化步驟，以在第三區域與該第四區域之該基底上形成具有一第二厚度之一第二閘氧化層，並使該第一閘氧化層之第一厚度增加至第三厚度；以及

植入氮離子於該第一區域之該第一閘氧化層與該第四區域之該第二閘氧化層中。

8. 如申請專利範圍第 7 項所述之在晶圓上形成多種

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

等效氧化層厚度之閘介電層的方法，其中去除該第三區域與該第四區域之該基底上之該第一閘氧化層的方法包括濕蝕刻法。

9. 如申請專利範圍第 8 項所述之在晶圓上形成多種等效氧化層厚度之閘介電層的方法，其中該濕蝕刻法之蝕刻劑包括約 1 重量百分比濃度的氫氟酸。

10. 如申請專利範圍第 7 項所述之在晶圓上形成多種等效氧化層厚度之閘介電層的方法，其中植入氮離子之步驟係在小於攝氏 100 度下進行。

11. 如申請專利範圍第 7 項所述之在晶圓上形成多種等效氧化層厚度之閘介電層的方法，其中植入氮離子之步驟包括使用遠距電漿或去耦合電漿來進行。

12. 一種在晶圓上形成多種等效氧化層厚度之閘介電層的方法，該方法至少包括：

進行一第一氮離子植入步驟，植入氮離子於一基底中；

形成一第一閘氧化層於該基底上；

形成一金屬氧化層於該第一閘氧化層上，該金屬氧化層的材料包括氧化鈣或氧化鋁；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

圖案化該金屬氧化層與該第一閘氧化層，以暴露出部分之該基底表面；

形成一第二閘氧化層於暴露出之該基底表面；

進行第二氮離子植入步驟，植入氮離子於該金屬氧化層與該第二閘氧化層中；以及

進行一回火步驟，以增加該金屬氧化層、該第一閘氧化層與該第二閘氧化層的密度。

13. 如申請專利範圍第 12 項所述之在晶圓上形成多種等效氧化層厚度之閘介電層的方法，其中該第一氮離子植入步驟與該第二氮離子植入步驟包括使用遠距電漿或去耦合電漿來植入氮離子。

14. 如申請專利範圍第 12 項所述之在晶圓上形成多種等效氧化層厚度之閘介電層的方法，其中形成該第一閘氧化層與該第二閘氧化層之方法包括熱氧化法。

15. 如申請專利範圍第 12 項所述之在晶圓上形成多種等效氧化層厚度之閘介電層的方法，其中形成該金屬氧化層的方法包括有機金屬化學氣相沈積法或原子層化學氣相沈積法。

16. 如申請專利範圍第 12 項所述之在晶圓上形成多

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

種等效氧化層厚度之閘介電層的方法，其中該回火步驟係在攝氏約 900 度下進行約 1 分鐘。

17. 如申請專利範圍第 12 項所述之在晶圓上形成多種等效氧化層厚度之閘介電層的方法，其中於圖案化該金屬氧化層與該第一閘氧化層的步驟與形成該第二閘氧化層的步驟之間，更包括以濕蝕刻法去除暴露出之該基底表面殘留的氧化層。

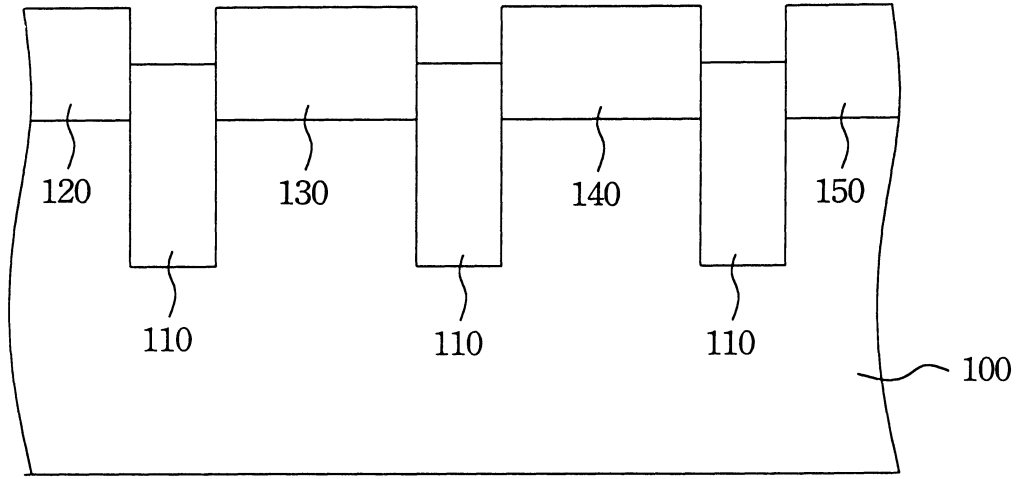
18. 如申請專利範圍第 17 項所述之在晶圓上形成多種等效氧化層厚度之閘介電層的方法，其中該濕蝕刻法所用之蝕刻液包括 RCA 溶液或 HF 溶液。

(請先閱讀背面之注意事項再填寫本頁)

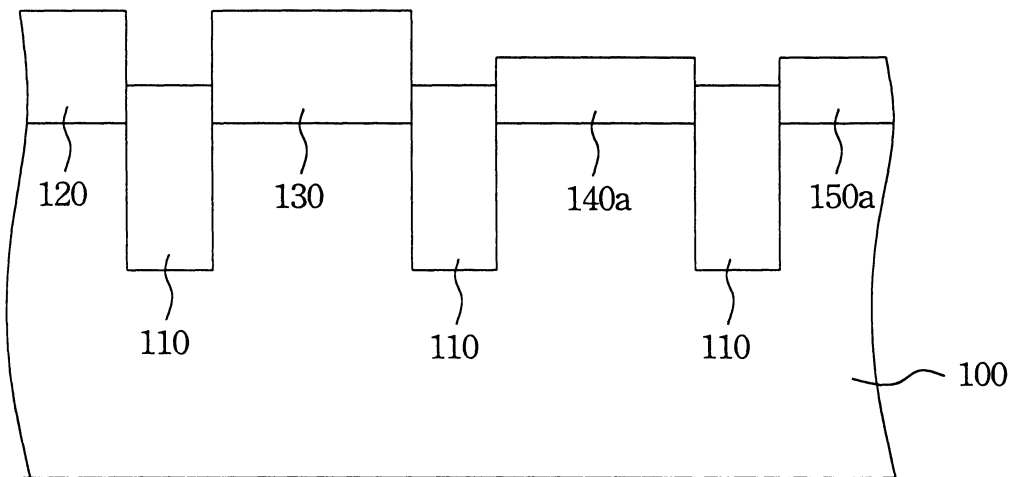
裝

訂

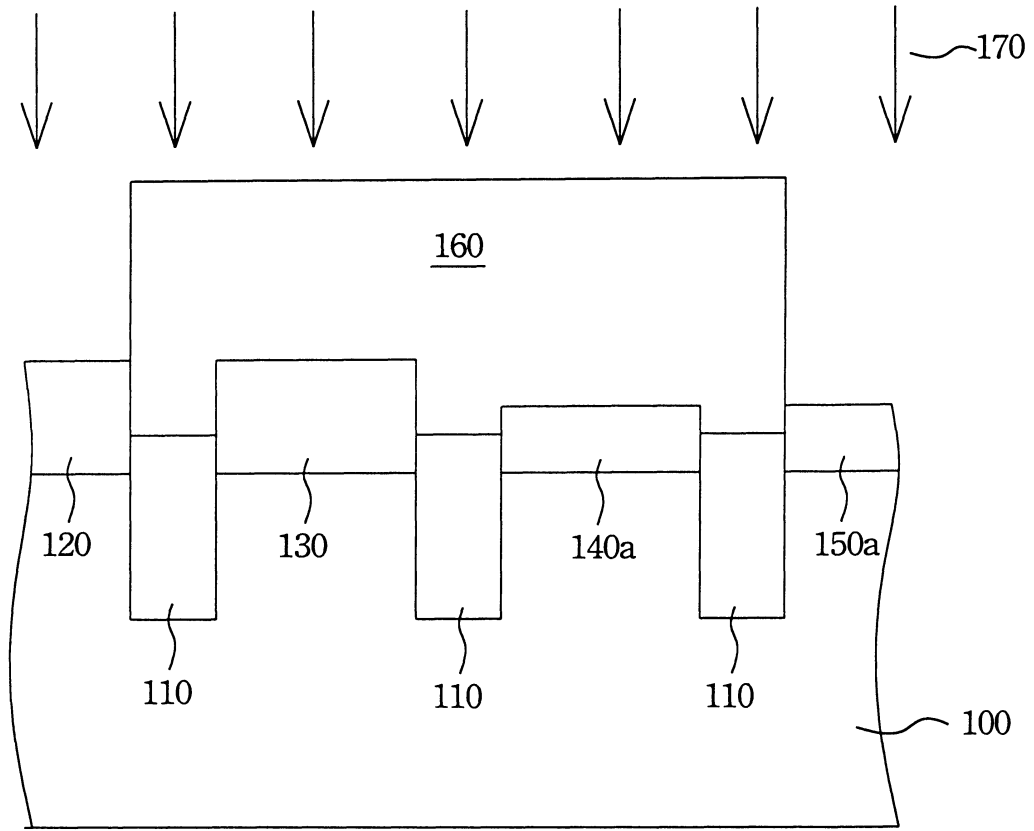
線



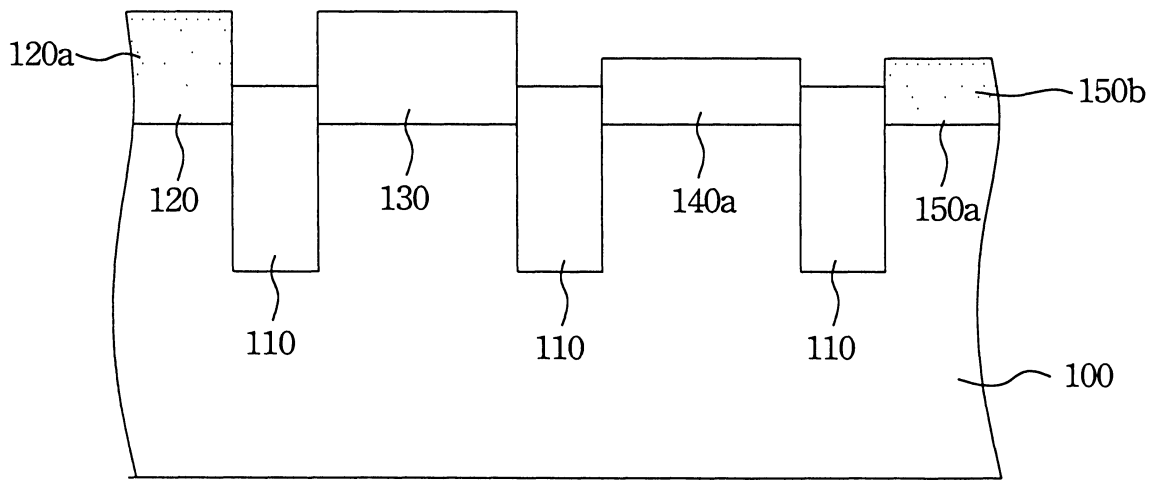
第 1A 圖



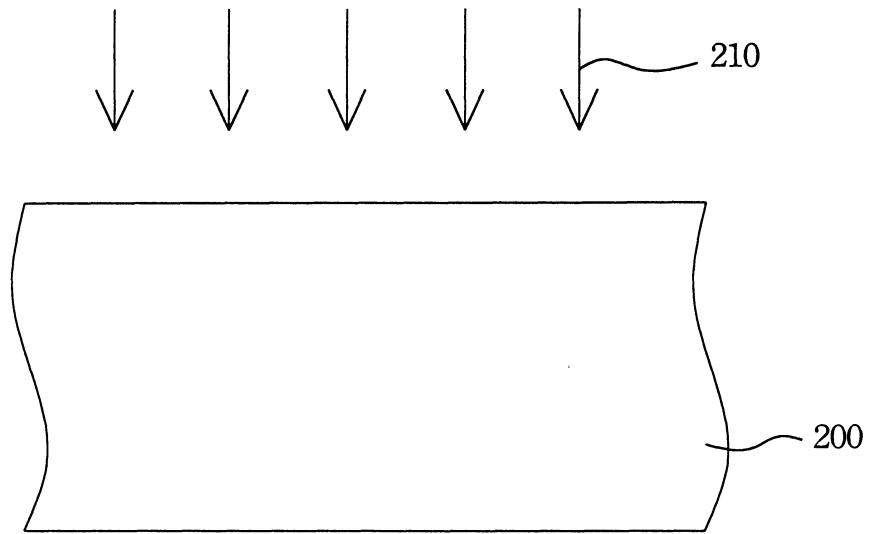
第 1B 圖



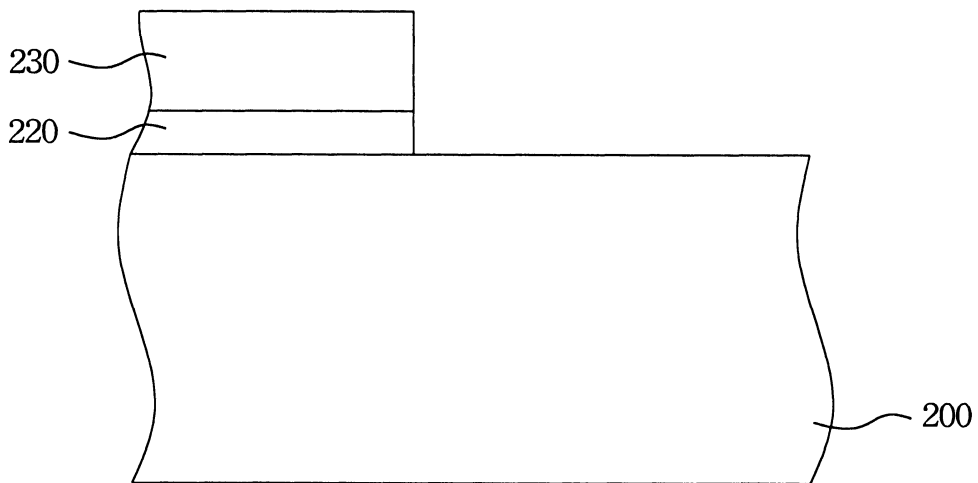
第 1C 圖



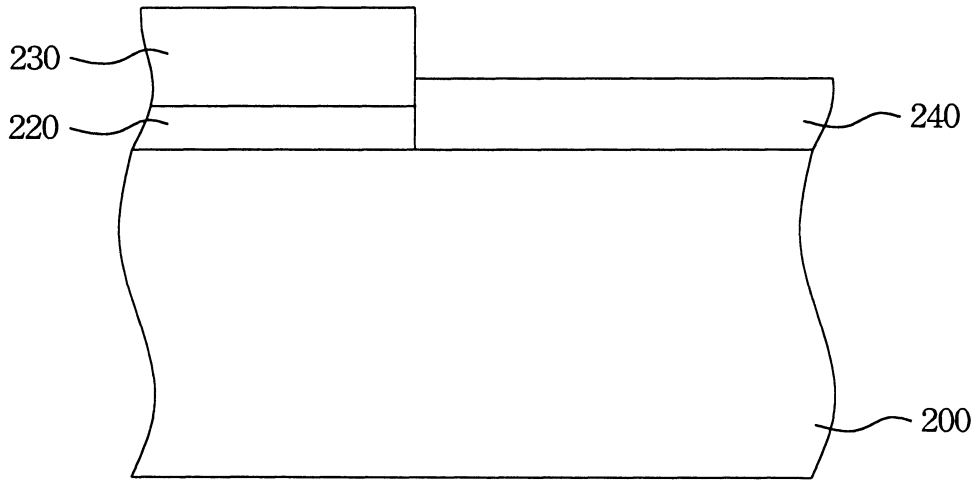
第 1D 圖



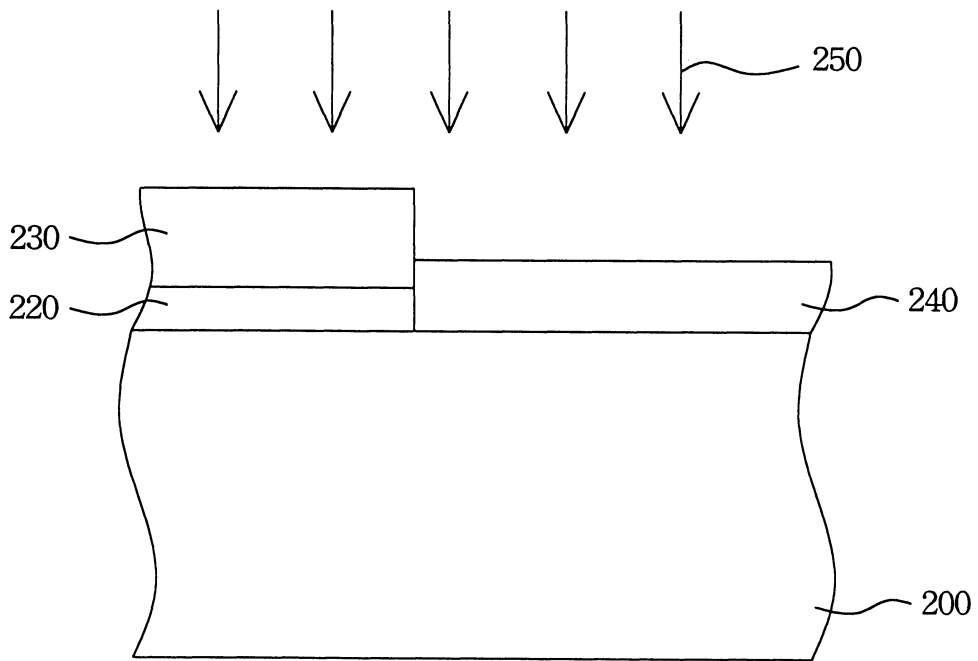
第 2A 圖



第 2B 圖



第 2C 圖



第 2D 圖