

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6372898号
(P6372898)

(45) 発行日 平成30年8月15日(2018.8.15)

(24) 登録日 平成30年7月27日(2018.7.27)

(51) Int. Cl.	F I		
HO 1 L 23/29 (2006.01)	HO 1 L 23/30	R	
HO 1 L 23/31 (2006.01)	HO 1 L 25/08	B	
HO 1 L 25/065 (2006.01)	HO 1 L 23/36	A	
HO 1 L 25/07 (2006.01)	HO 5 K 9/00	H	
HO 1 L 25/18 (2006.01)	HO 1 L 43/02	Z	
請求項の数 20 (全 19 頁) 最終頁に続く			

(21) 出願番号	特願2016-540865 (P2016-540865)	(73) 特許権者	591003943 インテル・コーポレーション
(86) (22) 出願日	平成25年10月15日(2013.10.15)		アメリカ合衆国 95054 カリフォルニア州・サンタクララ・ミッション カレッジ ブレーバード・2200
(65) 公表番号	特表2016-532309 (P2016-532309A)	(74) 代理人	110000877 龍華国際特許業務法人
(43) 公表日	平成28年10月13日(2016.10.13)	(72) 発明者	サンクマン、ロバート エル。 アメリカ合衆国 95054 カリフォルニア州・サンタクララ・ミッション カレッジ ブレーバード・2200 インテル・コーポレーション内
(86) 国際出願番号	PCT/US2013/065106		
(87) 国際公開番号	W02015/057209		
(87) 国際公開日	平成27年4月23日(2015.4.23)		
審査請求日	平成28年3月7日(2016.3.7)		
最終頁に続く			

(54) 【発明の名称】 磁気遮蔽集積回路パッケージ

(57) 【特許請求の範囲】

【請求項1】

パッケージアセンブリであって、
パッケージ基板に結合される第1のダイと、
前記第1のダイの上に配置され、前記第1のダイに電氣的に結合される第2のダイと、
前記第1と第2のダイが結合された前記パッケージ基板の上に配置されるモールド化合物と、

前記第2のダイに取り付けられたヒートスプレッタと、
を備え、

前記モールド化合物は、マトリックスコンポーネントと磁場を吸収する複数の粒子とを
含み、

磁場を吸収する前記複数の粒子の熱伝導性は、前記マトリックスコンポーネントの熱伝導性よりも高く、

磁場を吸収する前記複数の粒子は、前記第1と第2のダイから熱を逃がすべく、前記モールド化合物を通して前記ヒートスプレッタに至る鉛直な熱的経路と前記モールド化合物を通して前記パッケージアセンブリの左右の端部に至る水平な熱的経路を与える、

パッケージアセンブリ。

【請求項2】

前記モールド化合物は、磁場を吸収する複数の粒子を、体積百分率で少なくとも70%含む、請求項1に記載のパッケージアセンブリ。

【請求項 3】

前記モールド化合物は、磁場を吸収する複数の粒子を、体積百分率で少なくとも 80% 含む、請求項 1 に記載のパッケージアセンブリ。

【請求項 4】

前記マトリックスコンポーネントは、エポキシ材料を含む、請求項 1 から 3 のいずれか 1 項に記載のパッケージアセンブリ。

【請求項 5】

磁場を吸収する前記複数の粒子は、強磁性材料を含む、請求項 1 から 3 のいずれか 1 項に記載のパッケージアセンブリ。

【請求項 6】

前記パッケージ基板に結合される前記第 1 のダイは、前記パッケージ基板に少なくとも部分的に組み込まれる、請求項 1 から 3 のいずれか 1 項に記載のパッケージアセンブリ。

【請求項 7】

前記第 1 と第 2 のダイは、磁気メモリまたは磁気ロジックの少なくとも 1 つを含む、請求項 1 から 3 のいずれか 1 項に記載のパッケージアセンブリ。

【請求項 8】

磁場を吸収する前記複数の粒子は、酸化鉄、複数のニッケル鉄合金、複数のコバルト鉄合金及び Ni、In、Cu ならびに Cr の組み合わせの少なくとも 1 つを含む、請求項 1 から 3 のいずれか 1 項に記載のパッケージアセンブリ。

【請求項 9】

パッケージアセンブリを製造する方法であって、
 少なくとも 1 つの第 1 のダイをパッケージ基板に結合させる段階と、
 前記第 1 のダイの上に第 2 のダイを配置し、前記第 2 のダイを前記第 1 のダイと電氣的に結合させる段階と、
 前記第 1 と第 2 のダイが結合された前記パッケージ基板の上にモールド化合物を堆積させる段階と、
 ヒートスプレッタを前記第 2 のダイに取り付ける段階と、
 を備え、
 前記モールド化合物は、マトリックスコンポーネントと磁場を吸収する複数の粒子とを含み、

磁場を吸収する前記複数の粒子の熱伝導性は、前記マトリックスコンポーネントの熱伝導性よりも高く、

磁場を吸収する前記複数の粒子は、前記第 1 と第 2 のダイから熱を逃がすべく、前記モールド化合物を通して前記ヒートスプレッタに至る鉛直な熱的経路と前記モールド化合物を通して前記パッケージアセンブリの左右の端部に至る水平な熱的経路を与える、

方法。

【請求項 10】

前記モールド化合物は、磁場を吸収する複数の粒子を、体積百分率で少なくとも 70% 含む、請求項 9 に記載の方法。

【請求項 11】

前記モールド化合物は、磁場を吸収する複数の粒子を、体積百分率で少なくとも 80% 含む、請求項 10 に記載の方法。

【請求項 12】

前記マトリックスコンポーネントは、エポキシ材料を含む、請求項 9 から 11 のいずれか 1 項に記載の方法。

【請求項 13】

磁場を吸収する複数の粒子は、強磁性材料を含む、請求項 9 から 11 のいずれか 1 項に記載の方法。

【請求項 14】

少なくとも 1 つの前記第 1 のダイを前記パッケージ基板に結合する段階は、前記第 1 の

10

20

30

40

50

ダイをパッケージ基板に少なくとも部分的に組み込むことを含む、請求項 9 から 11 のいずれか 1 項に記載の方法。

【請求項 15】

回路基板と、

第 1 の面及び前記第 1 の面の反対側に配置される第 2 の面を有するパッケージアセンブリと、

を備え、

前記第 1 の面は、前記第 1 の面の上に配置される 1 つまたは複数のパッケージレベルの相互接続を用いて前記回路基板に結合され、

前記パッケージアセンブリは、

パッケージ基板に結合される第 1 のダイと、

前記第 1 のダイの上に配置され、前記第 1 のダイに電氣的に結合される第 2 のダイと

、
前記第 1 と第 2 のダイが結合された前記パッケージ基板の上に配置されるモールド化合物と、

前記第 2 のダイに取り付けられたヒートスプレッドと、

を含み、

前記モールド化合物は、マトリックスコンポーネントと磁場を吸収する複数の粒子とを含み、

磁場を吸収する前記複数の粒子の熱伝導性は、前記マトリックスコンポーネントの熱伝導性よりも高く、

磁場を吸収する前記複数の粒子は、前記第 1 と第 2 のダイから熱を逃がすべく、前記モールド化合物を通して前記ヒートスプレッドに至る鉛直な熱的経路と前記モールド化合物を通して前記パッケージアセンブリの左右の端部に至る水平な熱的経路を与える、

コンピューティングデバイス。

【請求項 16】

前記モールド化合物は、磁場を吸収する複数の粒子を、体積百分率で少なくとも 70 % 含む、請求項 15 に記載のコンピューティングデバイス。

【請求項 17】

前記モールド化合物は、磁場を吸収する複数の粒子を、体積百分率で少なくとも 80 % 含む、請求項 15 に記載のコンピューティングデバイス。

【請求項 18】

前記パッケージ基板に結合される前記第 1 のダイは、前記パッケージ基板に少なくとも部分的に組み込まれる第 1 のダイである、請求項 15 から 17 のいずれか 1 項に記載のコンピューティングデバイス。

【請求項 19】

磁場を生成するモジュールをさらに備え、

磁場を吸収する前記複数の粒子は、前記第 1 と第 2 のダイを前記磁場から遮蔽する、請求項 15 から 17 のいずれか 1 項に記載のコンピューティングデバイス。

【請求項 20】

前記コンピューティングデバイスは、前記回路基板に結合されるアンテナ、ディスプレイ、タッチスクリーンディスプレイ、タッチスクリーンコントローラ、バッテリー、音声コーデック、ビデオコーデック、パワーアンプ、全地球測位システム (GPS) デバイス、コンパス、ガイガーカウンタ、加速度計、ジャイロスコープ、スピーカ、またはカメラの 1 つまたは複数を含むモバイルコンピューティングデバイスである、請求項 15 から 17 のいずれか 1 項に記載のコンピューティングデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本開示の複数の実施形態は、概して、集積回路の分野に関し、より詳細には、磁気遮蔽

10

20

30

40

50

集積回路パッケージアセンブリ、及び磁気遮蔽パッケージアセンブリを製造する方法ならびに材料に関する。

【背景技術】

【0002】

新たなメモリ及びロジック技術は、データを格納及び操作するためにナノ磁気素子を用いる。これらの磁気ベースのシステムにおいて、論理値は、電子電荷または電流の流れと対照的に、磁気双極子または他の磁気特性に関連付けられることがある。このような磁気システムは、従来のメモリ及びロジックシステムに比して、電力消費及び性能上の利点を提供することがある。しかしながら、磁気ベースのシステムは、新たな課題をもたらしている。具体的には、ナノ磁気素子は、外部磁場に露出された場合に、破損またはエラーを生じやすいことがある。

10

【図面の簡単な説明】

【0003】

複数の実施形態は、以下の詳細な説明を複数の添付図面と併せて参照することによって、容易に理解されよう。この説明を容易にすべく、同様の参照番号は、同様の構造的要素を示す。複数の実施形態は、複数の添付図面の複数の図において、限定としてではなく、例として示されるものである。

【図1】いくつかの実施形態に係るフリップチップボールグリッドアレイ(BGA)構成によるパッケージアセンブリの側断面図を模式的に示す。

【図2】いくつかの実施形態に係るフリップチップBGA構成における複数のダイを含むパッケージアセンブリの側断面図を模式的に示す。

20

【図3】いくつかの実施形態に係るファンアウト型ウェハレベルパッケージ(FOWLP)または組み込み型ウェハレベルボールグリッドアレイ(eWLB)構成によるパッケージアセンブリの側断面図を模式的に示す。

【図4】いくつかの実施形態に係るワイヤボンドボールグリッドアレイ(WB-BGA)構成によるパッケージアセンブリの側断面図を模式的に示す。

【図5】いくつかの実施形態に係るリードフレームベースのパッケージ構成によるパッケージアセンブリの側断面図を模式的に示す。

【図6】いくつかの実施形態に係るバンプレスビルドアップ層(BBUL)構成によるパッケージアセンブリの側断面図を模式的に示す。

30

【図7】いくつかの実施形態に係る3次元ダイのバンプレスビルドアップ層(BBUL)構成によるパッケージアセンブリの側断面図を模式的に示す。

【図8】いくつかの実施形態に係るヒートスプレッドを含む3次元(3D)積層ダイのバンプレスビルドアップ層(BBUL)構成によるパッケージアセンブリの側断面図を模式的に示す。

【図9】いくつかの実施形態に係る、本明細書において説明されるICパッケージアセンブリを含むコンピューティングデバイスを模式的に示す。

【図10】いくつかの実施形態に係るICパッケージアセンブリの製造方法のフロー図を模式的に示す。

【発明を実施するための形態】

40

【0004】

本開示の複数の実施形態は、磁気遮蔽集積回路パッケージアセンブリ、集積回路パッケージアセンブリの磁気遮蔽材料、磁気遮蔽パッケージングアセンブリの製造方法を説明する。これらの実施形態は、磁気ベースのデバイスをよりロバストにし、これらがさらなる環境において実行可能となるように、磁気ベースの集積回路を外部磁場から防護または保護するように設計される。以下の説明において、例示的な実装の様々な態様が説明されるが、ここで、これらの機能の本質を他の当業者に伝えるべく、当業者によって一般に用いられる用語を用いる。しかしながら、本開示の複数の実施形態は、説明される態様のいくつかのみによって実施可能であることが、当業者には明らかであろう。説明目的のために、具体的な数、材料及び構成は、例示的な実装の十分な理解を与えるべく、説明される。

50

しかしながら、本開示の複数の実施形態は、具体的な詳細がなくとも実施可能であることは、当業者には明らかであろう。他の複数の例において、周知の特徴は、例示的な実装を不明瞭にしないよう、省略または簡略化される。

【0005】

以下の詳細な説明において、その一部を形成する複数の添付図面が参照されるが、ここで、全体を通して同様の番号は同様の部分を示し、本開示の主題が実施可能である複数の実施形態が例示として示される。複数の他の実施形態が利用可能であり、構造的または論理の変更が本開示の範囲から逸脱することなくなされ得ることを理解されたい。従って、以下の詳細な説明は、限定的な意味でとられるべきではなく、複数の実施形態の範囲は、添付された特許請求の範囲及びこれらの均等物によって定義される。

10

【0006】

本開示の目的のために、「A及び/またはB」という語句は、(A)、(B)、または(A及びB)を意味する。本開示の目的のために、「A、B、及び/またはC」という語句は、(A)、(B)、(C)、(A及びB)、(A及びC)、(B及びC)、または(A、B及びC)を意味する。

【0007】

本説明は、頂/底、中/外、上/下等のような全体像ベースの記載を用いることがある。このような記載は、単に、説明を容易にするために用いられるものであって、本明細書において説明される複数の実施形態の適用をいずれかの具体的な方向に限定することが意図されるものではない。

20

【0008】

本説明は、「実施形態において」、「複数の実施形態において」、または「いくつかの実施形態において」という語句を用いることがあるが、これらの各々は、同じまたは異なる実施形態のうち1つまたは複数を指してもよい。さらに、本開示の複数の実施形態に関して用いられる「備える」、「含む」、「有する」等の用語は、同義語である。

【0009】

「に結合される」という用語が、その派生語と共に、本明細書において用いられることがある。「結合される」は、以下のうち1つまたは複数を意味してもよい。「結合される」は、2つまたはそれより多くの要素が、直接物理的または電氣的に接触することを意味してもよい。しかしながら、「結合される」は、2つまたはそれより多くの要素が、互いに間接的に接触するが、互いにさらに協働または相互作用することをさらに意味してもよく、1つまたは複数の他の要素が、互いに結合されると言われている複数の要素間で結合または接続されることを意味してもよい。「直接結合される」という用語は、2つまたはそれより多くの要素が直接接触することを意味してもよい。

30

【0010】

様々な実施形態において、「第2の特徴部上に、形成、堆積(deposited)、または配置される第1の特徴部」という語句は、第1の特徴部が第2の特徴部の上に形成、堆積、または配置され、第1の特徴部の少なくとも一部が第2の特徴部の少なくとも一部と直接接触(例えば、直接物理的及び/または電氣的に接触)すること、または、間接的に接触(例えば、第1の特徴部及び第2の特徴部の間の1つまたは複数の他の特徴部を有する)することを意味してもよい。

40

【0011】

本明細書において用いられるように、「モジュール」という用語は、特定用途向け集積回路(ASIC)、電子回路、システムオンチップ(SoC)、1つまたは複数のソフトウェアまたはファームウェアプログラムを実行するプロセッサ(共有、専用、またはグループ)及び/またはメモリ(共有、専用、またはグループ)、組み合わせロジック回路、及び/または説明される機能性を提供する他の適切なコンポーネントの一部であるか、またはこれらを含むことを指してもよい。

【0012】

図1は、複数の特定の実施形態に係るパッケージアセンブリ100を示す。図1に示さ

50

れるパッケージアセンブリ100は、フリップチップBGA構成による。パッケージアセンブリ100は、ここでボールグリッドアレイ(BGA)102として示されるパッケージレベルの相互接続を含んでもよい。任意の適切なパッケージレベルの相互接続が、用いられてもよい。パッケージアセンブリ100は、ダイ108が結合可能なパッケージ基板104をさらに含んでもよい。ダイ108は、能動的及び/または受動的デバイスを含んでもよく、磁気ベースのメモリまたはロジックを含んでもよい。いくつかの実施形態において、ダイ108は、Intel(登録商標)製のAtom(登録商標)プロセッサまたはQuark(登録商標)プロセッサのようなプロセッサを含んでもよい。磁気ベースのメモリまたはロジックは、限定されるものではないが、磁気抵抗ランダムアクセスメモリ(MRAM)、スピントルク注入磁気抵抗ランダムアクセスメモリ(STT-MRAM)、熱アシストスイッチ磁気抵抗ランダムアクセスメモリ(TAS-MRAM)、及びスピントロニクスロジックを含んでもよい。ダイ108は、BGA110のようなダイレベルの相互接続を介してパッケージ基板104に接続されてもよい。複数の図は、代表的なものであり、実際、パッケージアセンブリ100は、明確性のために本明細書において具体的には説明されない複数の付加的な特徴を含んでもよい。例えば、BGA110をパッケージレベルの相互接続(BGA)102に電氣的に結合させるための付加的な構造が、存在してもよい。

10

【0013】

パッケージアセンブリ100は、パッケージ基板104及びダイ108の上に堆積されるモールド化合物(106及び112の組み合わせ)を含んでもよい。モールド化合物は、マトリックスコンポーネント106及び複数の磁場吸収粒子112を含んでもよい。複数の磁場吸収粒子112は、外部磁場を減衰させ、このような外部磁場からダイ108を遮蔽するように機能する。マトリックスコンポーネント106は、エポキシ、複数の他のポリマ材料、または任意の他の適切なマトリックス材料を含んでもよい。複数の磁場吸収粒子112は、例えば、酸化鉄、ニッケル鉄合金、またはコバルト鉄合金のような強磁性材料を含んでもよい。複数の磁場吸収粒子112は、磁気特性を高めるべく、少量の他の要素をさらに含んでもよい。例えば、複数の磁場吸収粒子112は、典型的にはNi、In、Cu及びCrから構成される「ミューメタル」を含んでもよい。「ミューメタル」は、100,000近い相対透磁率を有することがある。複数の磁場吸収粒子112は、外部磁場を減衰させ、そこからダイ108を遮蔽するために十分な透磁率特性を有する複数の他の適切な材料を含んでもよい。

20

30

【0014】

材料及びマトリックスコンポーネント106と磁場吸収粒子112との間の比率の具体的な選択は、最終的な化合物における所望の特性、及びパッケージアセンブリが用いられる用途ならびに環境に依存する。概して、磁場吸収粒子112の濃度が高いほど、遮蔽効果はより大きくなり、外部磁場のより大きい減衰が可能となる。例えば、磁場吸収粒子112の濃度は、体積百分率で70%のオーダであってもよい。磁場吸収粒子112の濃度を体積百分率で80%-90%またはそれより高くして用いることは、いくつかの用途にとって有益なことがある。

【0015】

磁気遮蔽に加えて、熱特性が、マトリックスコンポーネント106及び複数の磁場吸収粒子112の両方を選択する場合に考慮されなければならない。例えば、組み合わせられたモールド化合物(106及び112の組み合わせ)の熱膨張係数は、熱サイクルの間に適切な接着を確実にし、剥離を防止すべく、ダイ108及びパッケージ基板104のものと十分に近い値でなければならない。さらに、複数の磁場吸収粒子112は、マトリックスコンポーネント106と比較して、より高い熱伝導性を示してもよい。この結果、組み合わせられたモールド化合物(106及び112の組み合わせ)の熱伝導性が増すことがあり、これは、ダイ108またはパッケージ基板104から望ましくない熱を逃がす上で有益なことがある。

40

【0016】

50

ナノ磁石をスイッチするために必要とされる磁場は、ナノ磁石の構造に応じて異なるが、30エルステッド(Oe)までのオーダである。例えば、いくつかのナノ磁石は、スイッチのために300eから5000eの間の磁場を必要とすることで知られる。いくつかの環境(外部)磁場は、ナノ磁石をスイッチするために必要とされる範囲とオーバーラップし、従って、磁気メモリに格納されるデータを破損し、磁気ロジックにおいてエラーをもたらす可能性を生じさせる。ソレノイドは、1000e - 3000eの場を生成し得るが、例えば、標準的な冷却磁石は、500eの磁場を生成する。これらの場の数値を前提とすると、このような一般的な環境磁場が、磁気メモリまたは磁気ロジックに悪影響を与える可能性がある。複数の磁場吸収粒子112をモールド化合物に含めることによって、これらの環境磁場は、ダイ108に含まれる磁気メモリまたはロジックに対するあらゆる悪影響を排除及び/または軽減すべく、吸収及び/または減衰され得る。モールド化合物の詳細が図1を参照して説明されるが、これらは、本明細書において説明される複数の実施形態の各々に適用される。

10

【0017】

図2は、複数の特定の実施形態に係るパッケージアセンブリ200を示す。図2に示されるパッケージアセンブリ200は、フリップチップBGAマルチチップパッケージ(FCBGA-MCP)構成による。パッケージアセンブリ200は、ここでボールグリッドアレイ(BGA)202として示されるパッケージレベルの相互接続を含んでもよい。任意の適切なパッケージレベルの相互接続が、用いられてもよい。パッケージアセンブリ200は、2つのダイ208、214が結合可能なパッケージ基板204をさらに含んでもよい。ダイ208、214は、図1においてダイ108に関連して上述されたように、能動的及び/または受動的デバイスを含んでもよく、磁気ベースのメモリまたはロジックを含んでもよい。いくつかの実施形態において、ダイ208、214は、例えば、Intel(登録商標)製のAtom(登録商標)プロセッサまたはQuark(登録商標)プロセッサのようなプロセッサを含んでもよい。ダイ208、214は、BGA210、216のようなダイレベルの相互接続を介してパッケージ基板204に接続されてもよい。パッケージアセンブリ200は、パッケージ基板204及びダイ208、214の上に堆積されるモールド化合物(206及び212の組み合わせ)をさらに含んでもよい。モールド化合物は、マトリックスコンポーネント206及び複数の磁場吸収粒子212を含んでもよい。モールド化合物の材料及び比率は、図1に関して説明される原理に従って選択されてもよい。

20

30

【0018】

図3は、複数の特定の実施形態に係るパッケージアセンブリ300を示す。図3に示されるパッケージアセンブリ300は、ファンアウトウェハレベルパッケージ(FOWLP)によるものであり、これは、場合により、組み込み型ウェハレベルボールグリッドアレイ(eWLB)構成とも称される。パッケージアセンブリ300は、ここでボールグリッドアレイ(BGA)302として示されるパッケージレベルの相互接続を含んでもよい。任意の適切なパッケージレベルの相互接続が、用いられてもよい。パッケージアセンブリ300は、ダイ308が結合可能なパッケージ基板304をさらに含んでもよい。図3に示される構成において、パッケージ基板304は、FOWLP/eWLBパッケージアセンブリにおいて一般的であるように、1つまたは複数の再配線層(不図示)を含んでもよい。ダイ308は、図1においてダイ108に関連して上述されたように、能動的及び/または受動的デバイスを含んでもよく、磁気ベースのメモリまたはロジックを含んでもよい。いくつかの実施形態において、ダイ308は、Intel(登録商標)製のAtom(登録商標)プロセッサまたはQuark(登録商標)プロセッサのようなプロセッサを含んでもよい。ダイ308は、任意の適切な技術を介してパッケージ基板304に接続されてもよい。パッケージアセンブリ300は、パッケージ基板304及びダイ308の上に堆積されるモールド化合物(306及び312の組み合わせ)をさらに含んでもよい。モールド化合物は、マトリックスコンポーネント306及び複数の磁場吸収粒子312を含んでもよい。モールド化合物の材料及び比率は、図1に関して説明される原理に従って

40

50

選択されてもよい。

【0019】

図4は、複数の特定の実施形態に係るパッケージアセンブリ400を示す。図4に示されるパッケージアセンブリ400は、ワイヤボンDBG A (WB - BGA)構成による。パッケージアセンブリ400は、ここでボールグリッドアレイ(BGA)402として示されるパッケージレベルの相互接続を含んでもよい。任意の適切なパッケージレベルの相互接続が、用いられてもよい。パッケージアセンブリ400は、ダイ408が結合可能なパッケージ基板404をさらに含んでもよい。ダイ408は、パッケージレベルの相互接続(BGA)402に、複数のワイヤ410を介して電氣的に結合されてもよい。複数のワイヤ410は、ダイ408上の接触部を、パッケージ基板404を通りBGA402にまで形成された導電経路(具体的には示されていない)に電氣的に結合してもよい。ダイ408は、図1においてダイ108に関連して上述されたように、能動的及び/または受動的デバイスを含んでもよく、磁気ベースのメモリまたはロジックを含んでもよい。いくつかの実施形態において、ダイ408は、Intel(登録商標)製のAtom(登録商標)プロセッサまたはQuark(登録商標)プロセッサのようなプロセッサを含んでもよい。ダイ408は、任意の適切な技術を介してパッケージ基板404に接続されてもよい。パッケージアセンブリ400は、パッケージ基板404及びダイ408の上に堆積されるモールド化合物(406及び412の組み合わせ)をさらに含んでもよい。モールド化合物は、マトリックスコンポーネント406及び複数の磁場吸収粒子412を含んでもよい。モールド化合物の材料及び比率は、図1に関して説明される原理に従って選択されてもよい。

10

20

【0020】

図5は、複数の特定の実施形態に係るパッケージアセンブリ500を示す。図5に示されるパッケージアセンブリ500は、リードフレームベースのパッケージ構成による。パッケージアセンブリ500は、ここでリードフレーム502として示されるパッケージレベルの相互接続を含んでもよい。任意の適切なパッケージレベルの相互接続が、用いられてもよい。パッケージアセンブリ500は、リードフレーム502に結合されるダイ508をさらに含んでもよい。ダイ508は、図1においてダイ108に関連して上述されたように、能動的及び/または受動的デバイスを含んでもよく、磁気ベースのメモリまたはロジックを含んでもよい。いくつかの実施形態において、ダイ508は、Intel(登録商標)製のAtom(登録商標)プロセッサまたはQuark(登録商標)プロセッサのようなプロセッサを含んでもよい。ダイ508は、任意の適切な技術を介してリードフレーム502に接続されてもよい。ダイ508は、複数のワイヤ510を介してリードフレーム502に電氣的に結合されてもよい。パッケージアセンブリ500は、リードフレーム502及びダイ508の上に堆積されるモールド化合物(506及び512の組み合わせ)をさらに含んでもよい。モールド化合物は、マトリックスコンポーネント506及び複数の磁場吸収粒子512を含んでもよい。モールド化合物の材料及び比率は、図1に関連して上述される説明に従って選択されてもよい。

30

【0021】

図6は、複数の特定の実施形態に係るパッケージアセンブリ600を示す。図6に示されるパッケージアセンブリ600は、バンプレスビルドアップ層(BBUL)構成による。パッケージアセンブリ600は、ここでボールグリッドアレイ(BGA)602として示されるパッケージレベルの相互接続を含んでもよい。任意の適切なパッケージレベルの相互接続が、用いられてもよい。パッケージアセンブリ600は、ダイ608が図示されるように結合または組み込み可能なパッケージ基板604をさらに含んでもよい。ダイ608は、図1においてダイ108に関連して上述されたように、能動的及び/または受動的デバイスを含んでもよく、磁気ベースのメモリまたはロジックを含んでもよい。いくつかの実施形態において、ダイ608は、Intel(登録商標)製のAtom(登録商標)プロセッサまたはQuark(登録商標)プロセッサのようなプロセッサを含んでもよい。ダイ608は、任意の適切な技術を介してパッケージ基板604に接続されてもよい

40

50

。パッケージアセンブリ600は、パッケージ基板604及びダイ608の上に堆積されるモールド化合物(606及び612の組み合わせ)をさらに含んでもよい。モールド化合物は、マトリックスコンポーネント606及び複数の磁場吸収粒子612を含んでもよい。モールド化合物の材料及び比率は、図1に関して説明される原理に従って選択されてもよい。

【0022】

図7は、複数の特定の実施形態に係るパッケージアセンブリ700を示す。図7に示されるパッケージアセンブリ700は、3次元(3D)積層ダイバンプレスビルドアップ層(BBUL)構成による。パッケージアセンブリ700は、ここでボールグリッドアレイ(BGA)702として示されるパッケージレベルの相互接続を含んでもよい。任意の適切なパッケージレベルの相互接続が、用いられてもよい。パッケージアセンブリ700は、ダイ708が図示されるように結合または組み込み可能なパッケージ基板704をさらに含んでもよい。ダイ708は、図1においてダイ108に関連して上述されたように、能動的及び/または受動的デバイスを含んでもよく、磁気ベースのメモリまたはロジックを含んでもよい。いくつかの実施形態において、ダイ708は、Intel(登録商標)製のAtom(登録商標)プロセッサまたはQuark(登録商標)プロセッサのようなプロセッサを含んでもよい。ダイ708は、任意の適切な技術を介してパッケージ基板704に接続されてもよい。パッケージアセンブリ700は、第1のダイ708上に取り付けられる第2のダイ714をさらに含んでもよい。第2のダイ714は、1つまたは複数のピラー710または複数の他の適切な接続技術によって、第1のダイ708に電氣的に結合されてもよい。第2のダイ714は、第1のダイ708同様の能動的及び/または受動的デバイスを含んでもよい。いくつかの実施形態において、第1のダイ708は、プロセッサを含んでもよく、第2のダイ714は、主にメモリを含んでもよい。パッケージアセンブリ700は、パッケージ基板704及びダイ708、714の上に堆積されるモールド化合物(706及び712の組み合わせ)をさらに含んでもよい。モールド化合物は、マトリックスコンポーネント706及び複数の磁場吸収粒子712を含んでもよい。モールド化合物の材料及び比率は、図1に関して説明される原理に従って選択されてもよい。

【0023】

図8は、複数の特定の実施形態に係るパッケージアセンブリ800を示す。図8に示されるパッケージアセンブリ800は、ヒートスプレッドを含む3次元ダイのバンプレスビルドアップ層(BBUL)構成による。パッケージアセンブリ800は、ここでボールグリッドアレイ(BGA)802として示されるパッケージレベルの相互接続を含んでもよい。任意の適切なパッケージレベルの相互接続が、用いられてもよい。パッケージアセンブリ800は、ダイ808が図示されるように結合または組み込み可能なパッケージ基板804をさらに含んでもよい。ダイ808は、図1においてダイ108に関連して上述されたように、能動的及び/または受動的デバイスを含んでもよく、磁気ベースのメモリまたはロジックを含んでもよい。いくつかの実施形態において、ダイ808は、Intel(登録商標)製のAtom(登録商標)プロセッサまたはQuark(登録商標)プロセッサのようなプロセッサを含んでもよい。ダイ808は、任意の適切な技術を介してパッケージ基板804に接続されてもよい。パッケージアセンブリ800は、第1のダイ808上に取り付けられる第2のダイ814をさらに含んでもよい。第2のダイ814は、1つまたは複数のピラー810または複数の他の適切な接続技術によって、第1のダイ808に電氣的に結合されてもよい。第2のダイ814は、ダイ808同様の能動的及び/または受動的デバイスを含んでもよい。いくつかの実施形態において、第1のダイ808は、プロセッサを含んでもよく、第2のダイ814は、主にメモリを含んでもよい。

【0024】

パッケージアセンブリ800は、ヒートスプレッド816をさらに含んでもよい。ヒートスプレッド816は、第2のダイ814から熱を逃すように第2のダイ814に取り付けられてもよい。パッケージアセンブリ800は、パッケージ基板804及びダイ808

10

20

30

40

50

、 8 1 4 の上に堆積されるモールド化合物（ 8 0 6 及び 8 1 2 の組み合わせ）をさらにも含んでもよい。モールド化合物は、マトリックスコンポーネント 8 0 6 及び複数の磁場吸収粒子 8 1 2 を含んでもよい。モールド化合物の材料及び比率は、図 1 に関して説明される原理に従って選択されてもよい。上述されたように、複数の磁場吸収粒子 8 1 2 は、これらの磁気遮蔽能力に加えて、有益な熱伝導特性を有してもよい。複数の磁場吸収粒子 8 1 2 は、パッケージ基板 8 0 4 及びダイ 8 0 8、 8 1 4 から熱を逃がしやすくしてもよい。複数の磁場吸収粒子 8 1 2 は、熱をヒートスプレッド 8 1 6 または対流冷却がより容易に適用可能な環境に逃がすことを補助してもよい。例えば、複数の磁場吸収粒子 8 1 2 は、パッケージ基板 8 0 4 及びダイ 8 0 8、 8 1 4 から熱を除去するための複数の熱的経路を与えてもよい。複数の磁場吸収粒子 8 1 2 は、概して、パッケージ基板 8 0 4 及びダイ 8 0 8 からヒートスプレッド 8 1 6 に熱を逃がす複数の鉛直な熱的経路を形成してもよい。複数の磁場吸収粒子 8 1 2 は、概して、パッケージ基板 8 0 4 及びダイ 8 0 8、 8 1 4 から周辺環境に（例えば、図 8 における 8 0 6 の左右の端部において）熱を逃がすための複数の水平な熱的経路をさらに形成してもよい。複数のダイ（例えば、複数のプロセッサ）が縮小し続けて、より小さい寸法になるにつれて、（例えば、Intel（登録商標）製の Atom（登録商標）プロセッサまたは Quark（登録商標）プロセッサ）、オペレーション中より小さいダイの局所的ホットスポットは、例えば、ダイのエリア（例えば、アクティブ面）の全てまたは実質的に全てを含むダイのより大きいエリアを含んでもよい。複数の磁場吸収粒子 8 1 2 は、複数のより小さいダイのホットスポットから熱を逃がしやすくすべく、ダイのエリアの実質的に全てまたは全ての周りのモールド化合物に、拡散されてもよい。ヒートスプレッドは他の複数の図においては具体的に示されていないが、1 つまたは複数のヒートスプレッドが、任意の実施形態に含まれてもよい。

【 0 0 2 5 】

本開示の複数の実施形態は、任意の適切なハードウェア及び/またはソフトウェアを用いて、所望の構成となるようにシステムに実装されてもよい。図 9 は、いくつかの実施形態に係る、本明細書において説明される IC パッケージアセンブリ（例えば、図 1 8 のパッケージアセンブリ 1 0 0 8 0 0 の 1 つまたは複数）を含むコンピューティングデバイス 9 0 0 を模式的に示す。コンピューティングデバイス 9 0 0 は、マザーボード 9 0 2 のようなボードを収容するハウジングを含んでもよい。マザーボード 9 0 2 は、限定されるものではないが、プロセッサ 9 0 4 と少なくとも 1 つの通信チップ 9 0 6 とを含む多数のコンポーネントを含んでもよい。プロセッサ 9 0 4 は、マザーボード 9 0 2 に物理的かつ電氣的に結合されてもよい。いくつかの実装において、少なくとも 1 つの通信チップ 9 0 6 は、マザーボード 9 0 2 に物理的かつ電氣的にさらに結合されてもよい。複数のさらなる実装において、通信チップ 9 0 6 は、プロセッサ 9 0 4 の一部であってもよい。

【 0 0 2 6 】

その用途に応じて、コンピューティングデバイス 9 0 0 は、複数の他のコンポーネントを含んでもよく、これらは、マザーボード 9 0 2 に物理的かつ電氣的に結合されてもよく、されなくてもよい。これらの他のコンポーネントは、限定されるものではないが、揮発性メモリ（例えば、DRAM）、不揮発性メモリ（例えば、ROM）、フラッシュメモリ、グラフィクスプロセッサ、デジタル信号プロセッサ、暗号プロセッサ、チップセット、アンテナ、ディスプレイ、タッチスクリーンディスプレイ、タッチスクリーンコントローラ、バッテリー、音声コーデック、ビデオコーデック、パワーアンプ、全地球測位システム（GPS）デバイス、コンパス、ガイガーカウンタ、加速度計、ジャイロスコープ、スピーカ、カメラ、及び（ハードディスクドライブ、コンパクトディスク（CD）、デジタル多用途ディスク（DVD）等のような）大容量ストレージデバイスを含んでもよい。

【 0 0 2 7 】

通信チップ 9 0 6 は、コンピューティングデバイス 9 0 0 へ、及びこれからデータ転送をするために複数の無線通信を可能としてもよい。「無線」という用語及びその派生語は、非固体媒体を通る変調電磁放射の利用によるデータ通信を可能とする、回路、デバイス、システム、方法、技術、通信、チャネル等を説明するために用いられてもよい。用語は

10

20

30

40

50

、関連する複数のデバイスが、いくつかの実施形態においてはそうではない場合もあり得るが、いずれの有線も含まないことを暗示するものではない。通信チップ906は、限定されるものではないが、Wi-Fi(登録商標)(IEEE802.11ファミリ)、IEEE802.16規格(例えば、IEEE802.16-2005修正)、ロングタームエボリューション(LTE)プロジェクト及びあらゆる修正、更新、及び/または改訂(例えば、次世代LTEプロジェクト、ウルトラモバイルブロードバンド(UMB)プロジェクト(「3GPP2」とも称される)等を含む電気電子技術者協会(IEEE)規格を含む多数の無線規格またはプロトコルのいずれかを実装してもよい。IEEE802.16互換BWAネットワークは、概して、IEEE802.16規格の適合性及び相互運用性テストに合格した製品に付される認証マークであるWorldwide Interoperability for Microwave Accessを表す頭字語で、WiMAXネットワークと称される。通信チップ906は、Global System for Mobile Communication(GSM(登録商標))、General Packet Radio Service(GPRS)、Universal Mobile Telecommunications System(UMTS)、高速パケットアクセス(HSPA)、進化型HSPA(E-HSPA)、またはLTEネットワークに従って動作してもよい。通信チップ906は、進化型GSM(登録商標)高速データ(EDGE)、GSM(登録商標)EDGE無線アクセスネットワーク(GERAN)、Universal Terrestrial Radio Access Network(UTRAN)、または進化型UTRAN(E-UTRAN)に従って動作してもよい。通信チップ906は、コード分割多重アクセス(CDMA)、時分割多重アクセス(TDMA)、デジタル高速コードレス電気通信(DECT)、Evolution-Data Optimized(EV-DO)、それらの派生、及び3G、4G、5G及びそれ以降の世代として指定される他の無線プロトコルに従って動作してもよい。通信チップ906は、複数の他の実施形態において、他の複数の無線プロトコルに従って動作してもよい。

【0028】

コンピューティングデバイス900は、複数の通信チップ906を含んでもよい。例えば、第1の通信チップ906は、Wi-Fi(登録商標)及びBluetooth(登録商標)のような短距離無線通信専用であってもよく、第2の通信チップ906は、GPS、EDGE、GPRS、CDMA、WiMAX、LTE、EV-DO等のような長距離無線通信専用であってもよい。

【0029】

コンピューティングデバイス900のプロセッサ904は、本明細書において説明されるように、ICアセンブリ(例えば、図18のパッケージアセンブリ100800)にパッケージングされてもよい。例えば、プロセッサ904は、ダイ108808の1つに対応してもよい。いくつかの実施形態において、プロセッサ904は、Intel(登録商標)製のAtom(登録商標)プロセッサまたはQuark(登録商標)プロセッサを含んでもよい。パッケージアセンブリ(例えば、図18のパッケージアセンブリ100800)及びマザーボード902は、複数のBGAボール(例えば、図2の102)またはリードフレーム502のような複数のパッケージレベルの相互接続を用いて、共に結合されてもよい。「プロセッサ」という用語は、レジスタ及び/またはメモリからの電子データを処理することにより、当該電子データをレジスタ及び/またはメモリに格納可能な他の電子データに変換する、任意のデバイスまたはデバイスの一部を指してもよい。

【0030】

通信チップ906は、本明細書において説明されるように、ICアセンブリ(例えば、図18のパッケージアセンブリ100800)にパッケージングされ得るダイ(例えば、図18のダイ108808)をさらに含んでもよい。複数のさらなる実装において、コンピューティングデバイス900内に収容される他のコンポーネント(例えば、メ

10

20

30

40

50

モリデバイスまたは他の集積回路デバイス)は、本明細書において説明されるように、ICアセンブリ(例えば、図1 8のパッケージアセンブリ100 800)にパッケージングされ得るダイ(例えば、図1 8のダイ108 808)を含んでもよい。

【0031】

コンピューティングデバイス900は、磁場を生成するモジュールを含んでもよく、磁場は、当該モジュールまたはコンピューティングデバイス900の複数の他のモジュールに含まれる磁気メモリまたは磁気ロジックの機能を妨害する可能性がある。例えば、コンピューティングデバイス900は、磁場を生成するハードドライブを含んでもよい。本明細書において説明される、図1 8のパッケージアセンブリ100 800に含まれるモールド化合物は、コンピューティングデバイス900の複数の他のモジュールによって生成されるもののような複数の外部磁場を吸収するように設計され、従って、モールド化合物を用いるパッケージアセンブリに含まれる複数のダイを、複数のこのような外部磁場の悪影響から遮蔽する。

10

【0032】

様々な実装において、コンピューティングデバイス900は、ラップトップ、ネットブック、ノートブック、ウルトラブック(商標)、スマートフォン、タブレット、パーソナルデジタルアシスタント(PDA)、ウルトラモバイルPC、モバイルフォン、デスクトップコンピュータ、サーバ、プリンタ、スキャナ、モニタ、セットトップボックス、エンターテインメント制御ユニット、デジタルカメラ、ポータブル音楽プレイヤー、デジタルビデオレコーダであってもよい。複数のさらなる実装において、コンピューティングデバイス900は、データを処理する任意の他の電子デバイスであってもよい。

20

【0033】

図10は、いくつかの実施形態に係るICパッケージアセンブリ(例えば、図1 8のパッケージアセンブリ100 800)を製造する方法1000のフロー図を模式的に示す。

【0034】

1002において、方法1000は、第1のダイ(例えば、図1 8のダイ108 808)をパッケージ基板に結合する段階を含んでもよい。任意の適切な技術が、図1 8に関連して上述された複数のパッケージアセンブリによるパッケージ基板にダイを取り付けるために、本明細書において具体的に説明されないさらなる複数のパッケージアセンブリのための他の適切な複数の技術と同様に、用いられてもよい。

30

【0035】

1004において、方法1000は、第2のダイ(例えば、図7 8のダイ714および814)を第1のダイ上に配置する段階と、第2のダイを第1のダイに電氣的に結合する段階とを含んでもよい。第2のダイは、第2のダイを配置する段階の一部として、または他の個別のオペレーションによって、第1のダイに電氣的に結合されてもよい。任意の適切な技術が、第2のダイを取り付け、第2のダイを第1のダイに電氣的に結合させるために用いられてもよい。この動作は、いくつかの実施形態において、任意であり、図7および8に示されるもののような複数の3次元積層ダイ構成をもたらす。

40

【0036】

1006において、方法1000は、モールド化合物(例えば、図1 8のマトリックスコンポーネント106 806及び磁場吸収粒子112 812の組み合わせ)を1つまたは複数のダイの上に堆積させる段階を含んでもよい。前述されたように、モールド化合物は、マトリックスコンポーネント及び複数の磁場吸収粒子(例えば、図1 8の磁場吸収粒子112 812)を含んでもよい。マトリックスコンポーネントは、エポキシ、複数の他のポリマ材料、または任意の他の適切なマトリックス材料を含んでもよい。複数の磁場吸収粒子は、酸化鉄、ニッケル鉄合金、またはコバルト鉄合金のような強磁性材料を含んでもよい。複数の磁場吸収粒子は、外部磁場を減衰させ、そこからダイを遮蔽するために十分な透磁率特性を有する複数の他の適切な材料を含んでもよい。

【0037】

50

1008において、方法1000は、モールド化合物に圧力を付加する段階を含んでもよい。圧力の付加は、ダイのような下にあるコンポーネントへの十分な接触及び接着を確実にすべく、モールド化合物の堆積後に存在する複数の空隙にモールド化合物を注入してもよい。圧力の付加は、モールド化合物を密にし、モールド化合物の密度、最終的な厚さ及び他の複数の特性を変化させてもよい。圧力は、複数の上昇した温度を含む温度範囲にわたって付加されてもよい。上昇した温度において圧力を付加することにより、モールド化合物はより良い処理特性と共に、所望の最終的な複数の特性を得てもよい。圧力及び温度は、具体的な材料及びそれらの用いられる比率と共に、最終的な用途または構築中のパッケージアセンブリの環境に応じて、変化させてもよい。

【0038】

様々なオペレーションが、複数の別個のオペレーションとして順に、特許請求の範囲に記載された主題を理解する上で最も有用な態様で説明される。しかしながら、記載の順序は、これらのオペレーションが必ず順序に従うことを暗示するものと解釈されてはならない。

【実施例】

【0039】

様々な実施形態に従って、本開示は、磁気遮蔽集積回路を含む装置（例えば、パッケージアセンブリ）を説明する。装置の例1は、パッケージ基板に結合されるダイと、ダイ上に配置されるモールド化合物と、を含み、モールド化合物は、マトリックスコンポーネントと磁場を吸収する複数の粒子とを含む。例2は、例1に記載の装置を含み、モールド化合物は、磁場を吸収する複数の粒子を、体積百分率で少なくとも70%含む。例3は、例2に記載の装置を含み、モールド化合物は、磁場を吸収する複数の粒子を、体積百分率で少なくとも80%含む。例4は、例1-3のいずれかに記載の装置を含み、マトリックスコンポーネントは、エポキシ材料を含む。例5は、例1-3のいずれかに記載の装置を含み、磁場を吸収する複数の粒子は、強磁性材料を含む。例6は、例1-3のいずれかに記載の装置を含み、磁場を吸収する複数の粒子は、熱をダイから逃がすべく、モールド化合物を通る熱的経路を与える。例7は、例1-3のいずれかに記載の装置を含み、パッケージ基板に結合されるダイは、パッケージ基板に少なくとも部分的に組み込まれる第1のダイであり、パッケージアセンブリは、第1のダイ上に配置され、これに電気的に結合される第2のダイをさらに含む。例8は、例1-3のいずれかに記載の装置を含み、ダイは、磁気メモリまたは磁気ロジックの少なくとも1つを含む。例9は、例1-3のいずれかに記載の装置を含み、磁場を吸収する複数の粒子は、酸化鉄、複数のニッケル鉄合金、複数のコバルト鉄合金、及びNi、In、CuならびにCrの組み合わせからなる群から選択される材料を含む。例10は、例1-3のいずれかに記載の装置を含み、磁場を吸収する複数の粒子は、酸化鉄、複数のニッケル鉄合金、複数のコバルト鉄合金及びNi、In、CuならびにCrの組み合わせの少なくとも1つを含む。

【0040】

様々な実施形態に従って、本開示は、パッケージアセンブリの製造方法を説明する。例10は、少なくとも1つのダイをパッケージ基板に結合させる段階と、少なくとも1つのダイ上にモールド化合物を堆積させる段階とを備え、モールド化合物は、マトリックスコンポーネントと磁場を吸収する複数の粒子とを含む、方法を含む。例11は、例10に記載の方法を含み、モールド化合物は、磁場を吸収する複数の粒子を体積百分率で少なくとも70%含む。例12は、例11に記載の方法を含み、モールド化合物は、磁場を吸収する複数の粒子を体積百分率で少なくとも80%含む。例13は、例10-12のいずれかに記載の方法を含み、マトリックスコンポーネントは、エポキシ材料を含む。例14は、例10-12のいずれかに記載の方法を含み、磁場を吸収する複数の粒子は、強磁性材料を含む。例15は、例10-12のいずれかに記載の方法を含み、少なくとも1つのダイをパッケージ基板に結合させる段階は、第1のダイをパッケージ基板に少なくとも部分的に組み込む段階を含み、方法は、モールド化合物を堆積させる段階の前に、第2のダイを第1のダイ上に配置する段階をさらに備える。

10

20

30

40

50

【 0 0 4 1 】

様々な実施形態に従って、本開示は、複数の集積回路アセンブリを磁氣的に遮蔽する材料（例えば、モールド化合物）を説明する。例 1 6 は、マトリックスコンポーネントと、磁場を吸収する体積百分率で少なくとも 7 0 % の複数の粒子と、を備える。複数の集積回路アセンブリを磁氣的に遮蔽するモールド化合物を含む。例 1 7 は、例 1 6 に記載の材料を含み、磁場を吸収する体積百分率で少なくとも 7 0 % の複数の粒子は、体積百分率で少なくとも 8 0 % である。例 1 8 は、例 1 6 または 1 7 に記載の材料を含み、磁場を吸収する複数の粒子は、強磁性材料を含む。例 1 8 は、例 1 6 または 1 7 に記載の材料を含み、マトリックスコンポーネントは、エポキシ材料を含む。

【 0 0 4 2 】

様々な実施形態に従って、本開示は、磁気遮蔽集積回路を含むシステム（例えば、コンピューティングデバイス）を説明する。例 2 0 は、回路基板と、第 1 の面及び第 1 の面の反対側に配置される第 2 の面を有するパッケージアセンブリと、を備え、第 1 の面は、第 1 の面に配置される 1 つまたは複数のパッケージレベル相互接続を用いて回路基板に結合され、パッケージアセンブリは、パッケージ基板に結合されるダイと、ダイ上に配置されるモールド化合物と、を含み、モールド化合物は、マトリックスコンポーネントと磁場を吸収する複数の粒子とを含む、コンピューティングデバイスを含む。例 2 1 は、例 2 0 に記載のコンピューティングデバイスを含み、モールド化合物は、磁場を吸収する複数の粒子を体積百分率で少なくとも 7 0 % 含む。例 2 2 は、例 2 0 に記載のコンピューティングデバイスを含み、モールド化合物は、磁場を吸収する複数の粒子を体積百分率で少なくとも 8 0 % 含む。例 2 3 は、例 2 0 2 2 のいずれかに記載のコンピューティングデバイスを含み、パッケージ基板に結合されるダイは、パッケージ基板に少なくとも部分的に組み込まれる第 1 のダイであり、パッケージアセンブリは、第 1 のダイ上に配置され、第 1 のダイに電氣的に結合される第 2 のダイをさらに含む。例 2 4 は、例 2 0 2 2 のいずれかに記載のコンピューティングデバイスを含み、コンピューティングデバイスは、磁場を生成するモジュールをさらに備え、磁場を吸収する複数の粒子は、ダイを磁場から遮蔽するように構成される。例 2 5 は、例 2 0 2 2 のいずれかに記載のコンピューティングデバイスを含み、コンピューティングデバイスは、回路基板に結合されるアンテナ、ディスプレイ、タッチスクリーンディスプレイ、タッチスクリーンコントローラ、バッテリー、音声コーデック、ビデオコーデック、パワーアンプ、全地球測位システム（GPS）デバイス、コンパス、ガイガーカウンタ、加速度計、ジャイロスコープ、スピーカ、またはカメラの 1 つまたは複数を含むモバイルコンピューティングデバイスである。

【 0 0 4 3 】

様々な実施形態は、上述の結合的な形（及び）で説明される複数の実施形態のうち、代替的な（または）複数の実施形態を含む（例えば、「及び」は、「及び/または」であってもよい）、複数の上述された実施形態の任意の適切な組み合わせを含んでもよい。さらに、いくつかの実施形態は、格納された複数の命令を有し、これらが実行されると複数の上述された実施形態のいずれかの動作を生じさせる、1 つまたは複数の製造物品（例えば、非一時的コンピュータ可読媒体）を含んでもよい。さらに、いくつかの実施形態は、複数の上述された実施形態の様々なオペレーションを実行するための任意の適切な手段を有する複数の装置または複数のシステムを含んでもよい。

【 0 0 4 4 】

例示された複数の実装の上述された説明は、要約に説明される内容を含むが、包括的であること、または、本開示の複数の実施形態を開示された正確な形に限定することが意図されるものではない。本明細書において、複数の具体的な実装及び例が例示目的のために説明されるが、当業者であれば認識するように、様々な等価な修正が本開示の範囲内で可能である。

【 0 0 4 5 】

これらの修正は、上述された詳細な説明に照らせば、本開示の複数の実施形態になされ得るものである。以下の特許請求の範囲において用いられる用語は、様々な本開示の複数

10

20

30

40

50

の実施形態を、明細書及び特許請求の範囲に開示される複数の具体的な実装に限定するものと解釈されてはならない。むしろ、その範囲は、クレーム解釈の確立された原理に従って解釈されるべき以下の特許請求の範囲によって、全て決定されるべきものである。なお、本明細書によれば、以下の各項目もまた実施形態として開示される。

[項目 1]

パッケージ基板に結合されるダイと、
前記ダイ及び前記パッケージ基板の上に配置されるモールド化合物と、
を備え、
前記モールド化合物は、マトリックスコンポーネントと磁場を吸収する複数の粒子とを含む、パッケージアセンブリ。

10

[項目 2]

前記モールド化合物は、磁場を吸収する複数の粒子を、体積百分率で少なくとも 70 % 含む、項目 1 に記載のパッケージアセンブリ。

[項目 3]

前記モールド化合物は、磁場を吸収する複数の粒子を、体積百分率で少なくとも 80 % 含む、項目 1 に記載のパッケージアセンブリ。

[項目 4]

前記マトリックスコンポーネントは、エポキシ材料を含む、項目 1 から 3 のいずれか 1 項に記載のパッケージアセンブリ。

[項目 5]

磁場を吸収する前記複数の粒子は、強磁性材料を含む、項目 1 から 3 のいずれか 1 項に記載のパッケージアセンブリ。

20

[項目 6]

磁場を吸収する前記複数の粒子は、前記ダイから熱を逃がすべく、前記モールド化合物を通る熱的経路を与える、項目 1 から 3 のいずれか 1 項に記載のパッケージアセンブリ。

[項目 7]

前記パッケージ基板に結合される前記ダイは、前記パッケージ基板に少なくとも部分的に組み込まれる第 1 のダイであり、前記パッケージアセンブリは、前記第 1 のダイの上に配置され、前記第 1 のダイに電気的に結合される第 2 のダイをさらに含む、項目 1 から 3 のいずれか 1 項に記載のパッケージアセンブリ。

30

[項目 8]

前記ダイは、磁気メモリまたは磁気ロジックの少なくとも 1 つを含む、項目 1 から 3 のいずれか 1 項に記載のパッケージアセンブリ。

[項目 9]

磁場を吸収する前記複数の粒子は、酸化鉄、複数のニッケル鉄合金、複数のコバルト鉄合金及び Ni、In、Cu ならびに Cr の組み合わせの少なくとも 1 つを含む、項目 1 から 3 のいずれか 1 項に記載のパッケージアセンブリ。

[項目 10]

パッケージアセンブリを製造する方法であって、
少なくとも 1 つのダイをパッケージ基板に結合させる段階と、
前記少なくとも 1 つのダイ上にモールド化合物を堆積させる段階と、
を備え、
前記モールド化合物は、マトリックスコンポーネントと磁場を吸収する複数の粒子とを含む、方法。

40

[項目 11]

前記モールド化合物は、磁場を吸収する複数の粒子を、体積百分率で少なくとも 70 % 含む、項目 10 に記載の方法。

[項目 12]

前記モールド化合物は、磁場を吸収する複数の粒子を、体積百分率で少なくとも 80 % 含む、項目 11 に記載の方法。

50

[項目 1 3]

前記マトリックスコンポーネントは、エポキシ材料を含む、項目 1 0 から 1 2 のいずれか 1 項に記載の方法。

[項目 1 4]

磁場を吸収する複数の粒子は、強磁性材料を含む、項目 1 0 から 1 2 のいずれか 1 項に記載の方法。

[項目 1 5]

前記少なくとも 1 つのダイを前記パッケージ基板に結合する段階は、第 1 のダイをパッケージ基板に少なくとも部分的に組み込むことを含み、前記方法は、前記モールド化合物を堆積させる段階の前に、第 2 のダイを前記第 1 のダイ上に配置する段階をさらに備える、項目 1 0 から 1 2 のいずれか 1 項に記載の方法。

10

[項目 1 6]

マトリックスコンポーネントと、
磁場を吸収する体積百分率で少なくとも 7 0 % の複数の粒子と、
を備える、複数の集積回路アセンブリを磁氣的に遮蔽するモールド化合物。

[項目 1 7]

磁場を吸収する体積百分率で前記少なくとも 7 0 % の複数の粒子は、体積百分率で少なくとも 8 0 % である、項目 1 6 に記載のモールド化合物。

[項目 1 8]

磁場を吸収する前記複数の粒子は、強磁性材料を含む、項目 1 6 または 1 7 に記載のモールド化合物。

20

[項目 1 9]

前記マトリックスコンポーネントは、エポキシ材料を含む、項目 1 6 または 1 7 に記載のモールド化合物。

[項目 2 0]

回路基板と、
第 1 の面及び前記第 1 の面の反対側に配置される第 2 の面を有するパッケージアセンブリと、

を備え、
前記第 1 の面は、前記第 1 の面の上に配置される 1 つまたは複数のパッケージレベルの相互接続を用いて前記回路基板に結合され、

30

前記パッケージアセンブリは、
パッケージ基板に結合されるダイと、
前記ダイの上に配置されるモールド化合物と、
を含み、

前記モールド化合物は、マトリックスコンポーネントと磁場を吸収する複数の粒子とを含む、コンピューティングデバイス。

[項目 2 1]

前記モールド化合物は、磁場を吸収する複数の粒子を、体積百分率で少なくとも 7 0 % 含む、項目 2 0 に記載のコンピューティングデバイス。

40

[項目 2 2]

前記モールド化合物は、磁場を吸収する複数の粒子を、体積百分率で少なくとも 8 0 % 含む、項目 2 0 に記載のコンピューティングデバイス。

[項目 2 3]

前記パッケージ基板に結合される前記ダイは、前記パッケージ基板に少なくとも部分的に組み込まれる第 1 のダイであり、前記パッケージアセンブリは前記第 1 のダイの上に配置され、これと電氣的に結合される第 2 のダイをさらに含む、項目 2 0 から 2 2 のいずれか 1 項に記載のコンピューティングデバイス。

[項目 2 4]

磁場を生成するモジュールをさらに備え、

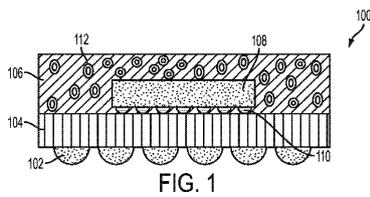
50

磁場を吸収する前記複数の粒子は、前記ダイを前記磁場から遮蔽する、項目 2 0 から 2 2 のいずれか 1 項に記載のコンピューティングデバイス。

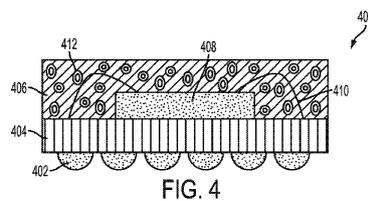
[項目 2 5]

前記コンピューティングデバイスは、前記回路基板に結合されるアンテナ、ディスプレイ、タッチスクリーンディスプレイ、タッチスクリーンコントローラ、バッテリー、音声コーデック、ビデオコーデック、パワーアンプ、全地球測位システム (G P S) デバイス、コンパス、ガイガーカウンタ、加速度計、ジャイロスコープ、スピーカ、またはカメラの 1 つまたは複数を含むモバイルコンピューティングデバイスである、項目 2 0 から 2 2 のいずれか 1 項に記載のコンピューティングデバイス。

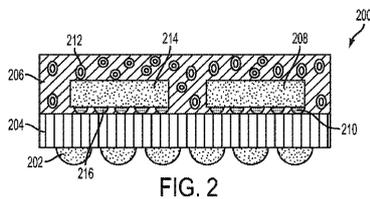
【 図 1 】



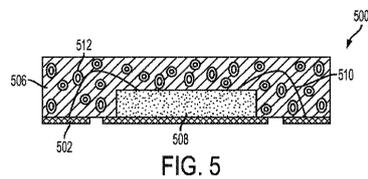
【 図 4 】



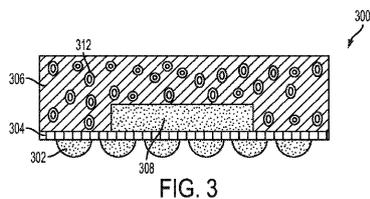
【 図 2 】



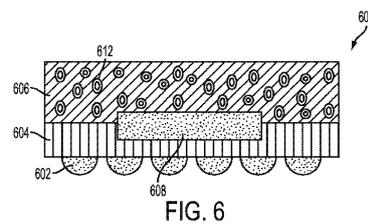
【 図 5 】



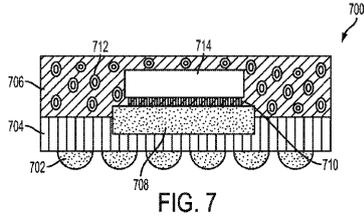
【 図 3 】



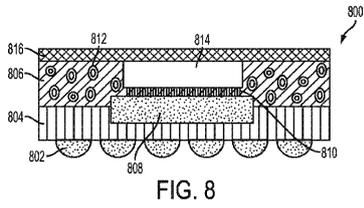
【 図 6 】



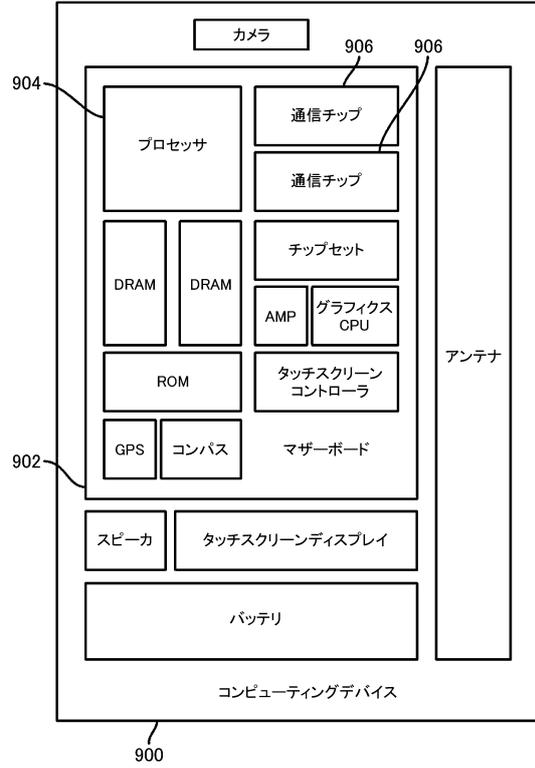
【図7】



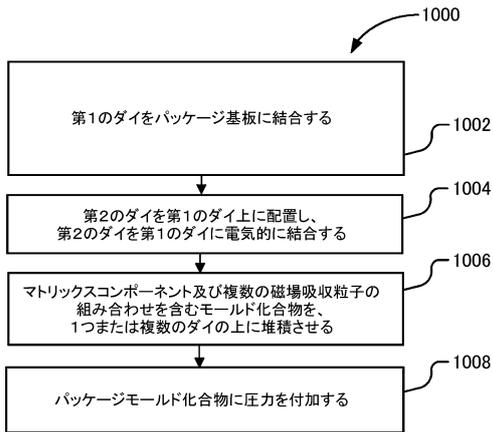
【図8】



【図9】



【図10】



フロントページの続き

(51)Int.Cl.		F I		
H 0 5 K	9/00	(2006.01)	H 0 1 L	27/105 4 4 7
H 0 1 L	43/02	(2006.01)	H 0 1 L	29/82 Z
H 0 1 L	21/8239	(2006.01)		
H 0 1 L	27/105	(2006.01)		
H 0 1 L	29/82	(2006.01)		

(72)発明者 ニコノフ、ディミトリ イー。
 アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブーレ
 バード・2 2 0 0 インテル・コーポレーション内

(72)発明者 パン、ジン
 アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブーレ
 バード・2 2 0 0 インテル・コーポレーション内

審査官 豊島 洋介

(56)参考文献 米国特許出願公開第2004/0150091(US, A1)
 国際公開第01/073843(WO, A1)
 特開2009-170802(JP, A)
 特開2000-077831(JP, A)
 特開平10-150290(JP, A)
 実開平06-072243(JP, U)
 特開昭61-073341(JP, A)
 特開2004-240978(JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 8 2 3 9
 2 3 / 2 8 - 2 3 / 3 1
 2 3 / 3 4 - 2 3 / 3 6
 2 3 / 3 7 3 - 2 3 / 4 2 7
 2 3 / 4 4
 2 3 / 4 6 7 - 2 3 / 4 7 3
 2 5 / 0 0 - 2 5 / 0 7
 2 5 / 1 0 - 2 5 / 1 1
 2 5 / 1 6 - 2 5 / 1 8
 2 7 / 1 0 5
 2 7 / 2 2
 2 9 / 8 2
 4 3 / 0 0 - 4 3 / 1 4
 H 0 5 K 9 / 0 0